

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月24日(24.10.2024)



(10) 国際公開番号

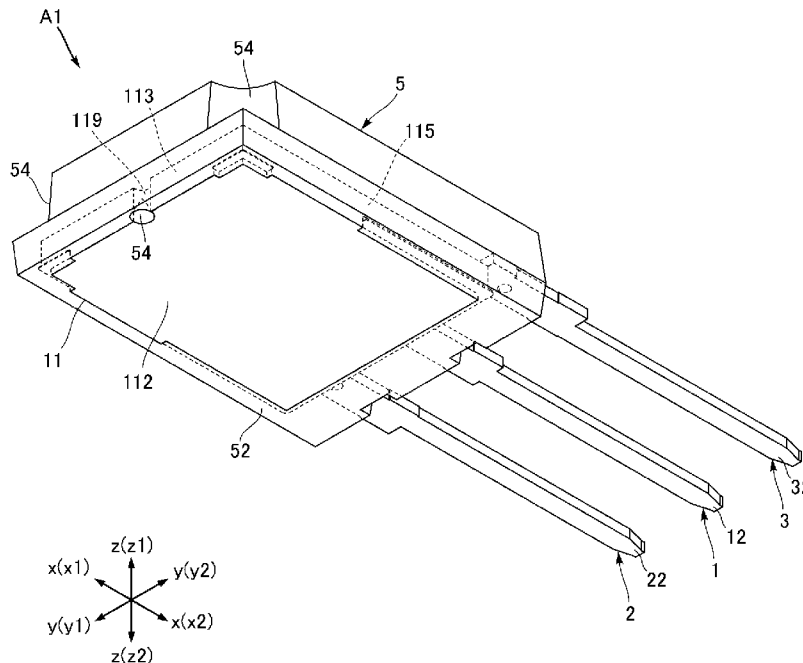
WO 2024/219244 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) *H01L 23/28* (2006.01)
- (21) 国際出願番号: PCT/JP2024/013901
- (22) 国際出願日: 2024年4月4日(04.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-070164 2023年4月21日(21.04.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 齊藤 光俊 (SAITO Koshun); 〒6158585
京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 西野 桃子 (NISHINO Momoko); 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.3



(57) Abstract: This semiconductor device comprises: a first lead having an island portion; a semiconductor element mounted on the island portion; and a sealing resin covering at least a portion of the island portion and the semiconductor element. The island portion includes an island main surface facing a first side in a thickness direction and on which the semiconductor element is mounted, an island back surface facing a second side in the thickness direction, a side surface facing the first side in a first direction intersecting the thickness direction, and an island recess recessed on the first side in

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

the thickness direction and recessed from the side surface toward the second side in the first direction. The sealing resin has a resin back surface facing the second side in the thickness direction, and a resin recess recessed from the resin back surface toward the first side in the thickness direction. When viewed in the thickness direction, at least a part of the resin recess is accommodated in the island recess.

(57) 要約：半導体装置は、アイランド部を有する第1リードと、前記アイランド部に搭載された半導体素子と、前記アイランド部の少なくとも一部および前記半導体素子を覆う封止樹脂と、を備える。前記アイランド部は、厚さ方向の第1側を向き且つ前記半導体素子が搭載されたアイランド主面と、前記厚さ方向の第2側を向くアイランド裏面と、前記厚さ方向に交差する第1方向の第1側を向く側面と、前記厚さ方向の第1側に凹み且つ前記側面から前記第1方向の第2側に凹むアイランド凹部と、を有する。前記封止樹脂は、前記厚さ方向の前記第2側を向く樹脂裏面と、前記樹脂裏面から前記厚さ方向の前記第1側に凹む樹脂凹部と、を有する。前記厚さ方向に視て、前記樹脂凹部の少なくとも一部が、前記アイランド凹部に収容されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 特許文献 1 には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、第 1 リード、半導体素子および封止樹脂を備える。第 1 リードは、アイランド部と端子部とを備える。アイランド部には、半導体素子が搭載されている。封止樹脂は、アイランド部の一部と半導体素子とを覆っている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2023-7028 号公報

発明の概要

発明が解決しようとする課題

[0004] アイランド部は、端子部に対して大きい部位である。このため、半導体装置の製造工程において、アイランド部の位置が意図せずずれてしまう場合がある。アイランド部がずれた状態で封止樹脂が形成されると、たとえば封止樹脂の厚さが適切な大きさに確保できないことが懸念される。

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、封止樹脂とアイランド部との位置ずれを抑制することが可能な半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の第 1 の側面によって提供される半導体装置は、アイランド部を有する第 1 リードと、前記アイランド部に搭載された半導体素子と、前記アイランド部の少なくとも一部および前記半導体素子を覆う封止樹脂と、を備え

る。前記アイランド部は、厚さ方向の第１側を向き且つ前記半導体素子が搭載されたアイランド主面と、前記厚さ方向の第２側を向くアイランド裏面と、前記厚さ方向に交差する第１方向の第１側を向く第１側面と、前記アイランド裏面から前記厚さ方向の第１側に凹み且つ前記第１側面から前記第１方向の第２側に凹むアイランド凹部と、を有する。前記封止樹脂は、前記厚さ方向の前記第２側を向く樹脂裏面と、前記樹脂裏面から前記厚さ方向の前記第１側に凹む樹脂凹部と、を有する。前記厚さ方向に視て、前記樹脂凹部の少なくとも一部が、前記アイランド凹部に收容されている。

発明の効果

[0007] 上記構成によれば、封止樹脂とアイランド部との位置ずれを抑制することが可能である。

[0008] 本発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0009] [図1]図１は、本開示の第１実施形態に係る半導体装置を示す斜視図である。

[図2]図２は、本開示の第１実施形態に係る半導体装置を示す斜視図である。

[図3]図３は、本開示の第１実施形態に係る半導体装置を示す斜視図である。

[図4]図４は、本開示の第１実施形態に係る半導体装置を示す斜視図である。

[図5]図５は、本開示の第１実施形態に係る半導体装置を示す平面図である。

[図6]図６は、本開示の第１実施形態に係る半導体装置を示す底面図である。

[図7]図７は、図５のV-V線に沿う断面図である。

[図8]図８は、本開示の第１実施形態に係る半導体装置を示す部分拡大断面図である。

[図9]図９は、本開示の第１実施形態に係る半導体装置の製造方法の一例を示す部分平面図である。

[図10]図１０は、図９のX-X線に沿う断面図である。

[図11]図１１は、本開示の第１実施形態に係る半導体装置の製造方法の一例を示す断面図である。

[図12]図 1 2 は、本開示の第 1 実施形態に係る半導体装置の製造方法の一例を示す断面図である。

[図13]図 1 3 は、本開示の第 1 実施形態に係る半導体装置の製造方法の一例を示す断面図である。

[図14]図 1 4 は、本開示の第 1 実施形態に係る半導体装置の第 1 変形例を示す部分拡大断面図である。

[図15]図 1 5 は、本開示の第 1 実施形態に係る半導体装置の第 2 変形例を示す部分拡大断面図である。

[図16]図 1 6 は、本開示の第 1 実施形態に係る半導体装置の第 3 変形例を示す平面図である。

[図17]図 1 7 は、本開示の第 2 実施形態に係る半導体装置を示す平面図である。

[図18]図 1 8 は、本開示の第 3 実施形態に係る半導体装置を示す平面図である。

発明を実施するための形態

[0010] 以下、本発明の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0011] 本開示における「第 1」、「第 2」、「第 3」等の用語は、単に識別のために用いたものであり、それらの対象物に順列を付することを意図していない。

[0012] 本開示において、「ある物 A がある物 B に形成されている」および「ある物 A がある物 B 上に形成されている」とは、特段の断りのない限り、「ある物 A がある物 B に直接形成されていること」、および、「ある物 A とある物 B との間に他の物を介在させつつ、ある物 A がある物 B に形成されていること」を含む。同様に、「ある物 A がある物 B に配置されている」および「ある物 A がある物 B 上に配置されている」とは、特段の断りのない限り、「ある物 A がある物 B に直接配置されていること」、および、「ある物 A とある物 B との間に他の物を介在させつつ、ある物 A がある物 B に配置されている

こと」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が 90° である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

[0013] 第1実施形態：

図1～図8は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A1は、第1リード1、第2リード2、第3リード3、半導体素子4、封止樹脂5および導通部材61、62を備えている。図2および図4～図6においては、理解の便宜上、封止樹脂5を想像線で示している。

[0014] これらの図における一方向を、z方向、z方向の第1側をz1側、z方向の第1側とは反対側の第2側をz2側と称する。これらの図におけるz方向と直交する一方向をx方向、x方向の第1側をx1側、x1側とは反対側の第2側をx2側と称する。これらの図におけるz方向およびx方向と直交する方向をy方向、y方向の第1側をy1側、y1側とは反対側の第2側をy2側と称する。本実施形態においては、z方向が、厚さ方向に相当し、x方向が、本開示の第1方向に相当し、y方向が、本開示の第2方向に相当する。

[0015] 第1リード1：

第1リード1は、半導体素子4を支持する部位である。また、第1リード1は、後述の半導体素子4の第1電極41と導通している。第1リード1は、たとえば、Cu（銅）、Ni（ニッケル）、Fe（鉄）およびこれらの合

金を含む。また、第1リード1の表面の適所には、たとえばAg（銀）、Ni（ニッケル）、Pd（パラジウム）等を含むめっき層（図示略）が形成されていてよい。第1リード1は、アイランド部11および第1端子部12を有する。

[0016] アイランド部11は、アイランド主面111、アイランド裏面112、側面113、114、115、116およびアイランド凹部119を有する。

[0017] アイランド主面111は、z方向のz1側を向く面である。アイランド裏面112は、z方向のz2側を向く面である。

[0018] 側面113は、z方向においてアイランド主面111とアイランド裏面112との間に位置しており、x方向のx1側を向いている。半導体装置A1においては、側面113が本開示の第1側面に相当する。側面114は、z方向においてアイランド主面111とアイランド裏面112との間に位置しており、x方向のx2側を向いている。側面115は、z方向においてアイランド主面111とアイランド裏面112との間に位置しており、y方向のy1側を向いている。側面116は、z方向においてアイランド主面111とアイランド裏面112との間に位置しており、y方向のy2側を向いている。

[0019] アイランド凹部119は、アイランド裏面112からz方向のz1側に凹んでおり、且つ、側面113からx方向のx2側に凹んでいる。アイランド凹部119の具体的形状は、何ら限定されない。図示された例においては、アイランド凹部119は、アイランド裏面112およびアイランド主面111に到達している。アイランド凹部119は、z方向に視て、x方向のx2側に湾曲する凹曲面を有する形状である。この凹曲面は、z方向に視て、たとえば円弧形状である。アイランド凹部119は、凹曲面を有する形状に限定されず、たとえば屈曲した形状の凹面を有する形状であってよい。

[0020] 第1端子部12は、アイランド部11からx方向のx2側に延出している。第1端子部12は、半導体装置A1を実装する際に用いられる。アイランド部11のy方向の大きさは、第1端子部12のy方向の大きさより大きい。

。また、アイランド部 1 1 の z 方向の大きさは、第 1 端子部 1 2 の z 方向の大きさより大きい。図示された例においては、第 1 端子部 1 2 は、屈曲部分を有する。

[0021] 第 2 リード 2 :

第 2 リード 2 は、後述の半導体素子 4 の第 2 電極 4 2 と導通している。第 2 リード 2 は、たとえば、C u (銅)、N i (ニッケル)、F e (鉄) およびこれらの合金を含む。また、第 2 リード 2 の表面の適所には、たとえば A g (銀)、N i (ニッケル)、P d (パラジウム) 等を含むめっき層 (図省略) が形成されていてよい。第 2 リード 2 の具体的構成は何ら限定されず、本実施形態においては、ボンディング部 2 1 および第 2 端子部 2 2 を有する。

[0022] ボンディング部 2 1 は、アイランド部 1 1 に対して x 方向の x 2 側に配置されており、第 1 端子部 1 2 に対して y 方向の y 1 側に位置している。ボンディング部 2 1 の形状は何ら限定されず、図示された例においては、y 方向を長手方向とする形状である。

[0023] 第 2 端子部 2 2 は、ボンディング部 2 1 から x 方向の x 2 側に延出しており、第 1 端子部 1 2 に対して y 方向の y 1 側に位置している。第 2 端子部 2 2 は、半導体装置 A 1 を実装する際に用いられる。ボンディング部 2 1 の y 方向の大きさは、第 2 端子部 2 2 の y 方向の大きさより大きい。また、ボンディング部 2 1 の z 方向の大きさは、第 2 端子部 2 2 の z 方向の大きさと同じである。

[0024] 第 3 リード 3 :

第 3 リード 3 は、後述の半導体素子 4 の第 3 電極 4 3 と導通している。第 3 リード 3 は、たとえば、C u (銅)、N i (ニッケル)、F e (鉄) およびこれらの合金を含む。また、第 3 リード 3 の表面の適所には、たとえば A g (銀)、N i (ニッケル)、P d (パラジウム) 等を含むめっき層 (図省略) が形成されていてよい。第 3 リード 3 の具体的構成は何ら限定されず、本実施形態においては、ボンディング部 3 1 および第 3 端子部 3 2 を有する

。

[0025] ボンディング部 3 1 は、アイランド部 1 1 に対して x 方向の x 2 側に配置されており、第 1 端子部 1 2 に対して y 方向の y 2 側に位置している。ボンディング部 3 1 の形状は何ら限定されず、図示された例においては、y 方向を長手方向とする形状である。

[0026] 第 3 端子部 3 2 は、ボンディング部 3 1 から x 方向の x 2 側に延出しており、第 1 端子部 1 2 に対して y 方向の y 2 側に位置している。第 3 端子部 3 2 は、半導体装置 A 1 を実装する際に用いられる。ボンディング部 3 1 の y 方向の大きさは、第 3 端子部 3 2 の y 方向の大きさより大きい。また、ボンディング部 3 1 の z 方向の大きさは、第 3 端子部 3 2 の z 方向の大きさと同じである。

[0027] 半導体素子 4 :

半導体素子 4 は、半導体装置 A 1 の主要な電氣的機能を果たす素子である。半導体素子 4 の具体的構成は何ら限定されず、たとえばスイッチング素子、ダイオード等である。半導体素子 4 がスイッチング素子の場合、半導体素子 4 は、たとえば縦型構造の MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor) などのトランジスタである。本実施形態においては、半導体素子 4 が、縦型構造の MOSFET である場合を例に説明する。

[0028] 図 1、図 2、図 5 および図 8 に示すように、半導体素子 4 は、素子本体 4 0、第 1 電極 4 1、第 2 電極 4 2 および第 3 電極 4 3 を有する。

[0029] 素子本体 4 0 は、半導体材料を含む。当該半導体材料は、たとえば炭化ケイ素 (SiC) である。この他、半導体材料として、ケイ素 (Si) または GaN (窒化ガリウム) などを用いてよい。

[0030] 第 1 電極 4 1 は、素子本体 4 0 の z 方向の z 2 側に配置されている。第 1 電極 4 1 は、導電性接合材 4 9 によってアイランド部 1 1 のアイランド主面 1 1 1 に導通接合されている。導電性接合材 4 9 は何ら限定されず、たとえばはんだ、Ag (銀) ペスト、焼結金属材等である。第 2 電極 4 2 および第

3電極43は、素子本体40のz方向のz1側に配置されている。図示された例においては、第2電極42は、第3電極43より大きい。半導体素子4が、MOSFETである例において、第1電極41はドレインであり、第2電極42はソースであり、第3電極43はゲート電極である。

[0031] 導通部材61, 62:

導通部材61は、半導体素子4の第2電極42と第2リード2のボンディング部21とに接合されている。導通部材61は、第2電極42と第2リード2とを導通させている。導通部材61の具体的構成は何ら限定されず、たとえばワイヤ、帯板状の部材等、種々の形態が採用される。図示された例においては、導通部材61は、帯板状の部材である。導通部材61は、たとえばAu（金）、Al（アルミ）、Cu（銅）およびこれらの合金等を含む。

[0032] 導通部材62は、半導体素子4の第3電極43と第3リード3のボンディング部31とに接合されている。導通部材62は、第3電極43と第3リード3とを導通させている。導通部材62の具体的構成は何ら限定されず、たとえばワイヤ、帯板状の部材等、種々の形態が採用される。図示された例においては、導通部材62は、ワイヤである。導通部材62は、たとえばAu（金）、Al（アルミ）、Cu（銅）およびこれらの合金等を含む。

[0033] 封止樹脂5:

封止樹脂5は、第1リード1、第2リード2および第3リード3の一部ずつと、半導体素子4と、導通部材61, 62とを覆っている。封止樹脂5は、絶縁性の材料を含み、たとえば黒色のエポキシ樹脂を含む。封止樹脂5の具体的構成は何ら限定されず、本実施形態においては、樹脂主面51、樹脂裏面52、樹脂凹部53およびコーナー凹部54を有する。

[0034] 樹脂主面51は、z方向のz1側を向く面である。樹脂裏面52は、z方向のz2側を向く面である。本実施形態においては、樹脂裏面52からアイランド部11のアイランド裏面112が露出している。また、図示された例においては、樹脂裏面52とアイランド裏面112とは、互いに面一である。

[0035] 樹脂凹部 5 3 は、樹脂裏面 5 2 から z 方向の z 1 側に凹んでいる。図 1 ～ 図 8 に示すように、z 方向に視て、樹脂凹部 5 3 の少なくとも一部が、アイランド凹部 1 1 9 に收容されている。図示された例においては、樹脂凹部 5 3 の一部が、アイランド凹部 1 1 9 に收容されており、他の一部がアイランド凹部 1 1 9 から z 方向の z 1 側にはみ出している。また、図示された例においては、樹脂凹部 5 3 の z 方向の z 2 側の端縁と、アイランド凹部 1 1 9 の z 方向の z 2 側の端縁とが、部分的に一致している。より具体的には、樹脂凹部 5 3 の z 方向の z 2 側の端縁のうち x 方向の x 2 側に位置する部分が、アイランド凹部 1 1 9 の z 方向の z 2 側の端縁と一致している。

[0036] 図示された例においては、樹脂凹部 5 3 の z 方向の大きさは、アイランド凹部 1 1 9 の z 方向の大きさより小さい。樹脂凹部 5 3 の具体的な形状は何ら限定されない。図示された例においては、樹脂凹部 5 3 は、z 方向の z 2 側から z 1 側に向かうほど、z 方向と直交する断面の大きさが小さくなる形状であり、たとえば円錐形状である。樹脂凹部 5 3 は、この他に、楕円錐形状、角錐形状等であってよい。なお、樹脂凹部 5 3 は、いわゆるテーパ形状でなくてよい。図示された例においては、z 方向に視て、樹脂凹部 5 3 の z 方向の z 2 側の端縁の曲率半径と、アイランド凹部 1 1 9 の z 方向の z 2 側の端縁の曲率半径とが、略同じである。

[0037] 次に、半導体装置 A 1 の製造方法の一例について、図 9 ～ 図 1 3 を参照しつつ、以下に説明する。

[0038] まず、図 9 および図 1 0 に示す第 1 リード 1 を用意する。半導体装置 A 1 の製造工程における第 1 リード 1 の具体的態様は、何ら限定されない。本例においては、第 1 リード 1、第 2 リード 2 および第 3 リード 3 が互いに連結された、いわゆるリードフレームの態様で用意される場合を例に説明する。次に、第 1 リード 1 に半導体素子 4 を搭載する。

[0039] 次に、下金型 9 A を用意する。下金型 9 A は、封止樹脂 5 を金型成型するための金型 9 を構成するものである。下金型 9 A は、金型主面 9 1 および金型凸部 9 2 を有する。金型主面 9 1 は、金型成型する際に、アイランド部 1

1 のアイランド裏面 1 1 2 と対向する面である。金型凸部 9 2 は、金型主面 9 1 から z 方向の z 1 側に突出している。金型凸部 9 2 は、封止樹脂 5 の樹脂凹部 5 3 を形成するための部位である。樹脂凹部 5 3 の位置、形状、大きさ等は、樹脂凹部 5 3 の位置、形状、大きさ等に対応して設定される。図示された例においては、樹脂凹部 5 3 は、円錐形状である。

[0040] 次に、第 1 リード 1 を下金型 9 A に載置する。この際、アイランド部 1 1 のアイランド凹部 1 1 9 を金型凸部 9 2 に接近させる。アイランド凹部 1 1 9 と金型凸部 9 2 とを接近させる方向は何ら限定されず、図示された例においては、z 方向の z 1 側であって x 方向の x 2 側から、z 方向の z 2 側であって x 方向の x 1 側に向けて、アイランド凹部 1 1 9 を金型凸部 9 2 に接近させている。

[0041] アイランド凹部 1 1 9 と金型凸部 9 2 とを接近させた結果、図 1 1 に示すように、アイランド凹部 1 1 9 と金型凸部 9 2 とが当接する。また、図示された例においては、アイランド裏面 1 1 2 と金型主面 9 1 とが当接している。この状態においては、z 方向に視て、金型凸部 9 2 の少なくとも一部が、アイランド凹部 1 1 9 に収容されている。図示された例においては、金型凸部 9 2 の一部が、アイランド凹部 1 1 9 から x 方向の x 1 側にはみ出しており、金型凸部 9 2 の他の一部が、アイランド凹部 1 1 9 に収容されている。また、金型凸部 9 2 の z 方向の z 2 側の端縁のうち x 方向の x 2 側の部分が、アイランド凹部 1 1 9 の z 方向の z 2 側の端縁に当接している。

[0042] 次に、図 1 2 に示すように、上金型 9 B を下金型 9 A 上に載置する。これにより、下金型 9 A と上金型 9 B とによって、金型 9 が構成される。金型 9 は、キャビティ 9 0 を有する。キャビティ 9 0 は、封止樹脂 5 を形成するための樹脂材料が充填される空間である。

[0043] 次に、図 1 3 に示すように、キャビティ 9 0 に樹脂材料を充填し、この樹脂材料を硬化させる。これにより、封止樹脂 5 が形成される。この後は、上述のリードフレームの不要部分を削除する工程等を適宜実行することにより、半導体装置 A 1 が得られる。

[0044] 次に、半導体装置 A 1 の作用について説明する。

[0045] 本実施形態によれば、樹脂凹部 5 3 は、z 方向に視て少なくとも一部がアイランド凹部 1 1 9 に收容されている。樹脂凹部 5 3 は、樹脂裏面 5 2 から z 方向の z 1 側に凹む部位である。このような封止樹脂 5 を形成する場合、図 1 3 に示すように、たとえば金型 9 の下金型 9 A が金型凸部 9 2 を有する。この金型凸部 9 2 とアイランド凹部 1 1 9 とを当接させることにより、アイランド部 1 1 の位置を金型 9 に対してより正確に設定することが可能である。したがって、封止樹脂 5 とアイランド部 1 1 との位置ずれを低減することができる。

[0046] 樹脂凹部 5 3 は、z 方向に視て、一部がアイランド凹部 1 1 9 からはみ出している。これにより、アイランド凹部 1 1 9 を、樹脂凹部 5 3 のすべてを收容可能な大きさに拡大する必要がない。したがって、このような構成は、アイランド部 1 1 の小型化に有利である。

[0047] 樹脂凹部 5 3 は、z 方向の z 2 側から z 2 側に向かうほど、z 方向と直交する断面の大きさが小さくなる、いわゆるテーパ形状である。これにより、たとえば、図 9 および図 1 0 に示すアイランド部 1 1 を下金型 9 A に載置する際に、アイランド部 1 1 が下金型 9 A に対してずれていても、金型凸部 9 2 の先端がアイランド凹部 1 1 9 に進入することにより、アイランド部 1 1 が金型凸部 9 2 に対して適切に位置決めされる。したがって、より容易且つより正確に、半導体装置 A 1 を製造することができる。

[0048] アイランド部 1 1 の y 方向の大きさは、第 1 端子部 1 2 の y 方向の大きさより大きく、アイランド部 1 1 の z 方向の大きさは、第 1 端子部 1 2 の z 方向の大きさより大きい。このため、第 1 リード 1 においては、アイランド部 1 1 が重量の多くを占める部分となり、いわゆる首振りと呼ばれる位置ずれを起こしやすい。本実施形態においては、アイランド凹部 1 1 9 および樹脂凹部 5 3 は、第 1 端子部 1 2 に対して x 方向の反対側に配置されている。これにより、封止樹脂 5 を金型成型する際に、アイランド部 1 1 の首振りの挙動を低減することができる。

[0049] 図14～図18は、本発明の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。また、各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0050] 第1実施形態 第1変形例：

図14は、半導体装置A1の第1変形例を示している。本変形例の半導体装置A11においては、樹脂凹部53の形状が上述の半導体装置A1の樹脂凹部53の形状と異なっている。本変形例においては、樹脂凹部53は、z方向のz2側の部分において、z方向と直交する断面の大きさが一定である。樹脂凹部53のz方向のz1側の部分は、半球曲面とされている。

[0051] 本変形例によっても、封止樹脂5とアイランド部11との位置ずれを低減することができる。本変形例から理解されるように、樹脂凹部53の形状は、何ら限定されない。

[0052] 第1実施形態 第2変形例：

図15は、半導体装置A1の第2変形例を示している。本変形例の半導体装置A12は、アイランド凹部119の構成が、上述の例と異なっている。本変形例においては、アイランド凹部119は、アイランド主面111に到達しておらず、アイランド主面111から離れている。アイランド凹部119とアイランド主面111の間には、側面113の一部が介在している。本変形例においても、樹脂凹部53のz方向の大きさは、アイランド凹部119のz方向の大きさより小さい。

[0053] 本変形例によっても、封止樹脂5とアイランド部11との位置ずれを低減することができる。本変形例から理解されるように、アイランド凹部119の具体的構成は、何ら限定されない。

[0054] 第1実施形態 第3変形例：

図16は、半導体装置A1の第3変形例を示している。本変形例の半導体装置A13においては、アイランド凹部119と樹脂凹部53との関係が、

上述した例と異なっている。本変形例においては、 z 方向に視て、樹脂凹部 53 のすべてがアイランド凹部 119 に收容されている。アイランド凹部 119 は、 x 方向の x 1 側に位置する凹曲面と、この凹曲面と側面 113 との間に介在する 2 つの平面とを有する形状である。

[0055] 本変形例によっても、封止樹脂 5 とアイランド部 11 との位置ずれを低減することができる。また、本変形例から理解されるように、樹脂凹部 53 は、 z 方向に視て、少なくとも一部がアイランド凹部 119 に收容されている構成であればよい。樹脂凹部 53 の一部のみがアイランド凹部 119 に收容されていてよいし、樹脂凹部 53 のすべてがアイランド凹部 119 に收容されていてよい。

[0056] 第 2 実施形態：

図 17 は、本開示の第 2 実施形態に係る半導体装置を示している。本実施形態の半導体装置 A2 は、アイランド部 11 の構成が、上述した実施形態と異なっている。

[0057] 本実施形態においては、アイランド部 11 は、2 つの側面 118 を有する。2 つの側面 118 は、 x 方向の x 1 側を向いている。2 つの側面 118 は、 y 方向において側面 113 の両側に位置している。2 つの側面 118 は、 x 方向において側面 113 より x 2 側に位置している。すなわち、アイランド部 11 は、側面 113 を含む部分が、2 つの側面 118 に対して x 方向の x 1 側に突出した形状である。

[0058] 本実施形態によっても、封止樹脂 5 とアイランド部 11 との位置ずれを低減することができる。本実施形態から理解されるように、アイランド部 11 にアイランド凹部 119 が設けられる箇所の具体的な形状等は何ら限定されない。

[0059] 第 3 実施形態：

図 18 は、本開示の第 3 実施形態に係る半導体装置を示している。本実施形態の半導体装置 A3 は、アイランド部 11 が 2 つのアイランド凹部 119 を有する。2 つのアイランド凹部 119 のうちの 1 つは、側面 115 から y

方向の y 2 側に凹んでいる。このアイランド凹部 1 1 9 に着目した場合、側面 1 1 5 が本開示の第 1 側面に相当し、y 方向が第 1 方向に相当する。2 つのアイランド凹部 1 1 9 のうちのもう 1 つは、側面 1 1 6 から y 方向の y 1 側に凹んでいる。このアイランド凹部 1 1 9 に着目した場合、側面 1 1 6 が本開示の第 1 側面に相当し、y 方向が第 1 方向に相当する。

[0060] 封止樹脂 5 は、2 つの樹脂凹部 5 3 を有する。2 つの樹脂凹部 5 3 は、y 方向に互いに離れて配置されている。2 つの樹脂凹部 5 3 は、z 方向に視て、少なくとも一部ずつが 2 つのアイランド凹部 1 1 9 に個別に収容されている。

[0061] 本実施形態によっても、封止樹脂 5 とアイランド部 1 1 との位置ずれを低減することができる。また、本実施形態から理解されるように、アイランド凹部 1 1 9 および樹脂凹部 5 3 の個数および配置等は、何ら限定されない。

[0062] 本発明に係る半導体装置は、上述した実施形態に限定されるものではない。本発明に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0063] 付記 1.

アイランド部を有する第 1 リードと、

前記アイランド部に搭載された半導体素子と、

前記アイランド部の少なくとも一部および前記半導体素子を覆う封止樹脂と、を備え、

前記アイランド部は、厚さ方向の第 1 側を向き且つ前記半導体素子が搭載されたアイランド主面と、前記厚さ方向の第 2 側を向くアイランド裏面と、前記厚さ方向に交差する第 1 方向の第 1 側を向く第 1 側面と、前記アイランド裏面から前記厚さ方向の第 1 側に凹み且つ前記第 1 側面から前記第 1 方向の第 2 側に凹むアイランド凹部と、を有し、

前記封止樹脂は、前記厚さ方向の前記第 2 側を向く樹脂裏面と、前記樹脂裏面から前記厚さ方向の前記第 1 側に凹む樹脂凹部と、を有し、

前記厚さ方向に視て、前記樹脂凹部の少なくとも一部が、前記アイランド

凹部に收容されている、半導体装置。

付記 2.

前記厚さ方向に視て、前記樹脂凹部の一部が、前記アイランド凹部からはみ出している、付記 1 に記載の半導体装置。

付記 3.

前記厚さ方向に視て、前記樹脂凹部のすべてが、前記アイランド凹部に收容されている、付記 1 に記載の半導体装置。

付記 4.

前記樹脂凹部の端縁と、前記アイランド凹部の端縁とが、部分的に一致している、付記 1 ないし 3 のいずれかに記載の半導体装置。

付記 5.

前記アイランド裏面と前記樹脂裏面とは、互いに面一である、付記 1 ないし 4 のいずれかに記載の半導体装置。

付記 6.

前記樹脂凹部は、前記厚さ方向の前記第 2 側から前記第 1 側に向かうほど、前記厚さ方向と直交する断面の大きさが小さくなる形状である、付記 1 ないし 5 のいずれかに記載の半導体装置。

付記 7.

前記樹脂凹部は、円錐形状である、付記 6 に記載の半導体装置。

付記 8.

前記樹脂凹部の前記厚さ方向の大きさは、前記アイランド凹部の前記厚さ方向の大きさより小さい、付記 1 ないし 7 のいずれかに記載の半導体装置。

付記 9.

前記アイランド凹部は、前記アイランド主面に到達している、付記 8 に記載の半導体装置。

付記 10.

前記アイランド凹部は、前記アイランド主面から離れている、付記 8 に記載の半導体装置。

付記 1 1.

前記アイランド凹部は、凹曲面を有する、付記 1 ないし 1 0 のいずれかに記載の半導体装置。

付記 1 2.

前記第 1 リードは、前記アイランド部から前記第 1 方向の前記第 2 側に延出する第 1 端子部をさらに有する、付記 1 ないし 1 1 のいずれかに記載の半導体装置。

付記 1 3.

前記アイランド部の前記第 1 方向と直交する第 2 方向の大きさは、前記第 1 端子部の前記第 2 方向の大きさより大きい、付記 1 2 に記載の半導体装置。

付記 1 4.

前記アイランド部の前記厚さ方向の大きさは、前記第 1 端子部の前記厚さ方向の大きさより大きい、付記 1 3 に記載の半導体装置。

付記 1 5.

前記半導体素子は、前記アイランド部に導通接合された第 1 電極と、前記厚さ方向の前記第 1 側に設けられた第 2 電極と、前記第 1 電極および前記第 2 電極の導通状態を制御するための第 3 電極と、を有するスイッチング素子である、付記 1 ないし 1 4 のいずれかに記載の半導体装置。

付記 1 6.

前記第 2 電極に導通する第 2 リードをさらに備える、付記 1 5 に記載の半導体装置。

付記 1 7.

前記第 3 電極に導通する第 3 リードをさらに備える、付記 1 6 に記載の半導体装置。 付記 1 8.

アイランド部を有する第 1 リードを用意する工程と、

前記アイランド部に半導体素子を搭載する工程と、

前記アイランド部の少なくとも一部および前記半導体素子を覆う封止樹脂

を金型を用いて形成する工程と、を備え、

前記アイランド部は、厚さ方向の第1側を向き且つ前記半導体素子が搭載されたアイランド主面と、前記厚さ方向の第2側を向くアイランド裏面と、前記厚さ方向に交差する第1方向の第1側を向く第1側面と、前記アイランド裏面から前記厚さ方向の第1側に凹み且つ前記第1側面から前記第1方向の第2側に凹むアイランド凹部と、を有し、

前記金型は、前記アイランド主面と対向する金型主面と、前記金型主面から突出する金型凸部と、を有し、

前記封止樹脂を形成する工程においては、前記アイランド凹部と前記金型凸部とを当接させる、半導体装置の製造方法。

符号の説明

[0064] A 1, A 1 1, A 1 2, A 1 3, A 2 : 半導体装置

1 : 第1リード 2 : 第2リード

3 : 第3リード 4 : 半導体素子

5 : 封止樹脂 9 : 金型

9 A : 下金型 9 B : 上金型

1 1 : アイランド部 1 2 : 第1端子部

2 1 : ボンディング部 2 2 : 第2端子部

3 1 : ボンディング部 3 2 : 第3端子部

4 0 : 素子本体 4 1 : 第1電極

4 2 : 第2電極 4 3 : 第3電極

4 9 : 導電性接合材 5 1 : 樹脂主面

5 2 : 樹脂裏面 5 3 : 樹脂凹部

5 4 : コーナー凹部 6 1 : 導通部材

6 2 : 導通部材 9 0 : キャビティ

9 1 : 金型主面 9 2 : 金型凸部

1 1 1 : アイランド主面 1 1 2 : アイランド裏面

1 1 3, 1 1 4, 1 1 5, 1 1 6 : 側面 1 1 9 : アイランド凹部

請求の範囲

- [請求項1] アイランド部を有する第1リードと、
 前記アイランド部に搭載された半導体素子と、
 前記アイランド部の少なくとも一部および前記半導体素子を覆う封止樹脂と、を備え、
 前記アイランド部は、厚さ方向の第1側を向き且つ前記半導体素子が搭載されたアイランド主面と、前記厚さ方向の第2側を向くアイランド裏面と、前記厚さ方向に交差する第1方向の第1側を向く第1側面と、前記アイランド裏面から前記厚さ方向の第1側に凹み且つ前記第1側面から前記第1方向の第2側に凹むアイランド凹部と、を有し、
 前記封止樹脂は、前記厚さ方向の前記第2側を向く樹脂裏面と、前記樹脂裏面から前記厚さ方向の前記第1側に凹む樹脂凹部と、を有し、
 前記厚さ方向に視て、前記樹脂凹部の少なくとも一部が、前記アイランド凹部に収容されている、半導体装置。
- [請求項2] 前記厚さ方向に視て、前記樹脂凹部の一部が、前記アイランド凹部からはみ出している、請求項1に記載の半導体装置。
- [請求項3] 前記厚さ方向に視て、前記樹脂凹部のすべてが、前記アイランド凹部に収容されている、請求項1に記載の半導体装置。
- [請求項4] 前記樹脂凹部の端縁と、前記アイランド凹部の端縁とが、部分的に一致している、請求項1ないし3のいずれかに記載の半導体装置。
- [請求項5] 前記アイランド裏面と前記樹脂裏面とは、互いに面一である、請求項1ないし4のいずれかに記載の半導体装置。
- [請求項6] 前記樹脂凹部は、前記厚さ方向の前記第2側から前記第1側に向かうほど、前記厚さ方向と直交する断面の大きさが小さくなる形状である、請求項1ないし5のいずれかに記載の半導体装置。
- [請求項7] 前記樹脂凹部は、円錐形状である、請求項6に記載の半導体装置。

- [請求項8] 前記樹脂凹部の前記厚さ方向の大きさは、前記アイランド凹部の前記厚さ方向の大きさより小さい、請求項1ないし7のいずれかに記載の半導体装置。
- [請求項9] 前記アイランド凹部は、前記アイランド主面に到達している、請求項8に記載の半導体装置。
- [請求項10] 前記アイランド凹部は、前記アイランド主面から離れている、請求項8に記載の半導体装置。
- [請求項11] 前記アイランド凹部は、凹曲面を有する、請求項1ないし10のいずれかに記載の半導体装置。
- [請求項12] 前記第1リードは、前記アイランド部から前記第1方向の前記第2側に延出する第1端子部をさらに有する、請求項1ないし11のいずれかに記載の半導体装置。
- [請求項13] 前記アイランド部の前記第1方向と直交する第2方向の大きさは、前記第1端子部の前記第2方向の大きさより大きい、請求項12に記載の半導体装置。
- [請求項14] 前記アイランド部の前記厚さ方向の大きさは、前記第1端子部の前記厚さ方向の大きさより大きい、請求項13に記載の半導体装置。
- [請求項15] 前記半導体素子は、前記アイランド部に導通接合された第1電極と、前記厚さ方向の前記第1側に設けられた第2電極と、前記第1電極および前記第2電極の導通状態を制御するための第3電極と、を有するスイッチング素子である、請求項1ないし14のいずれかに記載の半導体装置。
- [請求項16] 前記第2電極に導通する第2リードをさらに備える、請求項15に記載の半導体装置。
- [請求項17] 前記第3電極に導通する第3リードをさらに備える、請求項16に記載の半導体装置。
- [請求項18] アイランド部を有する第1リードを用意する工程と、
前記アイランド部に半導体素子を搭載する工程と、

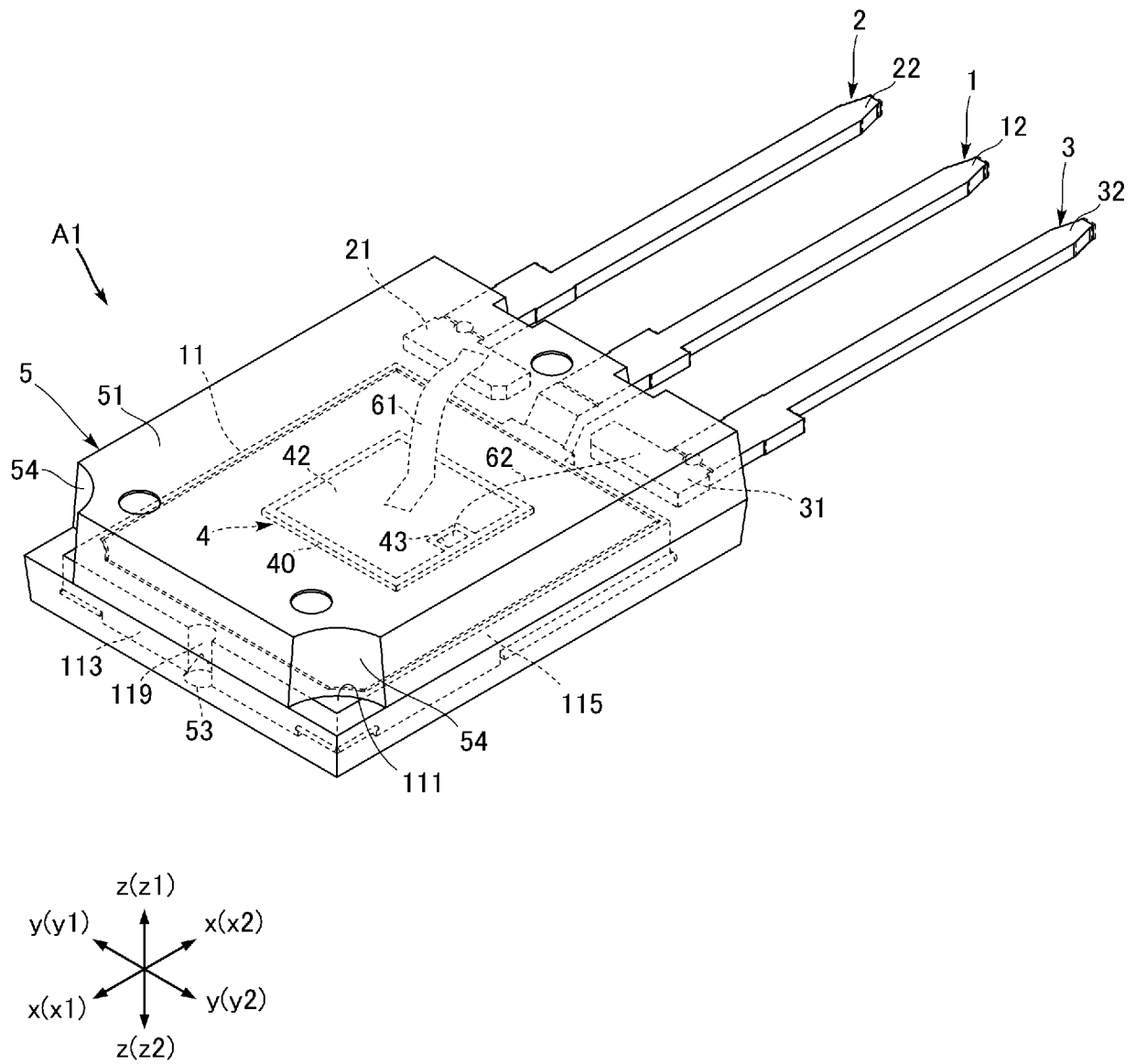
前記アイランド部の少なくとも一部および前記半導体素子を覆う封止樹脂を金型を用いて形成する工程と、を備え、

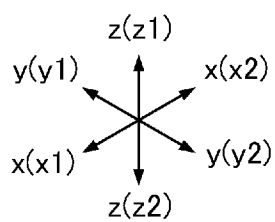
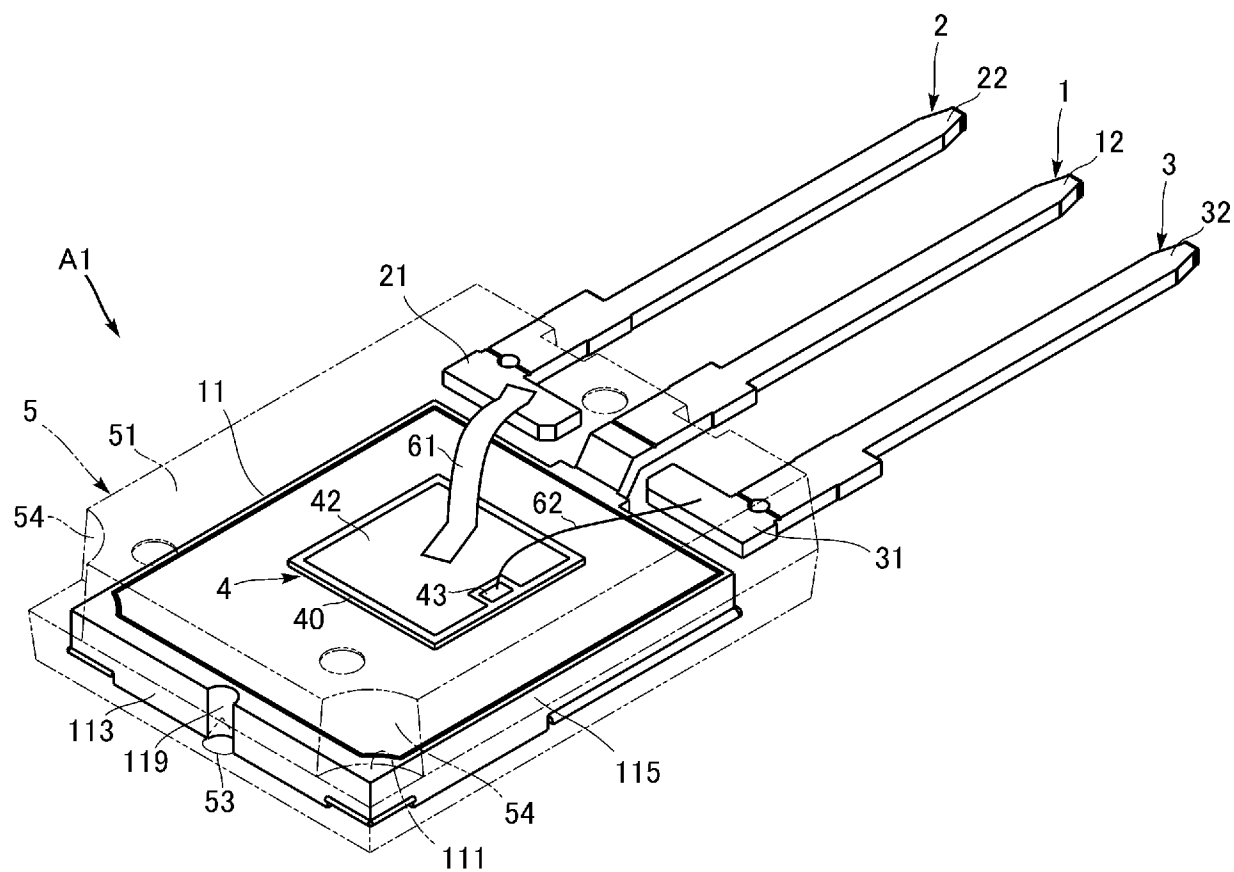
前記アイランド部は、厚さ方向の第1側を向き且つ前記半導体素子が搭載されたアイランド主面と、前記厚さ方向の第2側を向くアイランド裏面と、前記厚さ方向に交差する第1方向の第1側を向く第1側面と、前記アイランド裏面から前記厚さ方向の第1側に凹み且つ前記第1側面から前記第1方向の第2側に凹むアイランド凹部と、を有し、

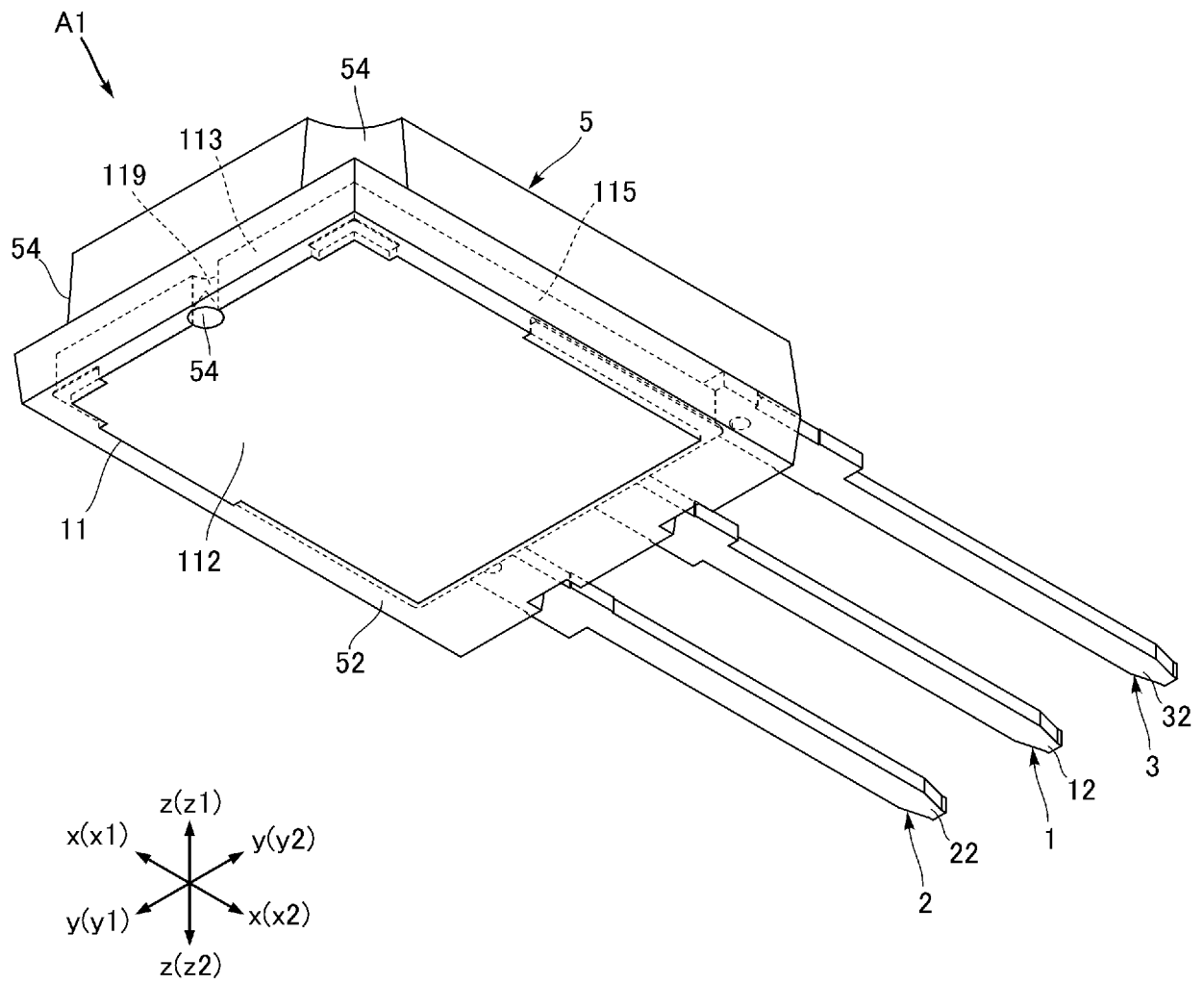
前記金型は、前記アイランド主面と対向する金型主面と、前記金型主面から突出する金型凸部と、を有し、

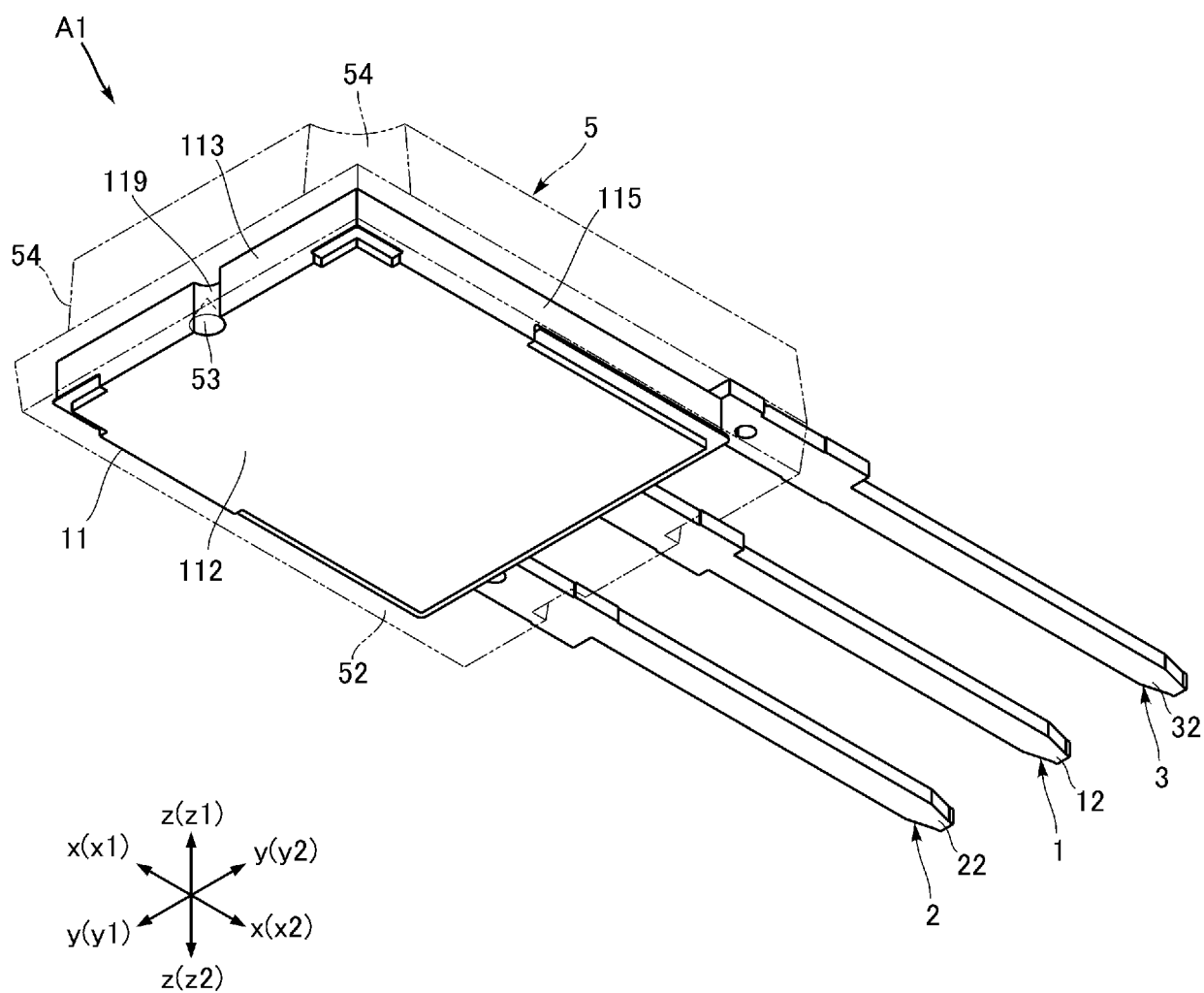
前記封止樹脂を形成する工程においては、前記アイランド凹部と前記金型凸部とを当接させる、半導体装置の製造方法。

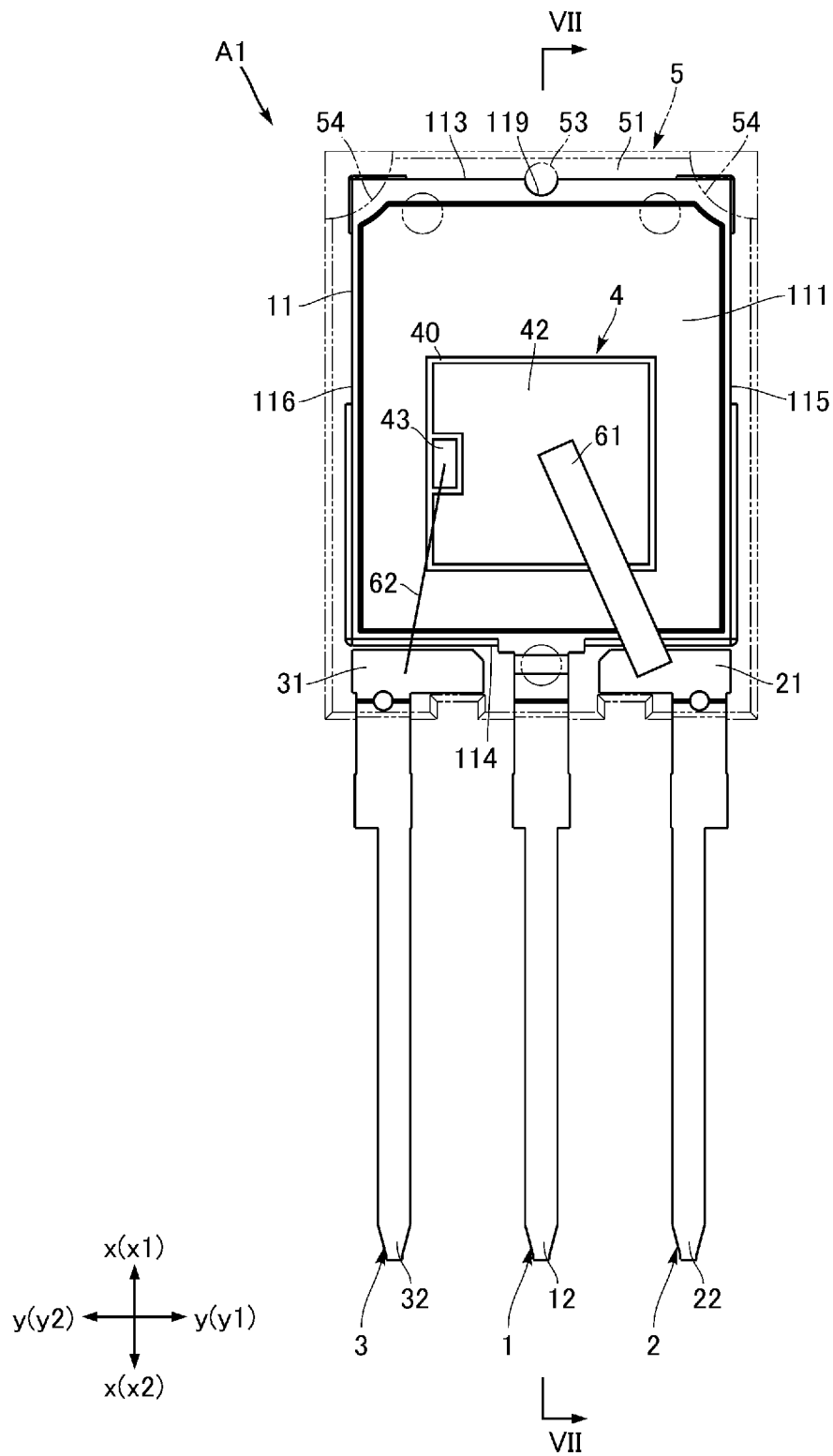
[図1]
FIG.1



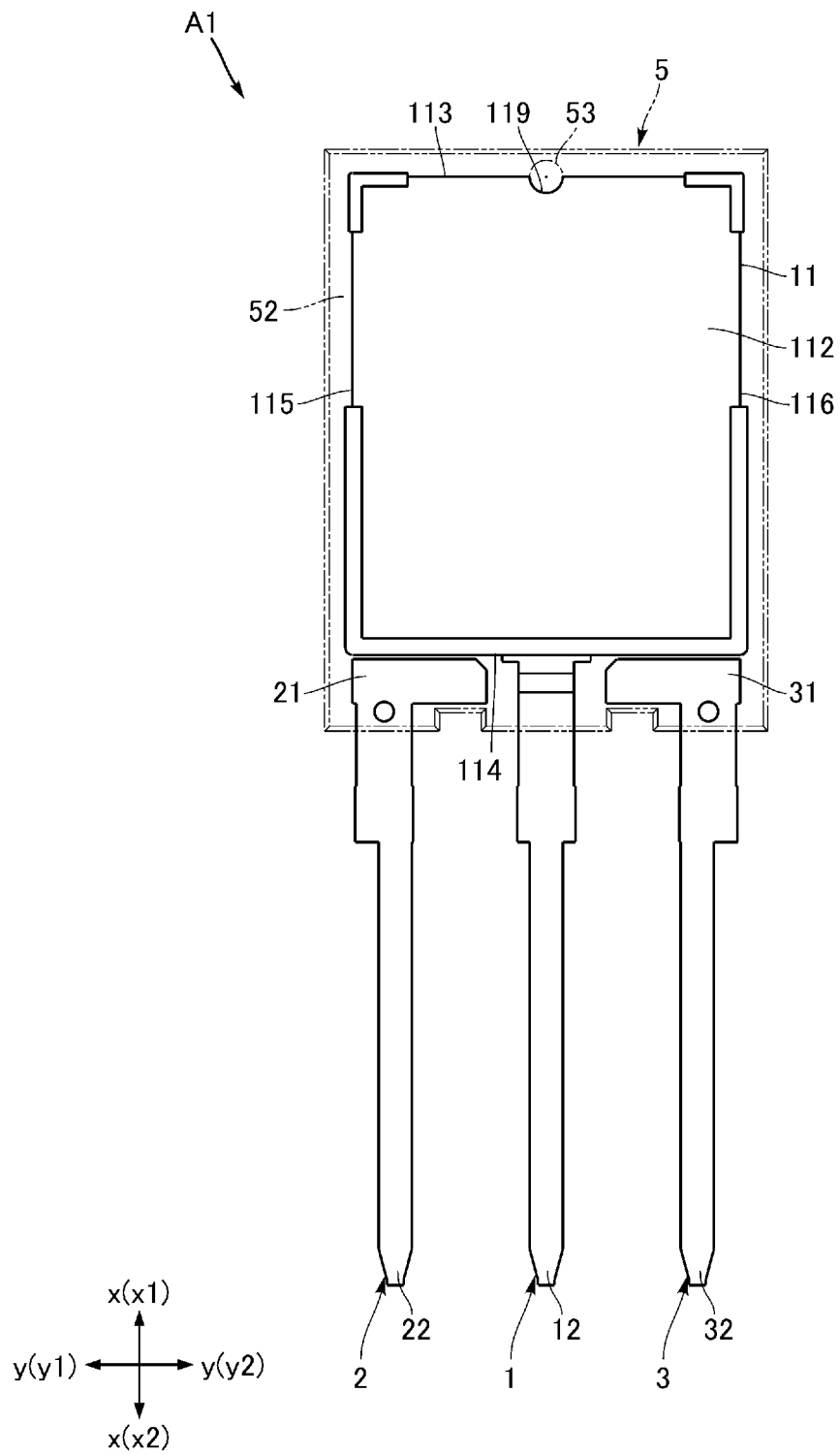
[図2]
FIG.2

[図3]
FIG.3

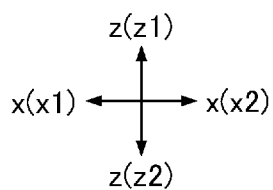
[図4]
FIG.4

[図5]
FIG.5

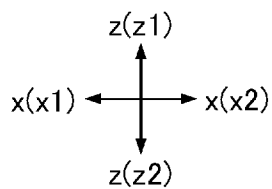
[図6]
FIG.6

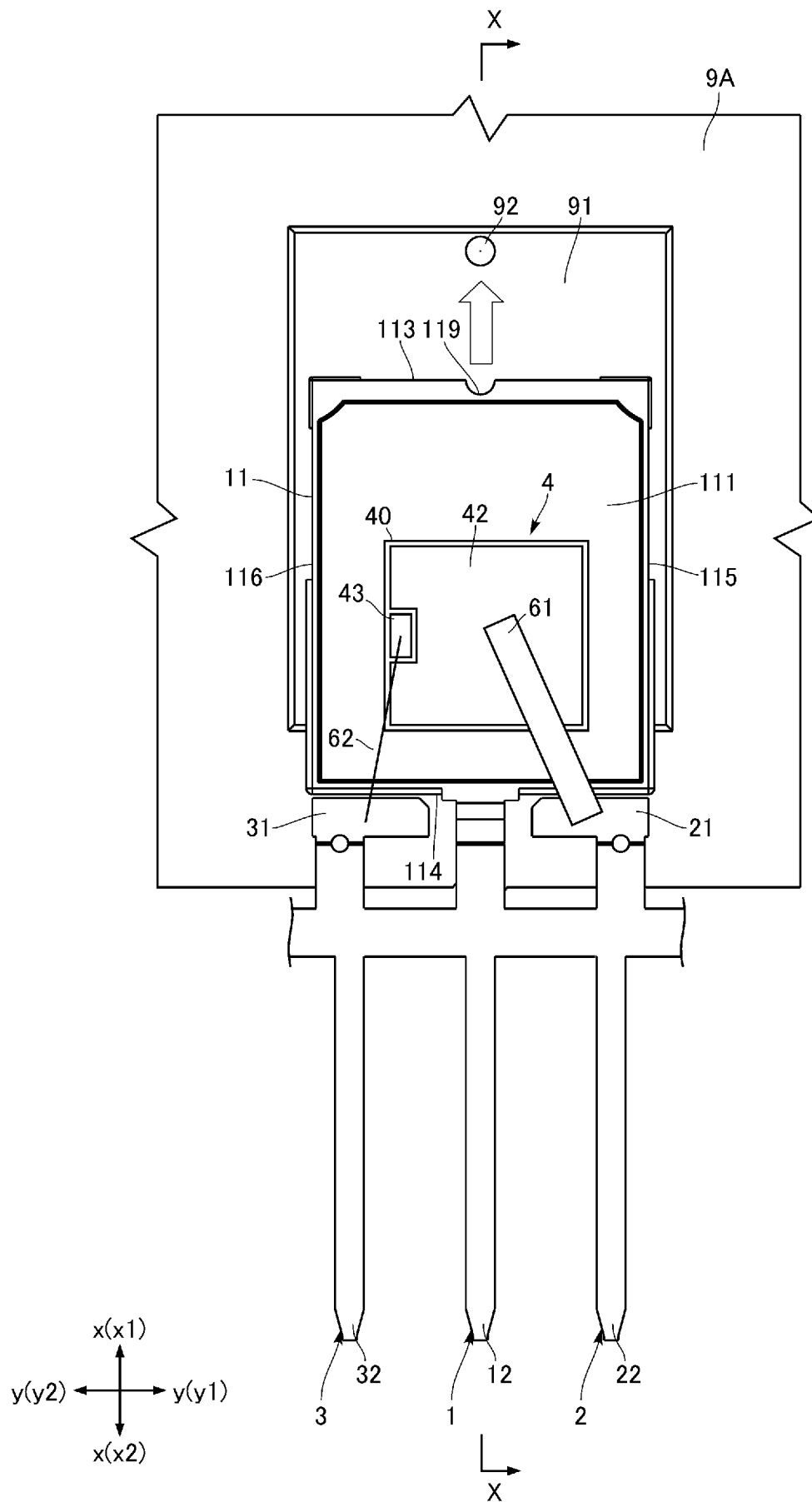


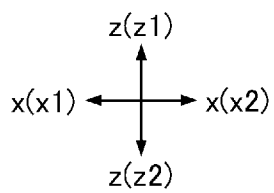
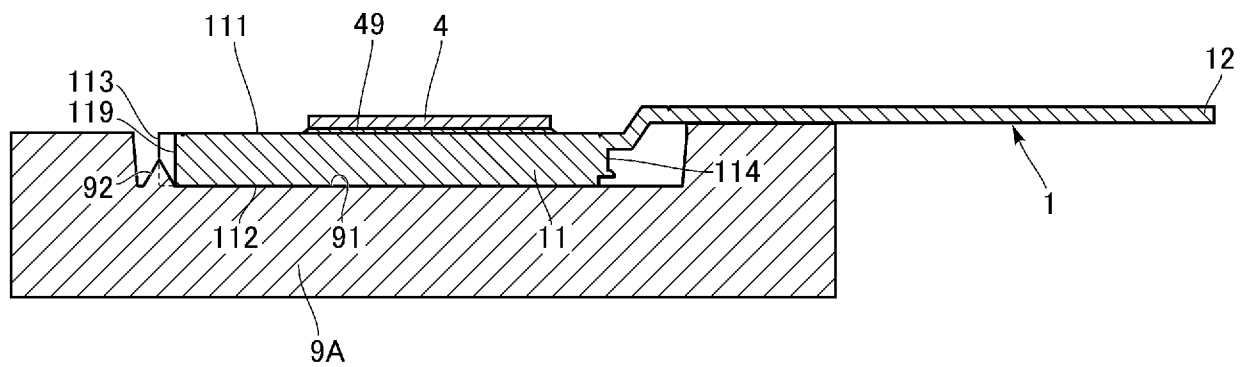
A1

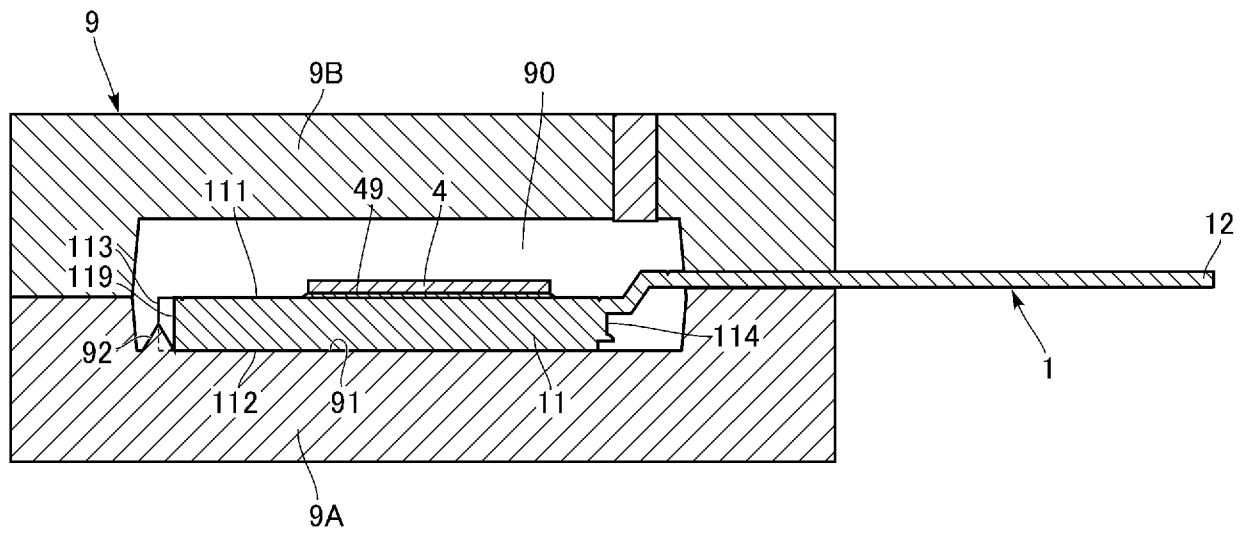
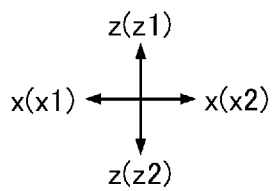
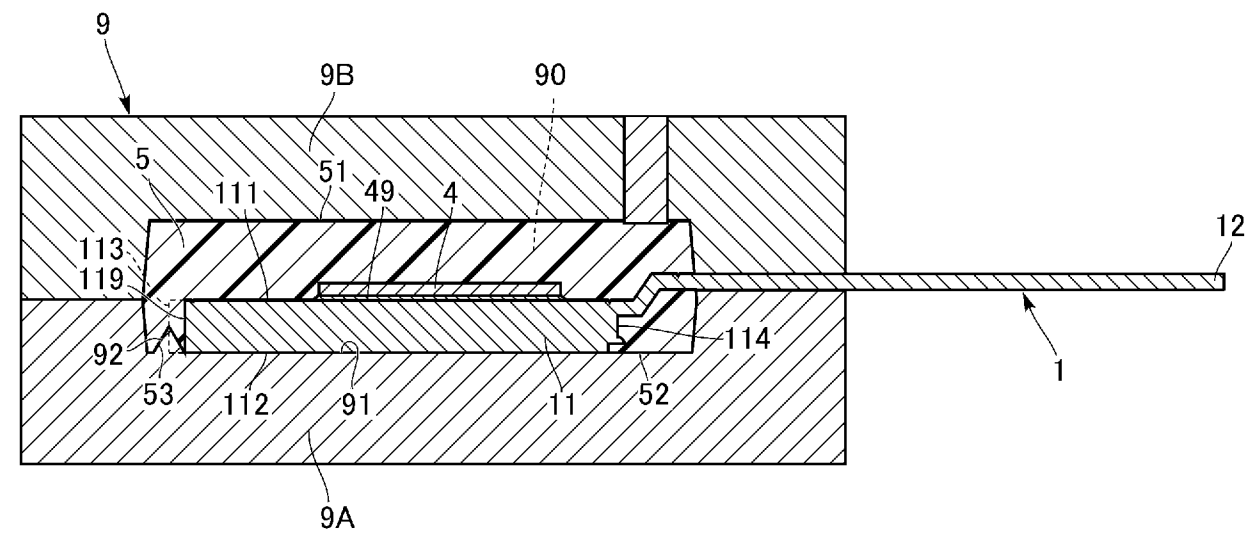


A1

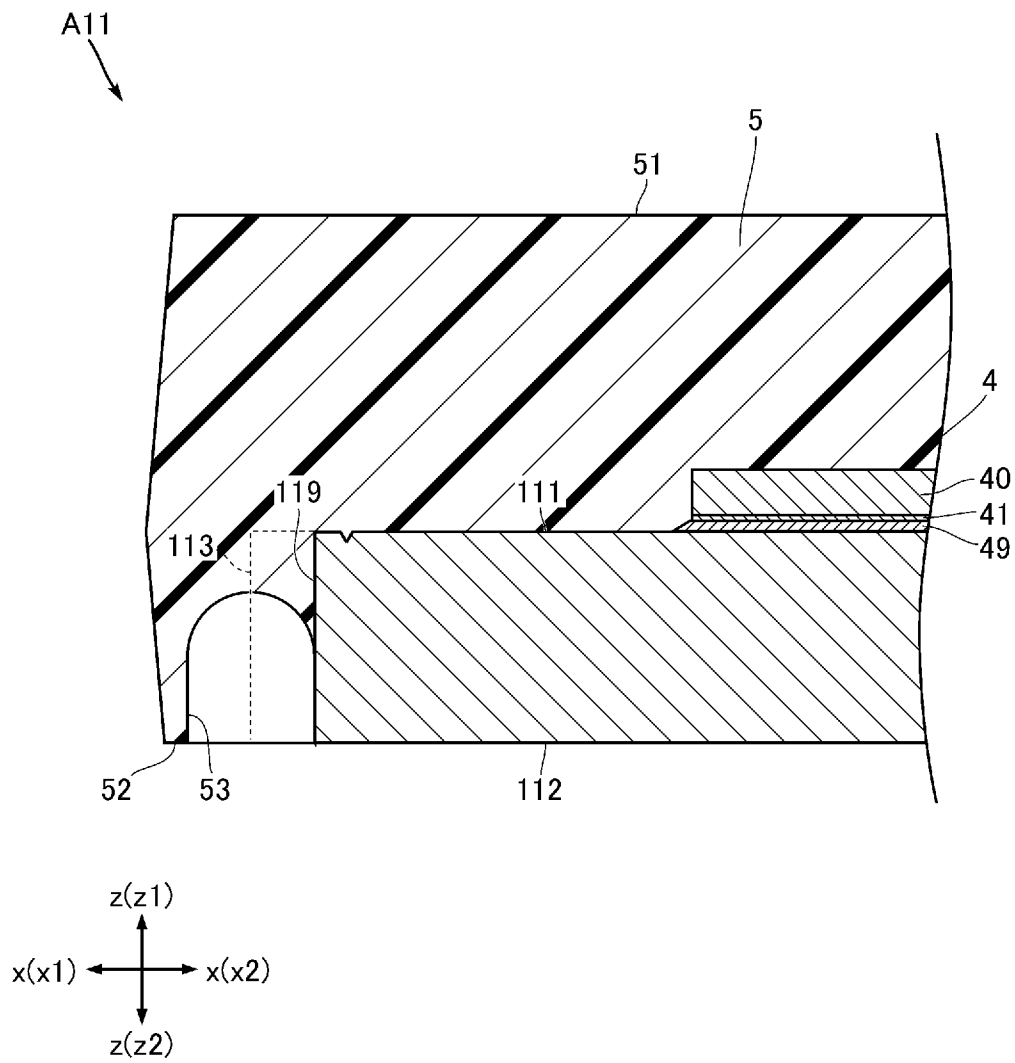


[図9]
FIG.9

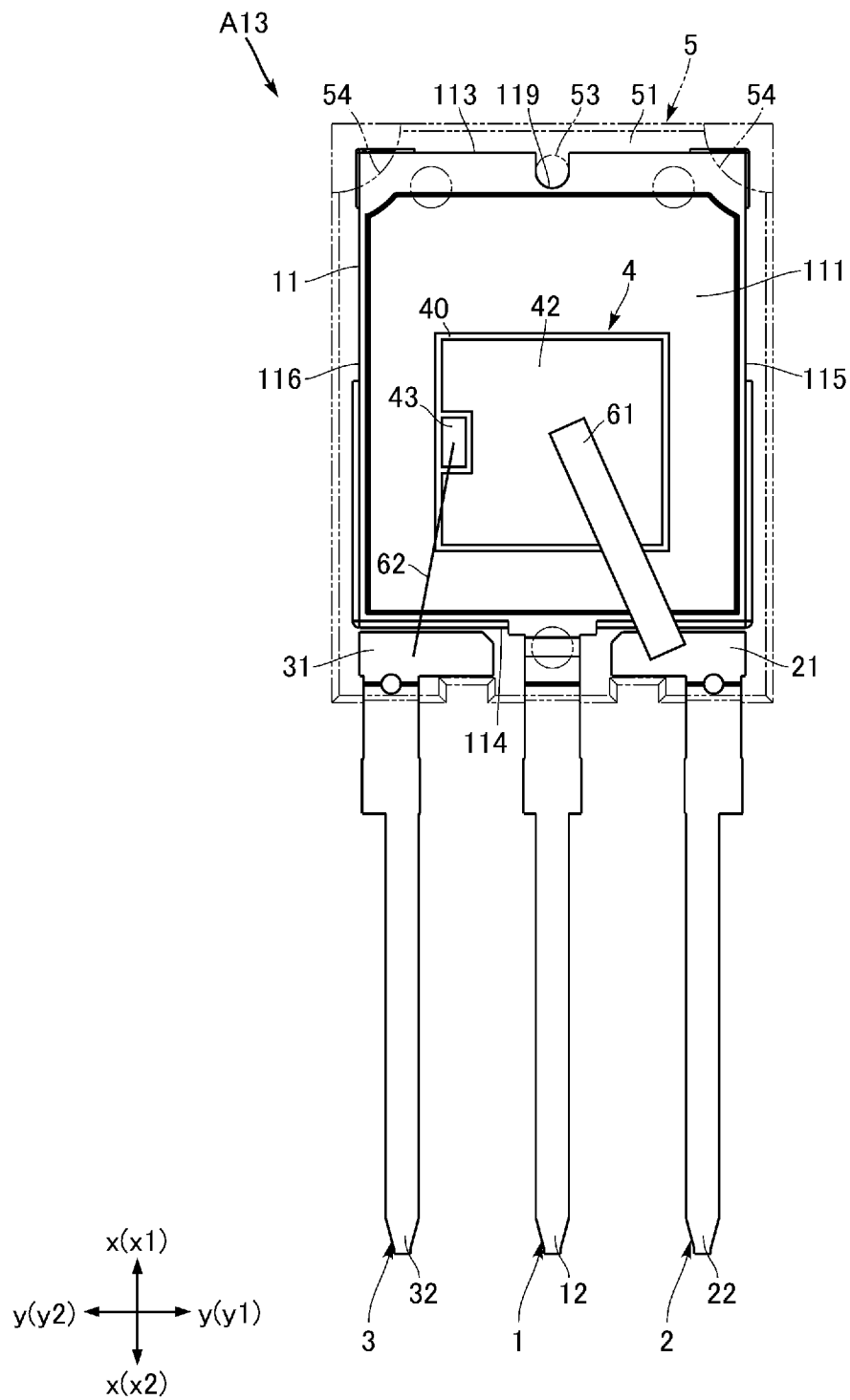


[図12]
FIG.12[図13]
FIG.13

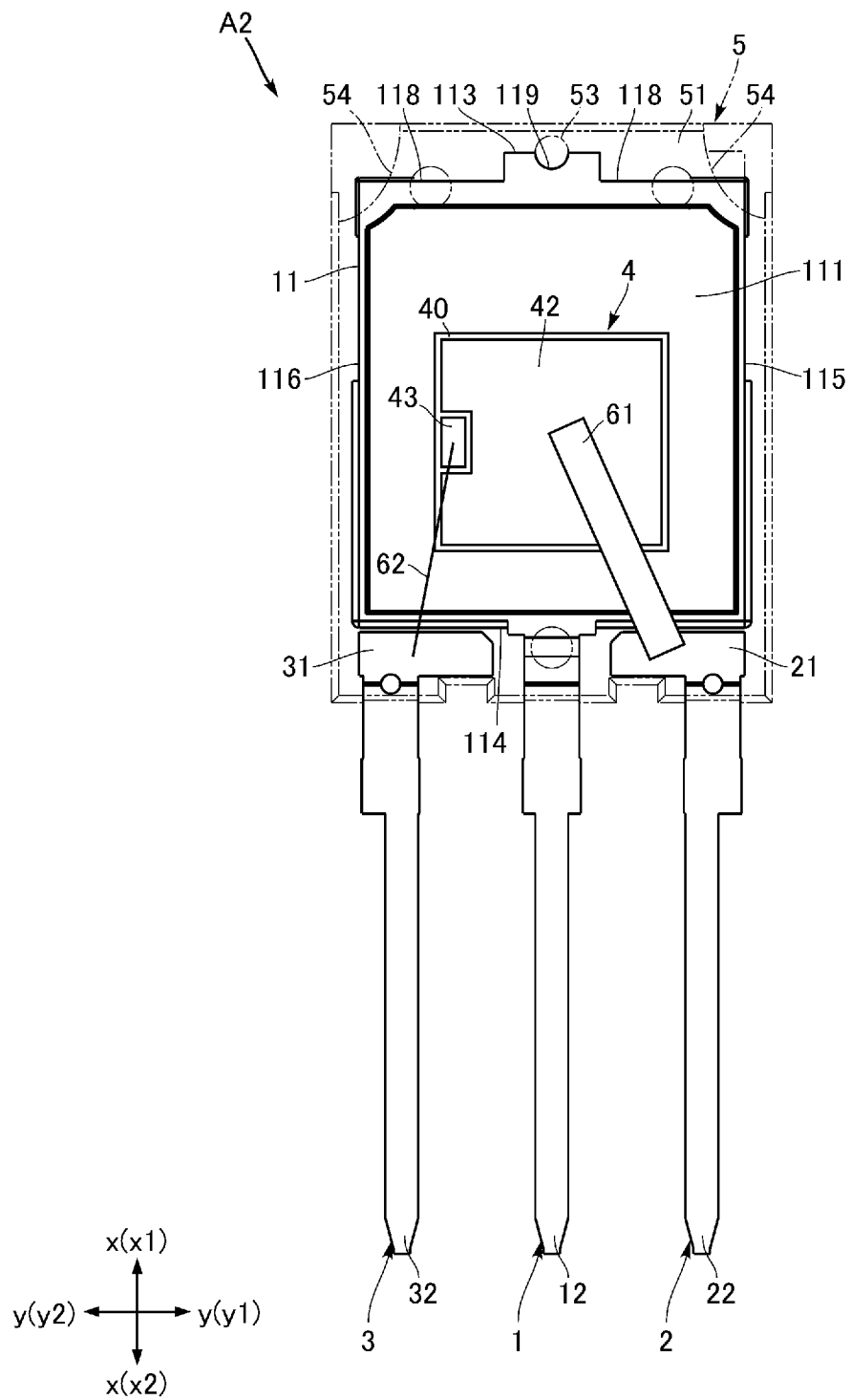
[図14]
FIG.14



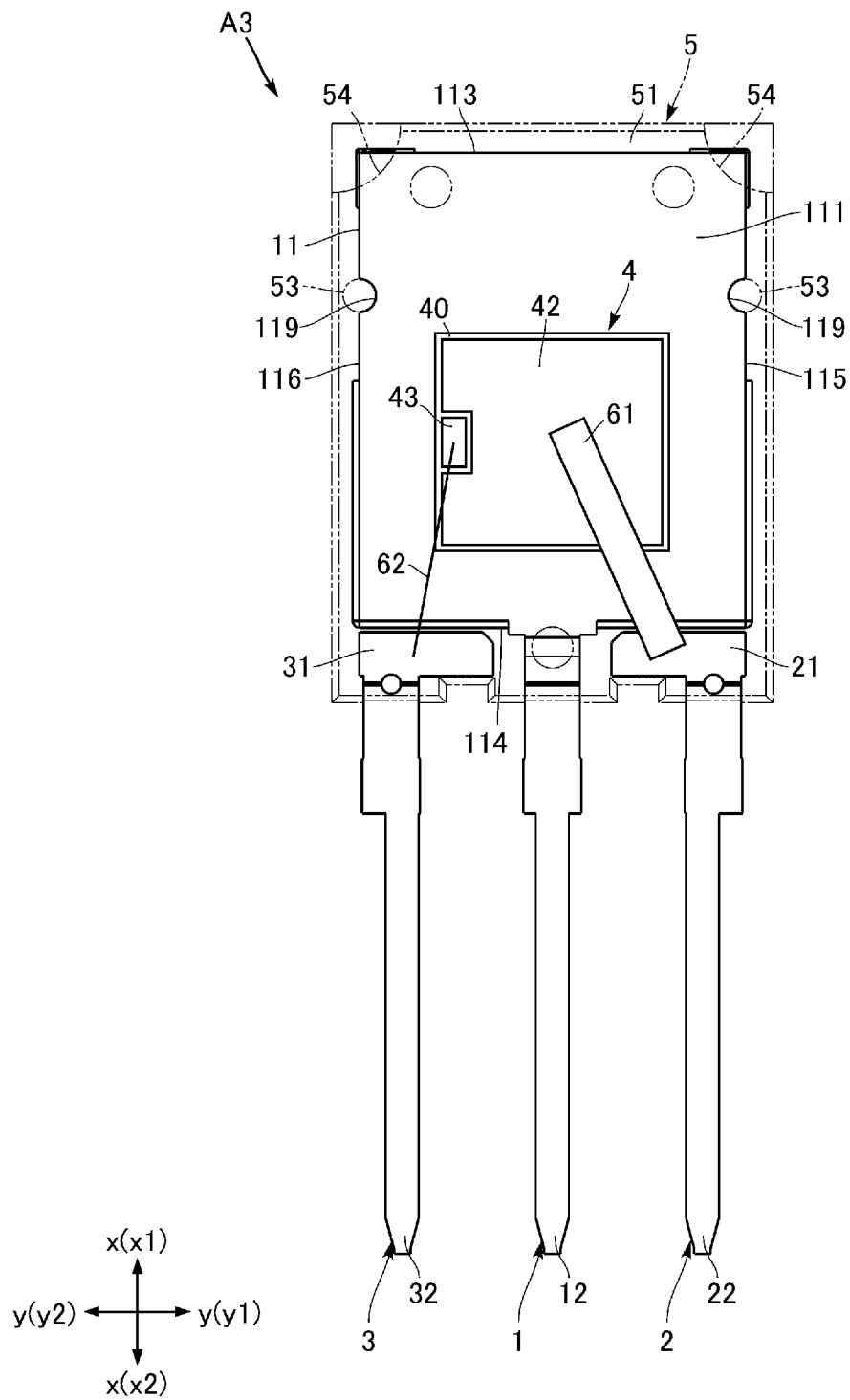
[図16]
FIG.16



[図17]
FIG.17



[図18]
FIG.18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/013901

A. CLASSIFICATION OF SUBJECT MATTER H01L 23/48 (2006.01)i; H01L 23/28 (2006.01)i FI: H01L23/48 M; H01L23/48 P; H01L23/28 J According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/48; H01L23/28 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-82065 A (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 16 May 2016 (2016-05-16) paragraphs [0009]-[0019], [0036], [0071]-[0073], fig. 1-8, 19	1, 2, 5, 11-13, 15-17
Y	paragraphs [0009]-[0019], [0036], [0071]-[0073], fig. 1-8, 19	3, 4, 6, 14
A	entire text, all drawings	7, 8-10, 18
Y	JP 2010-34349 A (SANYO ELECTRIC CO., LTD.) 12 February 2010 (2010-02-12) paragraphs [0042]-[0046], fig. 8	3, 4
A	entire text, all drawings	7, 8-10, 18
Y	JP 2010-109254 A (SANYO ELECTRIC CO., LTD.) 13 May 2010 (2010-05-13) paragraphs [0019], [0026], fig. 1	4
A	entire text, all drawings	7, 8-10, 18
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 10 June 2024		Date of mailing of the international search report 25 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2022/014300 A1 (ROHM CO., LTD.) 20 January 2022 (2022-01-20) paragraphs [0015], [0022], [0028], fig. 8	6, 14
A	entire text, all drawings	7, 8-10, 18
A	JP 2-290032 A (HITACHI, LTD.) 29 November 1990 (1990-11-29)	1-18
A	WO 2020/059751 A1 (ROHM CO., LTD.) 26 March 2020 (2020-03-26)	1-18
A	JP 8-204099 A (ROHM CO., LTD.) 09 August 1996 (1996-08-09)	1-18
A	JP 6-314765 A (NEC CORPORATION) 08 November 1994 (1994-11-08)	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/013901

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-82065	A	16 May 2016	(Family: none)	
JP	2010-34349	A	12 February 2010	US 2010/0025828 A1	paragraphs [0098]-[0102], fig. 15
				US 2011/0024883 A1	
				CN 101640178 A	
				CN 102522375 A	
JP	2010-109254	A	13 May 2010	(Family: none)	
WO	2022/014300	A1	20 January 2022	US 2023/0245954 A1	paragraphs [0039], [0046], [0052], fig. 8
				DE 212021000205 U1	
				CN 115769351 A	
JP	2-290032	A	29 November 1990	(Family: none)	
WO	2020/059751	A1	26 March 2020	US 2021/0320044 A1	
				DE 212019000110 U1	
				CN 112703594 A	
JP	8-204099	A	09 August 1996	CN 1136710 A	
				KR 10-1996-0030390 A	
JP	6-314765	A	08 November 1994	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 23/48(2006.01)i; H01L 23/28(2006.01)i
FI: H01L23/48 M; H01L23/48 P; H01L23/28 J

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L23/48; H01L23/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2016-82065 A（新電元工業株式会社）16.05.2016（2016-05-16） 段落[0009]-[0019], [0036], [0071]-[0073], 図1-8, 19	1, 2, 5, 11-13, 15-17
Y	段落[0009]-[0019], [0036], [0071]-[0073], 図1-8, 19	3, 4, 6, 14
A	全文, 全図	7, 8-10, 18
Y	JP 2010-34349 A（三洋電機株式会社）12.02.2010（2010-02-12） 段落[0042]-[0046], 図8	3, 4
A	全文, 全図	7, 8-10, 18
Y	JP 2010-109254 A（三洋電機株式会社）13.05.2010（2010-05-13） 段落[0019], [0026], 図1	4
A	全文, 全図	7, 8-10, 18
Y	WO 2022/014300 A1（ローム株式会社）20.01.2022（2022-01-20） 段落[0015], [0022], [0028], 図8	6, 14
A	全文, 全図	7, 8-10, 18

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日 10.06.2024

国際調査報告の発送日 25.06.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

鹿野 博司 5D 8392

電話番号 03-3581-1101 内線 3549

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2-290032 A (株式会社日立製作所) 29.11.1990 (1990 - 11 - 29)	1-18
A	WO 2020/059751 A1 (ローム株式会社) 26.03.2020 (2020 - 03 - 26)	1-18
A	JP 8-204099 A (ローム株式会社) 09.08.1996 (1996 - 08 - 09)	1-18
A	JP 6-314765 A (日本電気株式会社) 08.11.1994 (1994 - 11 - 08)	1-18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/013901

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-82065	A	16.05.2016	(ファミリーなし)	
JP	2010-34349	A	12.02.2010	US 2010/0025828	A1
				段落[0098]-[0102], 図15	
				US 2011/0024883	A1
				CN 101640178	A
				CN 102522375	A
JP	2010-109254	A	13.05.2010	(ファミリーなし)	
WO	2022/014300	A1	20.01.2022	US 2023/0245954	A1
				段落[0039], [0046], [0052], 図8	
				DE 212021000205	U1
				CN 115769351	A
JP	2-290032	A	29.11.1990	(ファミリーなし)	
WO	2020/059751	A1	26.03.2020	US 2021/0320044	A1
				DE 212019000110	U1
				CN 112703594	A
JP	8-204099	A	09.08.1996	CN 1136710	A
				KR 10-1996-0030390	A
JP	6-314765	A	08.11.1994	(ファミリーなし)	