



(21)申請案號：106125251 (22)申請日：中華民國 106 (2017) 年 07 月 27 日

(51)Int. Cl. : **H05K1/18 (2006.01)** **G06F13/40 (2006.01)**
G06F13/14 (2006.01) **H05K9/00 (2006.01)**

(30)優先權：2016/07/28 美國 62/367,836
2017/07/25 美國 15/659,187

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：帕薩馬拉桑 皮里亞泰爾山 PATHMANATHAN, PRIYATHARSHAN (LK)

(74)代理人：陳長文

(56)參考文獻：

US	2008/0157901A1	US	2009/0236141A1
US	2009/0260864A1	US	2011/0061925A1
US	2013/0265736A1	US	2016/0092351A1

審查人員：陳泰龍

申請專利範圍項數：20 項 圖式數：10 共 33 頁

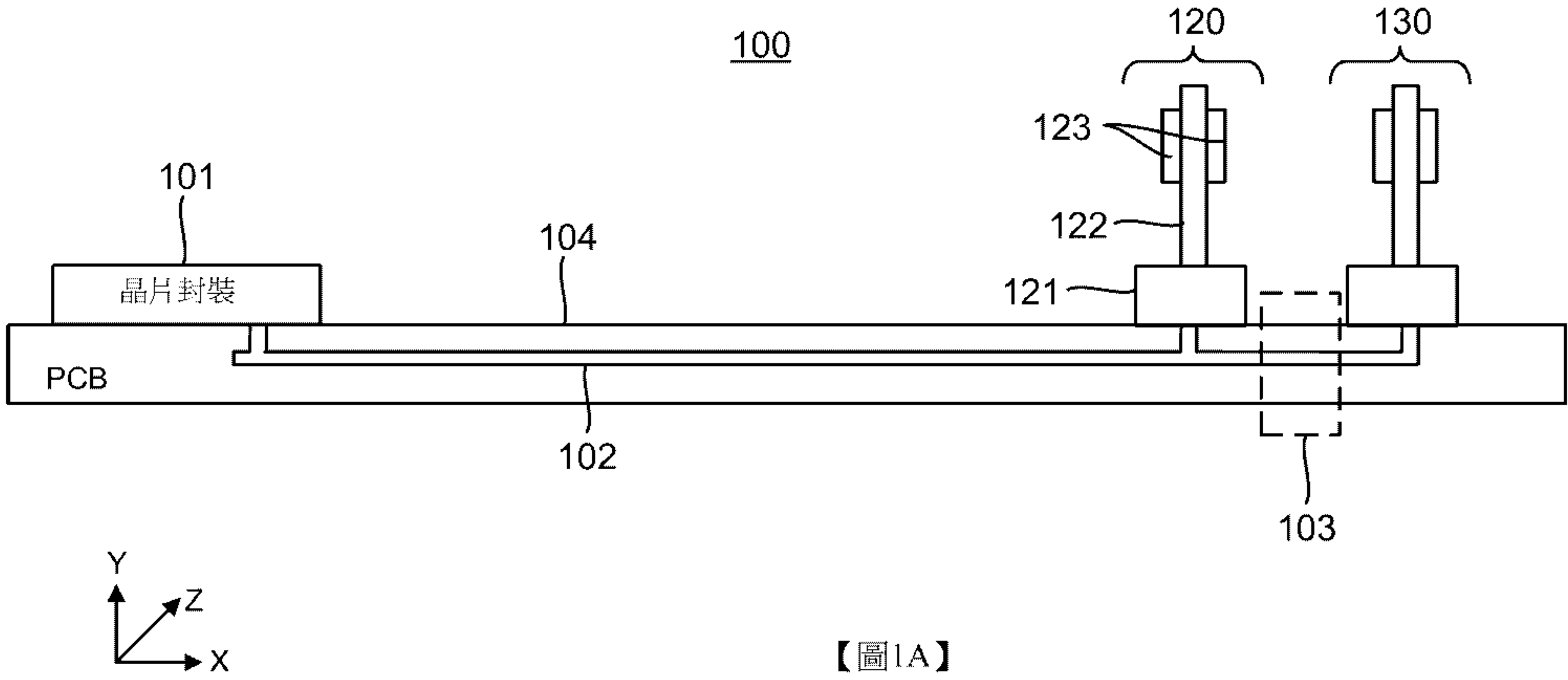
(54)名稱
於記憶體模組電耦合提供電子帶隙(EBG)結構之電路及方法

(57)摘要

本發明提供一種系統，其包括：具有複數個導電跡線的一印刷電路板；耦合到該印刷電路板且與該複數個導電跡線電通信的一處理裝置；與該複數個導電跡線電通信且共用該等導電跡線之通道的一第一記憶體模組及一第二記憶體模組，其中該第一記憶體模組相比於該第二記憶體模組實體上更接近該處理裝置；及實體上安置於該第一記憶體模組與該第二記憶體模組之間的一區域中的一電子帶隙(EBG)結構。

A system includes: a printed circuit board having a plurality of conductive traces; a processing device coupled to the printed circuit board and in electrical communication with the plurality of conductive traces; a first memory module and a second memory module in electrical communication with the plurality of conductive traces and sharing channels of the conductive traces, wherein the first memory module is physically more proximate to the processing device than is the second memory module; and an electronic band gap (EBG) structure physically disposed in an area between the first memory module and the second memory module.

指定代表圖：



【圖1A】

符號簡單說明：

100 . . . 系統

101 . . . 晶片封裝

102 . . . 導電跡線

103 . . . EBG 結構

104 . . . PCB

120 . . . 近 DIMM
模組

130 . . . 遠 DIMM
模組



I695658

【發明摘要】

IPC分類： *H05K 1/18* (2006.01)
G06F 13/40 (2006.01)
G06F 13/14 (2006.01)
H05K 9/00 (2006.01)

【中文發明名稱】

於記憶體模組電耦合提供電子帶隙(EBG)結構之電路及方法

【英文發明名稱】

CIRCUITS AND METHODS PROVIDING ELECTRONIC BAND
GAP (EBG) STRUCTURES AT MEMORY MODULE ELECTRICAL
COUPLING

【中文】

本發明提供一種系統，其包括：具有複數個導電跡線的一印刷電路板；耦合到該印刷電路板且與該複數個導電跡線電通信的一處理裝置；與該複數個導電跡線電通信且共用該等導電跡線之通道的一第一記憶體模組及一第二記憶體模組，其中該第一記憶體模組相比於該第二記憶體模組實體上更接近該處理裝置；及實體上安置於該第一記憶體模組與該第二記憶體模組之間的一區域中的一電子帶隙(EBG)結構。

【英文】

A system includes: a printed circuit board having a plurality of conductive traces; a processing device coupled to the printed circuit board and in electrical communication with the plurality of conductive traces; a first memory module and a second memory module in electrical communication with the plurality of conductive traces and sharing channels of the conductive traces, wherein the first memory module is physically more proximate to the processing device than is the second memory module; and an electronic band gap (EBG) structure physically

disposed in an area between the first memory module and the second memory module.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

- 100 系統
- 101 晶片封裝
- 102 導電跡線
- 103 EBG結構
- 104 PCB
- 120 近DIMM 模組
- 130 遠DIMM模組

【發明說明書】

【中文發明名稱】

於記憶體模組電耦合提供電子帶隙(EBG)結構之電路及方法

【英文發明名稱】

CIRCUITS AND METHODS PROVIDING ELECTRONIC BAND GAP (EBG) STRUCTURES AT MEMORY MODULE ELECTRICAL COUPLING

【技術領域】

本發明係關於記憶體模組電耦合，且特定言之，係關於處於記憶體模組電耦合之電子帶隙(EBG)結構。

【先前技術】

一些習知的系統包括安裝到印刷電路板(PCB)且與記憶體模組通信的一或多個處理器晶片。因此，在一實例中，處理器晶片安裝於PCB上且藉由PCB中的跡線與記憶體模組通信。在正常操作期間，處理器發佈讀取請求且向記憶體寫入請求。

在高位元率操作中，捕捉位元可成為挑戰，此係因為捕捉給定位元的時間窗口變短。另外，諸如金屬跡線中之電磁反射的各種現象可能不利地影響捕捉給定位元的時間窗口。此對於利用自處理器至記憶體模組之菊鏈連接設置的PCB尤其屬實。在菊鏈架構中，記憶體模組中之每一者連接至公用匯流排，且電磁反射可影響更靠近處理器之記憶體模組處之位元的捕捉。因此，較近之記憶體模組處所見之電磁反射現象的強度可設定關於記憶體模組中的處理器之間的最大位元率的限制。

習知的T形拓樸可用於一些解決方案中，但是若僅有一個記憶體模組

用於PCB上，則預期習知的T形拓樸可導致效能減弱。因此，習知的T形拓樸可妨礙給定板設計在單模組應用中的使用。

因此，此項技術需要允許提高位元率並減少諸如電磁反射之有害現象的系統及方法。

【發明內容】

各種實施例經由使用置放於記憶體模組之間的電子帶隙(EBG)來減弱電磁反射。EBG結構可用於使電磁反射衰減且至少在更靠近電腦處理器的記憶體模組處改良效能。

在一實施例中，系統包括：具有複數個導電跡線的印刷電路板；耦合到印刷電路板且與複數個導電跡線電通信的處理裝置；與複數個導電跡線電通信且共用導電跡線之通道的第一記憶體模組及第二記憶體模組，其中第一記憶體模組相比於第二記憶體模組實體上更接近處理裝置；及實體上安置於第一記憶體模組與第二記憶體模組之間的區域中的電子帶隙(EBG)結構。

在一實施例中，方法包括：將電信號自印刷電路板上的處理裝置傳播至與複數個導電跡線電通信且共用導電跡線之通道的第一記憶體模組及第二記憶體模組，其中第一記憶體模組相比於第二記憶體模組實體上更接近處理裝置；及使實體上安置於第一記憶體模組與第二記憶體模組之間的區域中之電子帶隙(EBG)結構處之電信號的反射衰減。

在另一實施例中，設備包括：用於寫入資料及讀取資料的構件，該讀取及寫入構件耦合到電路板；用於回應於來自讀取及寫入構件的命令而儲存資料及存取資料的構件，該儲存及存取構件耦合到電路板；用於在共用通道上在讀取及寫入構件與儲存及存取構件之間傳播電信號的構件；及

用於使傳播構件中之反射衰減的構件。

【圖式簡單說明】

圖1A為根據一實施例之例示性電路結構的說明。

圖1B為圖1A之板之端向截面的部分的說明。

圖2至圖4為根據各種實施例之具有兩個DIMM模組及EBG結構之例示性印刷電路板的說明。

圖5為根據一實施例之可實施於印刷電路板中之例示性EBG結構的說明。

圖6為根據一實施例在有EBG結構的情況下和無EBG結構的情況下近記憶體模組及遠記憶體模組之例示性時序效能比較的說明。

圖7為根據一實施例在有EBG結構的情況下和無EBG結構的情況下近記憶體模組及遠記憶體模組之例示性頻域插入損耗效能比較的說明。

圖8至圖9說明用以設計根據一實施例調適之圖1至圖5之結構的例示性方法。

圖10說明根據一實施例之供圖1至圖5中所展示之系統使用的例示性方法。

【實施方式】

相關申請案之交叉參考

本申請案主張2016年7月28日申請且標題為「Circuits and Methods to Increase Throughput in DIMM-to-DIMM Electrical Coupling」之美國臨時專利申請案第62/367,836號的權益，該美國臨時專利申請案之揭示內容以全文引用之方式併入。

各種實施例係針對用以提高記憶體模組之間的電耦合處之信號完整

性的電路及方法。舉例而言，例示性實施例包括安裝到PCB的第一雙同軸記憶體模組(DIMM)及第二DIMM模組。PCB自身可包括最頂接地平面、具有將第一DIMM模組及第二DIMM模組耦合至處理裝置之菊鏈金屬跡線的中間層。第一DIMM模組及第二DIMM模組可置放於相同的跡線上，使得處理裝置每次僅與DIMM模組中之一者通信。

PCB亦可包括跡線下方之層中的下部接地平面。PCB中的層可經配置以使得下部接地平面層及最頂接地平面層包夾金屬跡線。接地平面層中之一者可包括實體上位於第一DIMM模組與第二DIMM模組之間的區域中的電子帶隙(EBG)結構。EBG結構導致自處理器至第一DIMM模組及第二DIMM模組之信號之基頻帶的衰減。雖然EBG結構導致衰減，但其藉由減少反射且經由能量的保存將更多信號能量導引至第一DIMM模組中而提高第一DIMM模組處的信號完整性。

其他實施例可在各種實體配置中實施EBG結構。舉例而言，EBG結構可包括自底部接地平面切出的矩形槽，其中槽的長度維度垂直於金屬跡線的長度維度。在另一實施例中，EBG結構包括底部接地平面中的正弦曲線形槽，其中正弦曲線形槽平行於金屬跡線的方向。當然，如同EBG結構可實施於最底接地平面中，其他實施例可另外或替代地在最頂接地平面中實施EBG結構。又一實施例按各種跡線寬度實施EBG結構。下文關於圖1至圖5更加詳細地描述此等實施例。

此外，雖然關於DIMM模組描述各種實施例，但應瞭解實施例的範疇可包括與金屬跡線電通信之任何類型的記憶體模組。另外，雖然關於兩個記憶體模組展示圖1至圖5的實施例，但應瞭解實施例的範疇可包括其他數量的記憶體模組。舉例而言，一些實施例可包括板上之具有EBG結構的

單一記憶體模組。其他例示性實施例可包括板上之具有一或多個EBG結構的三個或更多個記憶體模組。

圖1A為根據一實施例調適之例示性系統100的說明。例示性系統100包括耦合到PCB 104的晶片封裝101。晶片封裝101可包括任何合適的處理裝置，諸如數位信號處理器(DSP)、中央處理單元(CPU)、具有多個核心的系統單晶片(SOC)及/或其類似者。晶片封裝101及DIMM模組120、130電耦合到導電跡線102以在晶片封裝101與DIMM模組120、130之間攜載信號。

印刷電路板104包括分隔其他導電材料層的複數個絕緣材料層。舉例而言，導電材料可包括諸如銅或銅合金的金屬。在此實例中，跡線102實施於一層中，但是其他實施例可包括交錯有絕緣材料層的多個金屬層。用於PCB的例示性絕緣材料包括FR-4玻璃環氧樹脂，但是實施例的範疇不限於任何特定之用於PCB 104的材料。

圖1A為自X-Y平面之側視圖展示之例示性系統100的說明。圖1B藉由展示Y-Z平面中之端向剖視圖的部分而補充圖1A。圖1B未按比例繪製。如圖1B中所示，在此實例中，PCB 104進一步包括平行於跡線102且位於跡線102垂直上方之層中的第一導電接地平面105及平行於跡線102且位於跡線102垂直下方之層中的第二導電接地平面106。接地平面105、106將呈現為圖1A中展示之視圖中的線。

接著圖1B的實例，跡線102展示為佈置於PCB 104之層中的一組金屬線。跡線102可包括任何數量的獨立線，且在其他實例中，可包括接地平面105與接地平面106之間的其他層中的線。合適的接地平面材料的實例包括銅、銅合金及其類似者。跡線102及接地平面105、106在圖1B中被絕

緣層實體上分隔。

隨著信號在跡線102上方自晶片封裝101傳播至DIMM模組120及130，存在發端於遠DIMM模組130且沿相同跡線向近DIMM模組120傳回之信號的反射。此等反射可導致近DIMM模組120處喪失信號完整性。因此，此例示性實施例包括置放於DIMM模組120、130之間以使信號衰減(若不衰減則將導致反射)的EBG結構103。為簡單起見，EBG結構103在此實例中展示為矩形，但應瞭解其可利用任何合適的實體結構加以實施，諸如接地平面中之任一者或兩者中的槽、跡線之變化的寬度部分、PCB 104之變化的介電介質及/或其類似者。

圖2為例示性PCB 200的說明，其更詳細地說明圖1A之PCB 104之特定的實體實施。區域201表明晶片封裝101將耦合到圖1之PCB 104的位置。各種孔洞(例如，通孔)提供自晶片封裝101之引腳至PCB 200內之層及結構的電通信。為便於參考，此視圖除去最頂接地平面105，且應瞭解最頂接地平面105將置放於跡線202上方的層中。

跡線202為PCB 200之一或多個層上的導電線，且該等跡線將晶片封裝101的引腳耦合至DIMM模組的引腳。DIMM模組1表示圖1之近DIMM模組120，且DIMM模組0表示圖1之遠DIMM模組130。在此視圖中，為便於參考，除去DIMM模組，且應瞭解DIMM模組1及0的引腳將經由諸如孔洞204之孔洞耦合到PCB 200及跡線202。

另外在此實例中，使用相同的通道將DIMM模組1及DIMM模組0電耦合到跡線，從而晶片封裝101在給定時間與DIMM模組中之僅一者通信。或者換言之，跡線202使用多點匯流排架構(其中兩個DIMM模組皆耦合到相同跡線)將DIMM模組0及DIMM模組1耦合到區域201中的晶片封

裝。區域210表明其中實施有EBG結構之接地平面的部分。如圖所示，EBG結構具有切入最底接地平面中的多個矩形槽。矩形槽中之每一者的間距及寬度共同判定EBG結構提供衰減的頻帶。在此實例中，例示性槽展示為211。EBG結構的矩形槽經配置以使得其長度維度垂直於跡線202的長度維度，且EBG結構位於兩個DIMM模組之間的區域及兩個DIMM模組中之每一者正下方之區域的下方。矩形槽的EBG性質可利用諸如以下(1)至(3)之方程式模型化：

方程式(1)

$$k = \frac{1}{L} \cos^{-1} \left[\frac{A+D}{2} \right]$$

方程式(2)

$$A = \cosh \gamma_1 l_1 \cosh \gamma_2 l_2 + \frac{Z_1}{Z_2} \sinh \gamma_1 l_1 \sinh \gamma_2 l_2$$

方程式(3)

$$D = \cosh \gamma_1 l_1 \cosh \gamma_2 l_2 + \frac{Z_2}{Z_1} \sinh \gamma_1 l_1 \sinh \gamma_2 l_2$$

在方程式(1)至方程式(3)中，Z1為第一介質的阻抗，Z2為第二介質的阻抗，l1為第一介質的長度，l2為第二介質的長度，γ1為第一介質的傳播常數，γ2為第二介質的傳播常數，L為週期性單位晶胞的長度(L=l1+l2)。

圖3為例示性PCB 200的說明，但具有EBG結構之不同的實體實施。在圖3的實例中，區域310表明其中定位有EBG結構的區域。特定言之，EBG結構包括區域310內之導電跡線202中之每一者的各種寬度段。各種寬度段的實例包括段311，該等段311寬於相同跡線的其他部分。各種寬度段的寬度及間距判定EBG結構提供衰減的頻帶。換言之，圖3之實施例在導電跡線本身上實施EBG結構，而非將EBG結構實施為接地平面中的槽。

圖4為例示性PCB 200的另一說明，該PCB 200具有不同於上文關於圖2及圖3所展示之EBG結構之EBG結構的又一實體實施。區域410表明其

中實施有EBG結構的區域。特定言之，在此實例中，EBG結構被實施為最底接地平面中的眾多正弦曲線形槽。槽的實例展示於項411中。另外在此實例中，正弦曲線形槽中之每一者的長度維度以平行於跡線202之長度維度的基本方向而對準。圖4包括經由放大展示兩個鄰接的正弦曲線形槽如何呈現的例示性正弦曲線形槽420。藉由正弦曲線形狀的週期及振幅判定EBG結構提供衰減的頻率。另外，其他實施例可按需要使用具有不同週期及形狀的正弦曲線。正弦曲線槽的EBG性質可利用諸如方程式(4)至方程式(8)之方程式模型化：

方程式(4)

$$R = \left[\frac{\gamma^2 \sinh^2 (sD)}{s^2 \cosh^2 sD + \left(\frac{\Delta k}{2}\right)^2 \sinh^2 sD} \right]$$

方程式(5)

$$\gamma = \frac{k_1 M}{4}$$

方程式(6)

$$\Delta k = 2k_1 - K$$

方程式(7)

$$s = \sqrt{\gamma^2 - \left(\frac{\Delta k}{2}\right)^2}$$

方程式(8)

$$K = \frac{2\pi}{L}$$

在方程式(4)至方程式(8)中，R為反射率，D為結構的長度，M為介電常數的正弦調變，k1為週期性介質的波數，L為週期性晶胞的週期。

圖5為EBG結構之實體實施的又一說明。圖5展示PCB(諸如圖1A及圖1B之PCB 104)之層中的纖維編織的俯視圖及透視圖。編織的類型及跡線相對於編織之轉動角可經組態以具有提供合乎需要之EBG性質之變化的介電介質。介電層壓PCB通常由編織為用於樹脂介質之加強件的玻璃纖維串製成。編織玻璃纖維編織物可經組態以形成具有交替之玻璃纖維及樹脂區的週期性介質。此等週期性區可經設計以在PCB介質中形成EBG結構。藉由調整纖維編織參數，可控制帶隙頻率及頻寬。觀察圖1B的實例，一或多個纖維編織層可置放於跡線102與接地平面105之間及/或跡線102與接地

平面106之間。

舉例而言，存在用於調整週期性介質幾何形狀及控制帶隙頻率的各種可能技術。一個實例包括編織類型的選擇，諸如具有經紗及緯紗的各種寬度。另一實例為樹脂及玻璃纖維介電常數的選擇。又一實例包括佈線相對於纖維編織定向之轉動角。另一實例包括纖維編織集束的截面形狀(例如，正弦截面)。工程師可模擬具有各種週期性介質幾何形狀的PCB以尋找提供合乎需要之EBG性質的一或多個幾何形狀。隨後可使用包括EBG結構之PCB中的一或多個層實施各種實施例以提供所要的反射衰減量。

提供圖2至圖5以說明EBG結構可採取多種不同的實體實施。另外，雖然圖2及圖3的實例展示最底接地平面中的槽，但應瞭解可按需要將槽實施於最頂接地平面中或兩個接地平面中。另外，所說明之實施例的EBG結構與跡線相比定位於PCB之不同的層中，且特定言之，側向(沿圖1A之X向)定位於記憶體模組之間。然而，可按需要按比例調整EBG結構使得其不但側向位於記憶體模組之間，而且跨入側向位於記憶體模組中之任一者或兩者下方的區域。在任何情況下，可調適EBG結構以用於在各種實施例中使多點匯流排中的反射衰減。

圖6為根據一實施例之四個不同例示性眼圖602、604、612、614的說明。圖6至圖7展示裕度、時間及電壓的數字，且此等數字僅用於說明。其他實施例按需要可具有此等參數的不同數字。眼圖602、604、612、614展示上覆於相同顯示器上之多個位元轉變的時域表示。可經由模擬或測試獲得圖6的圖式。

以圖式612作為一實例，其根據模擬或測量中的任一者，隨著位元轉變將出現於近DIMM模組(DIMM模組1)而展示眾多位元轉變。通常，給定

眼圖中的線愈緊密，不同時間處不同轉變之間的差異愈小。較大差異常常可由符號間干擾導致，該干擾自身可能為信號反射的結果。

眼圖614說明根據模擬抑或測量在遠DIMM模組(DIMM模組0)處的位元轉變。眼圖612及眼圖614兩者表示圖1至圖5中所展示之實施例所預期的行為。眼圖之寬闊中部說明可供在轉變期間捕捉位元的時間。舉例而言，時脈可對資料進行取樣，因此時脈邊緣將較佳地位於眼圖中部，其中中部表示最高二進位1及最低二進位0。通常不需要太早或太遲取樣，此係由於可能無法恰當地捕捉位元。眼中的開口愈大，可供捕捉位元的時間愈多。相應地，線在眼圖中重疊得愈緊密，差異愈小，可供捕捉位元的時間愈多。

眼圖612、614中部的矩形為JEDEC固態技術協會的規格，且該等矩形對應於捕捉位元所要的時間。裕度指藉由矩形之拐角與眼圖中最近的線之間的距離來說明的時間。裕度愈小，可供捕捉位元的時間愈少。觀察眼圖612及614，分別存在47.92 ps及58.25 ps的裕度。對於給定應用，此等值可以接受或不可接受。然而，此等數字與眼圖602、604展示的裕度形成對比。眼圖602、604對應於類似於圖1至圖5中所展示之系統的系統，但沒有使反射衰減的EBG結構。眼圖602、604分別展示12.50 ps及97.92 ps的裕度。

因此，在不使用EBG結構的情況下，預期此等其他實施例由於反射將在近DIMM模組處具有減弱的時序效能。另外，近DIMM模組處之裕度與遠DIMM模組處之裕度之間的大偏差表明近DIMM模組可導致該系統的效能瓶頸，且甚至可能具有對於一些應用不可接受的時序效能。

EBG結構的附加可使反射衰減，但亦可使來自晶片的信號衰減，藉

此略微減弱遠DIMM模組處的時序效能。然而，在一些情況中，近DIMM模組處之提高的裕度可使近DIMM模組的時序效能由不可接受的程度達到可接受的程度，此取決於特定的應用。換言之，以遠DIMM模組處之效能的一定程度減弱為代價換取近DIMM模組處之效能的提高，這是可接受的，尤其在兩個DIMM模組皆處於可接受裕度內的應用中。

圖7為根據一實施例之四個例示性頻率圖式702、704、712、714的說明。圖式702、704為分別對應於圖6之眼圖602、604的頻域圖式。類似地，圖式712、714為分別對應於眼圖612、614的頻域圖式。圖式702、704、712、714說明自1.6 GHz至3.3 GHz之頻帶的衰減，該等頻帶在一些實施例中可為所關注的基頻帶。舉例而言，如圖1中所示，一些實施例可利用彼頻帶內的信號將資料自晶片傳輸至DIMM模組。圖式712、714展示使用圖2之EBG結構的模擬效能。此等圖式與展示使用不包括EBG結構之實施例的模擬效能的圖式702、704比較。再次，近DIMM模組處之效能改良可歸因於使用EBG結構以提高近DIMM模組處的增益，此在圖式中係顯而易見的。圖7中的頻帶為出於說明性目的，且應瞭解其他實施例可利用不同的頻帶。

一些實施例的一個優勢為圖1至圖5的EBG結構可為具有藉由菊鏈短線電耦合之兩個DIMM模組的系統提供可接受的時序效能，且在DIMM模組中之任一者處之效能損耗不會被察覺。

另外，圖1至圖5中所展示的實施例即使在僅有一個DIMM模組耦合到PCB的應用中亦可提供可接受的效能。此與習知的T形拓樸形成對比，預期習知的T形拓樸在僅有一個DIMM模組填充板時通常將返回不良的結果。因此，本文描述的各種實施例可包括按需要用於單DIMM模組應用及

雙DIMM模組應用兩者的板。換言之，其他實施例可包括圖1至圖5之系統上的變化，其中僅有記憶體模組槽之一被填充(例如，遠槽抑或近槽，但非兩者)。

此外，上述關於圖1至圖5描述的一些解決方案可為反常的且提供非預期結果。舉例而言，上述一些解決方案包括遠記憶體模組處之減弱的時序效能，而習知的解決方案傾向於如有可能集中於改良時序效能。儘管如此，遠記憶體模組處之減弱的時序效能可藉由近記憶體模組處之改良的時序效能補償，藉此使得與不使用使反射衰減之EBG結構的情況下匯流排上可用的位元率相比，匯流排上的位元率總體更高。

各種實施例可用於多種應用中。在一實施例中，具有處理器、至少一記憶體模組及EBG結構的板可用於計算系統中，諸如同伺服器、桌上型電腦、膝上型電腦及其類似者。然而，實施例的範疇不限於此，此係因為可根據本文描述的原理調適用於行動裝置中的板。

圖8為根據一實施例之用於設計具有EBG結構之系統的例示性方法800的說明。舉例而言，工程師可利用一或多個模擬工具執行方法800。

在動作802中，工程師判定板的菊鏈幾何形狀，接著在所要的頻帶模擬DIMM模組中之一者或兩者的時序效能。在動作804中，工程師判定所要的頻帶、基頻是否受影響。舉例而言，在動作802至動作804中，工程師可使用時域及/或頻域技術模擬設計以判定時序效能在所要的頻帶中是否被減弱。若所要的頻帶在動作804中受到影響，則方法800移至動作806。否則，查詢可停止。

在動作806中，工程師判定週期性幾何形狀類型且利用近似方程式計算尺寸。在一些實施例中，動作806包括得出用於EBG結構之最佳估計的尺

寸。舉例而言，最佳估計可包括間距及寬度(圖2及圖3)或正弦頻率及振幅(圖4)，或用於合適的EBG結構的其他參數。動作806可包括利用方程式(諸如上文關於圖2及圖4所論述之方程式)初始地設定參數。在動作808中，工程師在三維電磁場解答器程式中模型化經計算的EBG結構。該模型化產生類似於圖6及圖7之資訊的資訊，允許工程師判定結構的頻率增益及時序效能。

在動作810中，工程師藉由掃描經計算之標稱值周圍的參數來最佳化結構。舉例而言，工程師可改變結構的間距、寬度、正弦頻率及振幅且執行動作808的模型化以進一步優化形狀且提昇效能。在重新設計及模型化的情況下，動作810可為反覆的。

動作812包括在時域模擬中驗證解決方案的有效性。例示性時域模擬包括眼圖且可進一步包括分析時序裕度及雜訊裕度。若解決方案非有效的，則方法800可返回至動作810以進一步提昇設計直至其為可接受的為止。圖9為在動作810及812期間之結果之例示性曲線圖的說明，其中工程師可模擬設計以測試近DIMM及遠DIMM兩者的裕度。在圖8的實例中，解決方案中近DIMM裕度及遠DIMM裕度的效能為實質上類似的且處於應用的可接受範圍內。

各種實施例可包括供圖1至圖5之系統使用的方法。舉例而言，圖10說明供圖1至圖5之系統使用的例示性方法1000。舉例而言，可藉由具有與兩個記憶體模組電通信之晶片封裝的計算設備(諸如圖1A中所示的計算設備)執行方法1000的動作。實例可包括伺服器或其他電腦(包括根據本文所描述之原理而調適的板)的正常操作。

接著此實例，動作1010包括將電信號自PCB上之處理裝置傳播至與

複數個金屬跡線電通信且共用金屬跡線之通道的第一記憶體模組及第二記憶體模組。處理裝置可包括例如中央處理單元(CPU)、數位信號處理器(DSP)、圖形處理單元(GPU)或其他合適的處理單元。處理裝置執行包括將資料寫入至記憶體模組及自記憶體模組讀取資料的操作。

記憶體模組本身回應於來自處理裝置的命令而儲存資料及存取資料。可藉由電跡線(諸如圖1至圖4中所說明之電跡線)執行電信號的傳播。

另外，金屬跡線可經組態為多點匯流排，使得記憶體模組中之每一者與跡線之相同者實體上耦合及電耦合。在此實例中，動作1010可包括電信號沿匯流排傳播，但是任何特定的指令或資料僅可定址至記憶體模組中之給定者。

動作1020包括使EBG結構處之電信號的反射衰減。EBG結構可實體上安置於第一記憶體模組與第二記憶體模組之間的區域中。上文關於圖1至圖4展示及論述不同的實體置放。

實施例的範疇不限於圖10中所示之動作。舉例而言，其他實施例可添加、省略、重新配置或修改一或多個動作。在一實例中，類似圖1A那樣填充板，除了板上僅填充記憶體模組中之一者。在此實例中，僅對於彼單一記憶體模組執行電信號的傳播。類似地，具有三個或更多個記憶體模組的其他實施例可包括傳播電信號至彼等記憶體模組中的每一者。

另外，在裝置的整個操作中，動作1010及1020可連續重複。EBG結構可因此提供電磁反射的衰減，且在一些情況中提供裝置之提高的效能。

如熟習此項技術者至今將瞭解且取決於手頭之特定應用，可在不脫離本發明之精神及範疇的情況下在本發明之裝置的材料、設備、組態及使用方法中作出許多修改、替代及變化。鑒於此，本發明之範疇不應限於本

文中所說明且描述之特定實施例的範疇，此係因為該等實施例僅為一些實例，而實際上本發明之範疇應與下文隨附申請專利範圍及其功能等效物之範疇完全相稱。

【符號說明】

100	系統
101	晶片封裝
102	導電跡線
103	EBG結構
104	PCB
105	接地平面
106	接地平面
120	近DIMM 模組
130	遠DIMM模組
200	PCB
201	區域
202	導電跡線
204	孔洞
210	區域
211	槽
310	區域
311	段
410	區域
411	項

420	正弦曲線形槽
602	眼圖
604	眼圖
612	眼圖
614	眼圖
702	頻域圖式
704	頻域圖式
712	頻域圖式
714	頻域圖式
800	方法
802	動作
804	動作
806	動作
808	動作
810	動作
812	動作
1010	動作
1020	動作

【發明申請專利範圍】

【第1項】

一種記憶體模組電耦合的系統，其包含：

具有包括複數個導電跡線之一匯流排的一印刷電路板；

耦合到該印刷電路板且與該複數個導電跡線電通信的一處理裝置；

與該複數個導電跡線電通信且共用該等導電跡線之通道的一第一記憶體模組及一第二記憶體模組，其中該第一記憶體模組相比於該第二記憶體模組實體上更接近該處理裝置；及

一電子帶隙(EBG)結構，其實體上安置於該第一記憶體模組與該第二記憶體模組之間的一區域中及經組態以影響在該匯流排上自該處理裝置傳輸至該第一記憶體模組及該第二記憶體模組之信號。

【第2項】

如請求項1之系統，其中該第一記憶體模組包含一第一雙同軸記憶體模組(DIMM)，且其中該第二記憶體模組包含一第二DIMM。

【第3項】

如請求項1之系統，其中該匯流排經組態為一多點匯流排(multi-drop bus)。

【第4項】

如請求項1之系統，其中該印刷電路板包括一第一接地平面及一第二接地平面，另外其中該複數個導電跡線配置於該第一接地平面與該第二接地平面之間。

【第5項】

如請求項4之系統，其中該EBG結構包括該第一接地平面中的複數個

矩形槽。

【第6項】

如請求項4之系統，其中該EBG結構包括該第一接地平面中的複數個正弦曲線形槽。

【第7項】

如請求項1之系統，其中該EBG結構包括該等導電跡線的各種寬度段。

【第8項】

如請求項1之系統，其中該EBG結構實體上安置於該第一記憶體模組及該第二記憶體模組下部的區域中。

【第9項】

如請求項1之系統，其中該EBG結構包含該印刷電路板之一變化的介電介質。

【第10項】

一種記憶體模組電耦合的系統，其包含：

一印刷電路板，其具有安置於一第一層上之一匯流排及安置於一第二層上之一第一接地平面；

一處理裝置，其具有一中央處理單元(CPU)及耦合到該印刷電路板及耦合到該匯流排；

一第一雙同軸記憶體模組(DIMM)及一第二DIMM，其安置於該印刷電路板上及耦合到該匯流排及經組態以共用該匯流排之導電跡線之通道以將信號與該CPU通信；

其中該第一DIMM相比於該第二DIMM實體上更接近該CPU；及

一電子帶隙(EBG)結構，其相比於該第二DIMM更接近該CPU而安置於該印刷電路板上及經組態以影響在該第二DIMM處所發端之該匯流排上的信號反射。

【第11項】

如請求項10之系統，其中該匯流排經配置為一多點匯流排。

【第12項】

如請求項10之系統，其中該印刷電路板包括安置於一第三層上之一第二接地平面，另外其中該複數個導電跡線配置於該第一接地平面與該第二接地平面之間。

【第13項】

如請求項12之系統，其中該EBG結構包括該第一接地平面中的複數個矩形槽。

【第14項】

如請求項12之系統，其中該EBG結構包括該第一接地平面中的複數個正弦曲線形槽。

【第15項】

如請求項10之系統，其中該EBG結構包括該等導電跡線的各種寬度段。

【第16項】

如請求項10之系統，其中該EBG結構實體上安置於該第一DIMM及該第二DIMM下部的該印刷電路板之層中。

【第17項】

如請求項10之系統，其中該EBG結構包含該印刷電路板之一變化的

介電介質。

【第18項】

一種記憶體模組電耦合的系統，其包含：

一印刷電路板，其具有安置於一第一層上之一匯流排及安置於一第二層上之一接地平面；

一多個核心的系統單晶片(SOC)，其耦合到該印刷電路板及耦合到該匯流排；

一第一雙同軸記憶體模組(DIMM)及一第二DIMM，其安置於該印刷電路板上及耦合到該匯流排及經組態以共用該匯流排之導電跡線之通道以將信號與該SOC通信；

其中該第一DIMM相比於該第二DIMM實體上更接近該SOC；及

一電子帶隙(EBG)結構，其安置於該印刷電路板之一層內及下伏於(underlying)該第一DIMM與該第二DIMM之間之一區域。

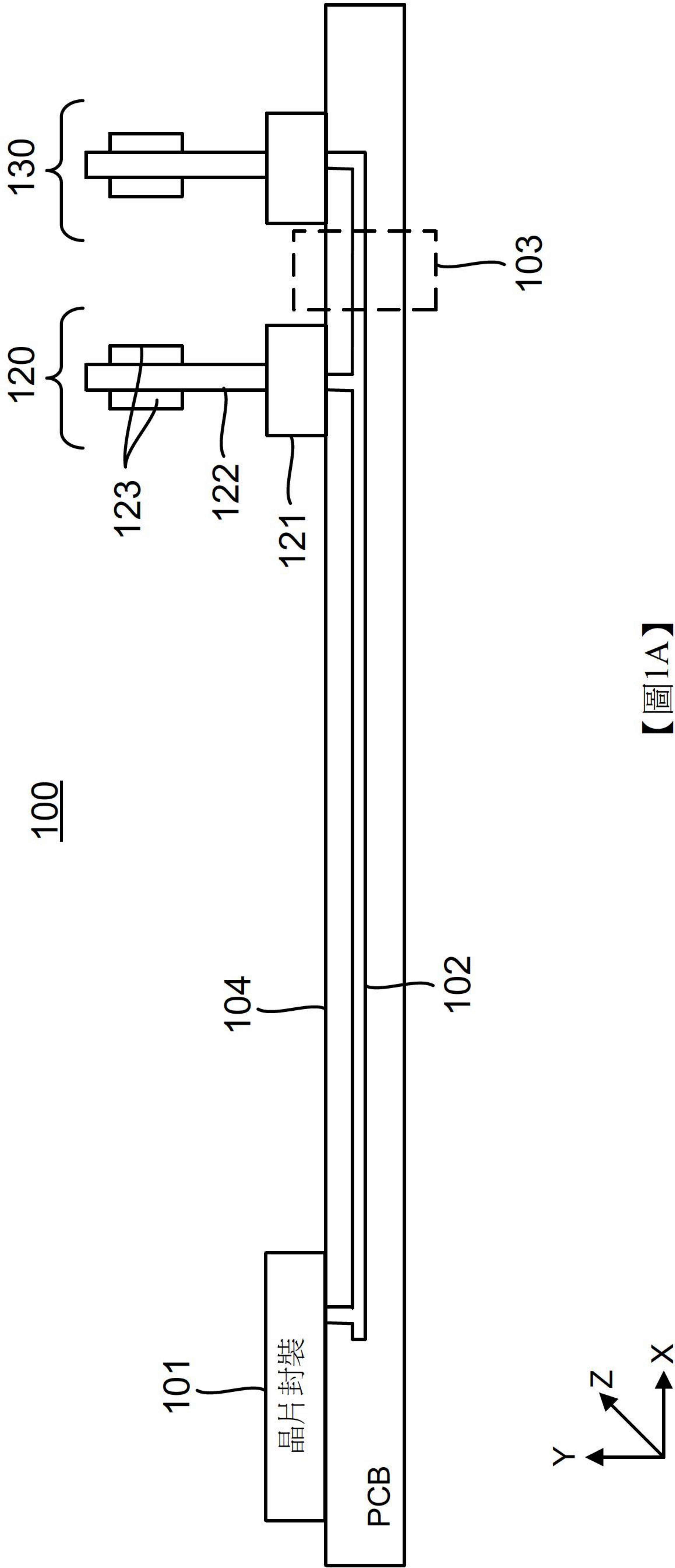
【第19項】

如請求項18之系統，其中該EBG結構包括該第一接地平面中的複數個槽。

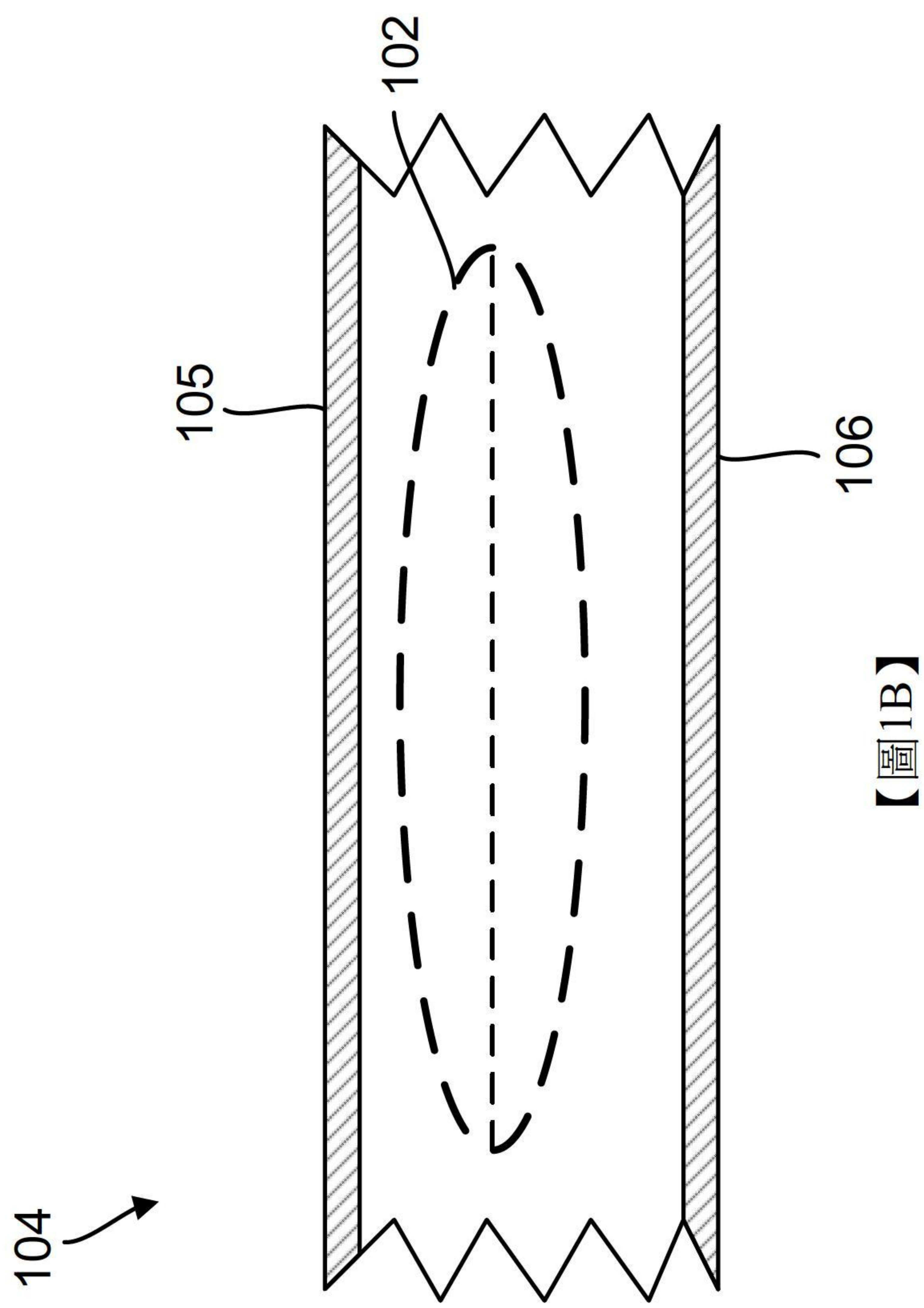
【第20項】

如請求項18之系統，其中其中該EBG結構包括該等導電跡線的各種寬度段。

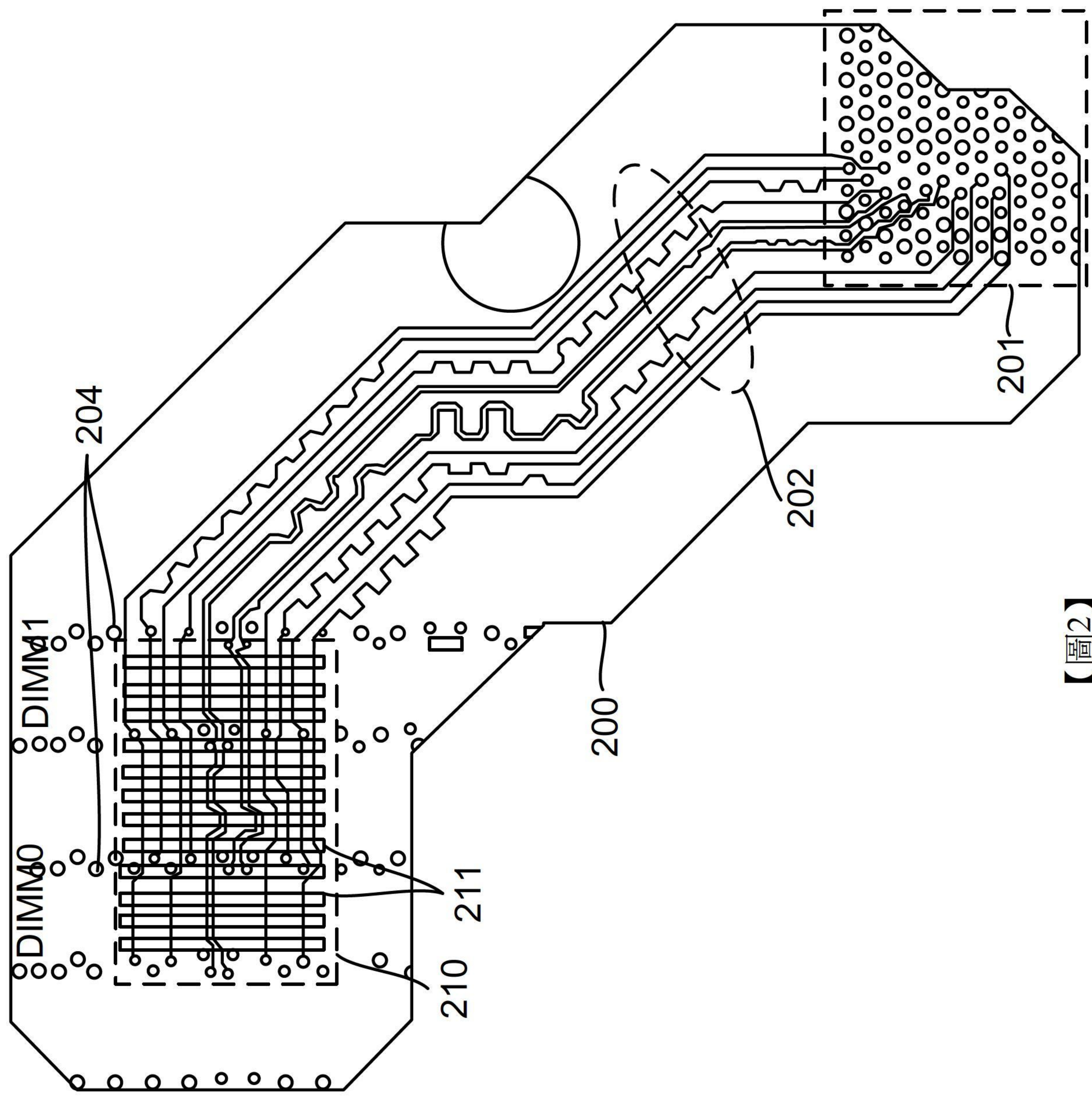
【發明圖式】



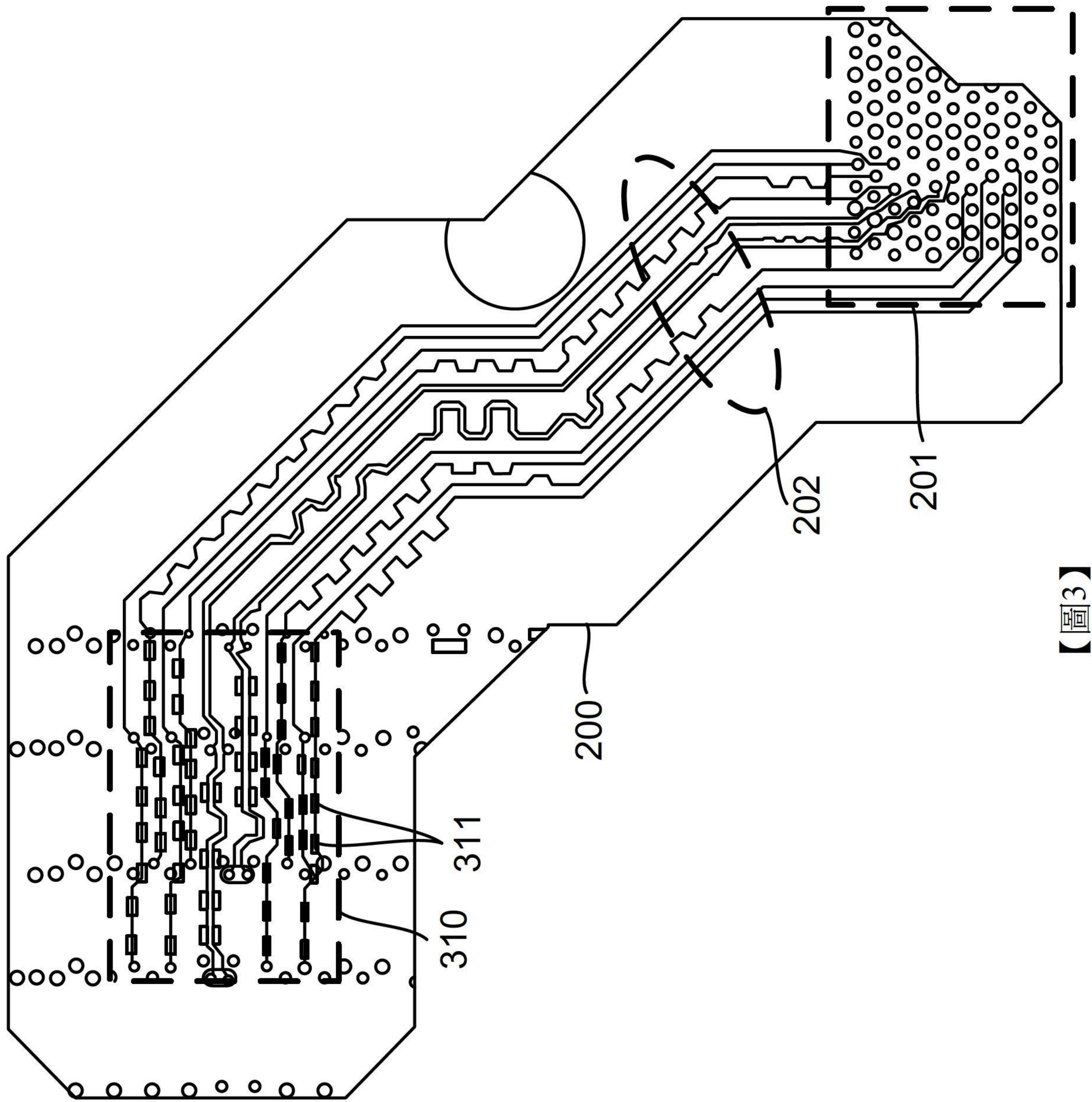
【圖1A】



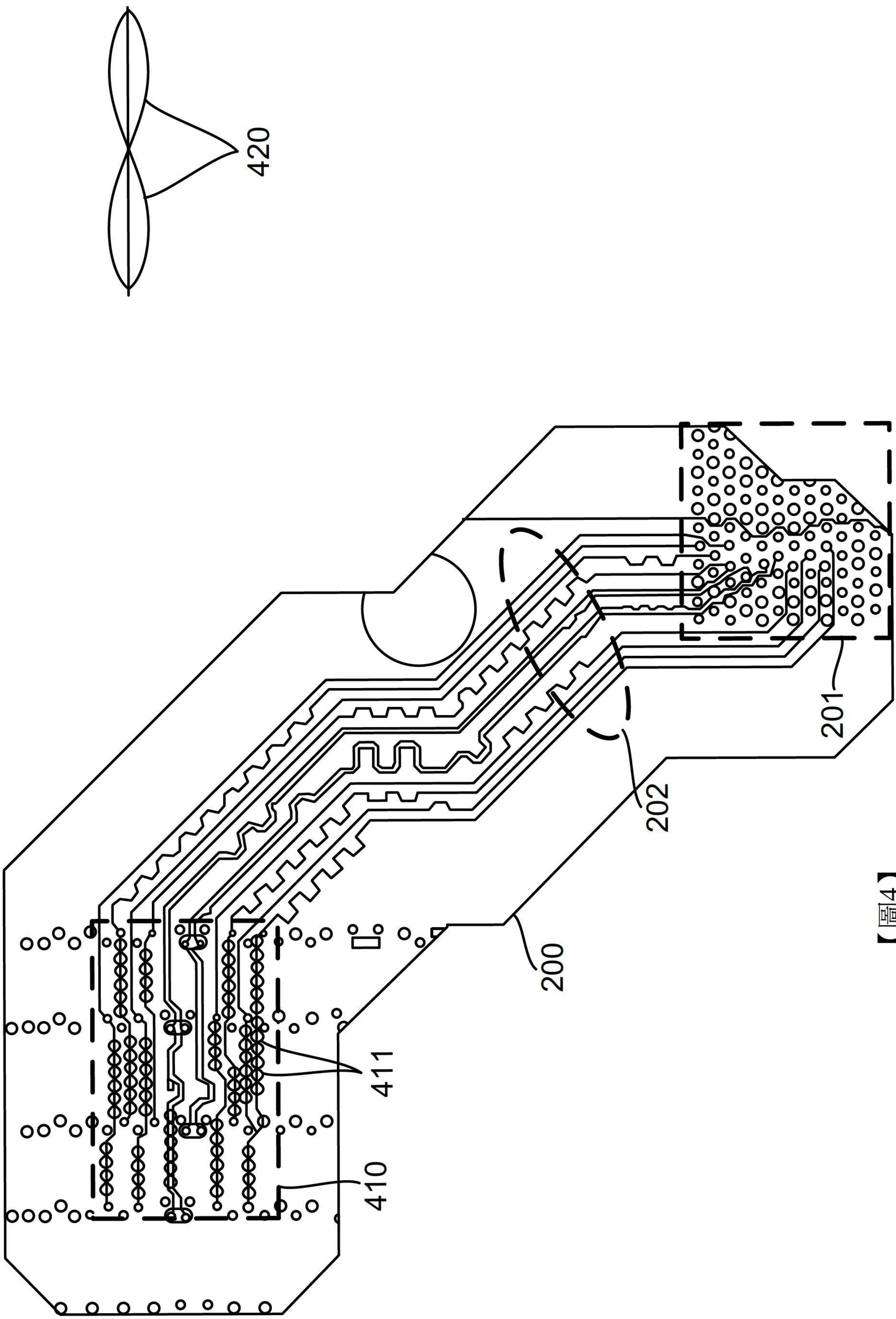
【圖1B】



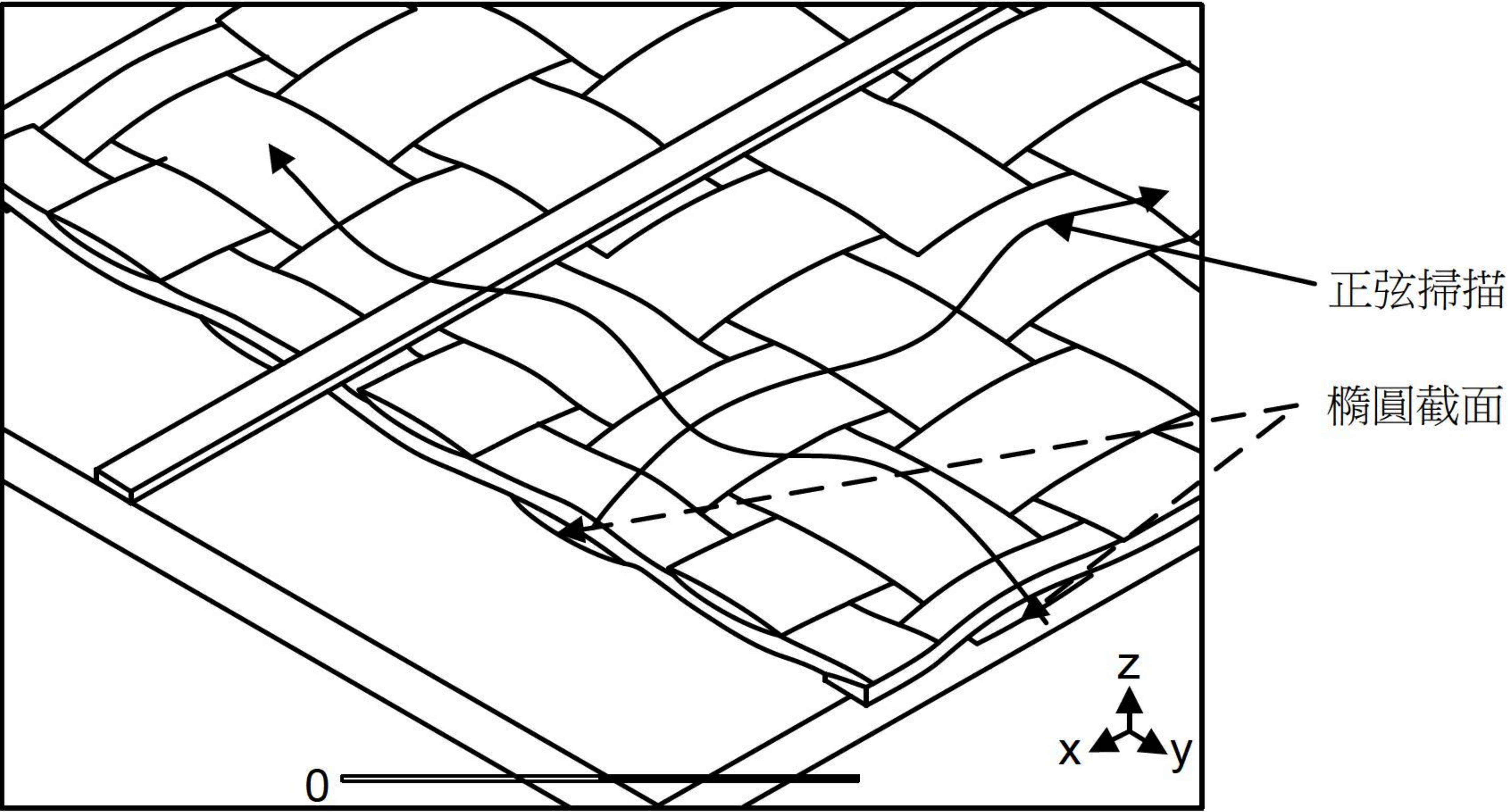
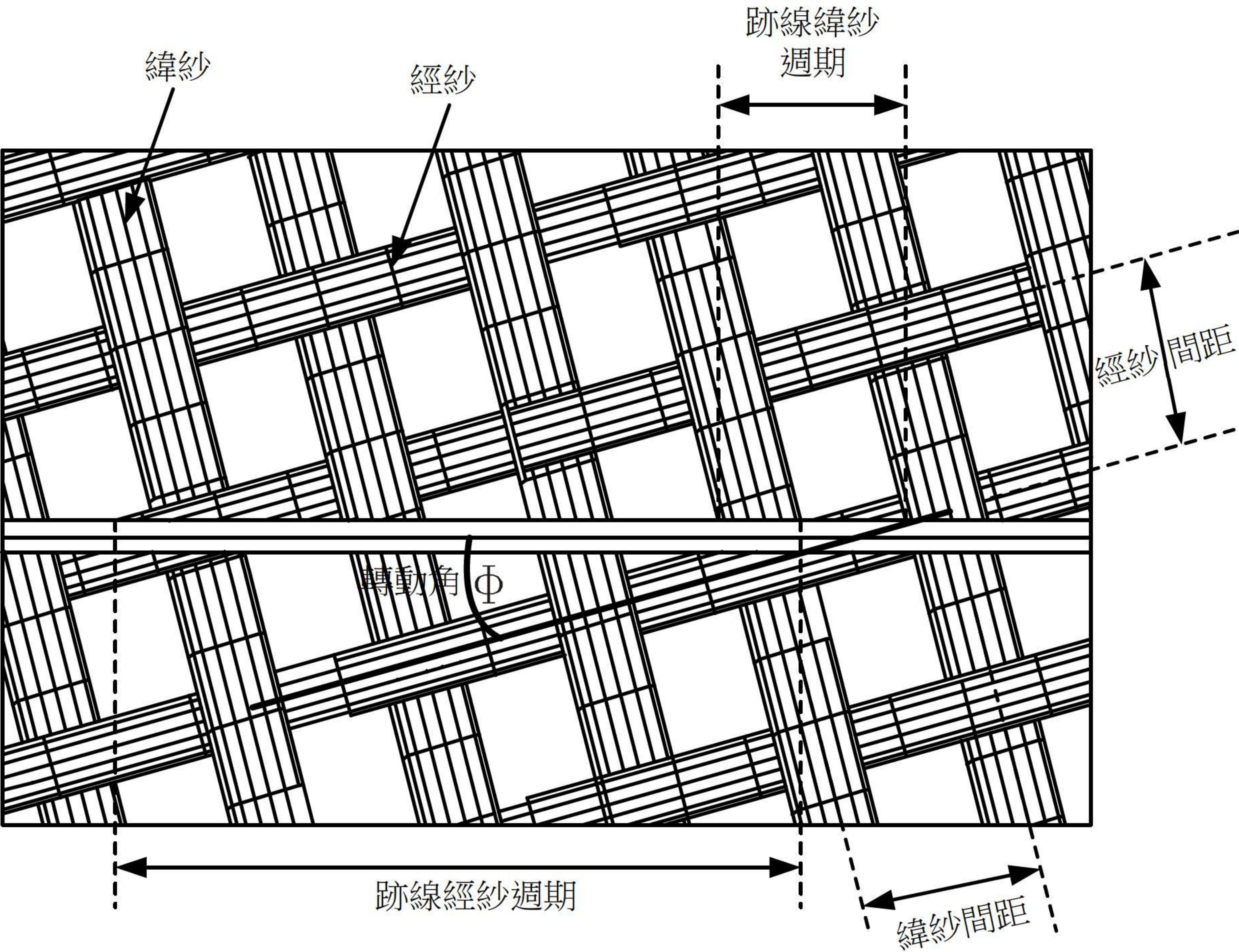
【圖2】



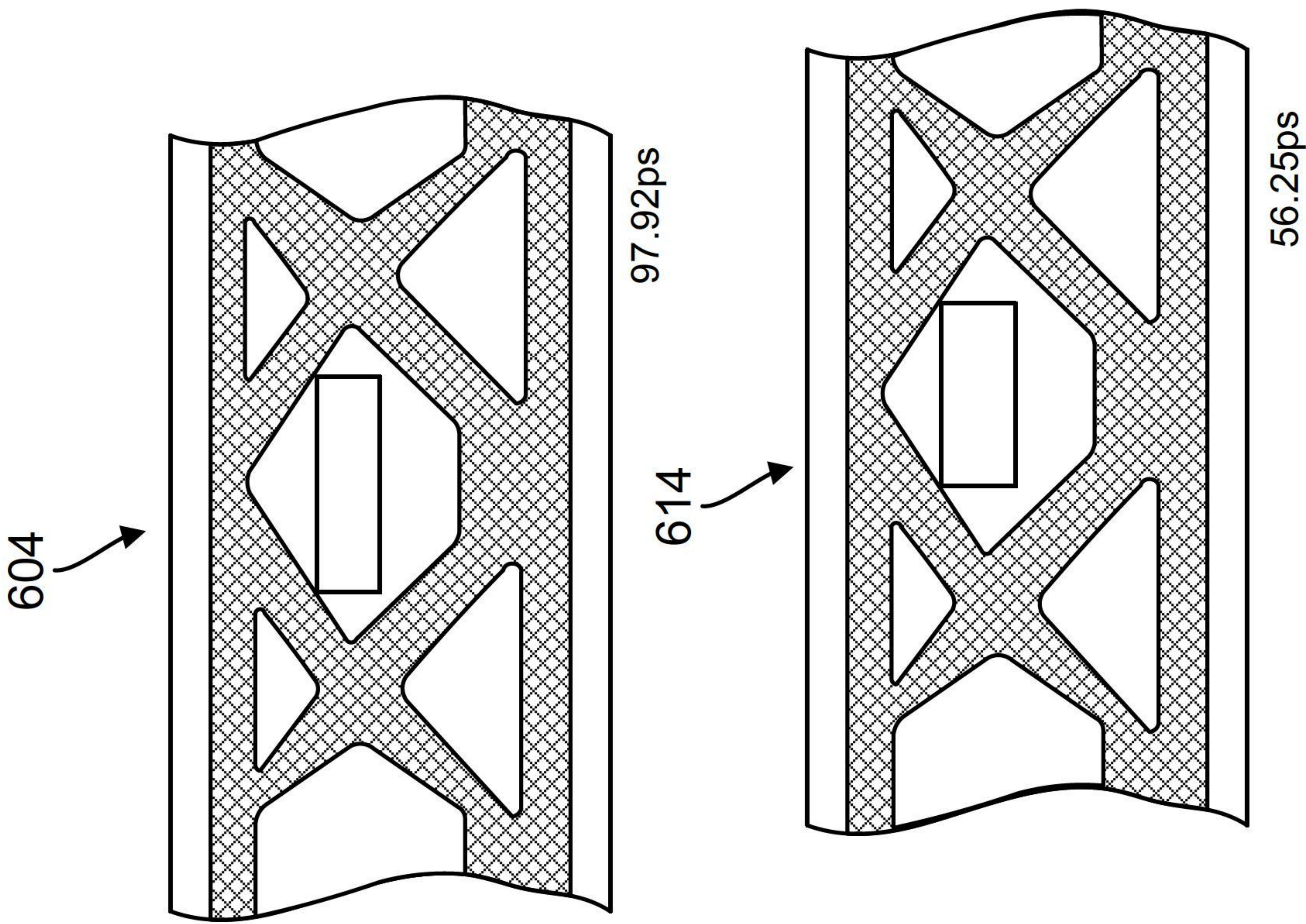
【圖3】



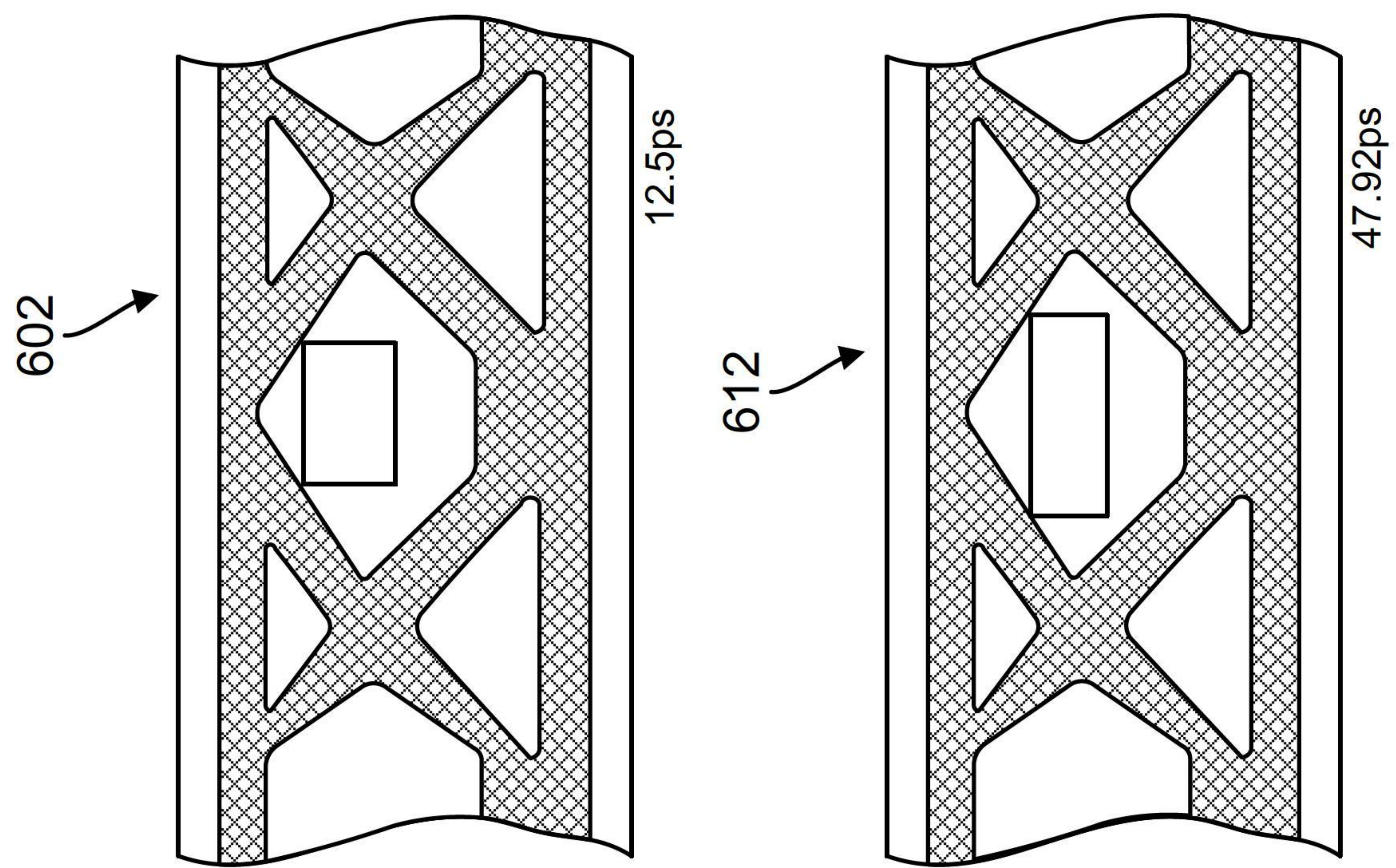
【圖4】

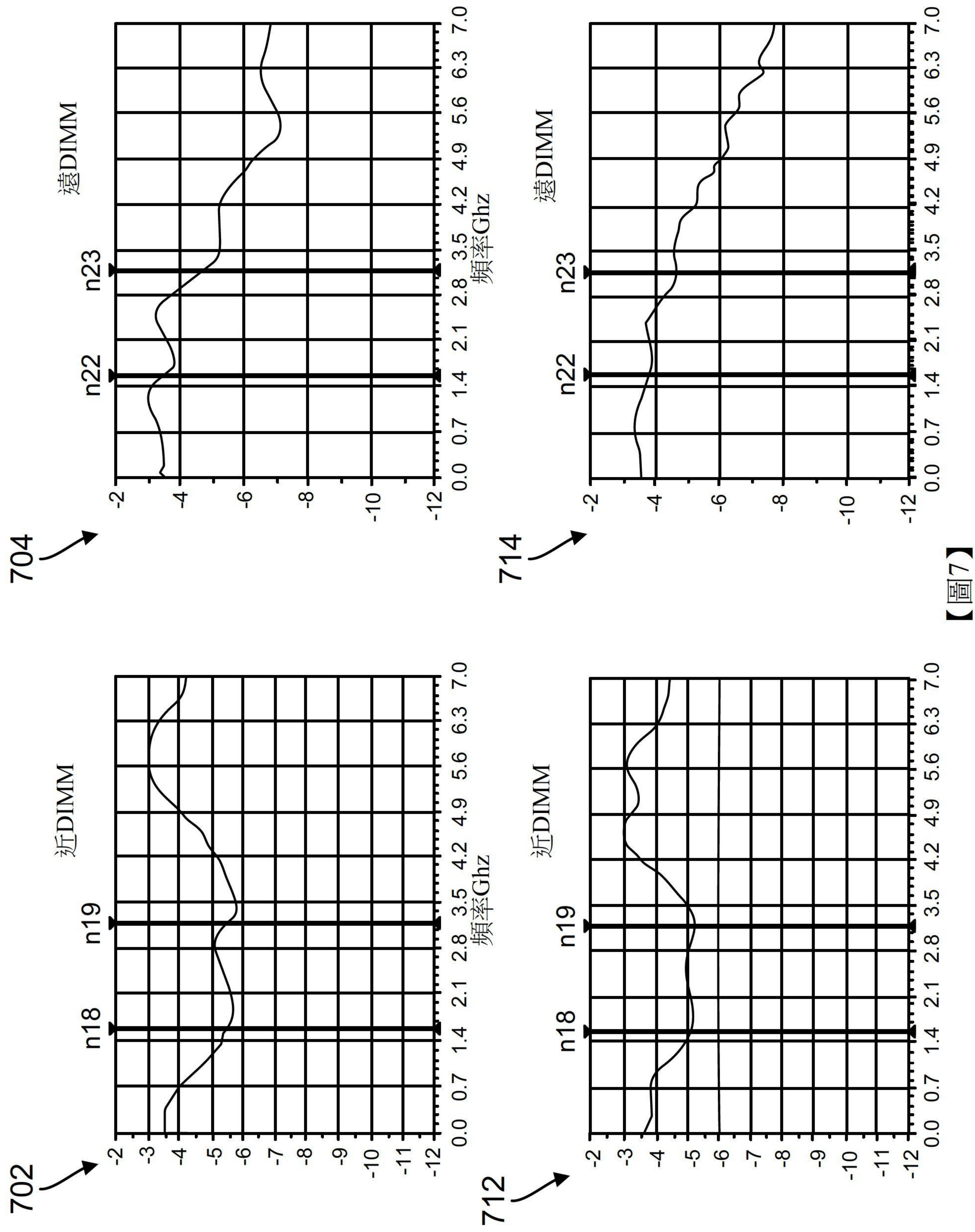


【圖5】

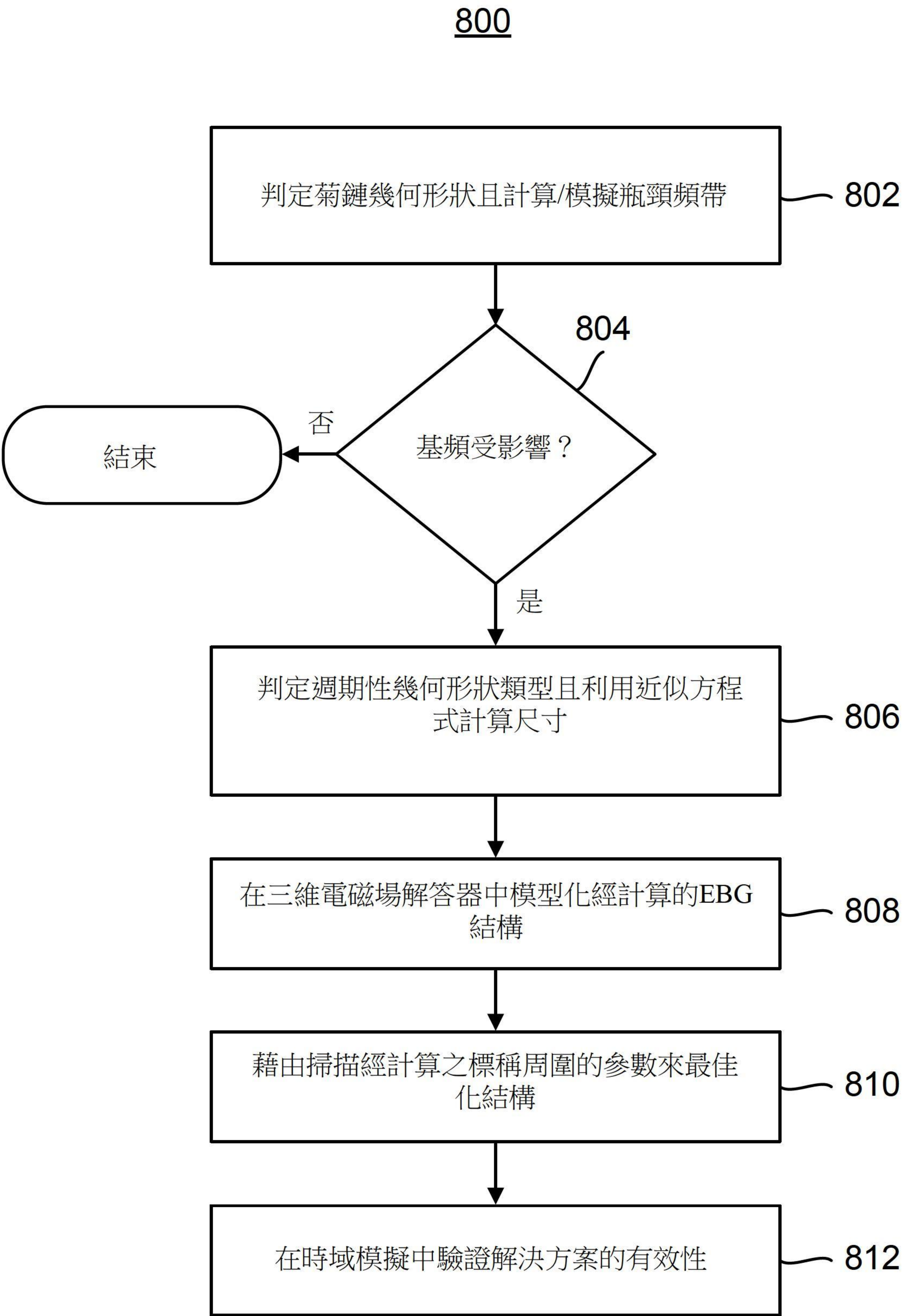


【圖6】

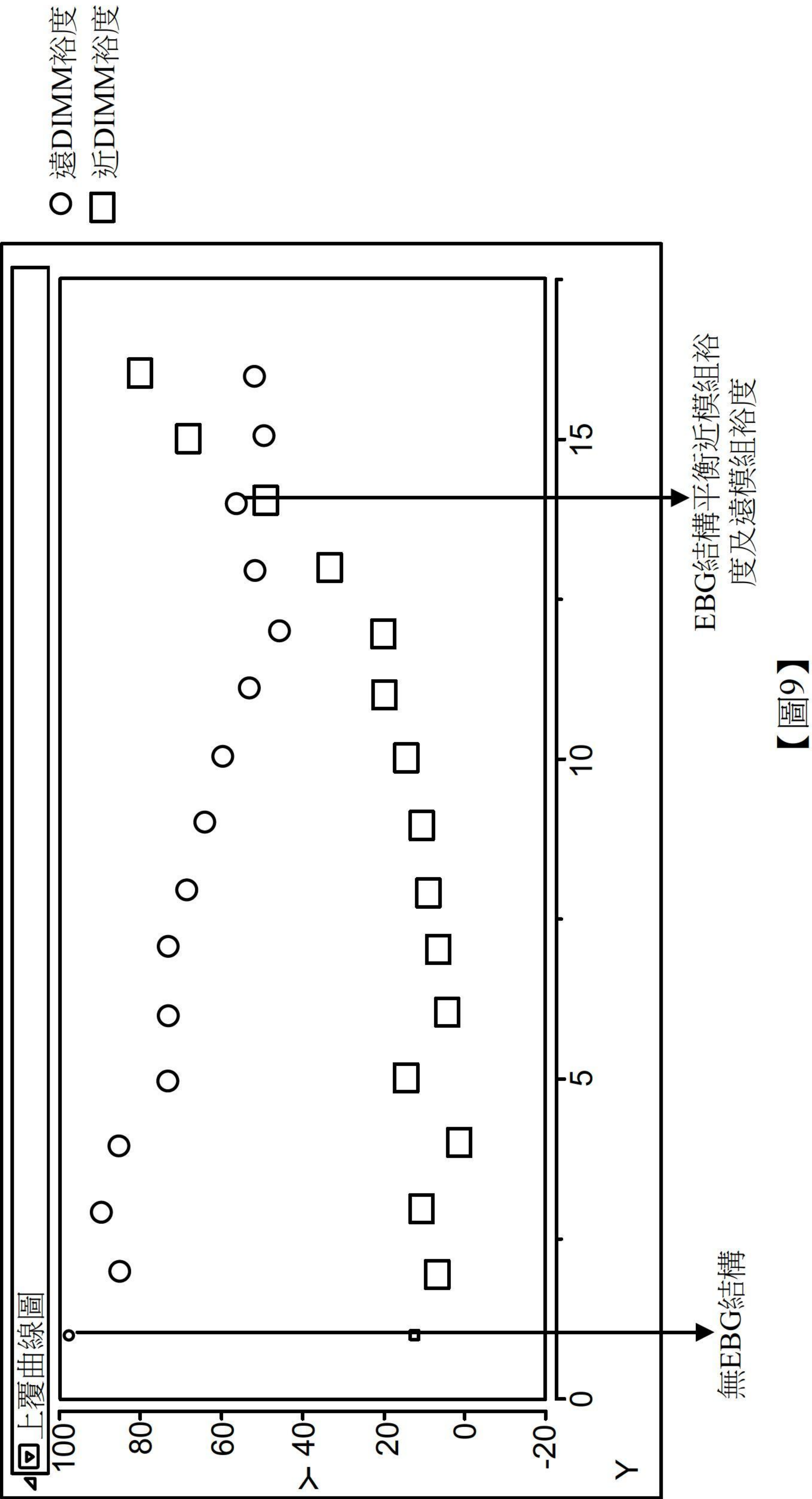


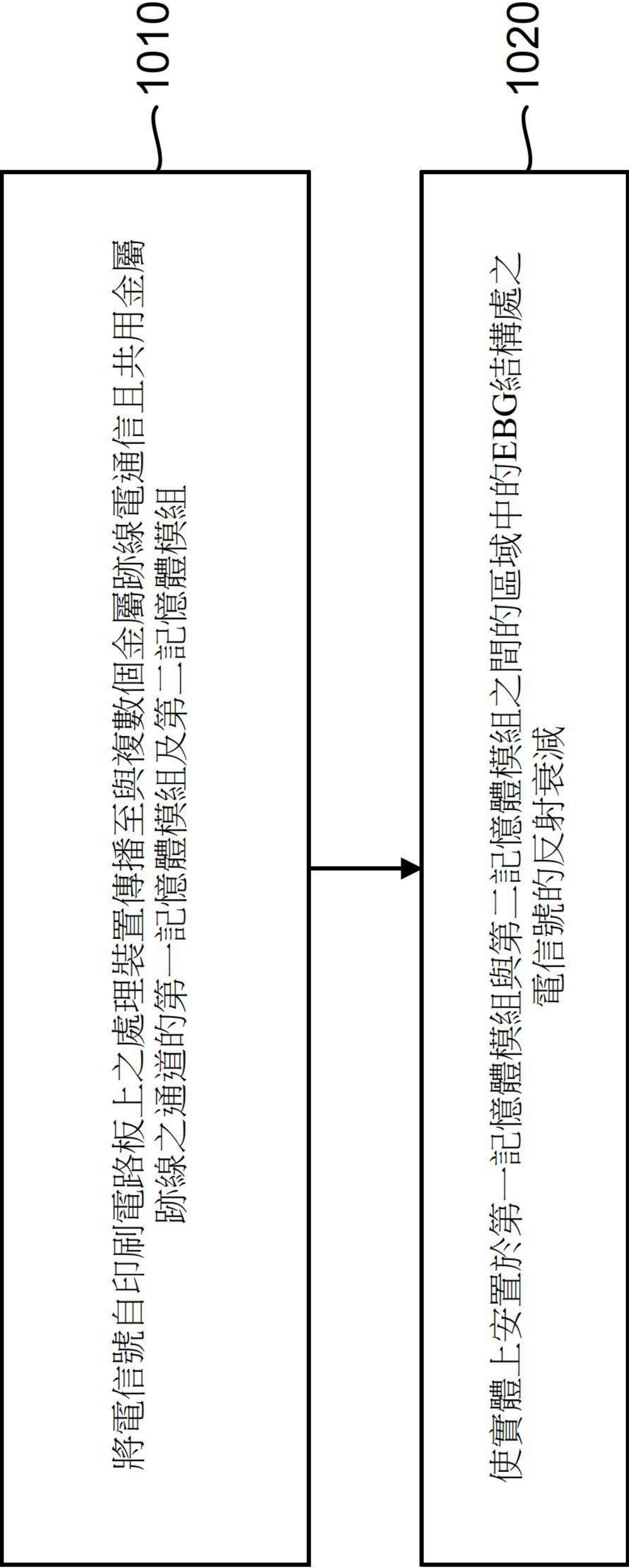


【圖7】



【圖8】





【圖10】