(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/042835 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 21/336 (2006.01) *H01L 29/417* (2006.01)

(21) 国際出願番号： PCT/JP2017/022651

(22) 国際出願日： 2017年6月20日(20.06.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-169624 2016年8月31日(31.08.2016) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 内田 光亮 (UCHIDA, Kosuke); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 日吉 透(HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 酒井 光彦(SAKAI, Mitsuhiko); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

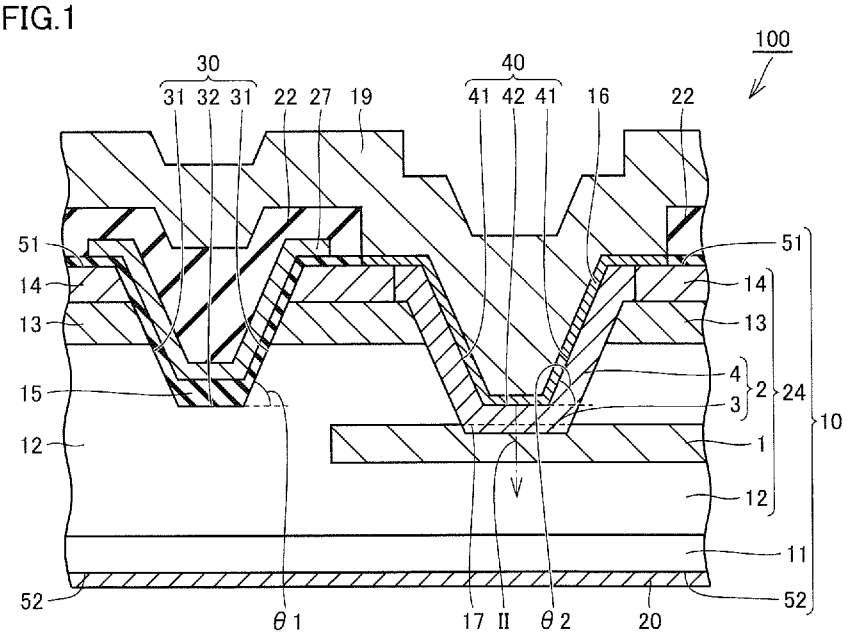
(74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称： 炭化珪素半導体装置およびその製造方法

FIG.1



(57) **Abstract:** A gate trench, which is defined by a first side surface and a first bottom surface, and a source trench, which is defined by a second side surface and a second bottom surface, are provided on a first main surface. A silicon carbide substrate includes a drift region, body region, source region, first region, and second region. The first region is in contact with the second region. On the first side surface, a gate insulating film is in contact with the drift region, the body region, and the source region, and on the first bottom surface, the gate insulating film is in contact with the drift region. On the second side surface and the second bottom surface, the source electrode is in contact with the second region.

WO 2018/042835 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:第１主面には、第１側面と、第１底面とにより規定されているゲートトレンチと、第２側面と、第２底面とにより規定されているソーストレンチとが設けられている。炭化珪素基板は、ドリフト領域と、ボディ領域と、ソース領域と、第１領域と、第２領域とを含む。第１領域は、第２領域と接する。ゲート絶縁膜は、第１側面において、ドリフト領域と、ボディ領域と、ソース領域と接し、かつ第１底面において、ドリフト領域に接している。ソース電極は、第２側面と第２底面とにおいて、第２領域と接している。

明　細　書

発明の名称 ： 炭化珪素半導体装置およびその製造方法

技術分野

[0001] 本開示は、炭化珪素半導体装置およびその製造方法に関する。本出願は、２０１６年８月３１日に出願した日本特許出願である特願２０１６－１６９６２４号に基づく優先権を主張する。当該日本特許出願に記載された全ての記載内容は、参照によって本明細書に援用される。

背景技術

[0002] 国際公開２０１２／０１７７９８号（特許文献１）には、耐圧保持層の表面にゲートトレンチが設けられたＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開２０１２／０１７７９８号

発明の概要

[0004] 本開示の一態様に係る炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜と、ソース電極とを備えている。炭化珪素基板は、第１主面と、第１主面と反対側の第２主面とを有する。第１主面には、ゲートトレンチと、ソーストレンチとが設けられている。ゲートトレンチは、第１主面と連なる第１側面と、第１側面と連なる第１底面とにより規定されている。ソーストレンチは、第１主面と連なる第２側面と、第２側面と連なる第２底面とにより規定されている。炭化珪素基板は、第１導電型を有するドリフト領域と、ドリフト領域上に設けられ、第１導電型と異なる第２導電型を有するボディ領域と、ボディ領域上にあり、ボディ領域によってドリフト領域から隔てられており、かつ第１導電型を有するソース領域と、第２底面と第２主面との間にあり、かつ第２導電型を有する第１領域と、第１領域と接し、第２側面の少

なくとも一部と第２底面とを構成し、かつ第２導電型を有する第２領域とを含む。ゲート絶縁膜は、第１側面において、ドリフト領域と、ボディ領域と、ソース領域と接し、かつ第１底面において、ドリフト領域に接している。ソース電極は、第２側面と第２底面とにおいて、第２領域と接している。

[0005] 本開示の一態様に係る炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜と、ソース電極とを備えている。炭化珪素基板は、第１主面と、第１主面と反対側の第２主面とを有する。第１主面は、｛０００１｝面または｛０００１｝面に対して８°以下の角度だけオフした面である。第１主面には、ゲートトレンチと、ソーストレンチとが設けられている。ゲートトレンチは、第１主面と連なる第１側面と、第１側面と連なる第１底面とにより規定されている。第１底面に対する第１側面の角度は、５０°以上６５°以下である。ソーストレンチは、第１主面と連なる第２側面と、第２側面と連なる第２底面とにより規定されている。第２底面に対する第２側面の角度は、５０°以上６５°以下である。炭化珪素基板は、第１導電型を有するドリフト領域と、ドリフト領域上に設けられ、第１導電型と異なる第２導電型を有するボディ領域と、ボディ領域上にあり、ボディ領域によってドリフト領域から隔てられており、かつ第１導電型を有するソース領域と、第２底面と第２主面との間にあり、かつ第２導電型を有する第１領域と、第１領域と接し、第２側面の少なくとも一部と第２底面とを構成し、かつ第２導電型を有する第２領域とを含む。ゲート絶縁膜は、第１側面において、ドリフト領域と、ボディ領域と、ソース領域と接し、かつ第１底面において、ドリフト領域に接している。ソース電極は、第２側面と第２底面とにおいて、第２領域と接している。第２領域は、第１領域に接する第３領域と、第３領域と連なりかつドリフト領域に接する第４領域とを有する。第２底面における第２導電型不純物の濃度は、第３領域と第４領域との境界における第２導電型不純物の濃度よりも高い。

[0006] 本開示の一態様に係る炭化珪素半導体装置の製造方法は以下の工程を備えている。第１主面と、第１主面と反対側の第２主面とを有する炭化珪素基板

が準備される。第１主面において、ゲートトレンチおよびソーストレンチが形成される。ゲートトレンチは、第１主面と連なる第１側面と、第１側面と連なる第１底面とにより規定されている。ソーストレンチは、第１主面と連なる第２側面と、第２側面と連なる第２底面とにより規定されている。炭化珪素基板は、第１導電型を有するドリフト領域と、ドリフト領域上に設けられ、第１導電型と異なる第２導電型を有するボディ領域と、ボディ領域上にあり、ボディ領域によってドリフト領域から隔てられており、かつ第１導電型を有するソース領域と、第２底面と第２主面との間にあり、かつ第２導電型を有する第１領域とを含む。第２側面および第２底面に向かってイオン注入を行うことにより、第１領域と接し、第２側面の少なくとも一部と第２底面とを構成し、かつ第２導電型を有する第２領域が形成される。第１側面において、ドリフト領域と、ボディ領域と、ソース領域と接し、かつ第１底面において、ドリフト領域に接するゲート絶縁膜が形成される。第２側面と第２底面とにおいて、第２領域と接するソース電極が形成される。

[0007] 本開示の一態様に係る炭化珪素半導体装置の製造方法は以下の工程を備えている。第１主面と、第１主面と反対側の第２主面とを有する炭化珪素基板が準備される。第１主面において、熱エッチングによりゲートトレンチおよびソーストレンチが同時に形成される。ゲートトレンチは、第１主面と連なる第１側面と、第１側面と連なる第１底面とにより規定されている。ソーストレンチは、第１主面と連なる第２側面と、第２側面と連なる第２底面とにより規定されている。炭化珪素基板は、第１導電型を有するドリフト領域と、ドリフト領域上に設けられ、第１導電型と異なる第２導電型を有するボディ領域と、ボディ領域上にあり、ボディ領域によってドリフト領域から隔てられており、かつ第１導電型を有するソース領域と、第２底面と第２主面との間にあり、かつ第２導電型を有する第１領域とを含む。第２側面および第２底面に向かってイオン注入を行うことにより、第１領域と接し、第２側面の少なくとも一部と第２底面とを構成し、かつ第２導電型を有する第２領域が形成される。第２領域を形成する工程後、炭化珪素基板に対して活性化ア

ニールが行われる。炭化珪素基板に対して活性化アニールを行う工程後、第１側面において、ドリフト領域と、ボディ領域と、ソース領域と接し、かつ第１底面において、ドリフト領域に接するゲート絶縁膜が形成される。第２側面と第２底面とにおいて、第２領域と接するソース電極が形成される。第２領域を形成する工程は、第１のエネルギーおよび第１のドーズ量の条件でイオン注入を行う工程と、第１のエネルギーよりも高い第２のエネルギーおよび第１のドーズ量よりも低い第２のドーズ量の条件でイオン注入を行う工程とを含む。

図面の簡単な説明

[0008] [図1]図１は、本実施形態に係る炭化珪素半導体装置の構成を示す断面模式図である。

[図2]図２は、図１の矢印ＩＩに沿った方向におけるｐ型不純物の濃度分布を示す図である。

[図3]図３は、本実施形態に係る炭化珪素半導体装置の炭化珪素基板の構成を示す平面模式図である。

[図4]図４は、図１の矢印ＩＩに沿った方向における、第１領域１および第２領域２のｐ型不純物の濃度分布の第１変形例を示す図である。

[図5]図５は、図１の矢印ＩＩに沿った方向における、第１領域１および第２領域２のｐ型不純物の濃度分布の第２変形例を示す図である。

[図6]図６は、本実施形態に係る炭化珪素半導体装置の第３変形例の炭化珪素基板の構成を示す平面模式図である。

[図7]図７は、本実施形態に係る炭化珪素半導体装置の第４変形例の構成を示す断面模式図である。

[図8]図８は、図７の矢印ＶＩＩＩに沿った方向におけるｐ型不純物の濃度分布を示す図である。

[図9]図９は、本実施形態に係る炭化珪素半導体装置の第５変形例の炭化珪素基板の構成を示す断面模式図である。

[図10]図１０は、本実施形態に係る炭化珪素半導体装置の製造方法を概略的

に示すフロー図である。

[図11]図１１は、本実施形態に係る炭化珪素半導体装置の製造方法の第１工程を示す断面模式図である。

[図12]図１２は、本実施形態に係る炭化珪素半導体装置の製造方法の第２工程を示す断面模式図である。

[図13]図１３は、本実施形態に係る炭化珪素半導体装置の製造方法の第３工程を示す断面模式図である。

[図14]図１４は、本実施形態に係る炭化珪素半導体装置の製造方法の第４工程を示す断面模式図である。

[図15]図１５は、本実施形態に係る炭化珪素半導体装置の製造方法の第５工程を示す断面模式図である。

[図16]図１６は、本実施形態に係る炭化珪素半導体装置の製造方法の第６工程を示す断面模式図である。

[図17]図１７は、本実施形態に係る炭化珪素半導体装置の製造方法の第７工程を示す断面模式図である。

[図18]図１８は、本実施形態に係る炭化珪素半導体装置の製造方法の第８工程を示す断面模式図である。

[図19]図１９は、本実施形態に係る炭化珪素半導体装置の製造方法の第１変形例を概略的に示すフロー図である。

[図20]図２０は、本実施形態に係る炭化珪素半導体装置の製造方法の第１変形例のソーストレンチを形成する工程を示す断面模式図である。

[図21]図２１は、本実施形態に係る炭化珪素半導体装置の製造方法の第１変形例の第２領域を形成する工程を示す断面模式図である。

[図22]図２２は、本実施形態に係る炭化珪素半導体装置の製造方法の第１変形例のゲートトレンチを形成する工程を示す断面模式図である。

[図23]図２３は、本実施形態に係る炭化珪素半導体装置の製造方法の第２変形例の第２領域を形成する工程の第１工程を示す断面模式図である。

[図24]図２４は、本実施形態に係る炭化珪素半導体装置の製造方法の第２変

形例の第２領域を形成する工程の第２工程を示す断面模式図である。

[図25]図２５は、本実施形態に係る炭化珪素半導体装置の第６変形例の炭化珪素基板の構成を示す断面模式図である。

[図26]図２６は、本実施形態に係る炭化珪素半導体装置の第７変形例の炭化珪素基板の構成を示す断面模式図である。

[図27]図２７は、本実施形態に係る炭化珪素半導体装置の第８変形例の炭化珪素基板の構成を示す断面模式図である。

[図28]図２８は、本実施形態に係る炭化珪素半導体装置の第９変形例の炭化珪素基板の構成を示す断面模式図である。

[図29]図２９は、本実施形態に係る炭化珪素半導体装置の第１０変形例の炭化珪素基板の構成を示す断面模式図である。

[図30]図３０は、本実施形態に係る炭化珪素半導体装置の第１１変形例の炭化珪素基板の構成を示す断面模式図である。

[図31]図３１は、本実施形態に係る炭化珪素半導体装置の第１２変形例の炭化珪素基板の構成を示す断面模式図である。

[図32]図３２は、本実施形態に係る炭化珪素半導体装置の第１３変形例の炭化珪素基板の構成を示す断面模式図である。

[図33]図３３は、本実施形態に係る炭化珪素半導体装置の第１４変形例の炭化珪素基板の構成を示す断面模式図である。

発明を実施するための形態

[0009] [本開示が解決しようとする課題]

本開示の目的は、スイッチング特性に影響を与える帰還容量の増大を抑制しつつ接触抵抗を低減可能な炭化珪素半導体装置およびその製造方法を提供することである。

[本開示の効果]

本開示によれば、スイッチング特性に影響を与える帰還容量の増大を抑制しつつ接触抵抗を低減可能な炭化珪素半導体装置およびその製造方法を提供することができる。

[0010] ［本開示の実施形態の説明］

（１）本開示の一態様に係る炭化珪素半導体装置１００は、炭化珪素基板と、ゲート絶縁膜１５と、ソース電極１６とを備えている。炭化珪素基板１０は、第１主面５１と、第１主面５１と反対側の第２主面５２とを有する。第１主面５１には、ゲートトレンチ３０と、ソーストレンチ４０とが設けられている。ゲートトレンチ３０は、第１主面５１と連なる第１側面３１と、第１側面３１と連なる第１底面３２とにより規定されている。ソーストレンチ４０は、第１主面５１と連なる第２側面４１と、第２側面４１と連なる第２底面４２とにより規定されている。炭化珪素基板１０は、第１導電型を有するドリフト領域１２と、ドリフト領域１２上に設けられ、第１導電型と異なる第２導電型を有するボディ領域１３と、ボディ領域１３上にあり、ボディ領域１３によってドリフト領域１２から隔てられており、かつ第１導電型を有するソース領域１４と、第２底面４２と第２主面５２との間にあり、かつ第２導電型を有する第１領域１と、第１領域１と接し、第２側面４１の少なくとも一部と第２底面４２とを構成し、かつ第２導電型を有する第２領域２とを含む。ゲート絶縁膜１５は、第１側面３１において、ドリフト領域１２と、ボディ領域１３と、ソース領域１４と接し、かつ第１底面３２において、ドリフト領域１２に接している。ソース電極１６は、第２側面４１と第２底面４２とにおいて、第２領域２と接している。

[0011] 上記（１）に係る炭化珪素半導体装置１００によれば、ソース電極１６は、第２側面４１と第２底面４２とにおいて、第２領域２と接している。それゆえ、ソース電極１６が第１主面５１のみにおいて第２領域２と接している場合と比較して、ソース電極１６と第２領域２との接触面積を大きくすることができる。結果として、ソース電極１６と第２領域２との接触抵抗を低減することができる。また第２領域２は、第１領域１を介してソース電極１６と接している。そのため、第２領域２およびソース電極１６を等電位にすることができる。結果として、炭化珪素半導体装置の帰還容量が増大することを抑制することができる。さらに第２領域２により、ゲートトレンチ３０の

第１側面３１と第１底面３２との角部において電界が集中することを抑制することができる。結果として、ゲート絶縁膜１５に対するダメージを低減することができる。

[0012] （２）上記（１）に係る炭化珪素半導体装置１００において、第２領域２は、第１主面５１の一部を構成していてもよい。ソース電極１６は、第１主面５１において、第２領域２と接していてもよい。

[0013] （３）上記（２）に係る炭化珪素半導体装置１００において、第２領域２は、第１領域１に接する第３領域３と、第３領域３と連なりかつドリフト領域１２に接する第４領域４とを有していてもよい。第２底面４２における第２導電型不純物の濃度は、第３領域３と第４領域４との境界１７における第２導電型不純物の濃度よりも高くてもよい。

[0014] （４）上記（２）または（３）に係る炭化珪素半導体装置１００において、第１底面３２に対する第１側面３１の角度θ１は、５０°以上６５°以下であってもよい。これにより、ボディ領域１３に形成されるチャネルの移動度を向上することができる。

[0015] （５）上記（２）～（４）のいずれかに係る炭化珪素半導体装置１００において、第２底面４２に対する第２側面４１の角度θ２は、５０°以上６５°以下であってもよい。これにより、セル密度を過度に低減することなく、ソース電極１６と第２領域２との接触抵抗を低減することができる。

[0016] （６）上記（２）～（４）のいずれかに係る炭化珪素半導体装置１００において、第２底面に対する第２側面の角度θ２は、６５°より大きく９０°以下であってもよい。

[0017] （７）上記（６）に係る炭化珪素半導体装置１００において、第２主面５２に垂直な方向において、第２底面４２は、ソース領域１４と、ドリフト領域１２との間に位置していてもよい。

[0018] （８）上記（６）に係る炭化珪素半導体装置１００において、第２主面５２に垂直な方向において、第２底面４２は、ボディ領域１３と、第１領域１との間に位置していてもよい。

[0019] （９）上記（２）～（８）のいずれかに係る炭化珪素半導体装置１００において、炭化珪素基板１０は、第１導電型を有し、第１底面３２と第２主面５２との間に位置し、かつ第１領域１に面する不純物領域１８をさらに含んでいてもよい。不純物領域１８における第１導電型不純物の濃度は、ドリフト領域１２における第１導電型不純物の濃度よりも高くてもよい。

[0020] （１０）上記（２）～（４）および（９）のいずれかに係る炭化珪素半導体装置１００において、第２側面４１は、第２底面４２に連なる第１側部４３と、第１側部４３に連なる第２側部４４とを有していてもよい。第２底面４２に対する第１側部４３の角度θ２は、第２底面４２に平行な平面に対する第２側部４４の角度θ３よりも小さくてもよい。

[0021] （１１）上記（１）に係る炭化珪素半導体装置１００において、ソース電極１６は、第２側面４１において、ソース領域１４と接していてもよい。第２領域２は、第１主面５１から離間していてもよい。

[0022] （１２）上記（１１）に係る炭化珪素半導体装置１００において、第２領域２は、第１領域１に接する第３領域３と、第３領域３と連なりかつドリフト領域１２に接する第４領域４とを有していてもよい。第２底面４２における第２導電型不純物の濃度は、第３領域３と第４領域４との境界１７における第２導電型不純物の濃度よりも高くてもよい。

[0023] （１３）上記（１１）または（１２）に係る炭化珪素半導体装置１００において、第１底面３２に対する第１側面３１の角度θ１は、５０°以上６５°以下であってもよい。これにより、ボディ領域１３に形成されるチャネルの移動度を向上することができる。

[0024] （１４）上記（１１）～（１３）のいずれかに係る炭化珪素半導体装置１００において、第２底面４２に対する第２側面４１の角度θ２は、５０°以上６５°以下であってもよい。これにより、セル密度を過度に低減することなく、ソース電極１６と第２領域２との接触抵抗を低減することができる。

[0025] （１５）上記（１１）～（１３）のいずれかに係る炭化珪素半導体装置１００において、第２底面に対する第２側面の角度θ２は、６５°より大きく

９０°以下であってもよい。

[0026] （１６）上記（１５）に係る炭化珪素半導体装置１００において、第２主面５２に垂直な方向において、第２底面４２は、ソース領域１４と、ドリフト領域１２との間に位置していてもよい。

[0027] （１７）上記（１５）に係る炭化珪素半導体装置１００において、第２主面５２に垂直な方向において、第２底面４２は、ボディ領域１３と、第１領域１との間に位置していてもよい。

[0028] （１８）上記（１１）～（１７）のいずれかに係る炭化珪素半導体装置１００において、炭化珪素基板１０は、第１導電型を有し、第１底面３２と第２主面５２との間に位置し、かつ第１領域１に面する不純物領域１８をさらに含んでいてもよい。不純物領域１８における第１導電型不純物の濃度は、ドリフト領域１２における第１導電型不純物の濃度よりも高くてもよい。

[0029] （１９）上記（１１）～（１３）および（１８）のいずれかに係る炭化珪素半導体装置１００において、第２側面４１は、第２底面４２に連なる第１側部４３と、第１側部４３に連なる第２側部４４とを有していてもよい。第２底面４２に対する第１側部４３の角度θ２は、第２底面４２に平行な平面に対する第２側部４４の角度θ３よりも小さくてもよい。

[0030] （２０）上記（１）～（１９）のいずれかに係る炭化珪素半導体装置１００において、第１主面５１は、｛０００１｝面または｛０００１｝面に対して８°以下の角度だけオフした面であってもよい。

[0031] （２１）本開示の一態様に係る炭化珪素半導体装置１００は、炭化珪素基板１０と、ゲート絶縁膜１５と、ソース電極１６とを備えている。炭化珪素基板１０は、第１主面５１と、第１主面５１と反対側の第２主面５２とを有する。第１主面５１は、｛０００１｝面または｛０００１｝面に対して８°以下の角度だけオフした面である。第１主面５１には、ゲートトレンチ３０と、ソーストレンチ４０とが設けられている。ゲートトレンチ３０は、第１主面５１と連なる第１側面３１と、第１側面３１と連なる第１底面３２とにより規定されている。第１底面３２に対する第１側面３１の角度θ１は、５

０°以上６５°以下である。ソーストレンチ４０は、第１主面５１と連なる第２側面４１と、第２側面４１と連なる第２底面４２とにより規定されている。第２底面４２に対する第２側面４１の角度θ２は、５０°以上６５°以下である。炭化珪素基板１０は、第１導電型を有するドリフト領域１２と、ドリフト領域１２上に設けられ、第１導電型と異なる第２導電型を有するボディ領域１３と、ボディ領域１３上にあり、ボディ領域１３によってドリフト領域１２から隔てられており、かつ第１導電型を有するソース領域１４と、第２底面４２と第２主面５２との間にあり、かつ第２導電型を有する第１領域１と、第１領域１と接し、第２側面４１の少なくとも一部と第２底面４２とを構成し、かつ第２導電型を有する第２領域２とを含む。ゲート絶縁膜１５は、第１側面３１において、ドリフト領域１２と、ボディ領域１３と、ソース領域１４と接し、かつ第１底面３２において、ドリフト領域１２と接している。ソース電極１６は、第２側面４１と第２底面４２とにおいて、第２領域２と接している。第２領域２は、第１領域１に接する第３領域３と、第３領域３と連なりかつドリフト領域１２に接する第４領域４とを有する。第２底面４２における第２導電型不純物の濃度は、第３領域３と第４領域４との境界１７における第２導電型不純物の濃度よりも高い。

[0032] （２２）本開示の一態様に係る炭化珪素半導体装置１００の製造方法は以下の工程を備えている。第１主面５１と、第１主面５１と反対側の第２主面５２とを有する炭化珪素基板１０が準備される。第１主面５１において、ゲートトレンチ３０およびソーストレンチ４０が形成される。ゲートトレンチ３０は、第１主面５１と連なる第１側面３１と、第１側面３１と連なる第１底面３２とにより規定されている。ソーストレンチ４０は、第１主面５１と連なる第２側面４１と、第２側面４１と連なる第２底面４２とにより規定されている。炭化珪素基板１０は、第１導電型を有するドリフト領域１２と、ドリフト領域１２上に設けられ、第１導電型と異なる第２導電型を有するボディ領域１３と、ボディ領域１３上にあり、ボディ領域１３によってドリフト領域１２から隔てられており、かつ第１導電型を有するソース領域１４と

、第２底面４２と第２主面５２との間にあり、かつ第２導電型を有する第１領域１とを含む。第２側面４１および第２底面４２に向かってイオン注入を行うことにより、第１領域１と接し、第２側面４１の少なくとも一部と第２底面４２とを構成し、かつ第２導電型を有する第２領域２が形成される。第１側面３１において、ドリフト領域１２と、ボディ領域１３と、ソース領域１４と接し、かつ第１底面３２において、ドリフト領域１２に接するゲート絶縁膜１５が形成される。第２側面４１と第２底面４２とにおいて、第２領域２と接するソース電極１６が形成される。

[0033] 上記（１４）に係る炭化珪素半導体装置１００の製造方法によれば、ソース電極１６は、第２側面４１と第２底面４２とにおいて、第２領域２と接している。それゆえ、ソース電極１６が第１主面５１のみにおいて第２領域２と接している場合と比較して、ソース電極１６と第２領域２との接触面積を大きくすることができる。結果として、ソース電極１６と第２領域２との接触抵抗を低減することができる。また第２領域２は、第１領域１を介してソース電極１６と接している。そのため、第２領域２およびソース電極１６を等電位にすることができる。結果として、炭化珪素半導体装置の帰還容量が増大することを抑制することができる。さらに第２領域２により、ゲートトレンチ３０の第１側面３１と第１底面３２との角部において電界が集中することを抑制することができる。結果として、ゲート絶縁膜１５に対するダメージを低減することができる。

[0034] （２３）上記（２２）に係る炭化珪素半導体装置１００の製造方法において、ゲートトレンチ３０およびソーストレンチ４０は、同時に形成されてもよい。これにより、ゲートトレンチ３０およびソーストレンチ４０を別々に形成する場合と比較して、炭化珪素半導体装置１００の製造工程を短縮することができる。

[0035] （２４）上記（２２）または（２３）に係る炭化珪素半導体装置１００の製造方法において、ゲートトレンチ３０およびソーストレンチ４０は、熱エッチングによって形成されてもよい。

[0036] （２５）上記（２２）～（２４）のいずれかに係る炭化珪素半導体装置１００の製造方法において、第２領域２を形成する工程後であって、かつゲート絶縁膜１５を形成する工程前において、炭化珪素基板１０に対して活性化アニールが行われてもよい。つまり、ゲート絶縁膜１５は、活性化アニール後に形成される。そのため、活性化アニールによりゲート絶縁膜１５が荒れることを抑制することができる。結果として、ゲートトレンチ３０内に形成されるゲート絶縁膜１５の信頼性を向上することができる。

[0037] （２６）上記（２２）～（２５）のいずれかに係る炭化珪素半導体装置１００の製造方法において、第２領域２を形成する工程は、第１のエネルギーおよび第１のドーズ量の条件でイオン注入を行う工程と、第１のエネルギーよりも高い第２のエネルギーでイオン注入を行う工程とを含んでいてもよい。第１のドーズ量よりも低い第２のドーズ量の条件でイオン注入を行うことにより、接触抵抗の低減にほとんど寄与しない第２領域の下部の形成時間を短縮することができる。

[0038] （２７）本開示の一態様に係る炭化珪素半導体装置１００の製造方法は以下の工程を備えている。第１主面５１と、第１主面５１と反対側の第２主面５２とを有する炭化珪素基板１０が準備される。第１主面５１において、熱エッチングによりゲートトレンチ３０およびソーストレンチ４０が同時に形成される。ゲートトレンチ３０は、第１主面５１と連なる第１側面３１と、第１側面３１と連なる第１底面３２とにより規定されている。ソーストレンチ４０は、第１主面５１と連なる第２側面４１と、第２側面４１と連なる第２底面４２とにより規定されている。炭化珪素基板１０は、第１導電型を有するドリフト領域１２と、ドリフト領域１２上に設けられ、第１導電型と異なる第２導電型を有するボディ領域１３と、ボディ領域１３上にあり、ボディ領域１３によってドリフト領域１２から隔てられており、かつ第１導電型を有するソース領域１４と、第２底面４２と第２主面５２との間にあり、かつ第２導電型を有する第１領域１とを含む。第２側面４１および第２底面４２に向かってイオン注入を行うことにより、第１領域１と接し、第２側面４

１の少なくとも一部と第２底面４２とを構成し、かつ第２導電型を有する第２領域２が形成される。第２領域２を形成する工程後、炭化珪素基板１０に対して活性化アニールが行われる。炭化珪素基板１０に対して活性化アニールを行う工程後、第１側面３１において、ドリフト領域１２と、ボディ領域１３と、ソース領域１４と接し、かつ第１底面３２において、ドリフト領域１２に接するゲート絶縁膜１５が形成される。第２側面４１と第２底面４２とにおいて、第２領域２と接するソース電極１６が形成される。第２領域２を形成する工程は、第１のエネルギーおよび第１のドーズ量の条件でイオン注入を行う工程と、第１のエネルギーよりも高い第２のエネルギーおよび第１のドーズ量よりも低い第２のドーズ量の条件でイオン注入を行う工程とを含む。

[0039] ［本開示の実施形態の詳細］

以下、本開示の実施形態（以降、本実施形態と称する）の詳細について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。

[0040] まず、本実施形態に係る炭化珪素半導体装置の一例としてのＭＯＳＦＥＴの構成について説明する。

[0041] 図１に示されるように、本実施形態に係るＭＯＳＦＥＴ１００は、炭化珪素基板１０と、ゲート絶縁膜１５と、ゲート電極２７と、層間絶縁膜２２と、ソース電極１６と、ソース配線１９と、ドレイン電極２０とを主に有している。炭化珪素基板１０は、炭化珪素単結晶基板１１と、炭化珪素単結晶基板１１上に設けられた炭化珪素エピタキシャル層２４を含む。炭化珪素基板１０は、第１主面５１と、第１主面５１と反対側にある第２主面５２とを有する。炭化珪素エピタキシャル層２４は第１主面５１を構成する。炭化珪素単結晶基板１１は第２主面５２を構成する。

[0042] 第１主面５１は、たとえば｛０００１｝面または｛０００１｝面に対して８°以下の角度だけオフした面である。第１主面５１は、たとえば（０００－１）面または（０００１）面であってもよいし、（０００－１）面に対し

て２°以上８°以下の角度だけオフした面であってもよいし、（０００１）面に対して２°以上８°以下の角度だけオフした面であってもよい。第１主面５１の最大径は、たとえば１００ｍｍ以上であり、好ましくは１５０ｍｍ以上である。炭化珪素単結晶基板１１および炭化珪素エピタキシャル層２４は、たとえばポリタイプ４Ｈの六方晶炭化珪素である。炭化珪素単結晶基板１１は、たとえば窒素などのｎ型不純物を含みｎ型の導電型を有する。

[0043] 第１主面５１には、ゲートトレンチ３０と、ソーストレンチ４０とが設けられている。ゲートトレンチ３０は、第１主面５１と連なる第１側面３１と、第１側面３１と連なる第１底面３２とにより規定されている。ソーストレンチ４０は、第１主面５１と連なる第２側面４１と、第２側面４１と連なる第２底面４２とにより規定されている。炭化珪素エピタキシャル層２４は、ドリフト領域１２と、ボディ領域１３と、ソース領域１４と、第１領域１と、第２領域２とを主に含む。

[0044] ドリフト領域１２は、たとえば窒素などのｎ型不純物（第１導電型不純物）を含み、ｎ型の導電型（第１導電型）を有する。ドリフト領域１２のｎ型不純物の濃度は、たとえば$7\times10^{15}cm^{-3}$程度である。炭化珪素単結晶基板１１のｎ型不純物の濃度は、ドリフト領域１２のｎ型不純物の濃度よりも高くてもよい。

[0045] ボディ領域１３はドリフト領域１２上にある。ボディ領域１３は、たとえばアルミニウムなどのｐ型不純物（第２導電型不純物）を含み、ｐ型の導電型（第２導電型）を有する。ボディ領域１３のｐ型不純物の濃度は、ドリフト領域１２のｎ型不純物の濃度よりも低くてもよい。ゲート絶縁膜１５と対向するボディ領域１３の領域において、チャネルが形成可能である。

[0046] ソース領域１４は、ボディ領域１３上にある。ソース領域１４の底面は、ボディ領域１３の頂面と接する。ソース領域１４は、ボディ領域１３によってドリフト領域１２から隔てられている。ソース領域１４は、たとえば窒素またはリンなどのｎ型不純物を含んでおり、ｎ型の導電型を有する。ソース領域１４は、炭化珪素基板１０の第１主面５１の一部を構成する。ソース領

域１４のｎ型不純物の濃度は、ドリフト領域１２のｎ型不純物の濃度よりも高くてもよい。

[0047] 第１領域１は、ソーストレンチ４０の第２底面４２と、第２主面５２との間にある。第１領域１は、たとえばアルミニウムなどのｐ型不純物を含み、ｐ型の導電型を有する。第１領域１は、たとえば第２側面４１および第２底面４２に面している。第１領域１は、たとえばソーストレンチ４０の延在方向に沿って延在している。

[0048] 第２領域２は、第１領域１と、ドリフト領域１２と、ボディ領域１３と、ソース領域１４とに接している。第２領域２は、たとえばアルミニウムなどのｐ型不純物を含んでおり、ｐ型の導電型を有する。第２領域２のｐ型不純物の濃度は、たとえば$1\times10^{19}cm^{-3}$以上$2\times10^{20}cm^{-3}$以下である。第２領域２は、第１領域１とソース電極１６とを繋いでいる。第１領域１がフローティングであると、ドレイン電極２０からの電気力線がゲート電極２７に入り、ゲート電極２７とドレイン電極２０との間の容量（帰還容量）が形成される。本開示の形態によれば、第１領域１を接地することにより、第１領域１がソース電位になる。よって、ドレイン電極２０からの電気力線がソース電極１６に入る。その場合、ドレイン電極２０とソース電極１６との間の容量が形成されるが、当該容量はスイッチング電極に影響を与えない。第２領域２は、たとえば第２側面４１と、第２底面４２とを構成している。第２領域２は、第１主面５１の一部を構成していてもよい。第２領域２は、ソース領域１４およびボディ領域１３を貫通して第１領域１に至るように設けられている。第２領域２は、たとえばソーストレンチ４０の延在方向に沿って延在している。

[0049] 第２領域２は、第３領域３と、第４領域４とを有する。第３領域３は、第１領域１と重なって形成される領域である。そのため、第３領域３におけるｐ型不純物は、第４領域４におけるｐ型不純物の濃度よりも高くてもよい。第３領域３は、第１領域１に取り囲まれている。第４領域４は、第３領域３と連なる。第４領域４は、ドリフト領域１２に接する。

[0050] 上記各不純物領域におけるｐ型不純物の濃度およびｎ型不純物の濃度は、たとえばＳＩＭＳ（Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）により測定可能である。

[0051] 図１に示されるように、断面視（第２主面５２と平行な方向から見た視野）において、ゲートトレンチ３０の幅が、第１主面５１から第２主面５２に向かうにつれてテーパ状に狭まるように第１側面３１が第１底面３２に対して傾斜していてもよい。第１底面３２に対する第１側面３１の角度θ１は、たとえば５０°以上６５°以下である。第１側面３１は、たとえば｛０００１｝面に対して５０°以上６５°以下傾斜した面であってもよい。代替的に、第１側面３１は、第１主面５１に対してほぼ垂直であってもよい。第１底面３２は、第１主面５１とほぼ平行であってもよい。

[0052] ゲート絶縁膜１５は、ゲートトレンチ３０内に設けられている。ゲート絶縁膜１５は、第１側面３１において、ドリフト領域１２と、ボディ領域１３と、ソース領域１４と接し、かつ第１底面３２において、ドリフト領域１２に接している。ゲート絶縁膜１５は、たとえば熱酸化膜である。ゲート絶縁膜１５は、第１主面５１においてソース領域１４と接していてもよい。ゲート絶縁膜１５は、たとえば二酸化珪素を含む材料により構成されている。第１底面３２に接しているゲート絶縁膜１５の部分の厚みは、第１側面３１に接しているゲート絶縁膜１５の部分の厚みよりも大きくてもよい。

[0053] ゲート電極２７は、ゲートトレンチ３０の内部においてゲート絶縁膜１５上に設けられている。ゲート電極２７は、たとえば不純物を含むポリシリコンにより構成されている。ゲート電極２７は、たとえば第１主面５１と、第１側面３１と、第１底面３２とに対面するように設けられている。

[0054] ソース電極１６は、ソーストレンチ４０の内部に設けられている。ソース電極１６は、第２側面４１および第２底面４２の各々と接し、かつ第１主面５１の一部に接している。言い換えれば、ソース電極１６は、第２側面４１と第２底面４２と第１主面５１とにおいて、第２領域２と接している。ソース電極１６は、第１主面５１においてソース領域１４と接している。ソース

電極１６は、たとえばＴｉＡｌＳｉを含む材料から構成されている。ソース電極１６は、ＮｉＳｉを含む材料から構成されていてもよい。好ましくは、ソース電極１６は、ソース領域１４および第２領域２の双方とオーミック接合している。ソース電極１６と第２領域２との接触面積は、ソース電極１６とソース領域１４との接触面積よりも大きくてもよい。

[0055] 図１に示されるように、断面視において、ソーストレンチ４０の幅が、第１主面５１から第２主面５２に向かうにつれてテーパ状に狭まるように第２側面４１が第２底面４２に対して傾斜していてもよい。第２底面４２に対する第２側面４１の角度θ２は、たとえば５０°以上６５°以下である。第２側面４１は、たとえば｛０００１｝面に対して５０°以上６５°以下傾斜した面であってもよい。代替的に、第２側面４１は、第１主面５１に対してほぼ垂直であってもよい。第２底面４２は、第１主面５１とほぼ平行であってもよい。

[0056] ソース配線１９は、ソーストレンチ４０の内部においてソース電極１６に接している。ソース配線１９は、たとえばアルミニウムを含む材料から構成されている。ソース配線１９は、第２側面４１および第２底面４２の双方に面している。ソース配線１９は、層間絶縁膜２２を覆っている。

[0057] 層間絶縁膜２２は、ゲート電極２７と、ゲート絶縁膜１５と、ソース配線１９とに接して設けられている。層間絶縁膜２２は、たとえば二酸化珪素を含む材料から構成されている。層間絶縁膜２２は、ゲート電極２７とソース電極１６とを電気的に絶縁している。ドレイン電極２０は、第２主面５２において炭化珪素単結晶基板１１と接しており、ドリフト領域１２と電気的に接続されている。ドレイン電極２０は、たとえばＮｉＳｉまたはＴｉＡｌＳｉを含む材料から構成されている。

[0058] 図２は、図１の矢印ＩＩに沿った方向における、第１領域１および第２領域２のｐ型不純物の濃度分布を示している。図２において、一点鎖線は第１領域１を形成する工程におけるｐ型不純物濃度プロファイルを示し、実線は第２領域２を形成する工程におけるｐ型不純物濃度プロファイルを示してい

る。図２に示されるように、第２領域２は、第１領域１と重なる第３領域３と、第３領域３と第２底面４２との間にある第４領域４とを有する。第２底面４２（深さが０μｍの位置）から深さが約０．６μｍまでの範囲においては、第４領域４のｐ型不純物濃度はほぼ一定である。深さが約０．６μｍから深さが約１μｍまでの領域においては、第２底面４２から第２主面５２に向かうにつれて第４領域４のｐ型不純物濃度は単調に減少する。第４領域４は、たとえば５段イオン注入により形成される。第２底面４２における第４領域４のｐ型不純物の濃度ａ２は、たとえば１×１０^{19}ｃｍ$^{-3}$以上２×１０^{20}ｃｍ$^{-3}$以下である。第１領域１のｐ型不純物の最大の濃度ａ１は、たとえば１×１０^{17}ｃｍ$^{-3}$以上１×１０^{19}ｃｍ$^{-3}$未満である。第４領域４のｐ型不純物の最大の濃度は、第１領域１のｐ型不純物の最大の濃度よりも高い。第２主面５２に対して垂直な方向において、第２底面４２と、第４領域４および第３領域３の境界１７（図１参照）との距離は、約１．０μｍである。第４領域４および第３領域３の境界１７のｐ型不純物の濃度は、たとえば１×１０^{17}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下である。

[0059] 図３に示されるように、平面視（第２主面５２に対して垂直な方向から見た視野）において、ソーストレンチ４０の形状は、たとえば六角形である。隣り合う２つのソーストレンチ４０の間に、ゲートトレンチ３０が設けられている。第１主面５１は、ソーストレンチ４０の第２側面４１と、ゲートトレンチ３０の第１側面３１とを繋いでいる。ゲートトレンチ３０の形状は、たとえばハニカム形状である。ゲートトレンチ３０は、ソーストレンチ４０を取り囲んでいてもよい。図３において、ハッチングで示した領域は、第２領域２である。図３に示されるように、平面視において、第２領域２の形状は、たとえば六角形である。第２領域２は、ソーストレンチ４０を取り囲むように設けられている。ゲートトレンチ３０は、第２領域２を取り囲むように設けられている。

[0060] （炭化珪素半導体装置の第１変形例）

次に、ＭＯＳＦＥＴ１００の第１変形例の構成について説明する。図４は

、図１の矢印ＩＩに沿った方向における、第１領域１および第２領域２のｐ型不純物の濃度分布の第１変形例を示している。図４に示されるように、第２底面４２（深さが０μｍの位置）から深さが約０．８μｍまでの範囲においては、第２底面４２から第２主面５２に向かうに従って、第４領域４のｐ型不純物濃度は極大値と極小値とを交互に示しながら徐々に減少している。深さが約０．８μｍから深さが約０．９２μｍまでの領域においては、第２底面４２から第２主面５２に向かうにつれて第４領域４のｐ型不純物濃度は単調に減少する。第４領域４は、たとえば４段イオン注入により形成される。第２主面５２に対して垂直な方向において、第２底面４２と、第４領域４および第３領域３の境界１７（図１参照）との距離は、約０．９２μｍである。第４領域４および第３領域３の境界１７のｐ型不純物の濃度は、たとえば$1\times10^{17}cm^{-3}$以上$1\times10^{18}cm^{-3}$以下である。

[0061] （炭化珪素半導体装置の第２変形例）

次に、ＭＯＳＦＥＴ１００の第２変形例の構成について説明する。図５は、図１の矢印ＩＩに沿った方向における、第１領域１および第２領域２のｐ型不純物の濃度分布の第２変形例を示している。図５に示されるように、第２底面４２（深さが０μｍの位置）から深さが約０．０５μｍまでの範囲において、第２底面４２から第２主面５２に向かうにつれて第４領域４のｐ型不純物濃度は単調に減少する。第４領域４は、たとえば１段イオン注入により形成される。第２主面５２に対して垂直な方向において、第２底面４２と、第４領域４および第３領域３の境界１７（図１参照）との距離は、約０．０５μｍである。第４領域４および第３領域３の境界１７のｐ型不純物の濃度は、たとえば$1\times10^{18}cm^{-3}$以上$1\times10^{19}cm^{-3}$以下である。第１領域１と第２底面４２との距離が短い場合（たとえば０．１μｍ程度）には、１段イオン注入により第２領域２を形成することができる。

[0062] （炭化珪素半導体装置の第３変形例）

次に、ＭＯＳＦＥＴ１００の第３変形例の構成について説明する。図６に示されるように、平面視において、ソーストレンチ４０およびゲートトレン

チ３０の形状は、ストライプ形状であってもよい。ゲートトレンチ３０は、ソーストレンチ４０の延在方向（図６の上下方向）と平行な方向に延在していてもよい。ゲートトレンチ３０と、ソーストレンチ４０とは、ソーストレンチ４０の延在方向と垂直な方向（図６の左右方向）に沿って交互に設けられていてもよい。図６において、ハッチングで示した領域は、第２領域２である。図６に示されるように、平面視において、第２領域２の形状は、たとえばストライプ形状である。第２領域２は、ソーストレンチ４０の延在方向に沿って設けられている。

[0063] （炭化珪素半導体装置の第４変形例）

次に、ＭＯＳＦＥＴ１００の第４変形例の構成について説明する。図７に示されるように、第２領域２は、第１領域１に接する第３領域３と、第３領域３と連なりかつドリフト領域１２に接する第４領域４とを有していてもよい。第４領域４は、ドリフト領域１２および第３領域の双方と接する第５領域５と、第５領域５とソーストレンチ４０とに挟まれた第６領域６とを有している。第６領域６は、第１主面５１と、第２側面４１と、第２底面４２とにおいて、ソース電極１６と接している。

[0064] 図８は、図７の矢印ＶＩに沿った方向における、第１領域１および第２領域２のｐ型不純物の濃度分布を示している。図８において、一点鎖線は第１領域１を形成する工程におけるｐ型不純物濃度プロファイルを示し、実線は第２領域２を形成する工程におけるｐ型不純物濃度プロファイルを示している。図８に示されるように、第２領域２は、第３領域３と、第４領域４とを有する。第４領域４は、第５領域５と、第６領域６とを有する。図８に示されるように、第４領域４のｐ型不純物濃度は、第２底面４２から約０．１５μｍ離れた位置で極小値を示し、第２底面４２から約０．４５μｍ離れた位置で極大値を示してもよい。第４領域４は、たとえば２段イオン注入により形成される。第２主面５２に対して垂直な方向において、第２底面４２と、第４領域４および第３領域３の境界１７（図７参照）との距離は、約０．７μｍである。第４領域４および第３領域３の境界１７のｐ型不純物の濃度は

、たとえば１×１０^{17}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下である。

[0065] 第４領域４においてｐ型不純物濃度の極小値を示す位置より第２主面５２側が第５領域５であり、第２底面４２側が第６領域６である。第５領域５のｐ型不純物の最大の濃度ａ３は、第６領域６のｐ型不純物の最大の濃度ａ２よりも低い。第５領域５のｐ型不純物の最大の濃度ａ３は、たとえば１×１０^{17}ｃｍ$^{-3}$以上２×１０^{19}ｃｍ$^{-3}$未満である。第６領域６のｐ型不純物の最大の濃度ａ２は、たとえば１×１０^{19}ｃｍ$^{-3}$以上２×１０^{20}ｃｍ$^{-3}$以下である。第３領域３は、第１領域１と重なる。図８に示されるように、第２底面４２におけるｐ型不純物の濃度ａ２は、第３領域３と第４領域４との境界１７におけるｐ型不純物の濃度よりも高い。

[0066] （炭化珪素半導体装置の第５変形例）

次に、ＭＯＳＦＥＴ１００の第５変形例の構成について説明する。図９に示されるように、炭化珪素基板１０は、第９領域９をさらに含んでいてもよい。第９領域９は、ゲートトレンチ３０の第１底面３２と、第２主面５２との間にある。第９領域９は、たとえばアルミニウムなどのｐ型不純物を含み、ｐ型の導電型を有する。第９領域９のｐ型不純物の最大の濃度は、第１領域１のｐ型不純物の最大の濃度とほぼ同じである。第９領域９は、第１領域１と同時に形成され得る。第９領域９の上面と第１底面３２との間の距離は、第１領域１の上面と第２底面４２との間の距離とほぼ同じである。

[0067] 第９領域９は、たとえば第１底面３２に面している。第９領域９は、たとえばゲートトレンチ３０の延在方向に沿って延在している。第９領域９は、第１領域１と電気的に接続されている。第９領域９は、第１底面３２から離間している。第９領域９と、第１底面３２との間には、ドリフト領域１２がある。第９領域９により、ゲートトレンチ３０の第１側面３１と第１底面３２とにより形成される角部における電界集中を緩和することができる。

[0068] （炭化珪素半導体装置の第６変形例）

次に、ＭＯＳＦＥＴ１００の第６変形例の構成について説明する。図２５に示されるように、第２領域２は、第１主面５１から離間していてもよい。

言い換えれば、第２領域２は、第１主面５１を構成していない。第２領域２は、ボディ領域１３に接しており、ソース領域１４から離間している。ソース領域１４と、ボディ領域１３と、第２領域２とは、第２側面４１において、ソース電極１６に接している。第２側面４１は、ソース領域１４と、ボディ領域１３と、第２領域２とにより構成されている。第２主面５２に平行な方向において、第２領域２の幅は、ソーストレンチ４０の開口部の幅よりも小さくてもよい。第２領域２とボディ領域１３との境界は、第２主面５２に対して垂直な方向において、ソース領域１４とボディ領域１３との境界よりも第２主面５２側にあってもよい。これにより、ソース領域１４および第２領域２の各々と、ソース電極１６との接触抵抗を低減することができる。

[0069] （炭化珪素半導体装置の第７変形例）

次に、ＭＯＳＦＥＴ１００の第７変形例の構成について説明する。図２６に示されるように、炭化珪素基板１０は、不純物領域１８を有していてもよい。不純物領域１８は、ＪＦＥＴ（Ｊｕｎｃｔｉｏｎ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）領域である。不純物領域１８は、たとえば窒素などのｎ型不純物（第１導電型不純物）を含み、ｎ型の導電型（第１導電型）を有する。不純物領域１８は、第１底面３２と第２主面５２との間に位置する。不純物領域１８は、第１領域１に面する。断面視において、不純物領域１８は、一対の第１領域１の間に位置する。不純物領域１８は、第１領域１と接していてもよい。断面視において、不純物領域１８は、一対の第１領域１に挟まれていてもよい。

[0070] 不純物領域１８における第１導電型不純物の濃度は、ドリフト領域１２における第１導電型不純物の濃度よりも高い。不純物領域１８におけるｎ型不純物の濃度は、たとえば$1\times10^{15}cm^{-3}$以上$5\times10^{17}cm^{-3}$以下である。不純物領域１８の厚みは、第１領域１の厚みとほぼ同じである。不純物領域１８は、第１底面３２および第１側面３１の双方に面していてもよい。第２主面５２に平行な方向においては、不純物領域１８の幅は、第１底面３２の幅よりも大きくてもよい。これにより、第１領域１による狭窄抵抗を抑制

することができる。結果として、オン抵抗を低減することができる。

[0071] （炭化珪素半導体装置の第８変形例）

次に、ＭＯＳＦＥＴ１００の第８変形例の構成について説明する。図２７に示されるように、ソーストレンチ４０の第２側面４１は、第１主面５１に対してほぼ垂直に延在していてもよい。第２底面４２に対する第２側面４１の角度θ２は、たとえば６５°より大きく９０°以下である。角度θ２は、７０°以上であってもよいし、８０°以上であってもよい。第２領域２は、第３領域３と、第４領域４とを含んでいる。第４領域４は、第７領域７と、第８領域８とを有している。第８領域８は、第３領域３と連なる。第７領域７は、第８領域８に対して、第３領域３の反対側にある。第８領域８は、第７領域７と第３領域３とに挟まれている。第２主面５２に垂直な方向において、第７領域７と第８領域８との境界は、ボディ領域１３と第１領域１との間に位置していてもよい。

[0072] 第２主面５２と平行な方向において、第７領域７の幅は、第８領域８の幅よりも大きくてもよい。第８領域８の幅は、第３領域３の幅とほぼ同じであってもよい。第７領域７の幅は、第３領域３の幅よりも大きくてもよい。第７領域７の幅は、第２底面４２の幅よりも大きくてもよい。第２主面５２に垂直な方向において、第２底面４２は、ソース領域１４と、ドリフト領域１２との間に位置していてもよい。言い換えれば、第２主面５２に垂直な方向において、第２底面４２は、ソース領域１４とボディ領域１３との境界と、ボディ領域１３とドリフト領域１２との境界との間に位置していてもよい。第２底面４２を含む平面は、ボディ領域１３に交差してもよい。第２主面５２に平行な方向において、ソーストレンチ４０の開口部の幅は、ゲートトレンチ３０の開口部の幅よりも小さい。これにより、セルピッチを縮小することができる。またソーストレンチ４０の第２底面４２がボディ領域１３に交差するように配置されることで、ソーストレンチ４０の第２底面４２がボディ領域１３によって囲まれる。そのため、ソース電極１６がドリフト領域１２を介してドレイン電極２０とショートすることを抑制することができる。

[0073] （炭化珪素半導体装置の第９変形例）

次に、ＭＯＳＦＥＴ１００の第９変形例の構成について説明する。図２８に示されるように、ソーストレンチ４０の深さは、ゲートトレンチ３０の深さとほぼ同じであってもよい。ソーストレンチ４０の第２側面４１は、第１主面５１に対してほぼ垂直に延在していてもよい。第２主面５２に垂直な方向において、第２底面４２は、ボディ領域１３と、第１領域１との間に位置していてもよい。言い換えれば、第２主面５２に垂直な方向において、第２底面４２は、ボディ領域１３およびドリフト領域１２の境界と、第４領域４および第３領域３の境界との間に位置していてもよい。第２底面４２を含む平面は、ドリフト領域１２に交差してもよい。第２主面５２に平行な方向において、ソーストレンチ４０の開口部の幅は、ゲートトレンチ３０の開口部の幅よりも小さい。これにより、セルピッチを縮小することができる。

[0074] （炭化珪素半導体装置の第１０変形例）

次に、ＭＯＳＦＥＴ１００の第１０変形例の構成について説明する。図２９に示されるように、ソーストレンチ４０は、２段階以上のトレンチで構成されていてもよい。具体的には、第２側面４１は、第１側部４３と、第２側部４４とを含む。第１側部４３は、第２底面４２に連なる。第２側部４４は、第１側部４３に連なる。第２底面４２に対する第１側部４３の角度$\theta 2$は、第２底面４２に平行な平面に対する第２側部４４の角度$\theta 3$よりも小さくてもよい。第２底面４２に対する第１側部４３の角度$\theta 2$は、たとえば５０°以上６５°以下である。角度$\theta 3$は、たとえば６５°より大きく９０°以下である。角度$\theta 3$は、７０°以上であってもよいし、８０°以上であってもよい。第２主面５２に平行な方向において、ソーストレンチ４０の開口部の幅は、ゲートトレンチ３０の開口部の幅よりも小さい。これにより、セルピッチを縮小することができる。これにより、セルピッチを縮小することができる。

[0075] 第２側部４４は、第１主面５１に連なっていてもよい。第２側部４４は、第１主面５１に対してほぼ垂直に延在していてもよい。ソース領域１４およ

びボディ領域１３は、第２側部４４においてソース電極１６に接している。第２側部４４は、ソース領域１４およびボディ領域１３により構成されている。第２領域２は、第１側部４３および第２底面４２においてソース電極１６に接している。第１側部４３および第２底面４２は、第２領域２により構成されている。第２領域２は、第１主面５１から離間している。第２領域２は、ボディ領域１３に接しており、ソース領域１４から離間している。これにより、ソース領域１４および第２領域２の各々と、ソース電極１６との接触抵抗を低減することができる。

[0076] 炭化珪素基板１０は、不純物領域１８を有していてもよい。不純物領域１８は、ＪＦＥＴ領域である。不純物領域１８は、たとえば窒素などのｎ型不純物（第１導電型不純物）を含み、ｎ型の導電型（第１導電型）を有する。不純物領域１８は、第１底面３２と第２主面５２との間に位置する。図２９に示されるように、断面視において、不純物領域１８は、一対の第１領域１の間に位置する。不純物領域１８における第１導電型不純物の濃度は、ドリフト領域１２における第１導電型不純物の濃度よりも高い。不純物領域１８におけるｎ型不純物の濃度は、たとえば$1\times10^{15}cm^{-3}$以上$5\times10^{17}cm^{-3}$以下である。不純物領域１８の厚みは、第１領域１の厚みとほぼ同じである。不純物領域１８は、第１底面３２および第１側面３１の双方に面していてもよい。第２主面５２に平行な方向においては、不純物領域１８の幅は、第１底面３２の幅よりも大きくてもよい。これにより、第１領域１による狭窄抵抗を抑制することができる。結果として、オン抵抗を低減することができる。

[0077] （炭化珪素半導体装置の第１１変形例）

次に、ＭＯＳＦＥＴ１００の第１１変形例の構成について説明する。図３０に示されるように、炭化珪素基板１０は、不純物領域１８を有していてもよい。不純物領域１８は、ＪＦＥＴ領域である。不純物領域１８は、たとえば窒素などのｎ型不純物（第１導電型不純物）を含み、ｎ型の導電型（第１導電型）を有する。不純物領域１８は、第１底面３２と第２主面５２との間

に位置する。不純物領域１８は、第１領域１に面する。断面視において、不純物領域１８は、一対の第１領域１の間に位置する。不純物領域１８は、第１領域１と接していてもよい。断面視において、不純物領域１８は、一対の第１領域１に挟まれていてもよい。第２領域２は、第１主面５１の一部を構成していてもよい。

[0078] 不純物領域１８における第１導電型不純物の濃度は、ドリフト領域１２における第１導電型不純物の濃度よりも高い。不純物領域１８におけるｎ型不純物の濃度は、たとえば$1\times10^{15}cm^{-3}$以上$5\times10^{17}cm^{-3}$以下である。不純物領域１８の厚みは、第１領域１の厚みとほぼ同じである。不純物領域１８は、第１底面３２および第１側面３１の双方に面していてもよい。第２主面５２に平行な方向においては、不純物領域１８の幅は、第１底面３２の幅よりも大きくてもよい。これにより、第１領域１による狭窄抵抗を抑制することができる。結果として、オン抵抗を低減することができる。

[0079] （炭化珪素半導体装置の第１２変形例）

次に、ＭＯＳＦＥＴ１００の第１２変形例の構成について説明する。図３１に示されるように、ソーストレンチ４０は、２段階以上のトレンチで構成されていてもよい。具体的には、第２側面４１は、第１側部４３と、第２側部４４とを含む。第１側部４３は、第２底面４２に連なる。第２側部４４は、第１側部４３に連なる。第２底面４２に対する第１側部４３の角度$\theta2$は、第２底面４２に平行な平面に対する第２側部４４の角度$\theta3$よりも小さくてもよい。第２底面４２に対する第１側部４３の角度$\theta2$は、たとえば５０°以上６５°以下である。角度$\theta3$は、たとえば６５°より大きく９０°以下である。角度$\theta3$は、７０°以上であってもよいし、８０°以上であってもよい。第２主面５２に平行な方向において、ソーストレンチ４０の開口部の幅は、ゲートトレンチ３０の開口部の幅よりも小さい。これにより、セルピッチを縮小することができる。これにより、セルピッチを縮小することができる。

[0080] 第２側部４４は、第１主面５１に連なっていてもよい。第２側部４４は、

第１主面５１に対してほぼ垂直に延在していてもよい。第２領域２は、第１側部４３、第２側部４４および第２底面４２においてソース電極１６に接している。第１側部４３、第２側部４４および第２底面４２は、第２領域２により構成されている。第２領域２は、第１主面５１の一部を構成している。第２領域２は、ボディ領域１３およびソース領域１４に接している。これにより、第２領域２と、ソース電極１６との接触抵抗を低減することができる。

[0081] （炭化珪素半導体装置の第１３変形例）

次に、ＭＯＳＦＥＴ１００の第１３変形例の構成について説明する。図３２に示されるように、ソーストレンチ４０の第２側面４１は、第１主面５１に対してほぼ垂直に延在していてもよい。第２底面４２に対する第２側面４１の角度θ２は、たとえば６５°より大きく９０°以下である。角度θ２は、７０°以上であってもよいし、８０°以上であってもよい。第２領域２は、第３領域３と、第４領域４とを含んでいる。第４領域４は、第７領域７と、第８領域８とを有している。第８領域８は、第３領域３と連なる。第７領域７は、第８領域８に対して、第３領域３の反対側にある。第８領域８は、第７領域７と第３領域３とに挟まれている。第２主面５２に垂直な方向において、第７領域７と第８領域８との境界は、ボディ領域１３と第１領域１との間に位置していてもよい。第２領域２は、第１主面５１から離間していてもよい。ソース電極１６は、第２側面４１において、ソース領域１４と接していてもよい。

[0082] 第２主面５２と平行な方向において、第７領域７の幅は、第８領域８の幅よりも大きくてもよい。第８領域８の幅は、第３領域３の幅とほぼ同じであってもよい。第７領域７の幅は、第３領域３の幅よりも大きくてもよい。第７領域７の幅は、第２底面４２の幅よりも大きくてもよい。第２主面５２に垂直な方向において、第２底面４２は、ソース領域１４と、ドリフト領域１２との間に位置していてもよい。言い換えれば、第２主面５２に垂直な方向において、第２底面４２は、ソース領域１４とボディ領域１３との境界と、

ボディ領域１３とドリフト領域１２との境界との間に位置していてもよい。第２底面４２を含む平面は、ボディ領域１３に交差してもよい。第２主面５２に平行な方向において、ソーストレンチ４０の開口部の幅は、ゲートトレンチ３０の開口部の幅よりも小さい。これにより、セルピッチを縮小することができる。またソーストレンチ４０の第２底面４２がボディ領域１３に交差するように配置されることで、ソーストレンチ４０の第２底面４２がボディ領域１３によって囲まれる。そのため、ソース電極１６がドリフト領域１２を介してドレイン電極２０とショートすることを抑制することができる。

[0083] （炭化珪素半導体装置の第１４変形例）

次に、ＭＯＳＦＥＴ１００の第１４変形例の構成について説明する。図３３に示されるように、ソーストレンチ４０の深さは、ゲートトレンチ３０の深さとほぼ同じであってもよい。ソーストレンチ４０の第２側面４１は、第１主面５１に対してほぼ垂直に延在していてもよい。第２主面５２に垂直な方向において、第２底面４２は、ボディ領域１３と、第１領域１との間に位置していてもよい。言い換えれば、第２主面５２に垂直な方向において、第２底面４２は、ボディ領域１３およびドリフト領域１２の境界と、第４領域４および第３領域３の境界との間に位置していてもよい。第２底面４２を含む平面は、ドリフト領域１２に交差してもよい。第２領域２は、第１主面５１から離間していてもよい。ソース電極１６は、第２側面４１において、ソース領域１４と接していてもよい。第２主面５２に平行な方向において、ソーストレンチ４０の開口部の幅は、ゲートトレンチ３０の開口部の幅よりも小さい。これにより、セルピッチを縮小することができる。

[0084] 次に、本実施形態に係るＭＯＳＦＥＴ１００の製造方法について説明する。

まず、炭化珪素基板を準備する工程（Ｓ１０：図１０）が実施される。たとえば昇華法を用いて炭化珪素単結晶基板１１が準備される。炭化珪素単結晶基板１１のポリタイプは、たとえば４Ｈである。炭化珪素単結晶基板の最大径は、たとえば１００ｍｍ以上であり、好ましくは１５０ｍｍ以上である

。次に、炭化珪素単結晶基板１１上に炭化珪素エピタキシャル層２４が形成される。具体的には、たとえば原料ガスとしてシラン（SiH_4）とプロパン（C_3H_8）との混合ガスを用い、キャリアガスとしてたとえば水素ガス（H_2）を用い、ドーパントガスとしてアンモニア（NH_3）を用いたＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により、炭化珪素単結晶基板１１上にドリフト領域１２が形成される（図１１参照）。ドリフト領域１２の厚みは、たとえば９μｍである。ドリフト領域１２が含む窒素原子の濃度は、たとえば$7\times10^{15}cm^{-3}$程度である。

[0085] 次に、ドリフト領域１２の表面５３にマスク層（図示せず）が形成される。マスク層は、第１領域１が形成される領域上に開口部を有する。当該マスク層を用いて、ドリフト領域１２の表面５３に対して、たとえばアルミニウムなどのｐ型不純物がイオン注入される。これにより、ドリフト領域１２内において、表面５３の一部を構成する第１領域１が形成される（図１２参照）。第１領域１の厚みは、たとえば０．１μｍ以上１．２μｍ以下である。第１領域１におけるｐ型不純物の最大の濃度は、$1\times10^{16}cm^{-3}$以上$1\times10^{19}cm^{-3}$未満である。次に、マスク層が表面５３から除去される。次に、たとえば原料ガスとしてシランとプロパンとの混合ガスを用い、キャリアガスとしてたとえば水素ガスを用い、ドーパントガスとしてアンモニアを用いたＣＶＤ法により、ドリフト領域１２および第１領域１上にｎ型領域が形成される。

[0086] 次に、イオン注入工程が実施される。ｎ型領域に対して、たとえばアルミニウムなどのｐ型不純物がイオン注入される。これにより、ｐ型の導電型を有するボディ領域１３が形成される。ボディ領域１３は、第１領域１と離間するように形成される。次に、ボディ領域１３に対して、たとえばリンなどのｎ型不純物がイオン注入される。これにより、ｎ型の導電型を有するソース領域１４が形成される（図１３参照）。ソース領域１４の厚みは、たとえば０．４μｍである。ソース領域１４は、第１主面５１を構成する。ソース領域１４が含むｎ型不純物の濃度は、ボディ領域１３が含むｐ型不純物の濃

度よりも高い。

[0087] 次に、ゲートトレンチおよびソーストレンチを形成する工程（Ｓ２０：図１０）が実施される。たとえば、ソース領域１４から構成される第１主面５１上に、ゲートトレンチ３０（図１）およびソーストレンチ４０（図１）が形成される位置上に開口を有するマスク６０が形成される。マスク６０を用いて、ソース領域１４と、ボディ領域１３と、ドリフト領域１２の一部とがエッチングにより除去される。エッチングの方法としては、たとえば反応性イオンエッチング、特に誘導結合プラズマ反応性イオンエッチングを用いることができる。具体的には、たとえば反応ガスとしてSF_6またはSF_6とO_2との混合ガスを用いた誘導結合プラズマ反応性イオンエッチングを用いることができる。エッチングにより、ゲートトレンチ３０およびソーストレンチ４０が形成される領域に、第１主面５１に対してほぼ垂直な側部と、側部と連続的に設けられ、かつ第１主面５１とほぼ平行な底部とを有する凹部が形成される。

[0088] 次に、凹部において熱エッチングが行われる。熱エッチングは、第１主面５１上にマスク６０が形成された状態で、たとえば、少なくとも１種類以上のハロゲン原子を有する反応性ガスを含む雰囲気中での加熱によって行い得る。少なくとも１種類以上のハロゲン原子は、塩素（Ｃｌ）原子およびフッ素（Ｆ）原子の少なくともいずれかを含む。当該雰囲気は、たとえば、Cl_2、BCl_3、SF_6またはCF_4を含む。たとえば、塩素ガスと酸素ガスとの混合ガスを反応ガスとして用い、熱処理温度を、たとえば７００℃以上１０００℃以下として、熱エッチングが行われる。なお、反応ガスは、上述した塩素ガスと酸素ガスとに加えて、キャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素ガス、アルゴンガスまたはヘリウムガスなどを用いることができる。

[0089] 上記熱エッチングにより、第１主面５１において、ゲートトレンチ３０およびソーストレンチ４０が形成される（図１４参照）。好ましくは、ゲートトレンチ３０およびソーストレンチ４０は、同時に形成される。ゲートトレ

ンチ３０は、第１主面５１と連なる第１側面３１と、第１側面３１と連なる第１底面３２とにより規定される。第１側面３１は、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とにより構成される。第１底面３２は、ドリフト領域１２により構成される。第１底面３２に対する第１側面３１の角度θ１は、たとえば５４．７°である。同様に、ソーストレンチ４０は、第１主面５１と連なる第２側面４１と、第２側面４１と連なる第２底面４２とにより規定される。第２側面４１は、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とにより構成される。第２底面４２は、ドリフト領域１２により構成される。第２底面４２に対する第２側面４１の角度θ２は、たとえば５４．７°である。次に、マスク６０が第１主面５１から除去される（図１５参照）。

[0090] 以上により、図１５に示す炭化珪素基板１０が準備される。炭化珪素基板１０は、ｎ型を有するドリフト領域１２と、ドリフト領域１２上に設けられ、ｎ型と異なるｐ型を有するボディ領域１３と、ボディ領域１３上にあり、ボディ領域１３によってドリフト領域１２から隔てられており、かつｎ型を有するソース領域１４と、第２底面４２と第２主面５２との間にあり、かつｐ型を有する第１領域１とを含む。炭化珪素基板は、第１主面５１と反対側の第２主面５２とを有する。第１主面５１は、ソース領域１４により構成される。第２主面５２は、炭化珪素単結晶基板１１により構成される。

[0091] 次に、第２領域を形成する工程（Ｓ３０：図１０）が実施される。第２領域を形成する工程においては、図２、図４および図５に示されたｐ型不純物濃度のプロファイルを有するように、第２領域が形成される。まず、第２領域が形成される領域上に開口を有するマスク６１が形成される。マスク６１は、第１主面５１と、第１側面３１と、第１底面３２とを覆うように形成される。次に、イオン注入工程が実施される。マスク６１を用いて、ソーストレンチ４０の第２側面４１および第２底面４２に向かって、たとえばアルミニウムなどのｐ型不純物のイオン注入が行われる。これにより、第１領域１と接し、第２側面４１の少なくとも一部と第２底面４２とを構成し、かつｐ

型を有する第２領域２が形成される（図１６参照）。ｐ型不純物は、第１主面５１に対してほぼ垂直な方向（図１６の矢印の方向）にイオン注入される。ｐ型不純物は、第２底面４２を通過し、ドリフト領域１２および第１領域１にイオン注入される。ｐ型不純物は、第２側面４１を通過し、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とにイオン注入される。ｐ型不純物は、第１主面５１を通過して、ソース領域１４にイオン注入される。第２領域２は、第１領域１と重なるように形成された第３領域３と、ドリフト領域１２とボディ領域１３とソース領域１４とに重なるように形成された第４領域４とを有する。

[0092] 図２に示されたｐ型不純物濃度のプロファイルを形成するためには、たとえば５段注入が行われる。まず注入ドーズ量が$3\times10^{14}cm^{-2}$でありかつ注入エネルギーが１５０ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。次に、注入ドーズ量が$4\times10^{14}cm^{-2}$でありかつ注入エネルギーが３００ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。次に、注入ドーズ量が$4\times10^{14}cm^{-2}$でありかつ注入エネルギーが５００ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。次に、注入ドーズ量が$4\times10^{14}cm^{-2}$でありかつ注入エネルギーが７００ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。次に、注入ドーズ量が$4\times10^{14}cm^{-2}$でありかつ注入エネルギーが９００ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。なお上記注入の順序は適宜変更可能である。

[0093] 図４に示されたｐ型不純物濃度のプロファイルを形成するためには、たとえば４段注入が行われる。まず注入ドーズ量が$3\times10^{14}cm^{-2}$でありかつ注入エネルギーが１５０ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。次に、注入ドーズ量が$2\times10^{14}cm^{-2}$でありかつ注入エネルギーが３００ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。次に、注入ドーズ量が$8\times10^{13}cm^{-2}$でありかつ注入エネルギーが６００ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注

入される。次に、注入ドーズ量が$4\times10^{13}cm^{-2}$でありかつ注入エネルギーが１ＭｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。なお上記注入の順序は適宜変更可能である。

[0094] 図５に示されたｐ型不純物濃度のプロファイルを形成するためには、たとえば１段注入が行われる。注入ドーズ量が$6\times10^{14}cm^{-2}$でありかつ注入エネルギーが１００ｋｅＶである条件で、アルミニウムが炭化珪素基板１０に注入される。以上のように、第１領域１と第２底面４２との距離が短い場合（たとえば０．１μｍ程度）は、１回のイオン注入により第２領域２が形成される。一方、第１領域１と第２底面４２との距離が長い場合（たとえば１μｍ程度）は、異なる注入エネルギーで複数回イオン注入を行うことにより、第２領域２が形成される。イオン注入工程後、マスク６１が除去される。

[0095] 次に、活性化アニールを行う工程（Ｓ４０：図１０）が実施される。具体的には、不活性ガス雰囲気下において炭化珪素基板１０に対して活性化アニールが行われる。これにより、炭化珪素基板１０にイオン注入された不純物が活性化する。活性化アニールの温度は、好ましくは１５００℃以上１９００℃以下であり、たとえば１７００℃程度である。活性化アニールの時間は、たとえば３０分程度である。活性化アニールの雰囲気は、たとえばＡｒ雰囲気である。好ましくは、活性化アニールを行う工程（Ｓ４０：図１０）は、第２領域を形成する工程（Ｓ３０：図１０）後であって、かつゲート絶縁膜を形成する工程（Ｓ５０：図１０）前において行われる。活性化アニールを行う工程においては、第１主面５１と、第１側面３１と、第１底面３２と、第２側面４１と、第２底面４２とを覆うに保護膜（図示せず）が炭化珪素基板１０上に設けられた状態で、炭化珪素基板１０が加熱されることが望ましい。これにより、活性化アニールによって、第１主面５１と、第１側面３１と、第１底面３２と、第２側面４１と、第２底面４２とが荒れることを抑制することができる。

[0096] 次に、ゲート絶縁膜を形成する工程（Ｓ５０：図１０）が実施される。炭

化珪素基板１０が、酸素を含む雰囲気中において、たとえば１３００℃以上１４００℃以下の温度で加熱される。これにより、炭化珪素基板１０上にゲート絶縁膜１５が形成される。ゲート絶縁膜１５は、第１主面５１と、ゲートトレンチ３０と、ソーストレンチ４０とに接するように形成される。具体的には、ゲート絶縁膜１５は、第１底面３２においてドリフト領域１２と接し、第１側面３１においてドリフト領域１２とボディ領域１３とソース領域１４と接し、かつ第１主面５１においてソース領域１４と接する。同様に、ゲート絶縁膜１５は、第１底面３２においてドリフト領域１２と接し、かつ第２側面４１においてドリフト領域１２とボディ領域１３とソース領域１４とに接する。

[0097] 炭化珪素基板１０を熱酸化することによりゲート絶縁膜１５を形成した後に、一酸化窒素（ＮＯ）ガス雰囲気中において炭化珪素基板１０に対して熱処理（ＮＯアニール）が行われてもよい。ＮＯアニールにおいて、炭化珪素基板１０が、たとえば１１００℃以上１３００℃以下の条件下で１時間程度保持される。これにより、ゲート絶縁膜１５とボディ領域１３との界面領域に窒素原子が導入される。その結果、界面領域における界面準位の形成が抑制されることで、チャネル移動度を向上させることができる。なお、窒素原子の導入が可能であれば、ＮＯガス以外のガス（たとえばN_2O）が雰囲気ガスとして用いられてもよい。ＮＯアニールの後にさらに、雰囲気ガスとしてアルゴン（Ａｒ）を用いるＡｒアニールが行われてもよい。Ａｒアニールの加熱温度は、たとえば上記ＮＯアニールの加熱温度以上である。Ａｒアニールの時間は、たとえば１時間程度である。これにより、ゲート絶縁膜１５とボディ領域１３との界面領域における界面準位の形成がさらに抑制される。

[0098] 次に、ゲート電極を形成する工程が実施される。たとえばＬＰＣＶＤ（Ｌｏｗ Ｐｒｅｓｓｕｒｅ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により、ゲート絶縁膜１５上にゲート電極２７が形成される。ゲート電極は、たとえばポリシリコンから構成される。ゲート電極２７は、ゲートトレンチ３０の内部に配置され、ゲート絶縁膜１５上においてゲートト

レンチ３０の第１側面３１および第１底面３２の各々と対面するように形成される。同様に、ゲート電極２７は、ソーストレンチ４０の内部に配置され、ゲート絶縁膜１５上においてソーストレンチ４０の第２側面４１および第２底面４２の各々と対面するように形成される（図１７参照）。次に、ソーストレンチ４０内のゲート電極２７の部分がエッチングにより除去される。

[0099] 次に、層間絶縁膜を形成する工程が形成される。たとえば、ゲート電極２７を覆い、かつゲート絶縁膜１５と接するように層間絶縁膜２２が形成される。好ましくは、層間絶縁膜２２は、たとえば化学気相成長法により形成される。層間絶縁膜２２は、たとえば二酸化珪素を含む材料から構成されている。次に、層間絶縁膜２２およびゲート絶縁膜１５の一部がエッチングされる。これにより、ソーストレンチ４０がゲート絶縁膜１５から露出する（図１８参照）。

[0100] 次に、ソース電極を形成する工程が実施される。たとえばスパッタリング法により、ソース領域１４および第２領域２の双方に接するソース電極１６が形成される。ソース電極１６は、ソーストレンチ４０内に形成される。具体的には、ソース電極１６は、第２側面４１と第２底面４２と第１主面５１とにおいて、第２領域２と接する。ソース電極１６は、第１主面５１においてソース領域１４と接する。ソース電極１６は、たとえばＴｉＡｌＳｉを含む材料から構成されている。次に、合金化アニールが実施される。具体的には、ソース領域１４および第２領域２と接するソース電極１６が、たとえば９００℃以上１１００℃以下の温度で５分程度保持される。これにより、ソース電極１６の少なくとも一部が、炭化珪素基板１０が含む珪素と反応してシリサイド化する。これにより、ソース領域１４とオーミック接合するソース電極１６が形成される。好ましくは、ソース電極１６は、第２領域２とオーミック接合する。

[0101] 次に、ソース電極１６と電気的に接続されるソース配線１９が形成される。ソース配線１９は、ソーストレンチ４０内においてソース電極１６と接するように形成される。次に、第２主面５２において、炭化珪素基板１０がバ

ックグラインディングされる。これにより、炭化珪素基板１０が薄くされる。次に、第２主面５２と接するようにドレイン電極２０が形成される。以上により、本実施形態に係るＭＯＳＦＥＴ１００（図１）が製造される。

[0102] なお上記実施形態においては、第１導電型および第２導電型はそれぞれｎ型およびｐ型であるとして説明したが、第１導電型および第２導電型はそれぞれｐ型およびｎ型であってもよい。また上記実施形態においては、炭化珪素半導体装置がＭＯＳＦＥＴの場合について説明したが、炭化珪素半導体装置は、ＭＯＳＦＥＴに限定されない。炭化珪素半導体装置は、たとえばＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）等であってもよい。

[0103] （炭化珪素半導体装置の製造方法の第１変形例）

次に、ＭＯＳＦＥＴ１００の第１変形例の製造方法について説明する。第１変形例に係るＭＯＳＦＥＴの製造方法は、ゲートトレンチを形成する工程と、ソーストレンチを形成する工程とが別々に行われる点において、主に上記本実施形態に係るＭＯＳＦＥＴ１００の製造方法と異なっており、その他の点については上記本実施形態に係るＭＯＳＦＥＴ１００の製造方法とほぼ同様である。以下において、上記本実施形態に係るＭＯＳＦＥＴ１００の製造方法と異なる点を中心に説明する。

[0104] まず、炭化珪素基板を準備する工程（Ｓ１０：図１９）が実施される。具体的には、図１１～図１３に示される工程を経て、ドリフト領域１２と、第１領域１と、ボディ領域１３と、ソース領域１４とを含む炭化珪素基板１０が準備される。

[0105] 次に、ソーストレンチを形成する工程（Ｓ１５：図１９）が実施される。たとえば、ソース領域１４から構成される第１主面５１上に、ソーストレンチ４０（図１）が形成される位置上に開口を有するマスク６０が形成される。マスク６０を用いて、ソース領域１４と、ボディ領域１３と、ドリフト領域１２の一部とがエッチングにより除去される。エッチングの方法としては、たとえば反応性イオンエッチング、特に誘導結合プラズマ反応性イオンエ

ッチングを用いることができる。具体的には、たとえば反応ガスとしてSF_6またはSF_6とO_2との混合ガスを用いた誘導結合プラズマ反応性イオンエッチングを用いることができる。エッチングにより、ソーストレンチ４０が形成される領域に、第１主面５１に対してほぼ垂直な側部と、側部と連続的に設けられ、かつ第１主面５１とほぼ平行な底部とを有する凹部が形成される。

[0106] 次に、凹部において熱エッチングが行われる。熱エッチングは、第１主面５１上にマスク６０が形成された状態で、たとえば、少なくとも１種類以上のハロゲン原子を有する反応性ガスを含む雰囲気中での加熱によって行い得る。少なくとも１種類以上のハロゲン原子は、塩素（Ｃｌ）原子およびフッ素（Ｆ）原子の少なくともいずれかを含む。当該雰囲気は、たとえば、Cl_2、BCl_3、SF_6またはCF_4を含む。たとえば、塩素ガスと酸素ガスとの混合ガスを反応ガスとして用い、熱処理温度を、たとえば７００℃以上１０００℃以下として、熱エッチングが行われる。なお、反応ガスは、上述した塩素ガスと酸素ガスとに加えて、キャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素ガス、アルゴンガスまたはヘリウムガスなどを用いることができる。

[0107] 上記熱エッチングにより、第１主面５１において、ソーストレンチ４０が形成される（図２０参照）。ソーストレンチ４０は、第１主面５１と連なる第２側面４１と、第２側面４１と連なる第２底面４２とにより規定される。第２側面４１は、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とにより構成される。第２底面４２は、ドリフト領域１２により構成される。第２底面４２に対する第２側面４１の角度$\theta 2$は、たとえば５４．７°である。次に、マスク６０が第１主面５１から除去される。

[0108] 次に、第２領域を形成する工程（Ｓ３０：図１９）が実施される。まず、第２領域が形成される領域上に開口を有するマスク６１が形成される（図２１参照）。マスク６１は、第１主面５１を覆うように形成される。次に、イオン注入工程が実施される。マスク６１を用いて、ソーストレンチ４０の第２側面４１および第２底面４２に向かって、たとえばアルミニウムなどのｐ

型不純物のイオン注入が行われる。これにより、第１領域１と接し、かつｐ型を有する第２領域２が形成される。ｐ型不純物は、第１主面５１に対してほぼ垂直な方向（図２１の矢印の方向）にイオン注入される。ｐ型不純物は、第２底面４２を通過し、ドリフト領域１２および第１領域１にイオン注入される。ｐ型不純物は、第２側面４１を通過し、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とにイオン注入される。ｐ型不純物は、第１主面５１を通過して、ソース領域１４にイオン注入される。第２領域２は、第１領域１と重なるように形成された第３領域３と、ドリフト領域１２とボディ領域１３とソース領域１４とに重なるように形成された第４領域４とを有する。次に、マスク６１が除去される。

[0109] 次に、活性化アニールを行う工程（Ｓ４０：図１９）が実施される。具体的には、不活性ガス雰囲気下において炭化珪素基板１０に対して活性化アニールが行われる。これにより、炭化珪素基板１０にイオン注入された不純物が活性化する。活性化アニールの温度は、好ましくは１５００℃以上１９００℃以下であり、たとえば１７００℃程度である。活性化アニールの時間は、たとえば３０分程度である。活性化アニールの雰囲気は、たとえばＡｒ雰囲気である。好ましくは、第１主面５１が保護膜に覆われた状態で、炭化珪素基板１０に対して活性化アニールが行われる。

[0110] 次に、ゲートトレンチを形成する工程（Ｓ４５：図１９）が実施される。たとえば、ソース領域１４から構成される第１主面５１上に、ゲートトレンチ３０（図１）が形成される位置上に開口を有するマスク６２が形成される。マスク６２は、ソーストレンチ４０を覆うように形成される。マスク６２を用いて、ソース領域１４と、ボディ領域１３と、ドリフト領域１２の一部とがエッチングにより除去される。エッチングの方法としては、たとえば反応性イオンエッチング、特に誘導結合プラズマ反応性イオンエッチングを用いることができる。具体的には、たとえば反応ガスとしてSF_6またはSF_6とO_2との混合ガスを用いた誘導結合プラズマ反応性イオンエッチングを用いることができる。エッチングにより、ゲートトレンチ３０が形成される領域に

、第１主面５１に対してほぼ垂直な側部と、側部と連続的に設けられ、かつ第１主面５１とほぼ平行な底部とを有する凹部が形成される。

[0111] 次に、凹部において熱エッチングが行われる。熱エッチングは、第１主面５１上にマスク６２が形成された状態で、たとえば、少なくとも１種類以上のハロゲン原子を有する反応性ガスを含む雰囲気中での加熱によって行い得る。少なくとも１種類以上のハロゲン原子は、塩素（Ｃｌ）原子およびフッ素（Ｆ）原子の少なくともいずれかを含む。当該雰囲気は、たとえば、Cl_2、BCl_3、SF_6またはCF_4を含む。たとえば、塩素ガスと酸素ガスとの混合ガスを反応ガスとして用い、熱処理温度を、たとえば７００℃以上１０００℃以下として、熱エッチングが行われる。なお、反応ガスは、上述した塩素ガスと酸素ガスとに加えて、キャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素ガス、アルゴンガスまたはヘリウムガスなどを用いることができる。

[0112] 上記熱エッチングにより、第１主面５１において、ゲートトレンチ３０が形成される（図２２参照）。ゲートトレンチ３０は、第１主面５１と連なる第１側面３１と、第１側面３１と連なる第１底面３２とにより規定される。第１側面３１は、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とにより構成される。第１底面３２は、ドリフト領域１２により構成される。第１底面３２に対する第１側面３１の角度$\theta 1$は、たとえば５４．７°である。次に、マスク６２が第１主面５１から除去される。

[0113] 次に、ゲート絶縁膜を形成する工程（Ｓ５０：図１９）が実施される。炭化珪素基板１０が、酸素を含む雰囲気中において、たとえば１３００℃以上１４００℃以下の温度で加熱される。これにより、炭化珪素基板１０上にゲート絶縁膜１５が形成される。次に、ゲート電極２７がゲート絶縁膜１５上に形成される（図１７参照）。次に、ゲート電極２７上に層間絶縁膜２２が形成される。次にソーストレンチ４０上のゲート絶縁膜１５がエッチングにより除去される（図１８参照）。次に、ソーストレンチ４０内において、ソース電極１６およびソース配線１９が形成される。次に、第２主面５２にド

レイン電極２０が形成される。以上により、図１に示すＭＯＳＦＥＴ１００が製造される。

[0114] （炭化珪素半導体装置の製造方法の第２変形例）

次に、係るＭＯＳＦＥＴ１００の第２変形例の製造方法について説明する。第２変形例に係るＭＯＳＦＥＴの製造方法は、２段注入によりｐ型不純物濃度のプロファイルを２つに分けて形成する点において、主に上記本実施形態に係るＭＯＳＦＥＴ１００の製造方法と異なっており、その他の点については上記本実施形態に係るＭＯＳＦＥＴ１００の製造方法とほぼ同様である。以下において、上記本実施形態に係るＭＯＳＦＥＴ１００の製造方法と異なる点を中心に説明する。

[0115] 第２変形例に係るＭＯＳＦＥＴの製造方法においては、図８に示されたｐ型不純物濃度のプロファイルを有するように、第２領域が形成される。第２領域を形成する工程は、第１のエネルギーおよび第１のドーズ量の条件でイオン注入を行う第１工程と、第２のエネルギーおよび第２のドーズ量の条件でイオン注入を行う第２工程とを含んでいる。

[0116] 図２３に示されるように、第１工程においては、第１のエネルギーおよび第１のドーズ量の条件で、炭化珪素基板１０に対してｐ型不純物がイオン注入される。第１のエネルギーは、たとえば１５０ｋｅＶである。第１のドーズ量は、$６\times１０^{14}ｃｍ^{-2}$である。第１のエネルギーは、１０ｋｅＶ以上６００ｋｅＶ以下であってもよい。第１のドーズ量は、たとえば$１\times１０^{14}ｃｍ^{-2}$以上$１\times１０^{16}ｃｍ^{-2}$以下であってもよい。これにより、第２側面４１および第２底面４２の双方を構成する第６領域６が形成される。第６領域６は、第１主面５１の一部を構成していてもよい。第６領域６は、ソース領域１４と、ボディ領域１３と、ドリフト領域１２とに接する。第６領域６は、第１領域１から離間している。第１領域１と、第６領域６との間には、ドリフト領域１２がある。

[0117] 次に、第２工程が行われる。第２工程においては、第２のエネルギーおよび第２のドーズ量の条件で炭化珪素基板１０に対してｐ型不純物がイオン注

入される。第２工程における第２のエネルギーは、第１工程における第１のエネルギーよりも高い。そのため、第２工程においては、第１工程よりも深い位置までｐ型不純物がイオン注入される。第２のエネルギーは、たとえば６００ｋｅＶである。第２のエネルギーは、６００ｋｅＶ以上１ＭｅＶ以下であってもよい。これにより、第１領域１と重なる第３領域３と、ドリフト領域１２に接する第５領域５とが形成される。第５領域５は、第３領域３および第４領域４の双方と連なっている。第２のドーズ量は、第１のドーズ量よりも低い。そのため、第２工程におけるイオン注入時間は、第１工程におけるイオン注入時間よりも短い。第２のドーズ量は、たとえば$３\times１０^{14}ｃｍ^{-2}$である。第２のドーズ量は、$１\times１０^{13}ｃｍ^{-2}$以上$１\times１０^{15}ｃｍ^{-2}$以下であってもよい。ソース電極１６との接触抵抗の低減に寄与する第６領域６のｐ型不純物の濃度を高く維持しつつ、ソース電極１６との接触抵抗の低減に寄与しない第５領域５および第３領域３のｐ型不純物の濃度を低くすることで、第２領域２全体の形成時間を短縮することができる。なお、上記においては、第１工程の後、第２工程が行われる場合について説明したが、第２工程が先に行われ、第２工程の後、第１工程が行われてもよい。

[0118] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0119] １　第１領域、２　第２領域、３　第３領域、４　第４領域、５　第５領域、６　第６領域、７　第７領域、８　第８領域、９　第９領域、１０　炭化珪素基板、１１　炭化珪素単結晶基板、１２　ドリフト領域、１３　ボディ領域、１４　ソース領域、１５　ゲート絶縁膜、１６　ソース電極、１７　境界、１８　不純物領域、１９　ソース配線、２０　ドレイン電極、２２　層間絶縁膜、２４　炭化珪素エピタキシャル層、２７　ゲート電極、３０　ゲートトレンチ、３１　第１側面、３２　第１底面、４０　ソーストレンチ

、４１　第２側面、４２　第２底面、４３　第１側部、４４第２側部、５１　第１主面、５２　第２主面、５３　表面、６０，６１，６２　マスク、１００　ＭＯＳＦＥＴ（炭化珪素半導体装置）。

請求の範囲

[請求項1] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板と、

ゲート絶縁膜と、

ソース電極とを備え、

前記第１主面には、ゲートトレンチと、ソーストレンチとが設けられており、

前記ゲートトレンチは、前記第１主面と連なる第１側面と、前記第１側面と連なる第１底面とにより規定され、

前記ソーストレンチは、前記第１主面と連なる第２側面と、前記第２側面と連なる第２底面とにより規定され、

前記炭化珪素基板は、

第１導電型を有するドリフト領域と、

前記ドリフト領域上に設けられ、前記第１導電型と異なる第２導電型を有するボディ領域と、

前記ボディ領域上にあり、前記ボディ領域によって前記ドリフト領域から隔てられており、かつ前記第１導電型を有するソース領域と、

前記第２底面と前記第２主面との間にあり、かつ前記第２導電型を有する第１領域と、

前記第１領域と接し、前記第２側面の少なくとも一部と前記第２底面とを構成し、かつ前記第２導電型を有する第２領域とを含み、

前記ゲート絶縁膜は、前記第１側面において、前記ドリフト領域と、前記ボディ領域と、前記ソース領域と接し、かつ前記第１底面において、前記ドリフト領域に接し、

前記ソース電極は、前記第２側面と前記第２底面とにおいて、前記第２領域と接している、炭化珪素半導体装置。

[請求項2] 前記第２領域は、前記第１主面の一部を構成し、

前記ソース電極は、前記第１主面において、前記第２領域と接している、請求項１に記載の炭化珪素半導体装置。

[請求項3] 前記第２領域は、前記第１領域に接する第３領域と、前記第３領域と連なりかつ前記ドリフト領域に接する第４領域とを有し、

前記第２底面における第２導電型不純物の濃度は、前記第３領域と前記第４領域との境界における第２導電型不純物の濃度よりも高い、請求項２に記載の炭化珪素半導体装置。

[請求項4] 前記第１底面に対する前記第１側面の角度は、５０°以上６５°以下である、請求項２または請求項３に記載の炭化珪素半導体装置。

[請求項5] 前記第２底面に対する前記第２側面の角度は、５０°以上６５°以下である、請求項２～請求項４のいずれか１項に記載の炭化珪素半導体装置。

[請求項6] 前記第２底面に対する前記第２側面の角度は、６５°より大きく９０°以下である、請求項２～請求項４のいずれか１項に記載の炭化珪素半導体装置。

[請求項7] 前記第２主面に垂直な方向において、前記第２底面は、前記ソース領域と、前記ドリフト領域との間に位置する、請求項６に記載の炭化珪素半導体装置。

[請求項8] 前記第２主面に垂直な方向において、前記第２底面は、前記ボディ領域と、前記第１領域との間に位置する、請求項６に記載の炭化珪素半導体装置。

[請求項9] 前記炭化珪素基板は、前記第１導電型を有し、前記第１底面と前記第２主面との間に位置し、かつ前記第１領域に面する不純物領域をさらに含み、

前記不純物領域における第１導電型不純物の濃度は、前記ドリフト領域における第１導電型不純物の濃度よりも高い、請求項２～請求項８のいずれか１項に記載の炭化珪素半導体装置。

[請求項10] 前記第２側面は、前記第２底面に連なる第１側部と、前記第１側部

に連なる第２側部とを有し、

前記第２底面に対する前記第１側部の角度は、前記第２底面に平行な平面に対する前記第２側部の角度よりも小さい、請求項２～請求項４および請求項９のいずれか１項に記載の炭化珪素半導体装置。

[請求項11] 前記ソース電極は、前記第２側面において、前記ソース領域と接しており、

前記第２領域は、前記第１主面から離間している、請求項１に記載の炭化珪素半導体装置。

[請求項12] 前記第２領域は、前記第１領域に接する第３領域と、前記第３領域と連なりかつ前記ドリフト領域に接する第４領域とを有し、

前記第２底面における第２導電型不純物の濃度は、前記第３領域と前記第４領域との境界における第２導電型不純物の濃度よりも高い、請求項１１に記載の炭化珪素半導体装置。

[請求項13] 前記第１底面に対する前記第１側面の角度は、５０°以上６５°以下である、請求項１１または請求項１２に記載の炭化珪素半導体装置。

[請求項14] 前記第２底面に対する前記第２側面の角度は、５０°以上６５°以下である、請求項１１～請求項１３のいずれか１項に記載の炭化珪素半導体装置。

[請求項15] 前記第２底面に対する前記第２側面の角度は、６５°より大きく９０°以下である、請求項１１～請求項１３のいずれか１項に記載の炭化珪素半導体装置。

[請求項16] 前記第２主面に垂直な方向において、前記第２底面は、前記ソース領域と、前記ドリフト領域との間に位置する、請求項１５に記載の炭化珪素半導体装置。

[請求項17] 前記第２主面に垂直な方向において、前記第２底面は、前記ボディ領域と、前記第１領域との間に位置する、請求項１５に記載の炭化珪素半導体装置。

[請求項18] 前記炭化珪素基板は、前記第１導電型を有し、前記第１底面と前記第２主面との間に位置し、かつ前記第１領域に面する不純物領域をさらに含み、

前記不純物領域における第１導電型不純物の濃度は、前記ドリフト領域における第１導電型不純物の濃度よりも高い、請求項１１～請求項１７のいずれか１項に記載の炭化珪素半導体装置。

[請求項19] 前記第２側面は、前記第２底面に連なる第１側部と、前記第１側部に連なる第２側部とを有し、

前記第２底面に対する前記第１側部の角度は、前記第２底面に平行な平面に対する前記第２側部の角度よりも小さい、請求項１１～請求項１３および請求項１８のいずれか１項に記載の炭化珪素半導体装置。

[請求項20] 前記第１主面は、｛０００１｝面または｛０００１｝面に対して８°以下の角度だけオフした面である、請求項１～請求項１９のいずれか１項に記載の炭化珪素半導体装置。

[請求項21] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板と、

ゲート絶縁膜と、

ソース電極とを備え、

前記第１主面は、｛０００１｝面または｛０００１｝面に対して８°以下の角度だけオフした面であり、

前記第１主面には、ゲートトレンチと、ソーストレンチとが設けられており、

前記ゲートトレンチは、前記第１主面と連なる第１側面と、前記第１側面と連なる第１底面とにより規定され、前記第１底面に対する前記第１側面の角度は、５０°以上６５°以下であり、

前記ソーストレンチは、前記第１主面と連なる第２側面と、前記第２側面と連なる第２底面とにより規定され、前記第２底面に対する前

記第２側面の角度は、５０°以上６５°以下であり、

前記炭化珪素基板は、

第１導電型を有するドリフト領域と、

前記ドリフト領域上に設けられ、前記第１導電型と異なる第２導電型を有するボディ領域と、

前記ボディ領域上にあり、前記ボディ領域によって前記ドリフト領域から隔てられており、かつ前記第１導電型を有するソース領域と、

前記第２底面と前記第２主面との間にあり、かつ前記第２導電型を有する第１領域と、

前記第１領域と接し、前記第２側面の少なくとも一部と前記第２底面とを構成し、かつ前記第２導電型を有する第２領域とを含み、

前記ゲート絶縁膜は、前記第１側面において、前記ドリフト領域と、前記ボディ領域と、前記ソース領域と接し、かつ前記第１底面において、前記ドリフト領域に接し、

前記ソース電極は、前記第２側面と前記第２底面とにおいて、前記第２領域と接しており、

前記第２領域は、前記第１領域に接する第３領域と、前記第３領域と連なりかつ前記ドリフト領域に接する第４領域とを有し、

前記第２底面における第２導電型不純物の濃度は、前記第３領域と前記第４領域との境界における第２導電型不純物の濃度よりも高い、炭化珪素半導体装置。

[請求項22] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板を準備する工程と、

前記第１主面において、ゲートトレンチおよびソーストレンチを形成する工程とを備え、

前記ゲートトレンチは、前記第１主面と連なる第１側面と、前記第１側面と連なる第１底面とにより規定され、

前記ソーストレンチは、前記第１主面と連なる第２側面と、前記第２側面と連なる第２底面とにより規定され、

前記炭化珪素基板は、

第１導電型を有するドリフト領域と、

前記ドリフト領域上に設けられ、前記第１導電型と異なる第２導電型を有するボディ領域と、

前記ボディ領域上にあり、前記ボディ領域によって前記ドリフト領域から隔てられており、かつ前記第１導電型を有するソース領域と、

前記第２底面と前記第２主面との間にあり、かつ前記第２導電型を有する第１領域とを含み、さらに、

前記第２側面および前記第２底面に向かってイオン注入を行うことにより、前記第１領域と接し、前記第２側面の少なくとも一部と前記第２底面とを構成し、かつ前記第２導電型を有する第２領域を形成する工程と、

前記第１側面において、前記ドリフト領域と、前記ボディ領域と、前記ソース領域と接し、かつ前記第１底面において、前記ドリフト領域に接するゲート絶縁膜を形成する工程と、

前記第２側面と前記第２底面とにおいて、前記第２領域と接するソース電極を形成する工程とを備えた、炭化珪素半導体装置の製造方法。

[請求項23] 前記ゲートトレンチおよび前記ソーストレンチは、同時に形成される、請求項２２に記載の炭化珪素半導体装置の製造方法。

[請求項24] 前記ゲートトレンチおよび前記ソーストレンチは、熱エッチングによって形成される、請求項２２または請求項２３に記載の炭化珪素半導体装置の製造方法。

[請求項25] 前記第２領域を形成する工程後であって、かつ前記ゲート絶縁膜を形成する工程前において、前記炭化珪素基板に対して活性化アニール

を行う工程をさらに備えた、請求項２２～請求項２４のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項26] 前記第２領域を形成する工程は、

第１のエネルギーおよび第１のドーズ量の条件でイオン注入を行う工程と、

前記第１のエネルギーよりも高い第２のエネルギーでイオン注入を行う工程とを含む、請求項２２～請求項２５のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項27] 第１主面と、前記第１主面と反対側の第２主面とを有する炭化珪素基板を準備する工程と、

前記第１主面において、熱エッチングによりゲートトレンチおよびソーストレンチを同時に形成する工程とを備え、

前記ゲートトレンチは、前記第１主面と連なる第１側面と、前記第１側面と連なる第１底面とにより規定され、

前記ソーストレンチは、前記第１主面と連なる第２側面と、前記第２側面と連なる第２底面とにより規定され、

前記炭化珪素基板は、

第１導電型を有するドリフト領域と、

前記ドリフト領域上に設けられ、前記第１導電型と異なる第２導電型を有するボディ領域と、

前記ボディ領域上にあり、前記ボディ領域によって前記ドリフト領域から隔てられており、かつ前記第１導電型を有するソース領域と、

前記第２底面と前記第２主面との間にあり、かつ前記第２導電型を有する第１領域とを含み、さらに、

前記第２側面および前記第２底面に向かってイオン注入を行うことにより、前記第１領域と接し、前記第２側面の少なくとも一部と前記第２底面とを構成し、かつ前記第２導電型を有する第２領域を形成す

る工程と、

前記第２領域を形成する工程後、前記炭化珪素基板に対して活性化アニールを行う工程と、

前記炭化珪素基板に対して活性化アニールを行う工程後、前記第１側面において、前記ドリフト領域と、前記ボディ領域と、前記ソース領域と接し、かつ前記第１底面において、前記ドリフト領域に接するゲート絶縁膜を形成する工程と、

前記第２側面と前記第２底面とにおいて、前記第２領域と接するソース電極を形成する工程とを備え、

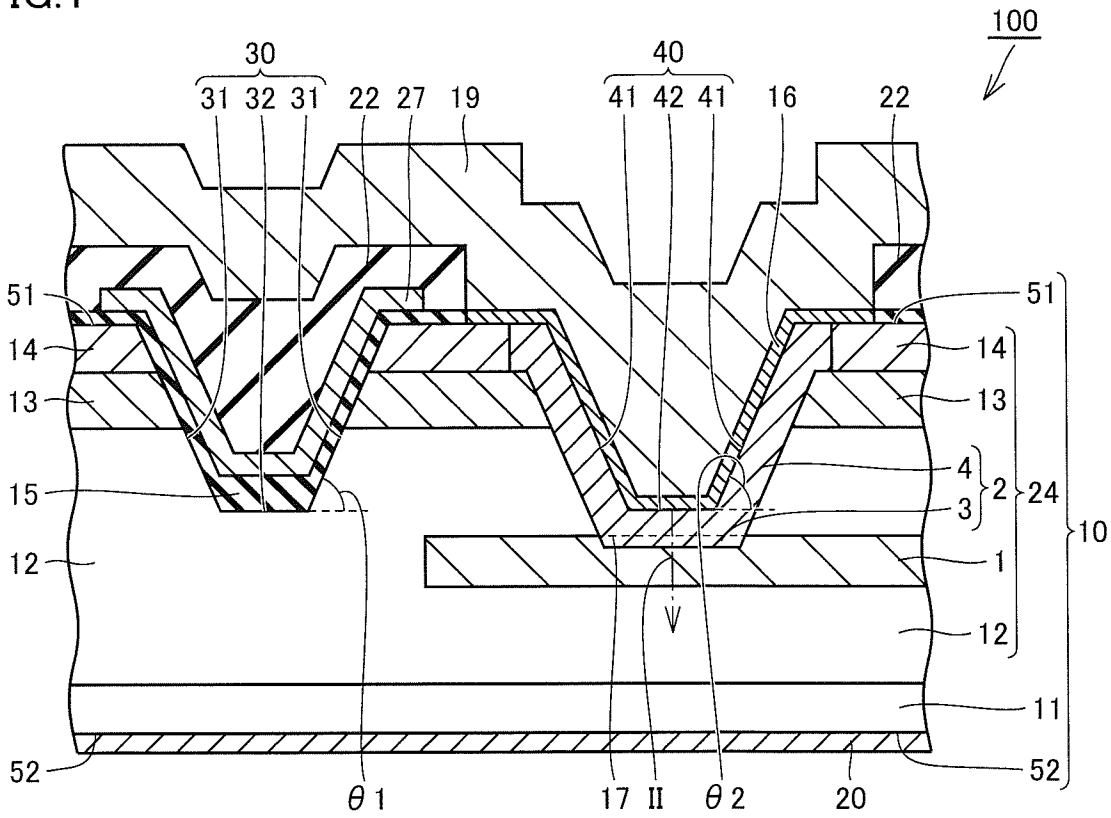
前記第２領域を形成する工程は、

第１のエネルギーおよび第１のドーズ量の条件でイオン注入を行う工程と、

前記第１のエネルギーよりも高い第２のエネルギーおよび前記第１のドーズ量よりも低い第２のドーズ量の条件でイオン注入を行う工程とを含む、炭化珪素半導体装置の製造方法。

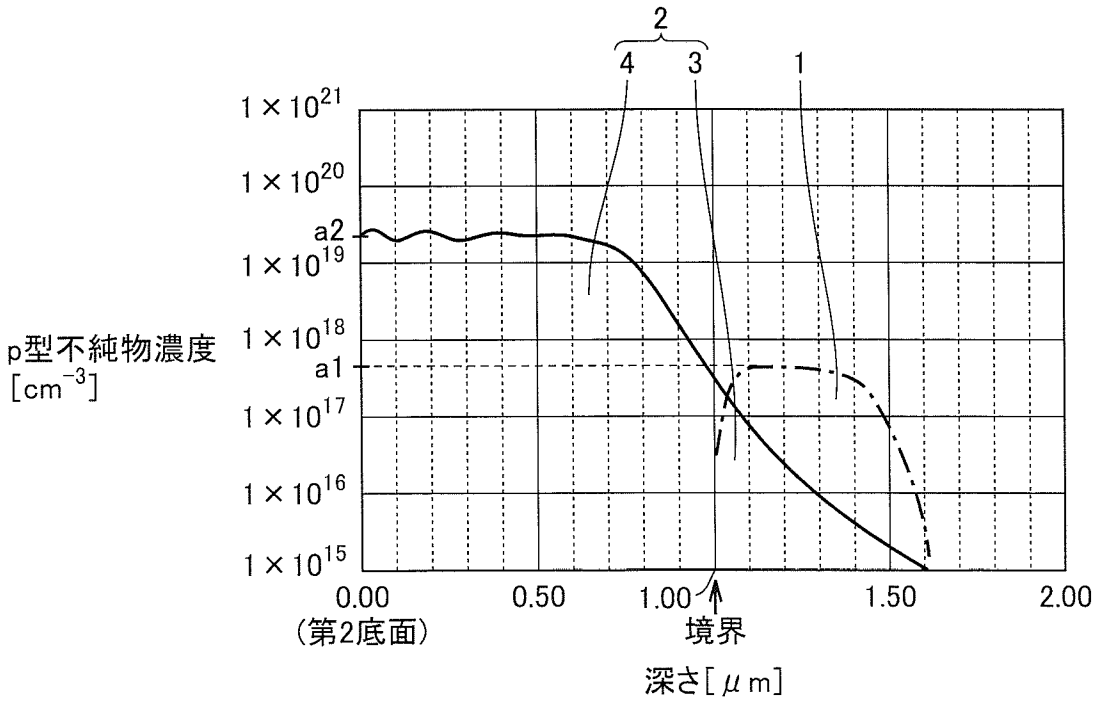
[図1]

FIG.1



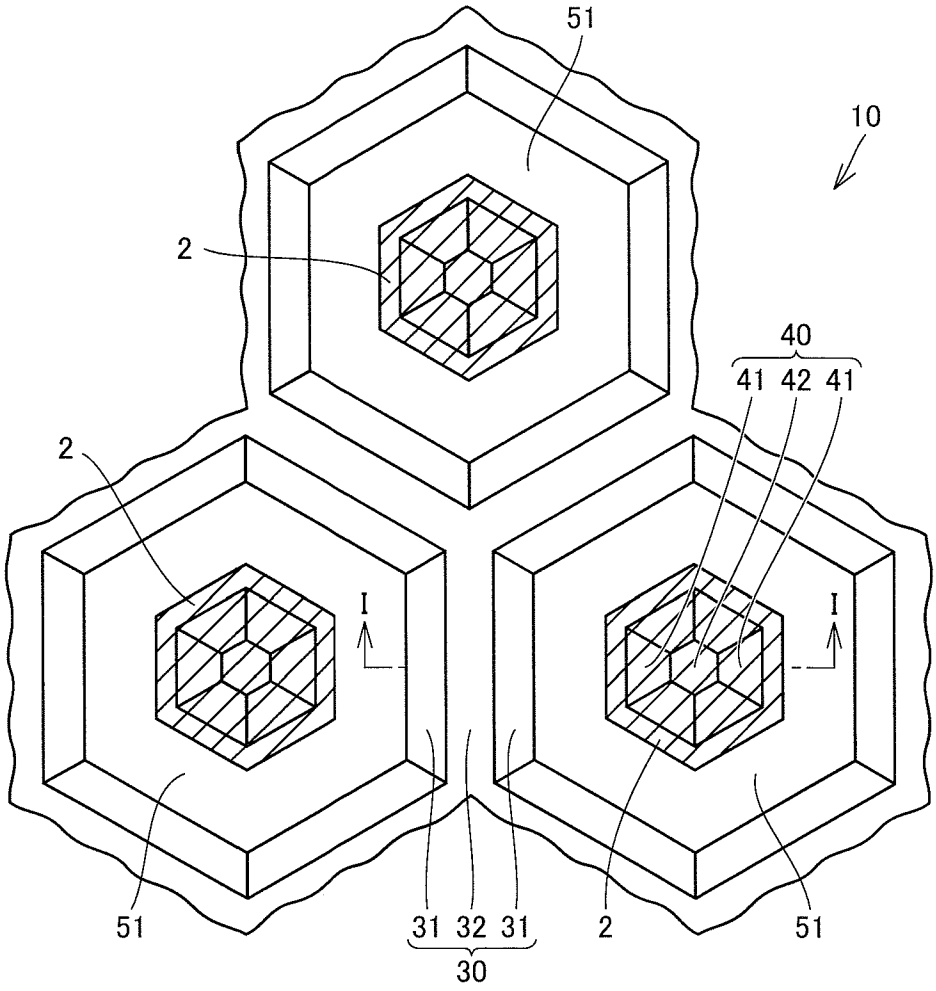
[図2]

FIG.2



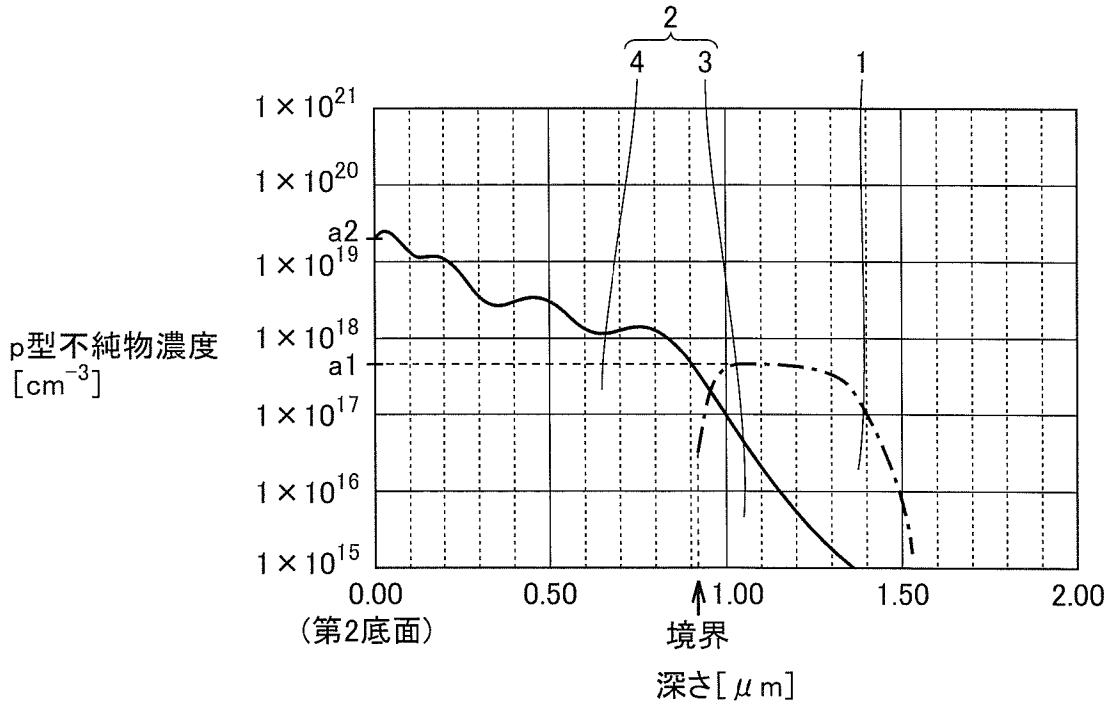
[図3]

FIG.3



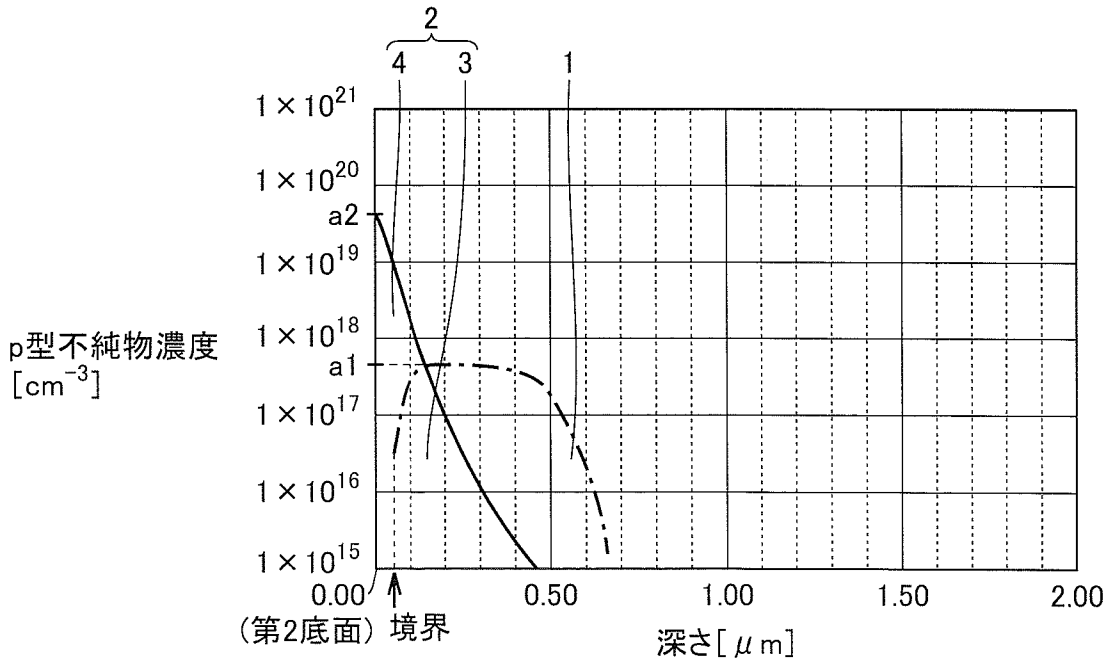
[図4]

FIG.4



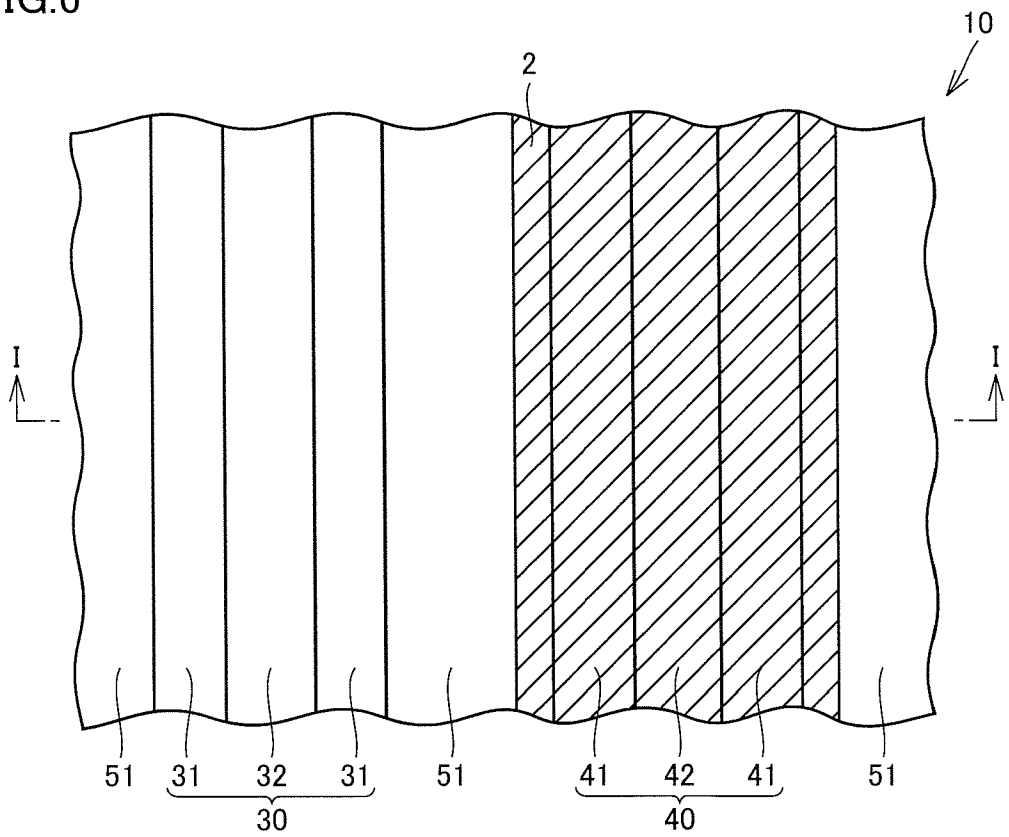
[図5]

FIG.5



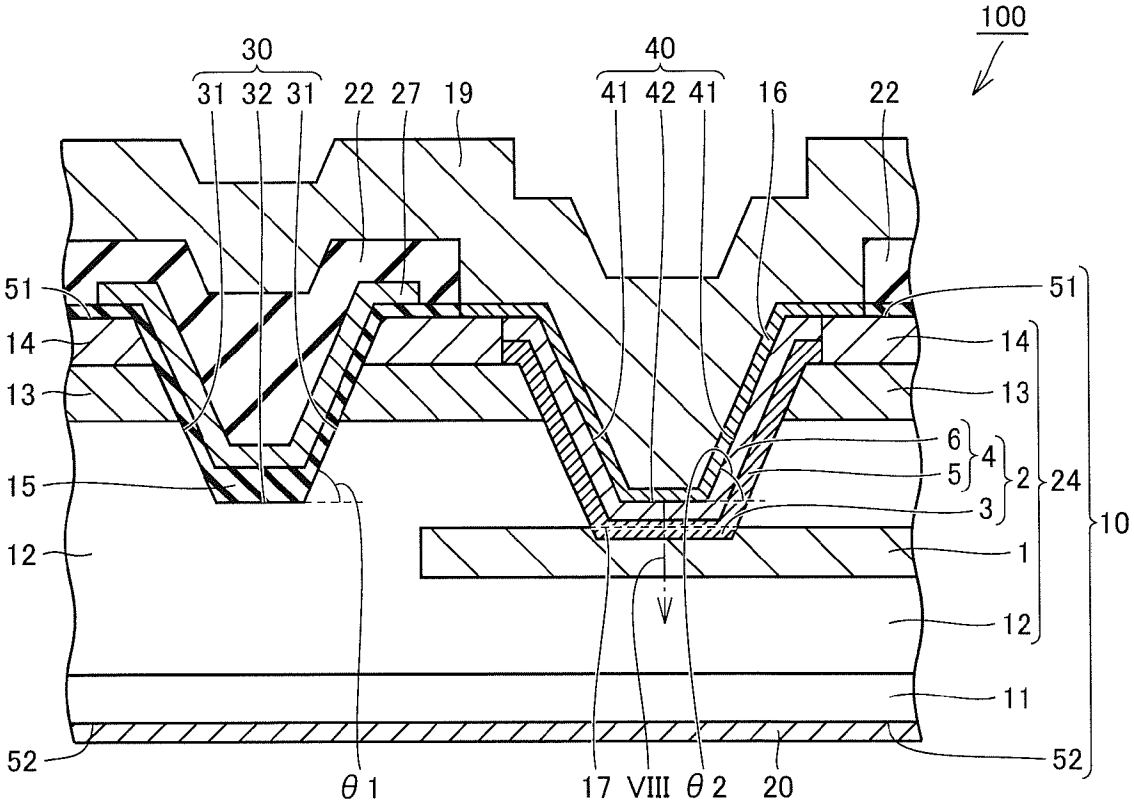
[図6]

FIG.6



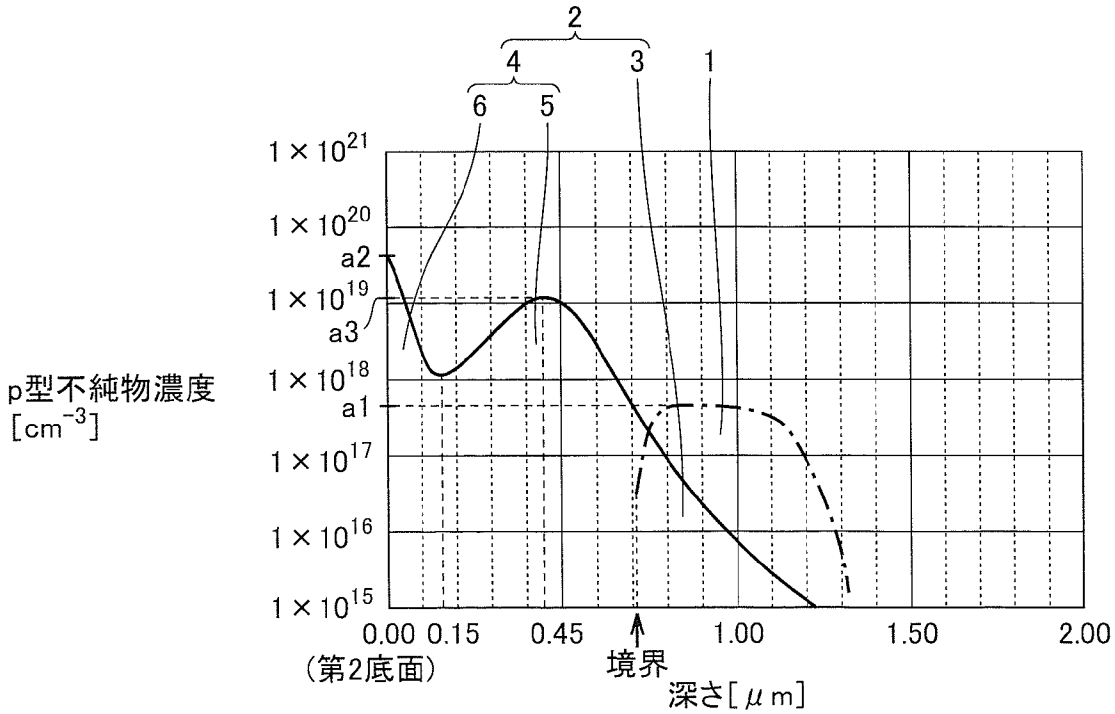
[図7]

FIG.7



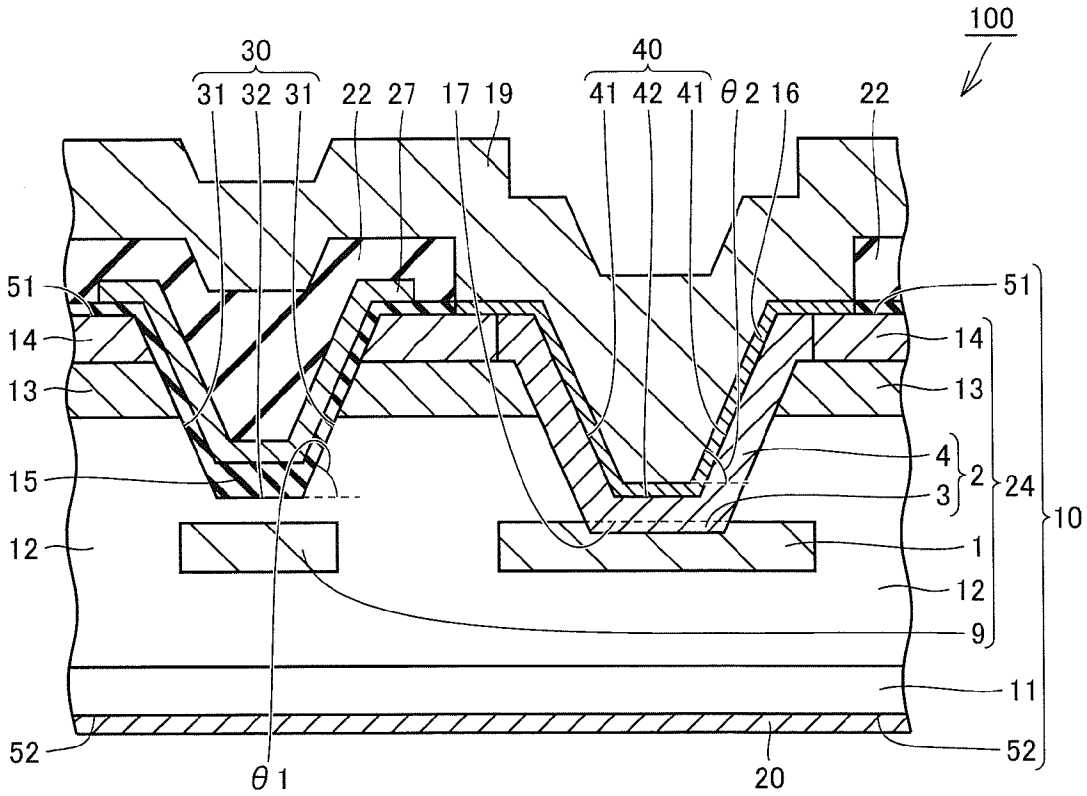
[図8]

FIG.8



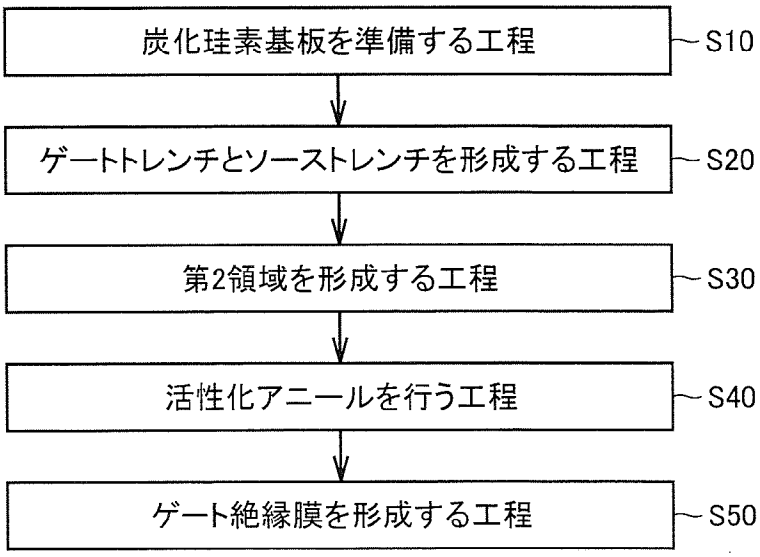
[図9]

FIG.9



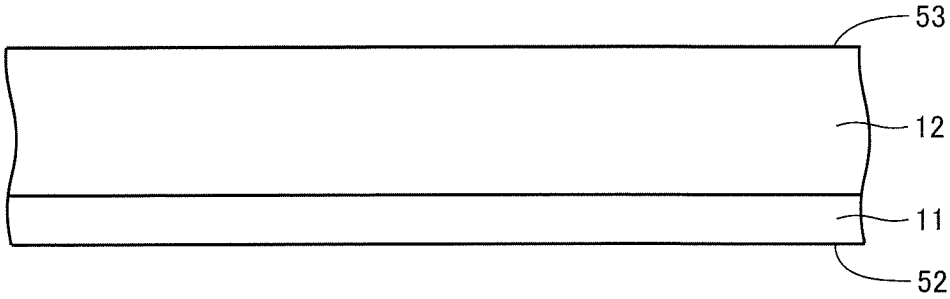
[図10]

FIG.10



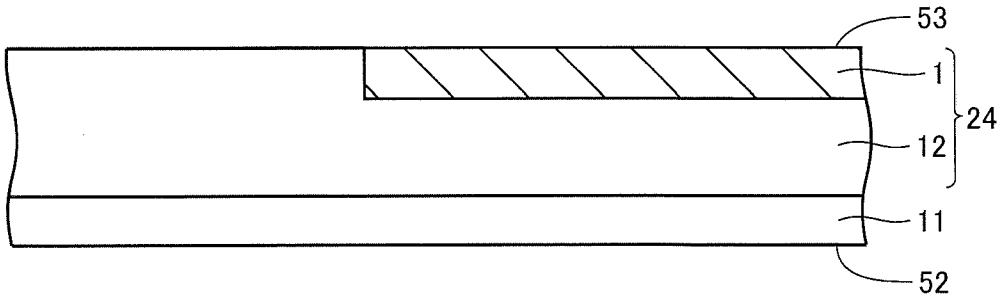
[図11]

FIG.11



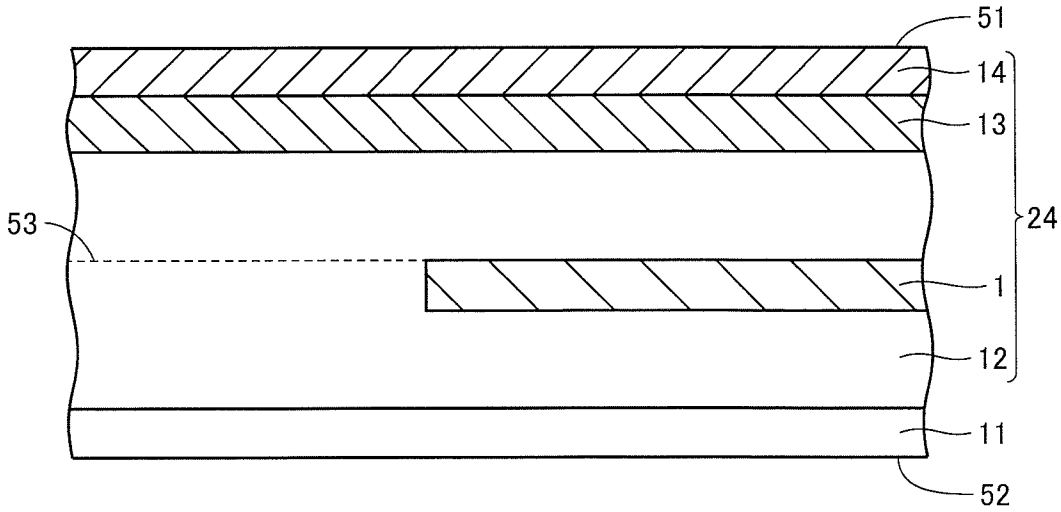
[図12]

FIG.12



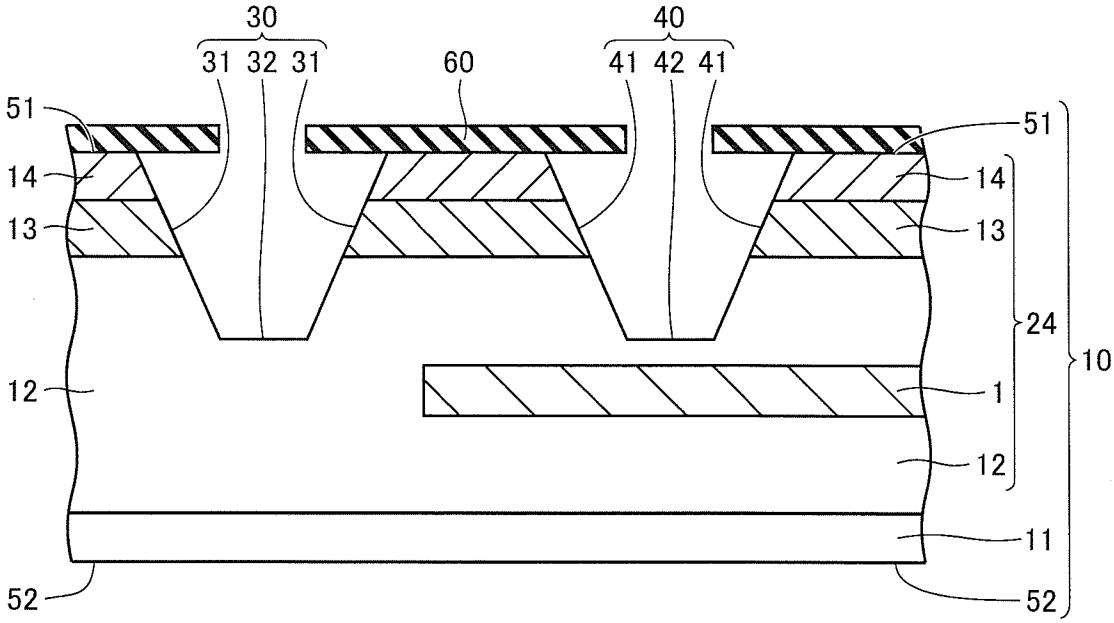
[図13]

FIG.13



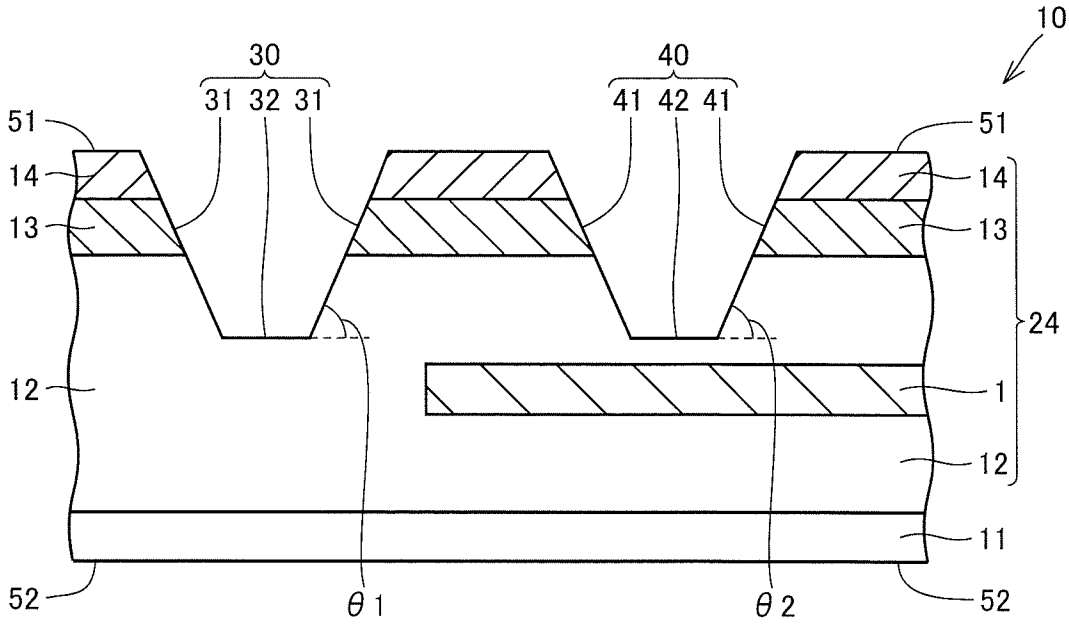
[図14]

FIG.14



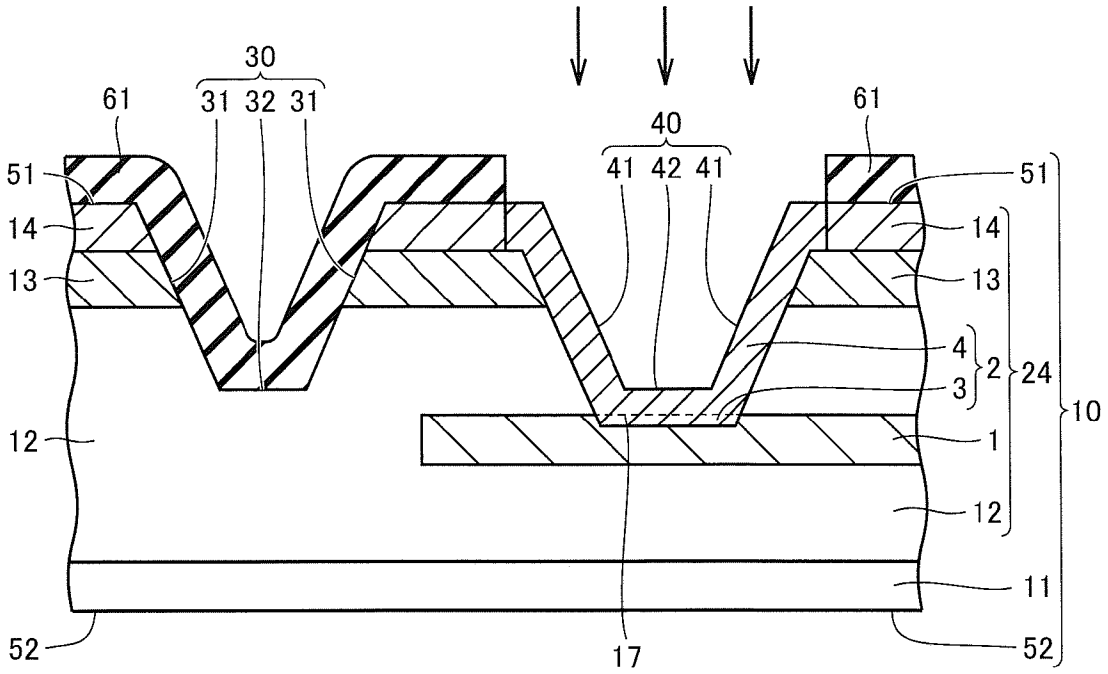
[図15]

FIG.15



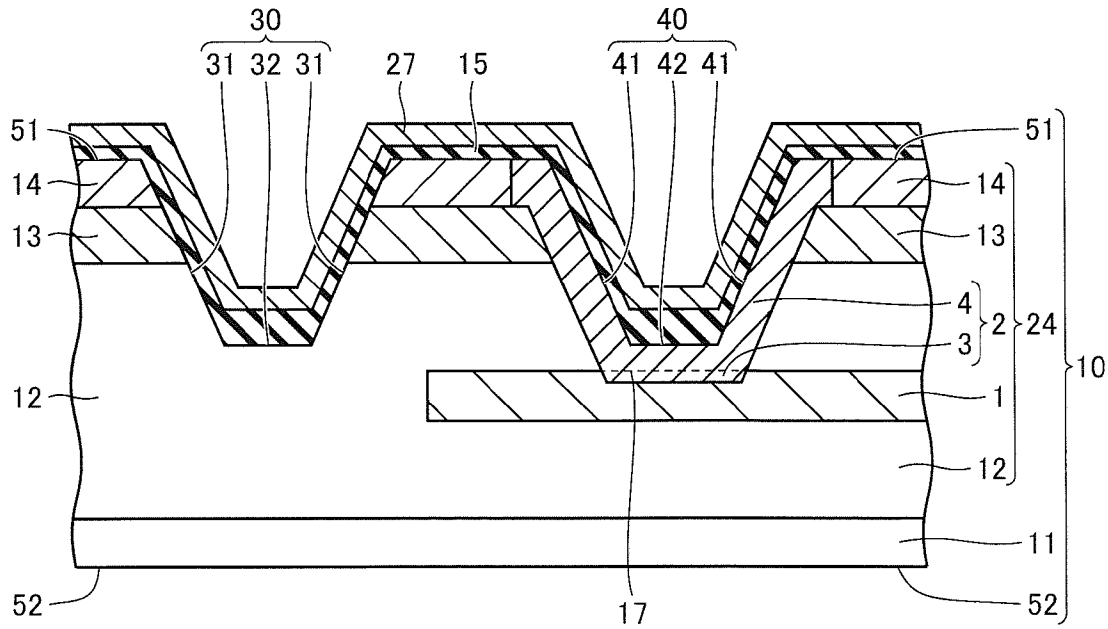
[図16]

FIG.16



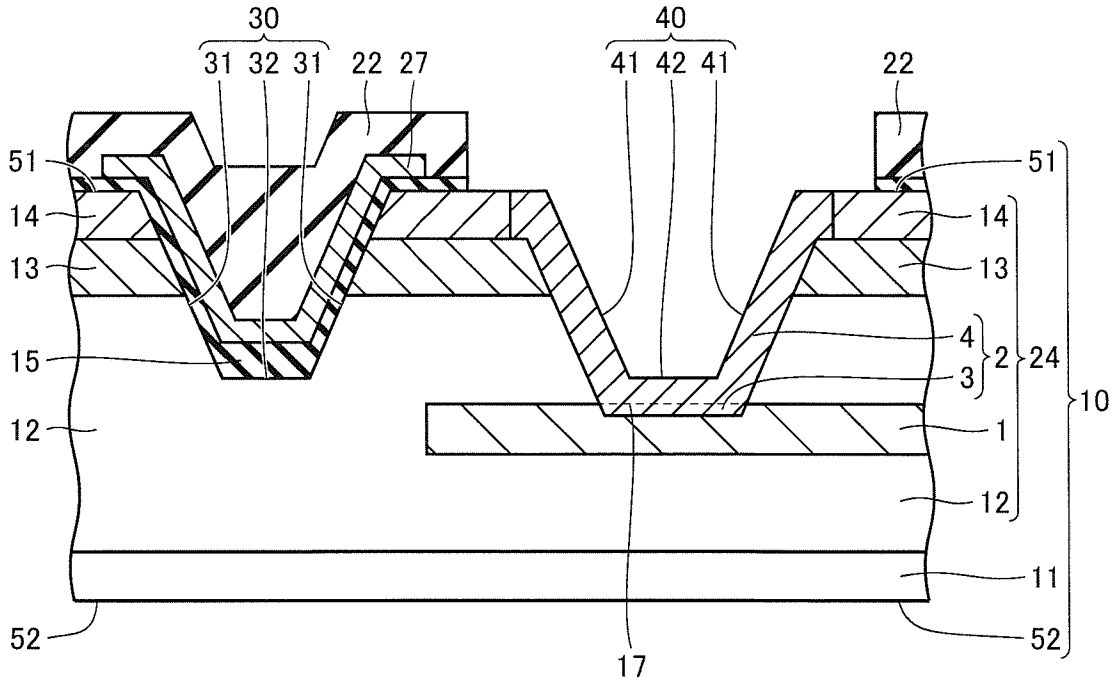
[図17]

FIG.17



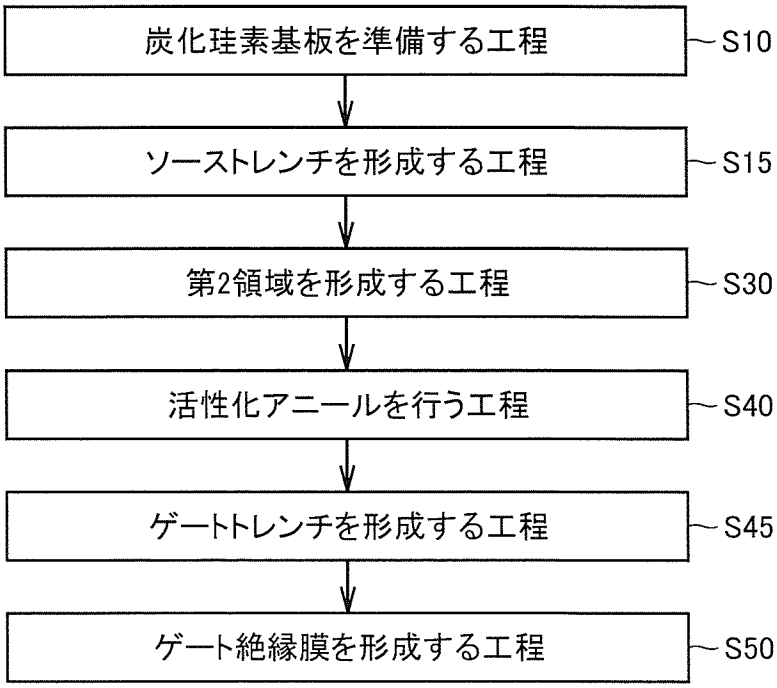
[図18]

FIG.18



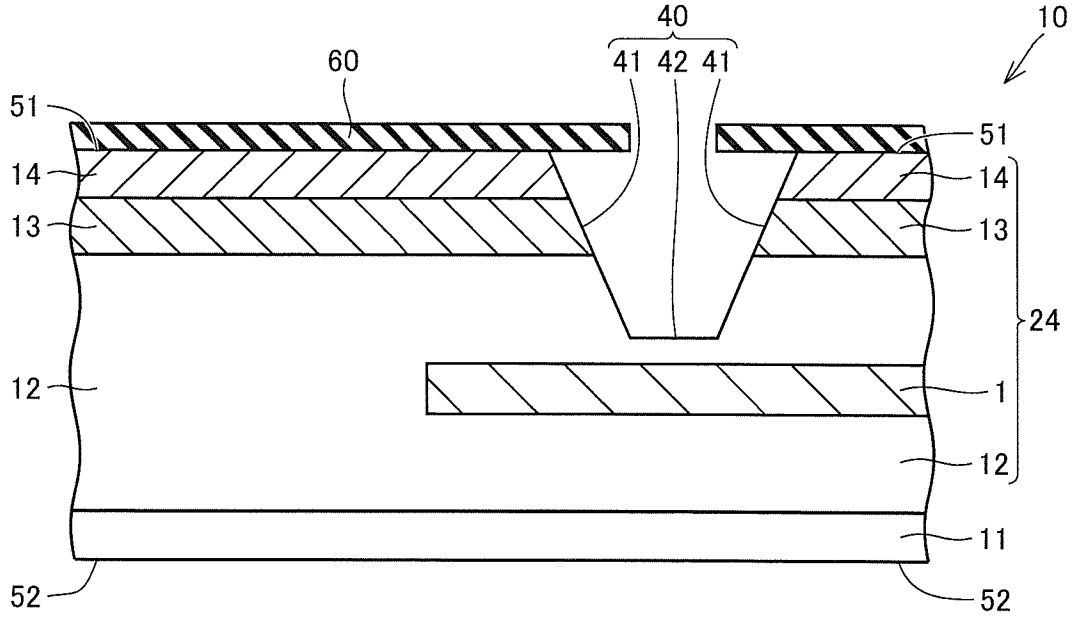
[図19]

FIG.19



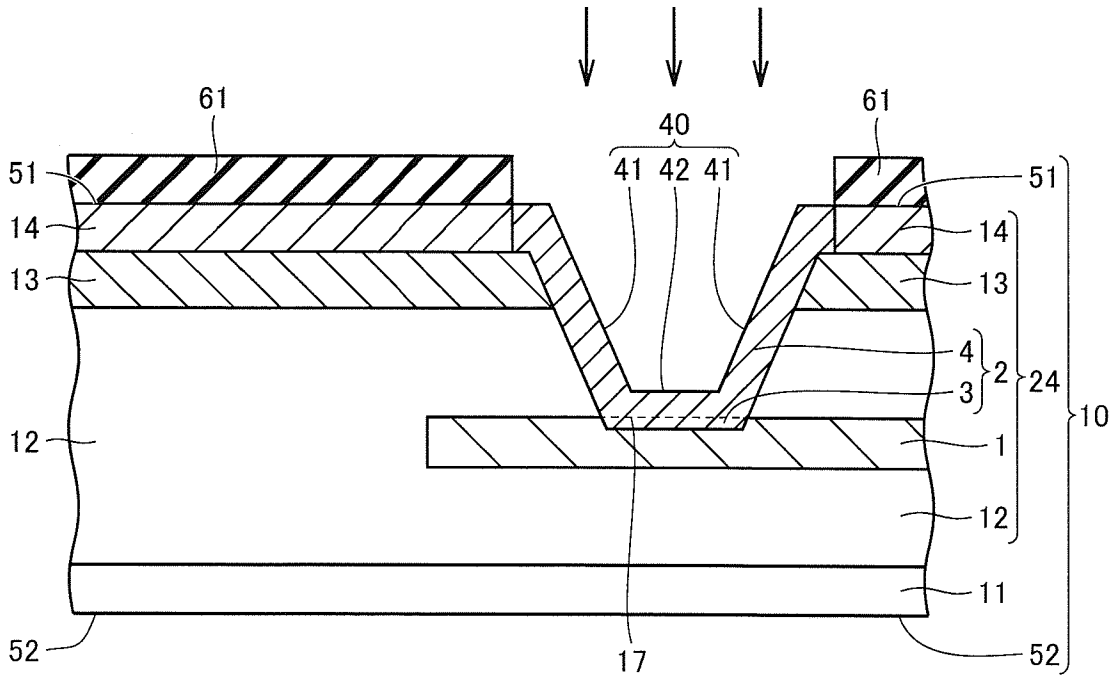
[図20]

FIG.20



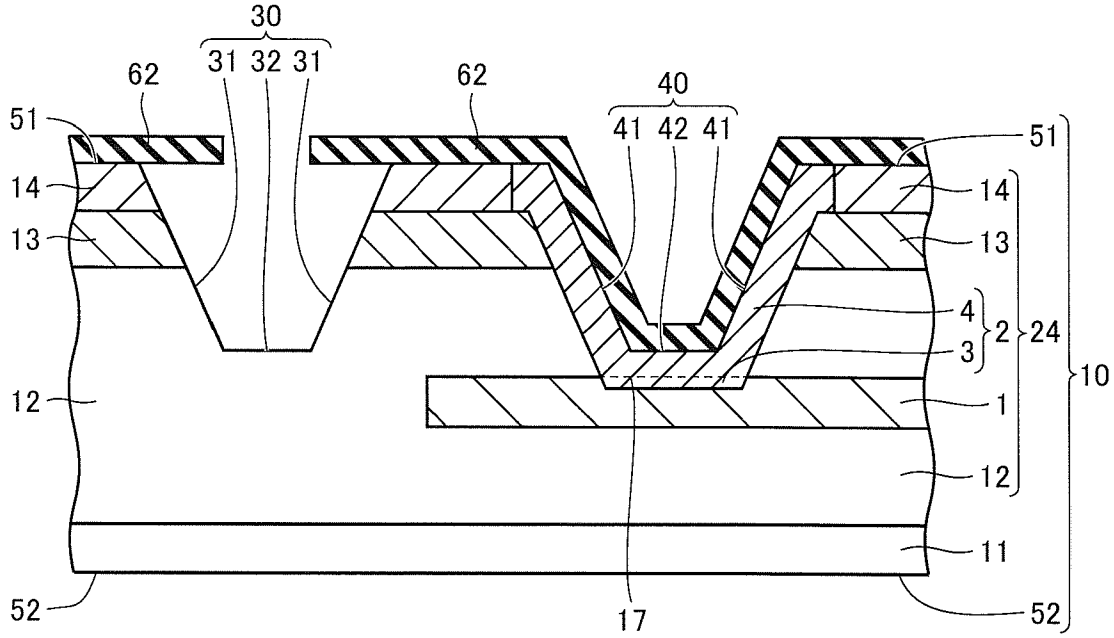
[図21]

FIG.21



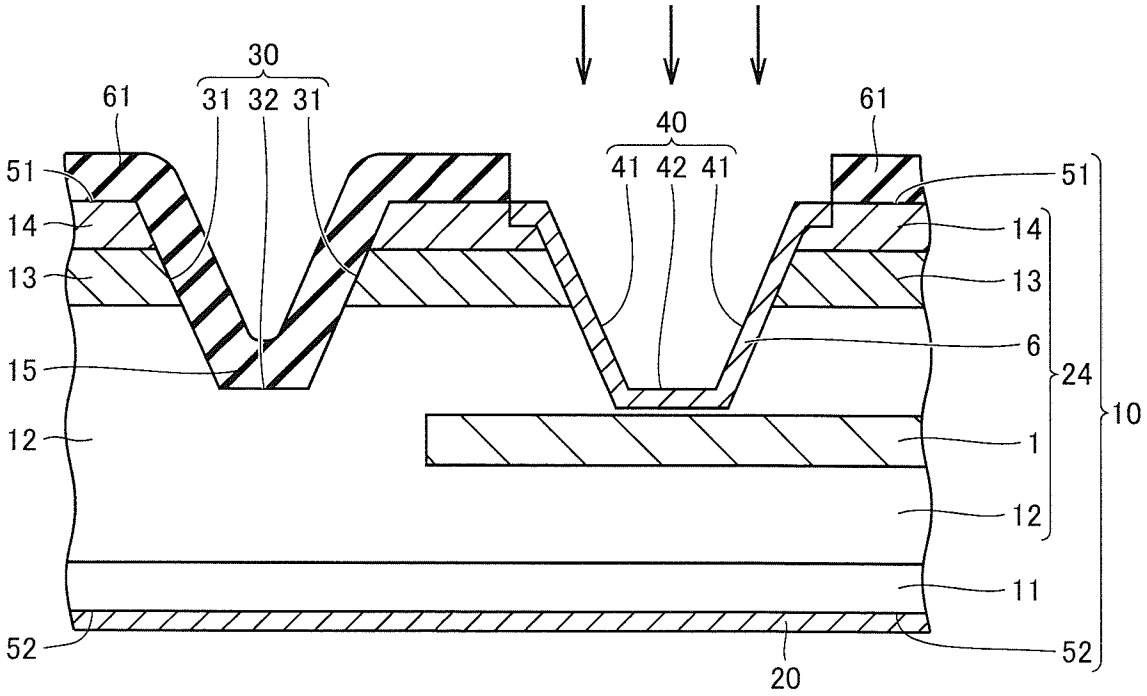
[図22]

FIG.22



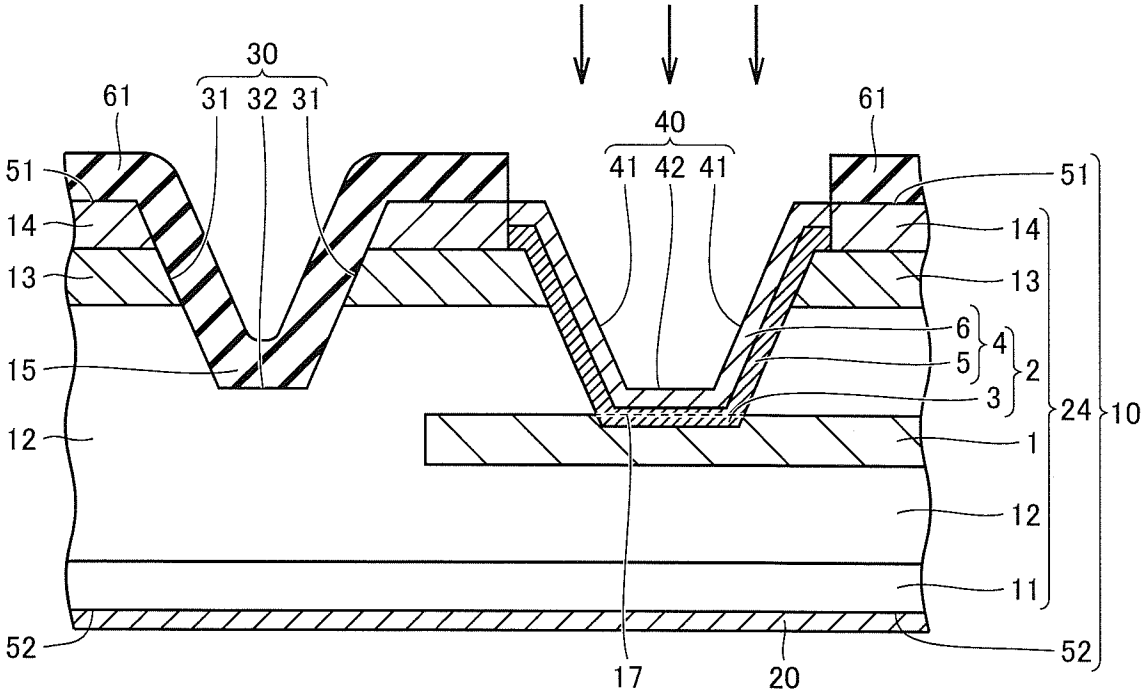
[図23]

FIG.23



[図24]

FIG.24


30
31
32
31
61
61
40
41
42
41
51
51
14
14
13
13
6
5
3
4
2
15
12
1
24
10
12
11
52
52
17
20

[図25]

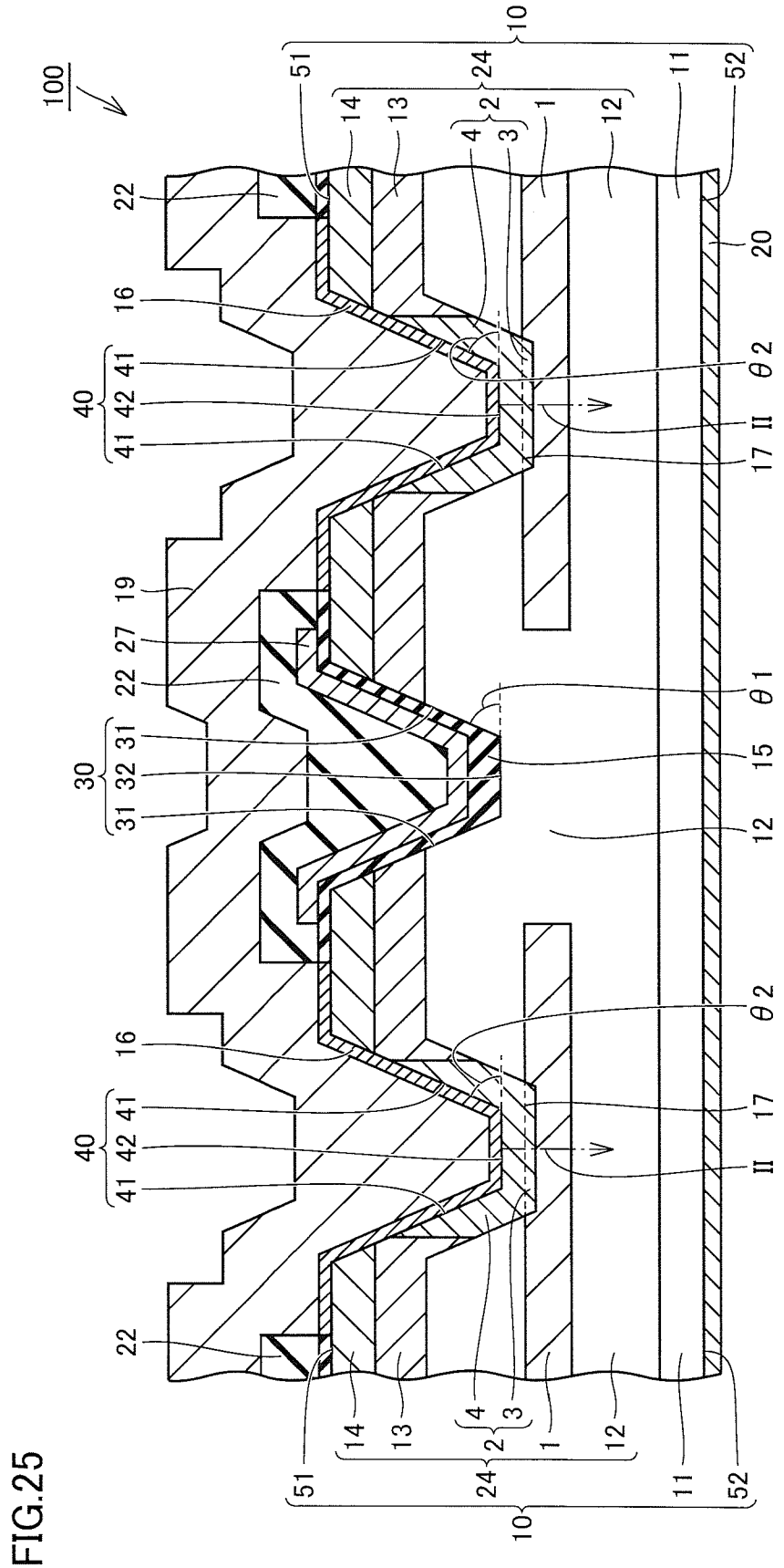

100
10
51
24
11
52
14
13
2
1
12
4
3
22
20
16
40
41
42
θ2
II
17
19
27
θ1
30
31
32
15
12
θ2
16
17
II
22
14
13
4
3
2
1
12
51
24
11
52
10

FIG.25

[図26]

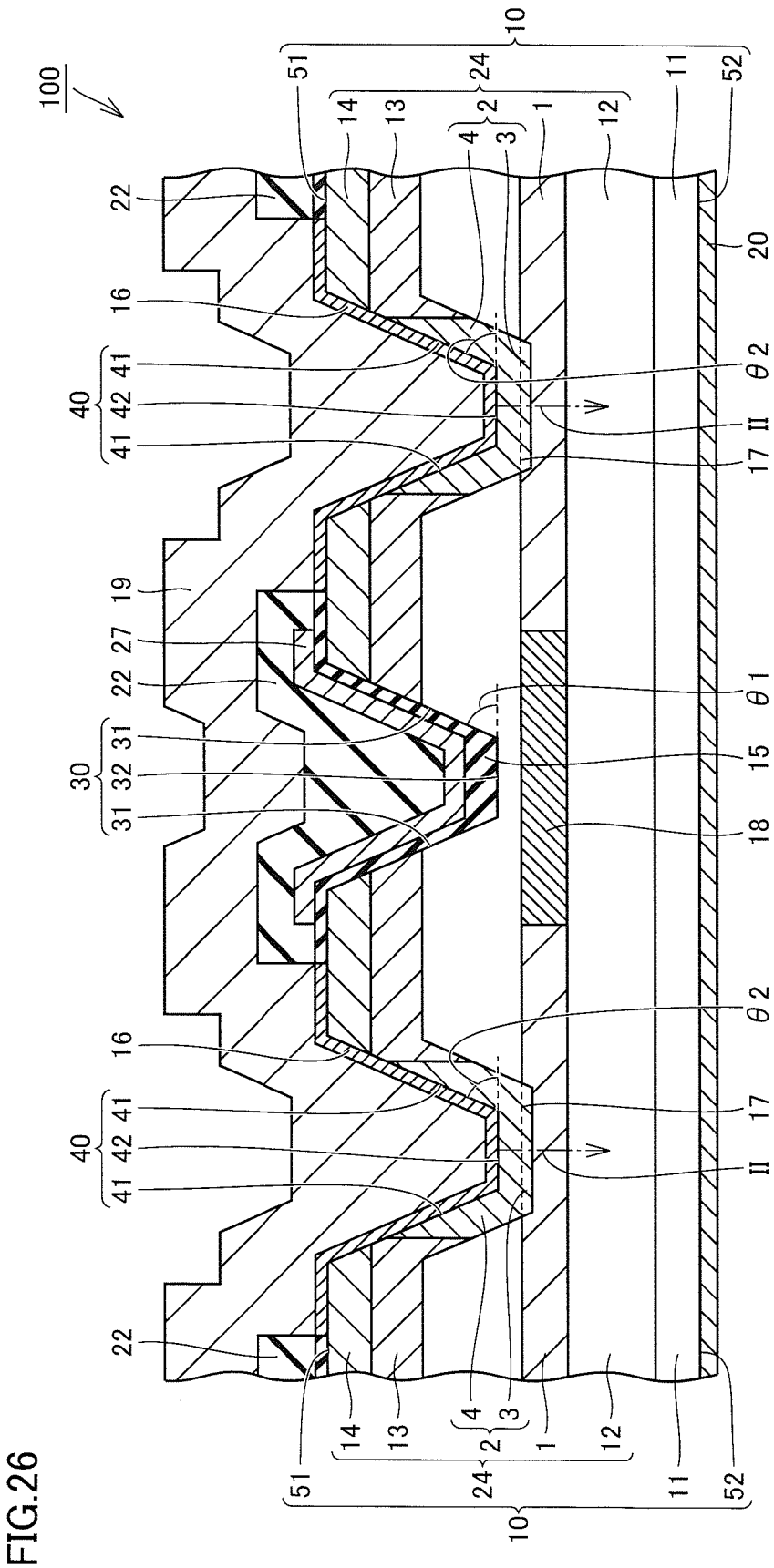

100
10
51
24
14
13
2
4
3
1
12
11
52
22
16
40
41
42
θ2
V
II
17
19
27
θ1
30
31
32
15
18
20

FIG.26

[図27]

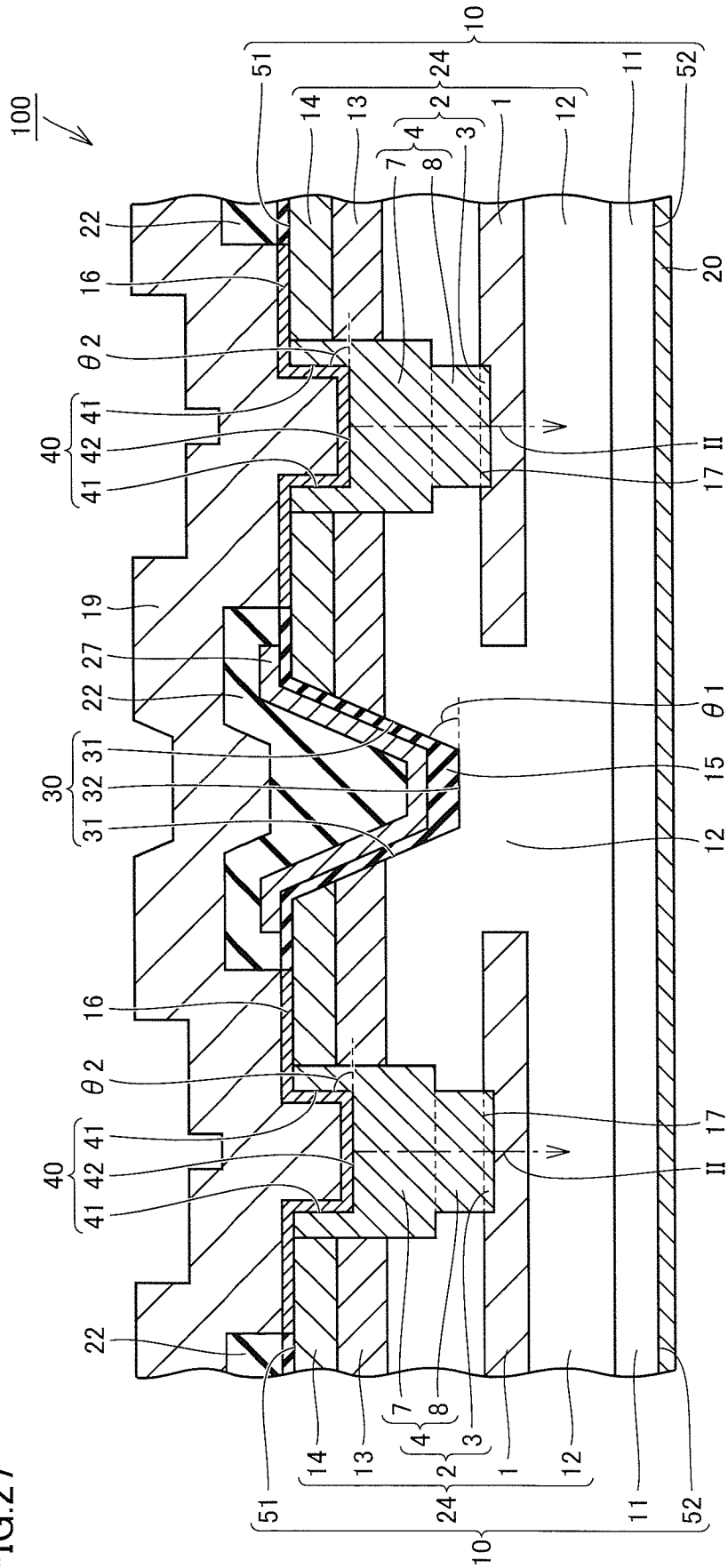

100
10
51
24
14
13
2
1
12
11
52
4
3
7
8
22
16
θ2
40
41
42
V
II
17
20
19
27
θ1
30
31
32
15

FIG.27

[図28]

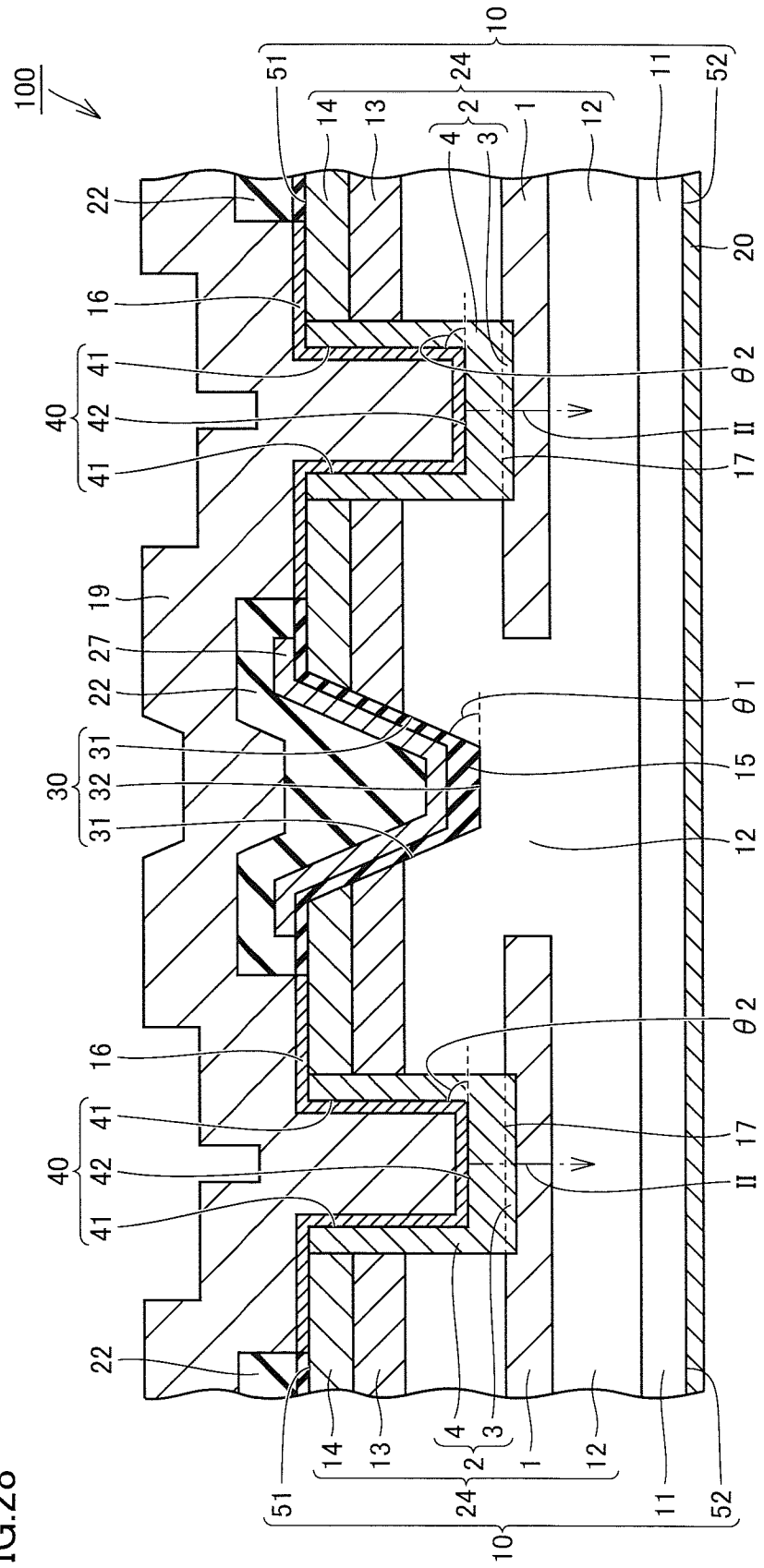

100
10
51
24
11
52
14
13
2
1
12
4
3
22
20
16
41
θ2
40
42
II
17
41
19
27
22
θ1
31
15
30
32
31
12
16
θ2
41
17
40
42
II
41
22
14
13
4
3
2
1
12
51
24
11
52
10

FIG.28

[図29]

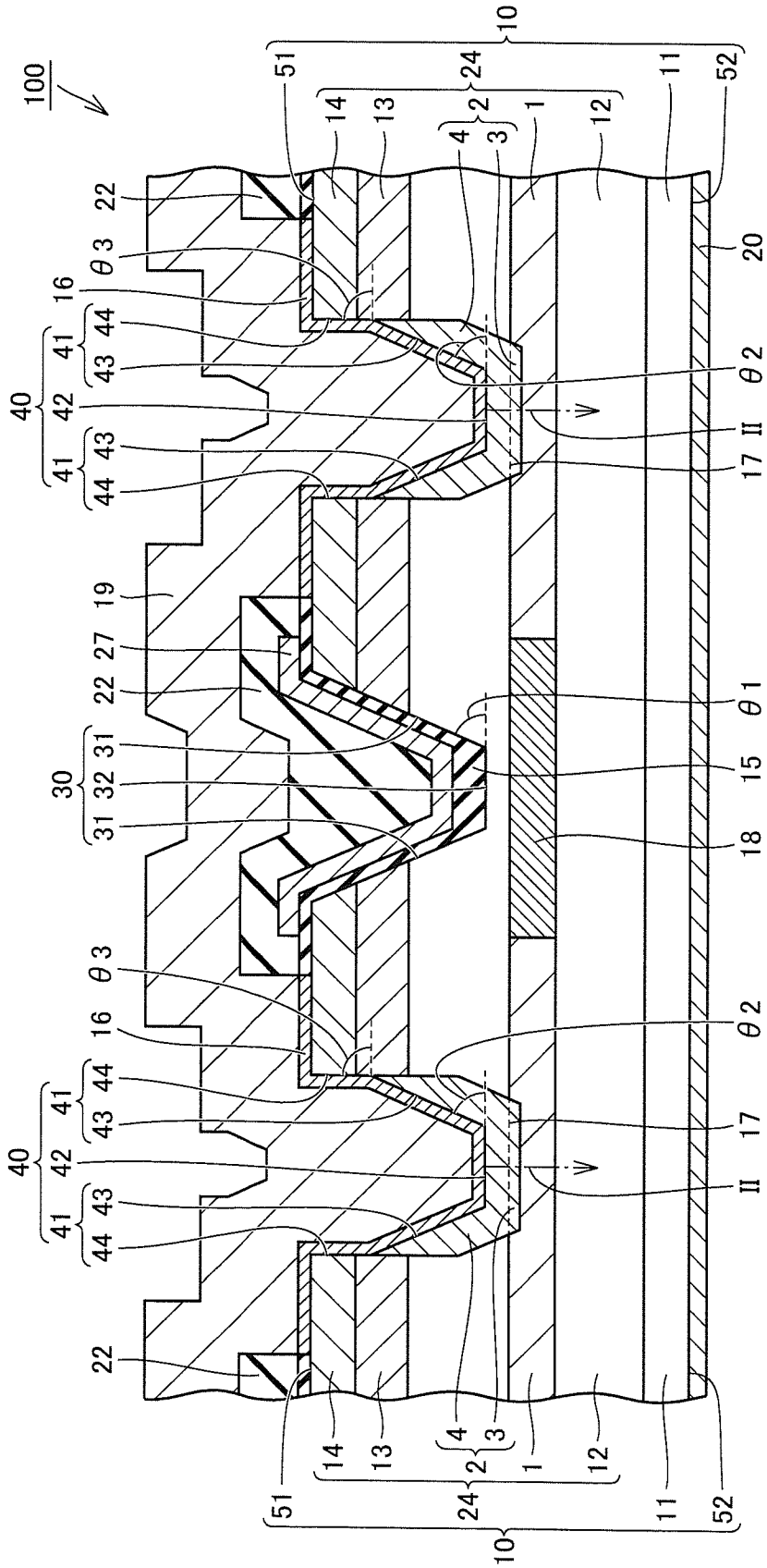

100
10
51
24
14
13
2
4
3
1
12
11
52
22
θ3
16
44
41
43
40
42
θ2
II
17
19
27
θ1
31
32
30
15
18
20

FIG.29

[図30]

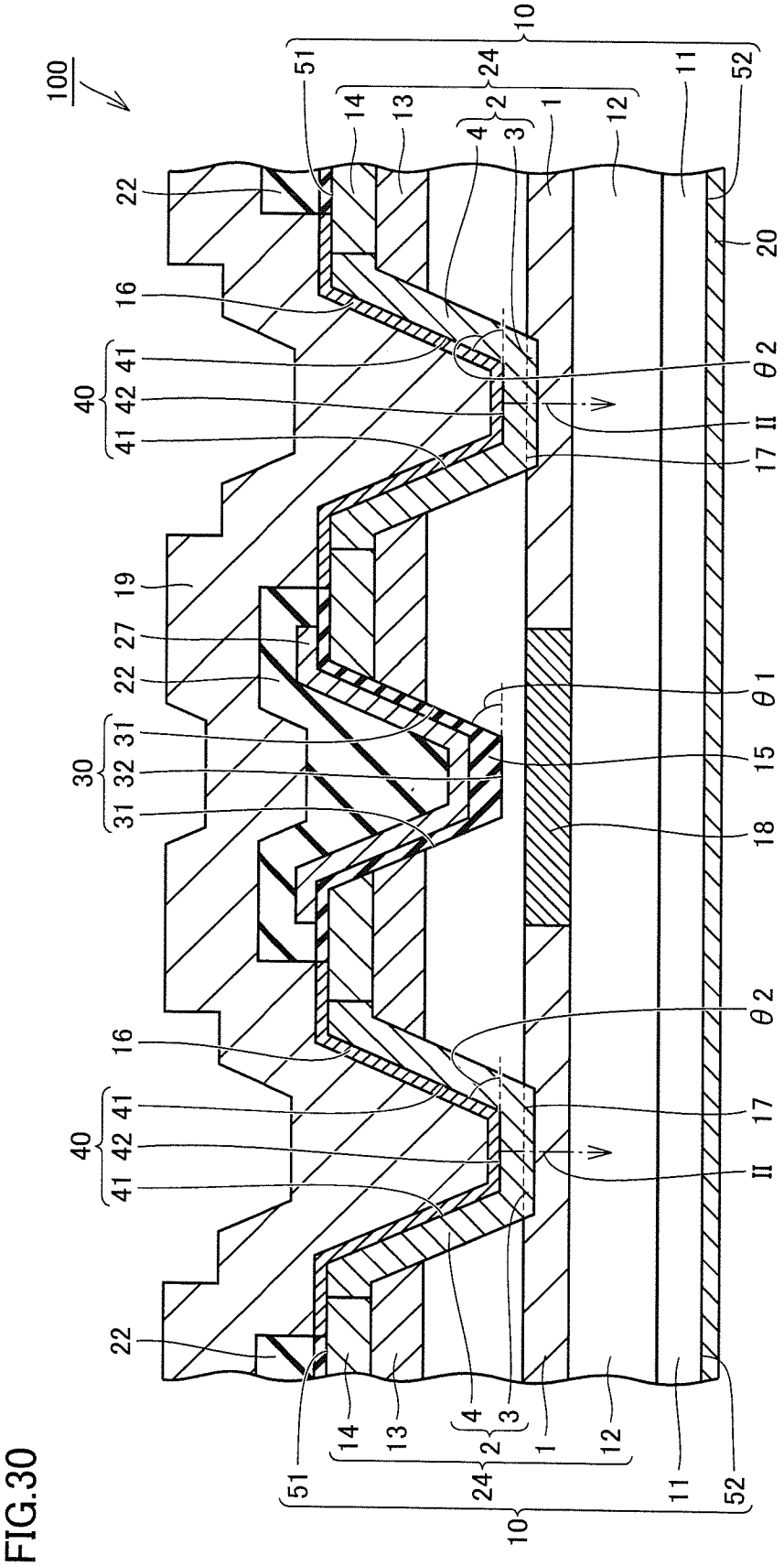
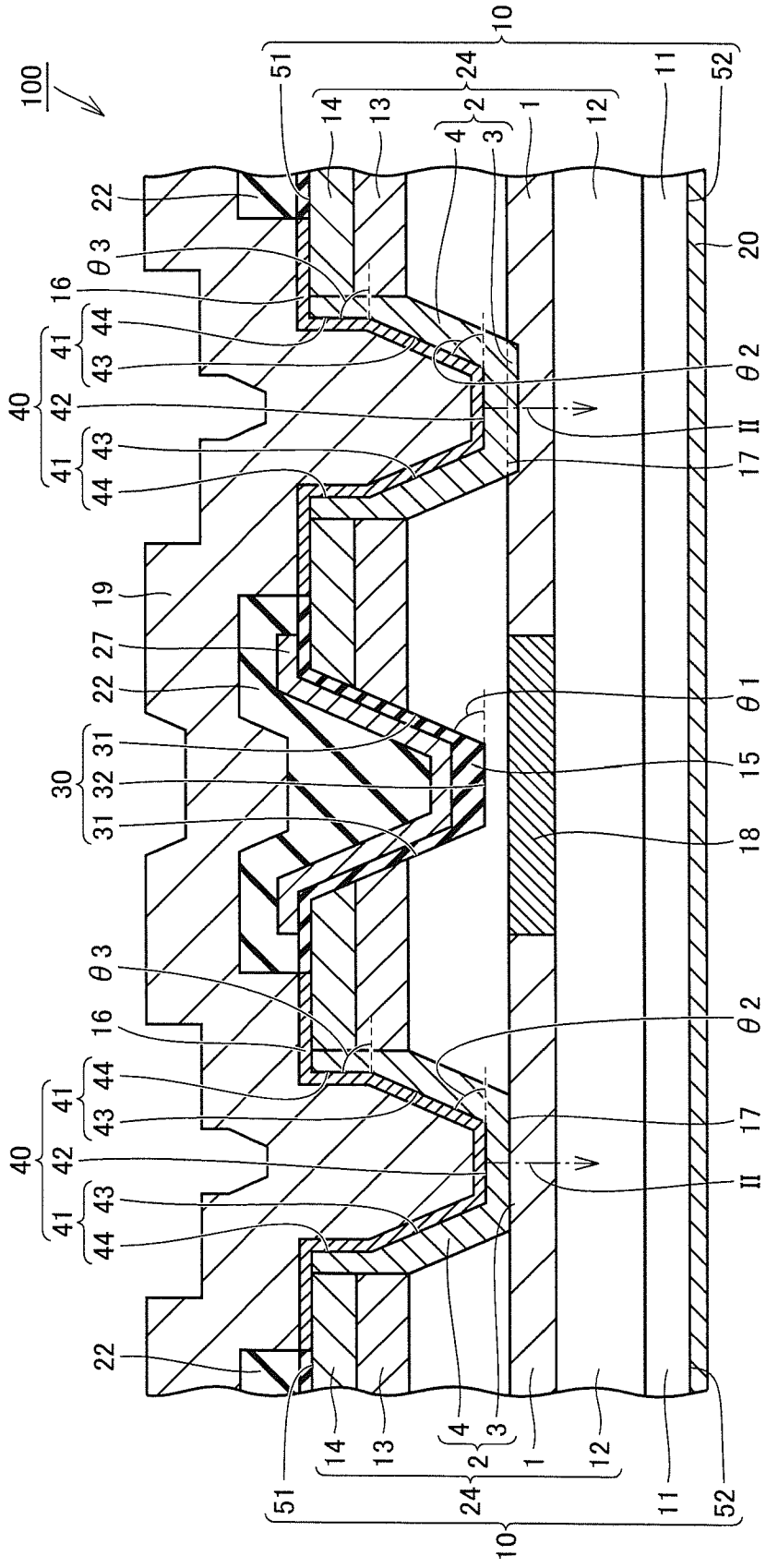

100
10
51
24
14
13
4
3
2
1
12
11
52
22
16
40
41
42
θ2
II
17
20
19
27
θ1
30
31
32
15
18

FIG.30

[図31]


100
10
51
24
14
13
2
4
3
1
12
11
52
22
θ3
16
44
41
43
40
42
θ2
II
17
20
19
27
θ1
31
30
32
15
18
FIG.31

[図32]

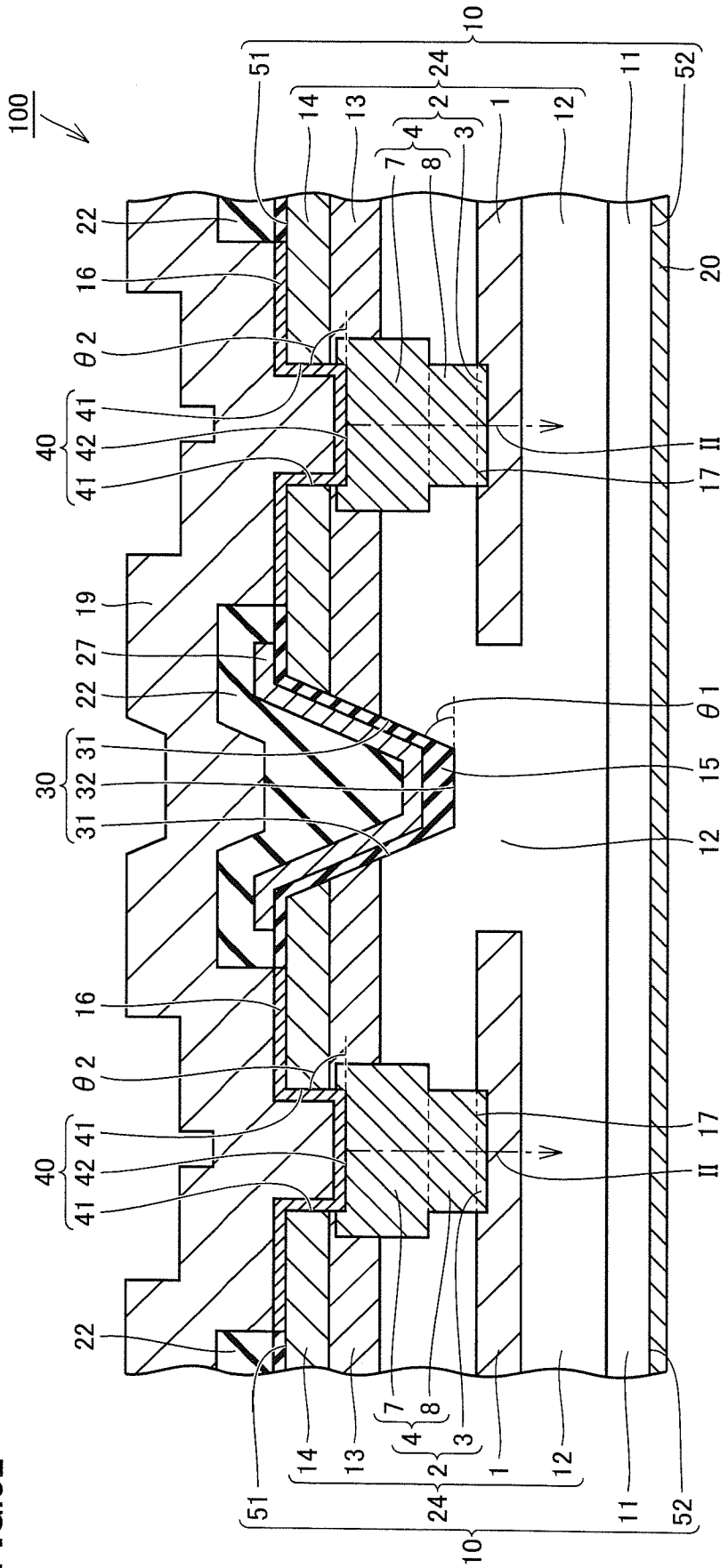

100
10
51
24
14
13
2
1
12
11
52
4
3
7
8
22
16
θ2
40
41
42
V
II
17
20
19
27
θ1
30
31
32
15
12

FIG.32

[図33]

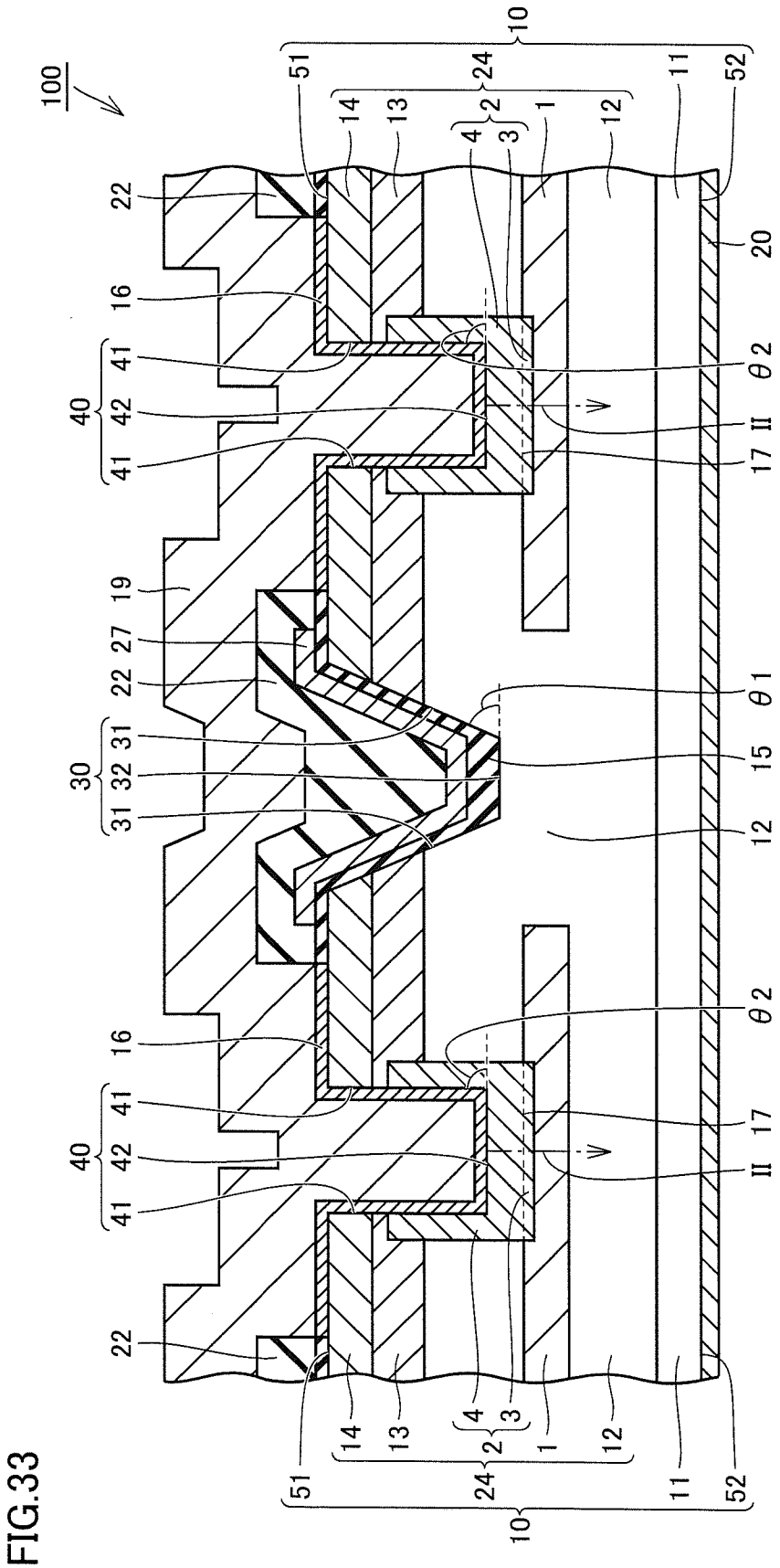

100
10
51
24
11
52
14
13
2
1
12
4
3
22
20
16
41
θ2
40
42
II
17
41
19
27
22
θ1
31
15
30
32
31
12
16
θ2
41
17
40
42
II
41
22
14
13
4
2
3
1
12
51
24
11
52
10

FIG.33

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/022651

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/12*(2006.01)i, *H01L29/417*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/336, H01L29/12, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2014/0021484 A1 (INFINEON TECHNOLOGIES AG), 03 December 2014 (03.12.2014), paragraphs [0018] to [0054]; fig. 1 to 5 & DE 10 2013 214 196 A1 & CN 103579339 A	1-2,9,11,18, 22,25 3-8,10, 12-17,19-21, 23-24,26-27
X Y	WO 2016/002769 A1 (National Institute of Advanced Industrial Science and Technology), 07 January 2016 (07.01.2016), paragraphs [0099] to [0116]; fig. 1, 18 to 23 & US 2017/0133466 A1 paragraphs [0130] to [0147]; fig. 1, 18 to 23	1,11-12, 15-17,20,22, 25-26 3,7-8,12,21, 26-27

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 September 2017 (13.09.17)	26 September 2017 (26.09.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/022651

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-145770 A (Sumitomo Electric Industries, Ltd.), 25 July 2013 (25.07.2013), paragraphs [0042], [0056] to [0078]; fig. 10 to 20 & US 2013/0181229 A1 paragraphs [0063], [0077] to [0099]; fig. 10 to 20 & WO 2013/105353 A1 & EP 2 804 216 A1 & CN 103959476 A & KR 10-2014-0114338 A	4-8,13-17, 20-21
Y	JP 2013-219293 A (Sumitomo Electric Industries, Ltd.), 24 October 2013 (24.10.2013), paragraphs [0030] to [0062], [0080] to [0085], [0093] to [0105]; fig. 1 to 16, 28 to 29, 37 to 44 & US 2013/0270576 A1 paragraphs [0078] to [0112], [0130] to [0135], [0144] to [0157]; fig. 1 to 16, 28 to 29, 37 to 44 & WO 2013/153870 A1 & CN 104126229 A	4-6,13-15, 21,23-24,27
Y	JP 2014-56882 A (Sumitomo Electric Industries, Ltd.), 27 March 2014 (27.03.2014), paragraphs [0021] to [0050]; fig. 1 to 3 (Family: none)	10,19

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２２６５１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/417(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/336, H01L29/12, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	US 2014/0021484 A1 (INFINEON TECHNOLOGIES AG) 2014.12.03, 段落[0018]-[0054], 図1-5	1-2, 9, 11, 18, 22, 25
Y	& DE 10 2013 214 196 A1 & CN 103579339 A	3-8, 10, 12-17, 19-21, 23-24, 26-27

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．０９．２０１７	２６．０９．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９７３３
早川　朋一
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2016/002769 A1 (国立研究開発法人産業技術総合研究所) 2016.01.07, 段落[0099]-[0116], 図 1, 18-23 & US 2017/0133466 A1, 段落[0130]-[0147], 図 1, 18-23	1, 11-12, 15-17, 20, 22, 25-26
Y		3, 7-8, 12, 21, 26-27
Y	JP 2013-145770 A (住友電気工業株式会社) 2013.07.25, 段落[0042], [0056]-[0078], 図 10-20 & US 2013/0181229 A1, 段落[0063], [0077]-[0099], 図 10-20 & WO 2013/105353 A1 & EP 2 804 216 A1 & CN 103959476 A & KR 10-2014-0114338 A	4-8, 13-17, 20-21
Y	JP 2013-219293 A (住友電気工業株式会社) 2013.10.24, 段落[0030]-[0062], [0080]-[0085], [0093]-[0105], 図 1-16, 28-29, 37-44 & US 2013/0270576 A1, 段落[0078]-[0112], [0130]-[0135], [0144]-[0157], 図 1-16, 28-29, 37-44 & WO 2013/153870 A1 & CN 104126229 A	4-6, 13-15, 21, 23-24, 27
Y	JP 2014-56882 A (住友電気工業株式会社) 2014.03.27, 段落[0021]-[0050], 図 1-3 (ファミリーなし)	10, 19