

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成20年2月14日 (2008.2.14)

【公開番号】特開2005-267837(P2005-267837A)

【公開日】平成17年9月29日 (2005.9.29)

【年通号数】公開・登録公報2005-038

【出願番号】特願2005-1979(P2005-1979)

【国際特許分類】

G 1 1 C 13/00 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

G 1 1 C 13/00 A

H 0 1 L 27/10 4 4 8

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 4 8 1

H 0 1 L 27/10 4 9 1

【手続補正書】

【提出日】平成19年12月21日 (2007.12.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のワード線と、

前記複数のワード線と交差する複数のビット線と、

前記複数のワード線と前記複数のビット線との交点に配置される複数のメモリセルを有するメモリブロックと、

外部端子に接続される入出力回路とを有し、

前記メモリブロック及び前記入出力回路は一つの半導体基板上に形成され、

前記複数のメモリセルの夫々は、第 1 MOS トランジスタと、記憶素子と、前記第 1 MOS トランジスタのゲートが接続される第 1 ノードと、前記第 1 MOS トランジスタのソース・ドレイン経路と前記記憶素子とが間に接続される第 2 及び第 3 ノードとを有し、

前記記憶素子は、与えられる電流値の相違より抵抗値が変化し、

前記第 1 ノードは、前記複数のワード線のうち対応する 1 本に接続され、

前記第 2 ノードは、前記複数のビット線のうち対応する 1 本に接続され、

前記入出力回路は、前記外部端子に接続される第 2 MOS トランジスタを有し、

前記第 1 MOS トランジスタのしきい値電圧の絶対値は、前記第 2 MOS トランジスタのしきい値電圧の絶対値より小さいことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記一つの半導体基板上に形成される中央処理装置をさらに有し、

前記中央処理装置は、第 3 MOS トランジスタを有し、

前記第 1 MOS トランジスタのしきい値電圧は、前記中央処理装置に用いられる第 3 MOS トランジスタのしきい値電圧の絶対値より小さく、

前記中央処理装置に用いられる第 3 MOS トランジスタのしきい値電圧は、前記第 2 M

ＯＳトランジスタのしきい値電圧の絶対値より小さいことを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記中央処理装置及び前記メモリセルに供給される電圧は、前記入出力回路に供給される電圧より小さく、

前記第 1 MOS トランジスタの酸化膜厚及び前記第 3 MOS トランジスタの酸化膜厚は、前記第 2 MOS トランジスタの酸化膜厚より薄いことを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

前記第 2 MOS トランジスタの酸化膜厚は、前記第 1 MOS トランジスタの酸化膜厚より厚いことを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の半導体装置において、

前記複数のワード線の夫々に接続されるワードドライバをさらに有し、

前記ワードドライバは、前記複数のワード線のうち対応するメモリセルが待機状態又は非選択の場合は、負の第 1 電位を供給することを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

前記複数のメモリセルの夫々の前記第 3 ノードに接続される複数のソース線と、

前記複数のソース線のそれぞれに接続される複数のソースドライバとをさらに有し、

前記ソースドライバは、前記複数のソース線のうち対応するメモリセルに第 1 情報を書き込むソース線に、接地電位よりも大きい第 2 電位を供給し、対応するメモリセルが待機状態又は非選択状態のソース線に、接地電位よりも大きく前記第 2 電位よりも小さい第 3 電位を供給することを特徴とする半導体装置。

【請求項 7】

請求項 1 又は 5 に記載の半導体装置において、

前記複数のメモリセルの夫々の前記第 3 ノードに接続される複数のソース線と、

前記複数のソース線のそれぞれに接続される複数のソースドライバとをさらに有し、

前記複数のメモリセルのうちいずれか一つに、第 1 情報を書き込む場合と前記第 1 情報とは異なる第 2 情報を書き込む場合とで、前記第 1 MOS トランジスタのソース・ドレイン経路に流れる電流の向きを変化させることを特徴とする半導体装置。

【請求項 8】

複数のワード線と、

前記複数のワード線と交差する複数のビット線と、

前記複数のワード線と前記複数のビット線との交点に配置される複数のメモリセルを有するメモリアレイと、

前記複数のワード線の夫々に接続される複数のワードドライバ回路とを有し、

前記複数のメモリセルの夫々は、第 1 MOS トランジスタと、記憶素子と、前記第 1 MOS トランジスタのゲートが接続される第 1 ノードと、前記第 1 MOS トランジスタのソース・ドレイン経路と前記記憶素子とが間に接続される第 2 及び第 3 ノードとを有し、

前記記憶素子は、与えられる電流値の相違より抵抗値が変化し、

前記第 1 ノードは、前記複数のワード線のうち対応する 1 本に接続され、

前記第 2 ノードは、前記複数のビット線のうち対応する 1 本に接続され、

前記複数のワードドライバ回路は、前記複数のワード線のうち対応するメモリセルが非選択の場合は、負の第 1 電圧を供給することを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記複数のメモリセルの夫々の前記第 3 ノードに接続される複数のソース線と、

前記複数のソース線のそれぞれに接続される複数のソースドライバとをさらに有し、

前記ソースドライバは、前記複数のソース線のうち待機状態又は非選択状態のソース線

に、接地電位よりも大きく電源電位よりも小さい第２電位を供給することを特徴とする半導体装置。

【請求項１０】

請求項８記載の半導体装置において、  
前記複数のメモリセルの夫々の前記第３ノードに接続される複数のソース線と、  
前記複数のソース線のそれぞれに接続される複数のソースドライバとをさらに有し、  
前記複数のメモリセルのうちいずれか一つに、第１情報を書き込む場合と前記第１情報とは異なる第２情報を書き込む場合とで、前記第１ＭＯＳトランジスタのソース・ドレイン経路に流れる電流の向きを変化させることを特徴とする半導体装置。

【請求項１１】

請求項１から１０のいずれか一つに記載の半導体装置において、  
前記記憶素子は、相変化素子であることを特徴とする半導体装置。

【請求項１２】

第１ＭＯＳトランジスタを有するメモリセルと、  
第２ＭＯＳトランジスタを有する入出力回路を有し、  
前記第１ＭＯＳトランジスタのしきい値電圧の絶対値は、前記第２ＭＯＳトランジスタのしきい値電圧の絶対値より小さいことを特徴とする半導体装置。