



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월24일
 (11) 등록번호 10-0825159
 (24) 등록일자 2008년04월18일

(51) Int. Cl.
H01Q 21/00 (2006.01) *H01Q 23/00* (2006.01)
H05K 3/30 (2006.01)
 (21) 출원번호 10-2006-7014035
 (22) 출원일자 2006년07월12일
 심사청구일자 2006년07월12일
 번역문제출일자 2006년07월12일
 (65) 공개번호 10-2006-0109982
 (43) 공개일자 2006년10월23일
 (86) 국제출원번호 PCT/US2005/001800
 국제출원일자 2005년01월13일
 (87) 국제공개번호 WO 2005/069430
 국제공개일자 2005년07월28일
 (30) 우선권주장
 10/756,649 2004년01월13일 미국(US)
 (56) 선행기술조사문헌
 EP1146593 A1*
 (뒷면에 계속)

(73) 특허권자
레이티언 캄파니
 미국 02451-1449 매사추세츠주 왈탐 윈터 스트리트 870
 (72) 발명자
하우, 마크, 에스.
 미국 캘리포니아주 허모사 비치 15번 플레이스 977
롤스톤, 케빈, 씨.
 미국 90293 캘리포니아주 플라야 델 레이 넘버7 레드랜즈스트리트 8227
 (뒷면에 계속)
 (74) 대리인
장수길, 주성민

전체 청구항 수 : 총 14 항

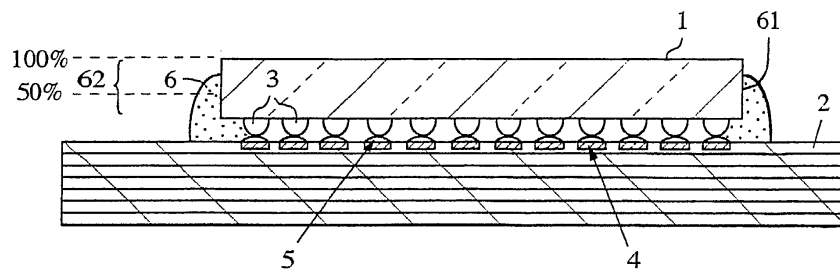
심사관 : 남윤권

(54) 회로 보드 조립 및 칩을 회로 보드에 부착하는 방법

(57) 요약

안테나 어레이(100)는 안테나 회로 보드(2)에 플립 칩 송신/수신(T/R) 모듈(1)을 직접 부착함으로써 조립된다. 펠렛 본드(6)는 플립 칩 T/R 모듈(1)의 외연부의 적어도 일부분 주위에서 플립 칩 T/R 모듈(1) 및 회로 보드(2)에 도포된다.

대표도 - 도1



(72) 발명자

관, 클리프톤

미국 91006-5615 캘리포니아주 아카디아 플로린다
애비뉴 5521

펜거, 해롤드, 에스.

미국 91360 캘리포니아주 싸우전드 오크스 키즈 애
비뉴 2859

윙, 트세, 이.

미국 90720 캘리포니아주 로스 알라미토스 도니 앤
로드 3361

(56) 선행기술조사문헌

US05128746 A1

US05296063 A1

US05493305 A1

KR1020020034172 A*

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

안테나 어레이(100)를 조립하는(assembly) 방법으로서,

플립 칩 송신/수신(T/R) 모듈(1)을 안테나 회로 보드(2)에 직접 부착하는 단계; 및

상기 플립 칩 T/R 모듈(1)의 외연부의 적어도 일부분 주위에서 상기 플립 칩 T/R 모듈(1)과 상기 안테나 회로 보드(2)에 대하여 필렛 본드(fillet bond)(6)를 도포하는 단계

를 포함하고,

상기 필렛 본드(6)는 상기 안테나 회로 보드(2) 상의 RF 트레이스들(7) 위로는 도포되지 않는 방법.

청구항 2

제1항에 있어서,

상기 필렛 본드(6)는 상기 플립 칩 T/R 모듈(1) 아래로부터 마이크로웨이브 또는 RF 신호 트레이스들(7)이 연장되는 상기 안테나 회로 보드(2) 상의 영역들에 대하여 도포되지 않는 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 필렛 본드(6)는 마이크로웨이브 또는 RF 신호 트레이스들(7)이 존재하지 않는 상기 플립 칩 T/R 모듈(1)의 경계 주위로 도포되는 방법.

청구항 4

제3항에 있어서,

상기 RF 트레이스들(7)을 피복하지 않고 상기 플립 칩 T/R 모듈(1)을 부분적으로 언더필링(underfilling)하는 단계를 더 포함하는 방법.

청구항 5

제4항에 있어서,

상기 플립 칩 T/R 모듈(1)을 부분적으로 언더필링하는 단계는, 상기 플립 칩 T/R 모듈(1)이 상기 안테나 회로 보드(2)에 부착되는 경우에 상기 RF 트레이스들(7)을 피복하지 않도록 하는 위치와 양으로 언더필(8)을 선택적으로 배치하는 단계를 포함하는 방법.

청구항 6

제1항 또는 제2항에 있어서,

상기 플립 칩 T/R 모듈(1)을 직접 부착하는 단계는, RF 접속들, DC 전원 접속들 및 디지털 접속들 중 적어도 하나를 행하는 단계를 포함하는 방법.

청구항 7

제1항 또는 제2항에 있어서,

상기 플립 칩 T/R 모듈(1)을 상기 안테나 회로 보드(2)에 직접 부착하는 단계는, 상기 플립 칩 T/R 모듈(1) 상의 범프들(3)을 도전성 매체(5)에 의해 상기 안테나 회로 보드(2) 상의 대응 콘택트 패드들(4)에 연결하는 단계를 포함하는 방법.

청구항 8

제7항에 있어서,

상기 플립 칩 T/R 모듈(1)을 상기 안테나 회로 보드(2)에 직접 부착하는 단계는, 압력 또는 써머소닉

(thermosonic) 콘택트(52) 중 하나를 생성하는 단계를 포함하는 방법.

청구항 9

안테나 어레이(100)로서,

안테나 회로 보드(2)에 직접 부착되는 적어도 하나의 플립 칩 송신/수신(T/R) 모듈(1); 및

상기 플립 칩 T/R 모듈(1)의 외연부의 적어도 일부분 주위에서 상기 플립 칩 T/R 모듈(1)과 상기 안테나 회로 보드(2)에 대하여 도포되는 필렛 본드(fillet bond)(6)

를 포함하고,

상기 필렛 본드(6)는 상기 안테나 회로 보드(2) 상의 RF 트레이스들(7) 위로는 도포되지 않는 안테나 어레이.

청구항 10

제9항에 있어서,

상기 필렛 본드(6)는 상기 플립 칩 T/R 모듈(1) 아래로부터 마이크로웨이브 또는 RF 신호 트레이스들(7)이 연장되는 상기 안테나 회로 보드(2) 상의 영역들에 대하여 도포되지 않는 안테나 어레이.

청구항 11

제9항 또는 제10항에 있어서,

상기 플립 칩 T/R 모듈(1)과 상기 안테나 회로 보드(2) 사이에 위치하고 상기 RF 트레이스들(7)을 피복하지 않는 부분 언더필(8)을 더 포함하는 안테나 어레이.

청구항 12

제9항 또는 제10항에 있어서,

상기 플립 칩 T/R 모듈(1)은 6 GHz 보다 높은 주파수에서 동작하는 안테나 어레이.

청구항 13

제9항 또는 제10항에 있어서,

상기 플립 칩 T/R 모듈(1) 상의 범프들(3)은 도전성 매체(5)에 의해 상기 안테나 회로 보드(2) 상의 대응 콘택트 패드들(4)에 연결되고,

상기 도전성 매체(5)는 전기 도전성 접착제, 땀납(solder) 또는 이방성 도전막 중 적어도 하나를 포함하는 안테나 어레이.

청구항 14

제9항 또는 제10항에 있어서,

상기 안테나 회로 보드(2)는 다층의 플렉시블 회로 보드인 안테나 어레이.

명세서

배경 기술

<1> 칩들은 회로 보드에 부착될 수 있다. 예를 들어, 안테나 어레이들은 패키징된 송/수신(T/R) 모듈들을 이용하여 조립될 수 있다. 패키징된 모듈 조립체들은 브릭 어레이(brick array) 또는 코플라나 타일 어레이(coplanar tile array)들일 수 있다. 이러한 패키징된 조립체들은, 예컨대 동축 케이블, "퍼즈(fuzz)" 버튼들, 리본 및/또는 와이어 본드를 포함하여, 패스너(fastener)들, 상호연결 구조들 및 커넥터들을 포함할 수 있다. 이러한 패키지들 및 연결 구조들은 조립체의 증가된 무게 및 부피에 기여하며, 사용된 보드 면적량을 증가시킨다. 또한, 조립체는 제조의 시간 및 비용에 기여하는 많은 단계들을 필요로 한다.

발명의 상세한 설명

<2> <개요>

<3> 안테나 어레이는 플립 칩(flip chip) 송/수신(T/R) 모듈을 안테나 회로 보드에 직접 부착시키는 단계를 포함하는 방법에 의해 조립된다. 플립 칩 T/R 모듈 외연부의 적어도 일부분 주위의 플립 칩 T/R 모듈 및 회로 보드에 필렛 본드(fillet bond)가 도포된다.

실시예

- <15> 이하 상세한 설명 및 몇몇 도면들에 있어서, 유사한 구성 요소들은 유사한 참조 부호들로 나타낸다.
- <16> 도 1은 회로 보드(2)에 연결된 칩(1)의 예시적인 실시예를 나타낸다. 예시적인 실시예인 도 1에 있어서, 칩(1)은 회로 보드(2)에 연결된 송/수신(T/R) 디바이스 칩(1)이다. 도 1에 나타난 실시예에 있어서, 회로 보드(2)는 다층(multi-layer) 안테나 패널 회로 조립체이다. 다층 안테나 패널 회로 조립체는 연식(flexible)일 수도 있고 경식(rigid)일 수도 있다. 대안적 실시예들에 있어서, 칩(1)은 수신 칩일 수 있거나, 또는 회로 보드에 부착하기에 적합한 임의의 다른 칩일 수도 있다. 회로 보드는 칩들을 부착하기에 적합한 임의의 회로 보드일 수 있다. 회로 보드(2)는 전원, RF, 및 디지털 신호들을 분산하기 위한 매체이다. RF 신호들은, 회로 보드에 있거나 또는 회로 보드에 부착될 수 있는 안테나 어레이에 분산될 수 있다.
- <17> T/R 칩은, 회로 보드(2) 상면 상의 대응 콘택트 패드들(4)에의 접속을 위해 칩(1)의 하부면 상에 배치된 "범프들(bumps)"(3) 또는 연결 부분들을 갖는 "플립 칩"이다. 칩(1)은 플립 칩 또는 다이렉트 칩 부착 프로세스에 의해 회로 보드(2)에 연결된다. 범프들(3)은 도전성 매체(5)에 의해 콘택트 패드들(4)에 연결된다. 연결들은 칩(1)과 회로 보드(2) 간의 마이크로웨이브, RF, 아날로그, 및/또는 DC 전원 상호접속들을 포함할 수 있다. 예시적인 실시예에 있어서, 칩(1)은 적어도 11Ghz 까지 마이크로웨이브나 RF 주파수에서 동작할 수 있다. 칩은 RF T/R 칩 또는 T/R 모듈을 포함할 수 있으며, 예컨대 SiGe T/R 칩(1)을 포함할 수 있다.
- <18> 범프들(3)은 뿔납이나, 예컨대 주석 납이나 인듐 납 합금들 등의 뿔납 합금들을 포함할 수 있다. 콘택트 패드들은, 예컨대 도금된 구리일 수 있는 금속 등의 도전성 재료를 포함할 수 있다. 대안적 실시예에 있어서, 범프들은 회로 보드 상에 존재할 수 있으며, 콘택트 패드들은 칩들 상에 존재할 수 있다. 보드(도시하지 않음) 상의 RF 트레이스(trace) 및 범프들(3)은, 예컨대 BCB(bisbenzo-cyclo-butene) 등의 유전체층 위에 배치될 수 있다. 예시적인 실시예에 있어서, 유전체층은, 예를 들어 다우(Dow)사로부터 이용가능한 CYCLOTENE 4000 시리즈의 전자 수지들(포토 BCB) 중 하나일 수 있다. BCB는 웨이퍼 레벨에서 액체 상태로 칩 상으로 스핀(spin)되어 가류(cured)될 수 있다. 칩 상의 RF 트레이스들 및 범프들(3)은, 디바이스들이 부착되는 경우 범프된 상호연결에서의 기계적 응력 및 RF 손실들을 감소시키기 위해 유전체층의 상단에 배치된다.
- <19> 도 1의 예시적 실시예에 있어서, 도전성 매체(5)는 뿔납 또는, 예컨대 은입자들이 함유된 에폭시 수지 등의 전기적 도전성 접착제(electrically conductive adhesive; ECA)를 포함할 수 있다. 그외의 예시적 실시예들에 있어서, 도전성 매체는 이방성 도전막(51)(ACF)을 포함할 수 있으며(도 7), 압력이나 썬머소닉(thermosonic) 콘택트(52)를 이용하여 연결될 수 있다(도 8). 칩(1)의 범프들(3)을 회로 보드(2)에 연결하기 위한 임의의 다른 적절한 전기적 도전성 매체 또는 매체들이 대안적으로 사용될 수도 있다.
- <20> 도 1에 있어서, 필렛 본드(6)는, 칩(1)을 회로 보드(6)에 접착하기 위하여, 예컨대 칩(1) 주변의 일부분 주위 등 칩(1)의 적어도 일부분 주위에 배치된다. 필렛 본드는 비도전성(non-conductive) 및/또는 고점도(high viscosity) 접착제를 포함할 수 있으며, 또한/또는, 예컨대 약 4000 센타포이즈(centapoise)의 점도를 갖는 실리콘-함유 에폭시 등의 에폭시를 포함할 수도 있다. 본드(6)는, 칩(1)을 회로 보드(2)에 매우 견고히 지지시키기 위하여, 예컨대 약 42 Gpa(giga-pascals)의 높은 굽힘 계수(flexure modulus)를 갖는 재료를 포함할 수 있다. 도 1의 예시적인 실시예에 있어서, 필렛 본드(6)는 칩(1)의 측벽(61)의 적어도 일부에 부착된다. 본드(6)는 칩의 측벽 상방으로 칩(1) 두께의 50% 내지 100% 까지 연장된다. 대안적 실시예에 있어서, 본드(6)는 칩 측벽(61)의 두께(62)의 50% 미만으로 연장될 수 있다. 예시적인 실시예에 있어서, 필렛 본드(6)는 측벽(61)의 상방으로 칩(1)의 두께(62)의 적어도 약 2/3 까지 연장된다.
- <21> 본드(6)는 칩(1)과 회로 보드(2) 사이의 공간으로 적어도 부분적으로 연장될 수 있다. 예를 들어, 도 1의 예시적인 실시예에 있어서, 본드(6)는 범프들(3)을 넘어서 연장되지 않고, 칩(1)과 회로 보드(2) 사이로 연장되며 범프들(3)의 적어도 외연부들과 접촉한다. 필렛 본드(6)에 사용되는 재료는, 뿔납 접합(joint)들을 약하게 할 수 있는 국지적인 열팽창 계수(coefficient of thermal expansion; CTE) 불일치의 제어를 몇가지 제공하도록 선택될 수 있다. 본드 재료는 뿔납 접합과 접촉하며, 뿔납 불일치를 감소시킨다. 필렛 본드 재료는 충분히 높은 굽힘 계수의 원하는 강도를 갖도록, 그리고 칩과 CTE 매칭이 되도록 선택될 수 있다. 몇몇 실시예에

있어서, 본드(6)는 칩의 전체 외연부(entire edge)나 경계(perimeter) 주위로 연장될 수 있다. 안테나 회로 보드(2)의 콘택트 패드들(4)에 연결시키기 위한, 범프들을 갖는 T/R 칩(1)은, 연결 구조들을 하우징(housing)하기 위한 패키지 없이 회로 보드(2)에 연결될 수 있다. 전기적 접속들은, 범프들(3)을 패드들(4)에 접속시키는 도전성 매체를 통해 이루어질 수 있으며, 칩은, 임의의 다른 연결 구조 또는 안전 구조 없이도, 도전성 매체, 필렛 본드 및/또는 언더필에 의해 회로 보드에 안전하게 확보될 수 있다.

<22> 도 2는 칩(1)이 부착된 회로 보드(2)의 예시적인 실시예를 나타내는 도면이다. 필렛 본드(6)는 칩(1)의 적어도 일부분 주위에 연장된다. 도 2의 예시적인 실시예에 있어서, 필렛 본드(6)는, 칩(1)의 아래로부터 마이크로웨이브나 RF 신호 트레이스들(7)이 연장되는 회로 보드(2) 상의 영역에는 도포되지 않는다. 본드(6)는 마이크로웨이브/RF 트레이스들이 존재하지 않는 영역들 내에서의 칩(1)의 경계 주위에 도포될 수 있다. 필렛 본드(6)를 RF 트레이스들(7) 위에 배치시키지 않는 것은, 특히, 6 GHz보다 높은 주파수를 갖는 어플리케이션들, 또는 유전체 재료에 의해 피복되는 RF 트레이스들(7)의 RF 신호들에서의 열화가 바람직하지 않는 어플리케이션들에 적합하다. 신호들의 열화는, 피복되지 않은 RF 트레이스 위의 빈 공간이나 대기와 비교하여, 에폭시의 유전 상수의 차이에 의해 야기될 수 있다.

<23> 도 3은, 칩이 복수의 칩 로케이션들(10) 중 하나에 부착된 회로 보드(2)의 예시적인 실시예를 나타낸다. 필렛 본드(6)는 마이크로웨이브/RF 트레이스들(7)이 존재하지 않는 칩(1)의 적어도 일부분 주위에 연장된다. 각 칩 로케이션(10)에서, 콘택트 패드들(4)은, 칩(1) 표면 상의 범프들(3)(도 1)의 패턴에 대응하는 패턴으로 회로 보드(2) 상에 배치된다. 범프들 및 콘택트 패드들(4)은, 칩(1)과 회로 보드(2) 간에 적절한 마이크로웨이브, RF, 아날로그, 디지털 및/또는 DC 전원 상호접속이 행해지도록 배치된다. 칩 로케이션들(10)은 칩들(1)이 부착될 경우 칩들의 어레이(100)를 형성하도록 보드(2) 상에 배치된다. RF 신호(71)는, 네트워크 레이다 수신기/여진기(exciter)를 형성하는 어레이 빔으로부터 회로 보드(2) 상의 RF 트레이스들(7)에 입력된다. RF 트레이스들(7) 중 몇몇은 분할기(divider) 네트워크(72)를 형성할 수 있다. 도 2의 예시적인 실시예에 있어서, RF 신호(71)는 71:2 전원 분할기(73a-c)를 포함하는 1:8 전원 분할기 네트워크(72)를 통해 분할된다. 도 3에 도시된 어레이(100)는 더 큰 어레이(도시하지 않음)의 서브-어레이를 포함할 수 있다. 예시적인 실시예에 있어서, 어레이는 수백 제곱미터 정도의 크기일 수 있다. RF 신호 트레이스들(7)은 RF 콘택트 패드들(41)에 연결한다. 분할기 네트워크(72)로부터의 신호 트레이스들(7)은, 칩(1)의 빔 형성 포트(BMF 포트)(11)에 연결하기 위하여 칩(1) 상의 범프(도시하지 않음)에 대응하는 각 칩 로케이션(10)에서 RF 콘택트 패드들(41) 중 적어도 하나에 연결한다. 또한, RF 트레이스들(7)은, 칩(1)의 저 잡음 증폭기(low noise amplifier; LNA) 포트(12) 및 고 전력 증폭기(high power amplifier; HPA) 포트(13)에 연결하기 위하여 칩(1) 상의 범프들(도시하지 않음)에 대응하는 RF 콘택트 패드들(41)에 부착할 수도 있다(도 4).

<24> 예시적인 실시예에 있어서, 도 3의 TR 칩(1)은 7-11 Ghz 사이의 주파수 범위, 9.0 dB의 이득, 5 비트의 감쇠, 및 6 비트의 위상의 수신 모드에서 동작할 수 있다. 송신 모드에 있어서는, 7-11 Ghz 사이의 주파수 범위, 17.0 dB의 이득, 20.0 dBm의 전원 출력(전원 입력= 3 dBm), 5 비트의 감쇠, 및 6 비트의 위상에서 동작할 수 있다. 콘택트 패드들(4) 중 몇몇은, 접지에 대응하거나 컨트롤러(31)에 의해 수행되는 다양한 ASIC 기능들에 대응하는 칩(1) 상의 범프들을 연결하기 위한 패드들(4)을 포함할 수 있다(도 4). 도 2의 예시적인 실시예에 있어서, 예컨대, 내부 콘택트 패드들(43)군은 T/R 칩을 접지에 연결하기 위한 T/R 칩 상의 범프들에 대응한다. 그외의 콘택트 패드들(4)은 T/R 칩을 접지에 접속할 수도 있다.

<25> 칩(1)은 "공통 레그(common leg)" 회로를 포함할 수 있다. 도 4의 예시적인 실시예에 있어서, 예를 들어, 칩(1)은 3개의 RF 신호 포트들, 즉 BMF 포트(11), LNA 포트(12), 및 HPA 포트(13)를 포함한다. LNA 포트는 트랜스퍼 스위치(21)를 통해 순방향 이득 증폭기(forward gain amplifier)(14), 제1 감쇠기(15), 위상 천이기(phase shifter)(16), 역방향 이득 증폭기(reverse gain amplifier)(17), 및 제2 감쇠기(18)에 절환가능하도록 연결된다. 이득 증폭기들(14,17)은 2단 HBT(hetero-bipolar-transistor) 이득 증폭기들을 포함할 수 있다. 수신 모드에 있어서, 예컨대 어레이 복사 소자로부터의 신호(74)는 LNA 포트를 통해 입력되어 이득 증폭기(14), 감쇠기(15), 위상 천이기(16), 이득 증폭기(17), 감쇠기(18), 스위치(22), 및 스위치(23)를 거쳐 BMF 포트까지 처리가 행해진다. 송신 모드에 있어서, 신호(71)는 빔 조향 네트워크(beam steering network)로부터 BMF 포트(11)에 입력되는데, 이는 스위치들(23,21)(양자 모두 도시하지 않은 위치로 스위칭됨)을 통해 이득 증폭기(14), 감쇠기(15), 위상 천이기(16), 이득 증폭기(17), 감쇠기(18), (도시하지 않은 위치로 스위칭된) 스위치(22)를 통해 구동 증폭기(19)에 연결하고, HPA 포트(13)를 통해 레이다 어레이의 복사 소자에 연결한다. 구동 증폭기(19)는 "공통 레그" 회로의 외측에 단일-단 구동 증폭기를 포함할 수 있다. 또한, 칩(1)은 디지털/아날로그 컨트롤러(31)를 포함할 수 있다. 컨트롤러(31)는 ASIC(application specific integrated circuit) 기능들을 수

행할 수 있다. 스위치들(21,22,23)은 핀 다이오드, FET 또는 MEM 스위치들을 포함할 수 있다.

- <26> 도 5는 컨트롤러(31)에 의해 수행된 예시적인 ASIC 기능들 및 T/R 칩의 컨트롤러(31)의 기능성 블록도의 예시적인 실시예를 나타낸다. ASIC 기능들은 디지털 컨트롤 로직(32), RAM(33), DAC(digital-to-analog converter)(34) 또는 부가 회로(35)를 포함할 수 있다. 디지털 컨트롤 로직(32)은 단어 인식, 수신 방송 및 모듈 특정 제어 단어들, RF 제어를 위한 현재 및 차후의 빔 등록 데이터, 비동기 통신에 대한 오류들의 탐지, 윌리 기그(whirly gig) 및 RAM 기반 다중-빔 등록, 2개의 서로 다른 종류의 위상 천이기의 구동을 지원할 수 있으며, 또한/또는 대기 모드에서 무시할만한 전력 소실을 제공할 수 있다. RAM(33)은 빔 조정을 위한 휘발성 다중 빔 데이터의 스토리지를 포함할 수 있다. 부가 회로(34)는, 예컨대 0.3 mW 라인 수신기, LNA 바이어스를 위한 0.5 mW 가변 전압 스위치 제어, 베이스 제어 증폭기 바이어스 회로들, 핀다이오드 드라이버들을 포함할 수 있다. DAC는, 예컨대 255 전압 상태들을 선택하는 8 비트 제어 등에 의해 바랙터(varactor) 위상 천이기를 선행적으로 바이어싱하기 위한 전압 설정들을 포함할 수 있다. 이들 기능들과 회로보드의 대응 기능들 간의 연결들은, 칩 또는 모듈의 회로 보드에의 플립 칩 또는 다이렉트 칩 부착에 의해 이루어질 수 있다. 도 1에 있어서, 예를 들어, 칩 상의 적절한 범프들(3)은 도전성 매체(5)에 의해 회로 보드(2) 상의 대응 콘택트 패드들(4)에 연결된다.
- <27> 소정의 예시적인 실시예들에 있어서, 칩(1)은 언더필(fill)될 수 있다. 도 6은, 예컨대 회로 보드(2)에 부착된 칩(1)의 예시적인 실시예를 나타낸다. 칩(1) 상의 범프들(3)은 뾰족 또는 ECA(5)에 의해 보드(2) 상의 콘택트 패드들(4)에 부착될 수 있다. 필렛 본드(6)는 칩(1)의 적어도 일부분에 부착된다. 언더필(8)은 칩과 회로 보드 사이에 위치한다. 언더필(8)은, 예컨대 (실리카에 의해) 대량으로 충전(filled) 또는 로딩된 에폭시, 또는 제가공가능한 에폭시를 포함할 수 있다. 예시적인 실시예에 있어서, 에폭시는 60% 정도 로딩될 수 있다. 대안적인 실시예들에 있어서, 언더필은 실리콘 고무, 우레탄, 실리콘, 및/또는 폴리머를 포함할 수 있다. 예시적인 실시예에 있어서, 회로 보드(2)는 우선적으로 가열된다. 에폭시의 비드(bead)는 바늘을 통해 부착된 칩(1)의 경계 부근의 회로 보드(2) 상으로 분배된다. 회로 보드(2)가 냉각될 때, 에폭시는 모세관 현상에 의해, 칩(1) 아래의, 칩(1)과 회로 보드(2) 사이의 공간들로 끌려간다. 예시적인 실시예에 있어서, 언더필은 범프들(3)을 캡슐화한다.
- <28> 언더필(8)은, 예를 들어 RF 신호들이 언더필 재료에 의한 접촉으로부터 바람직하지 않은 열화를 겪지 않도록 하는 어플리케이션들에 사용될 수 있다. 에폭시는, 예를 들어 약 6 GHz 보다 높은 주파수에서 RF 신호들을 열화시킬 수 있다. 신호의 열화가 문제되지 않는 경우, 언더필은 RF 트레이스들을 피하지 않고 도포될 수 있다. 언더필(6)은 칩(1)과 회로 보드(2) 사이의 전체 공간에 충전되거나 또는 거의 충전될 수 있다.
- <29> 예시적인 다른 실시예들에 있어서, 부분 언더필이 이용될 수 있다. 언더필은 칩과 회로 보드 사이의 전체 공간에 충전되지 않도록 도포될 수 있다. 예를 들어, 언더필에 의해 RF 트레이스들을 피복하지 않는 것이 바람직한 어플리케이션들에 있어서, 언더필은, 칩이 회로 보드에 부착되는 경우에 RF 트레이스들을 피복하지 않도록 하는 위치와 양으로 선택적으로 배치될 수 있다. 부분 언더필은, RF 트레이스들이 피복될 수 있는 어플리케이션들 및 RF 트레이스들의 피복을 회피하는 것이 바람직한 어플리케이션들에 이용될 수 있다. 자동화된 x/y 배치 장비는, RF 트레이스들을 피복하지 않을 언더필(6)을 선택적으로 배치하도록 바늘을 제어할 수 있다. 언더필은 도전성 매체가 ECA, 뾰족, 압력 및/또는 써머소닉 커넥션들을 포함하는 곳에 이용될 수 있다.
- <30> 도 7은 ACF(51)에 의해 안테나 어레이 회로 보드(2)에 부착된 칩(1)의 예시적인 실시예를 나타낸다. 칩(1)의 적어도 일부분 주위에는 필렛 본드(6)가 제공된다. 도 8은 안테나 어레이 회로 보드(2)에 부착된 뾰족 범프들(3)을 갖는 칩(1)의 예시적인 실시예를 나타낸다. 뾰족 범프들(3)은 압력 또는 써머소닉 콘택트(52)에 의해 콘택트 패드들(4)에 연결된다. 써머소닉 콘택트에 있어서, 칩(1)의 범프들(3)은 회로 보드(2) 상의 콘택트 패드들(4)에 대해 지지되며, 범프들로 하여금 콘택트 패드들(4)과 본드를 형성하게 할 수 있는 초음파 진동에 의해 영향을 받는다. 칩(1)의 적어도 일부분 주위에는 필렛 본드(6)가 제공된다.
- <31> 다양한 예시적인 실시예들에 있어서, 도전성 매체는 다양한 방법에 의해 도포될 수 있다. 도 9는, 예를 들어, 안테나 회로 보드 상의 T/R 칩들의 어레이를 조립하는 예시적인 한 방법의 블록의 흐름을 나타낸다. 도 9에 나타난 방법은 도전성 매체(101)를 도포하는 단계, 칩을 보드(102) 상에 배치하는 단계, 및 칩을 보드(103)에 본딩하는 단계를 포함한다. 도전성 매체를 도포하는 단계는, 도전성 매체를 회로 보드의 콘택트 패드들에 도포하는 단계 또는 도전성 매체를 예컨대 T/R 칩의 범프들 등의 칩에 도포하는 단계 중 적어도 하나를 포함할 수 있다. 도전성 매체를 도포하는 단계는, 예를 들어 플렉시블 회로 보드 상으로, 예컨대 ECA 등의 매체를 스크린 프린팅(101a)하거나, 또는 칩의 범프들을 페이스트(paste)로 딥핑(dipping)(101b)하는 단계를 포함할 수 있다.

칩의 범프들을 페이스트로 덩핑(101b)하는 방법은 픽 앤 플레이스(pick and place) 기기를 사용하여 행해질 수 있다. 도전성 매체를 도포하기 위한 임의의 다른 수단은 본 발명의 범위 내에서 이용될 수 있다.

<32> 도 9에 나타난 방법은 칩(102)을 회로 보드 상에 배치하는 방법을 더 포함한다. 칩들은 픽 앤 플레이스 기기에 의해 자동적으로 회로 보드 상에 배치될 수 있다. 예시적인 실시예에 있어서, 픽 앤 플레이스 기기는 칩의 범프들을 페이스트로 덩핑(101b)한 후, 칩(102)을 회로 보드 상으로 배치하는 데 이용될 수 있다. T/R 모듈들을 플렉시블 회로 어레이에 직접 부착하는 방법은, 다른 조립 방법들에 비해 로우 프로파일(low profile)의 경량의 대안물을 제공한다. 또한, 더 짧은 상호접속 경로들을 제공할 수 있으며, 상업적으로 이용가능한 픽 앤 플레이스 장비를 이용하여 능동 어레이들의 자동화 조립을 허용할 수 있다. 픽 앤 플레이스 장비는, 예컨대 뉴욕 빙엄턴의 유니버설 인스트루먼트 코퍼레이션(Universal Instruments Corp.)으로부터 이용가능하다. 예시적인 실시예에 있어서, 칩(102)을 배치하는 것은, 예컨대 적어도 칩 및 회로 보드 상에 배치된 피두셜(fiducial)들과 비전 시스템을 이용하여 칩(102a)을 회로 보드와 정렬시키는 것을 포함할 수 있다.

<33> 칩(102)을 원하는 위치에 배치한 후, 도전성 매체를 보드에 본딩할 수 있다(103). 보드에 본딩하는 단계는, 사용되는 도전성 매체에 따라 오븐 또는 벨트 로(furnace)에서 예컨대 ECA를 가류(cure)하는 단계(103a) 또는 예컨대 뿔납을 리플로우(reflow)하는 단계(103b)를 포함할 수 있다. 예시적인 대안적 실시예들에 있어서, 칩을 보드에 본딩하는 단계는 압력을 가하는 단계(103c)를 포함할 수 있다. 압력을 가하는 단계(103c)는, 예컨대 도전성 매체가 이방성 도전 접착제 또는 압력/써머소닉 콘택트를 포함하는 경우 등에 있어서, 가류(103a) 중에 이용될 수 있다. 예시적인 실시예에 있어서, 칩을 보드에 본딩하는 단계는 필렛 본드(104) 및/또는 언더필(105)을 도포하는 단계를 포함할 수도 있다.

<34> 여기서 기술된 조립체들 및 조립 방법들은 대형 플렉시블 안테나 회로 패널들에 도포될 수 있다. 대형 플렉시블 안테나 회로들은, 수 피트 수준의 크기를 갖는 대형 플렉시블 패널들의 제조를 가능하게 할 수 있는, 릴 투 릴(reel to reel) 플렉시블 제조 프로세스들을 이용하여 제조될 수 있다. 안테나 어레이들은 10 m² 이상의 크기일 수 있다. 각 플렉시블 패널들은 약 1 m 폭까지의 폭을 가질 수 있다. 조립체를 형성하는 각 패널들의 최대 폭은, 회로 보드들 상에 칩들을 배치하는 데 이용가능한 픽 앤 플레이스 기기들의 크기에 의해 제한될 수 있다.

<35> 도 10은 플렉시블 안테나 회로 보드(2)의 패널의 예시적인 실시예의 분해 투시도이다. 회로 보드(2)는 저면(bottom side)에 부착된 T/R 칩들(1)을 갖는 회로막층(201), 신호/전력 회로막층(202), 저면 접지면 층(203), 에어 스트립 라인(air strip line) 2차 공급층(204), 서클레이터 탑재 보드(205), 및 상면 상에 탑재된 디스크 어퍼처 복사 소자들(207)을 갖는 스트립 라인 회로 보드(206)를 포함한다. 이 예시적인 실시예에 있어서, 각 층은 접착제(208)의 층에 의해 결합층들로부터 분리되어 있다. 2차 공급층은, 상면과 하면에, 캡톤(kapton) 회로막(210)을 갖는 z-축 가스켓층들(gasket layers)(209)을 포함한다. 서클레이터 탑재 보드(205)는 3-포트 서클레이터들(212)을 둘러싸는 포켓들(211)을 포함한다.

<36> 여기에 기술된 조립체들 및 조립 방법들은, 그외의 조립체들 또는 조립 방법들에 비해 더 경량의 상호연결 구조들을 갖는 고밀도의 안테나 어레이들을 제공할 수 있다. 더 고밀도이며 더 경량인 조립체들은, 예를 들어 플렉시블 회로 보드들이 플랫폼의 보디(body) 또는 스킨(skin)에 대하여 동일한 방식으로 도포되는, 공간 기반 레이더 안테나 및 "스마트 스킨(smart skin)" 항공공학(avionics) 어플리케이션들, 또는 임의의 다른 어플리케이션들에 이용될 수 있다. 여기에 기술된 조립체들 및 조립 방법들은, 그외의 조립체들 또는 조립 방법들과 관련된 부피나 무게 없이, T/R 모듈들 및/또는 플렉시블 회로 패널 어레이 안테나들 사이에, 동시 마이크로웨이브(simultaneous microwave)를 위한 상호연결 구조들, 디지털 및 DC 전원 상호접속들, 및 구조적 부착들을 제공할 수 있다.

<37> 전술한 실시예들은 본 발명의 이론들을 나타낼 수 있는 가능성 있는 특정 실시예들의 설명에 불과하다는 것을 이해할 수 있다. 이들 이론들에 따라 당업자에 의해 본 발명의 사상 및 범위 내에서 그외의 구성들이 고안될 수 있음은 물론이다.

도면의 간단한 설명

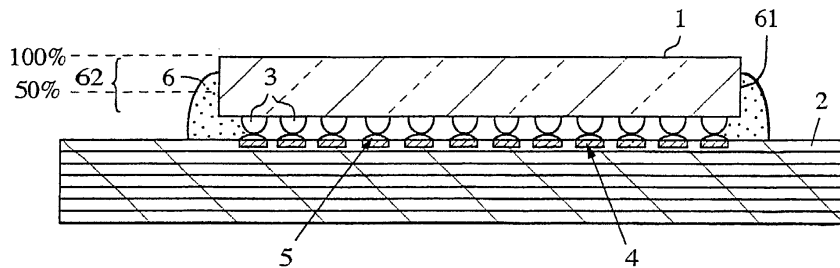
<4> 본 발명의 이들 및 그외 특징들과 이점들은, 당업자에게는 이하 첨부 도면들과 예시적 실시예의 상세한 기술로부터 쉽게 이해될 것이다.

<5> 도 1은 회로 보드에 부착된 칩의 예시적인 실시예를 나타내는 도면.

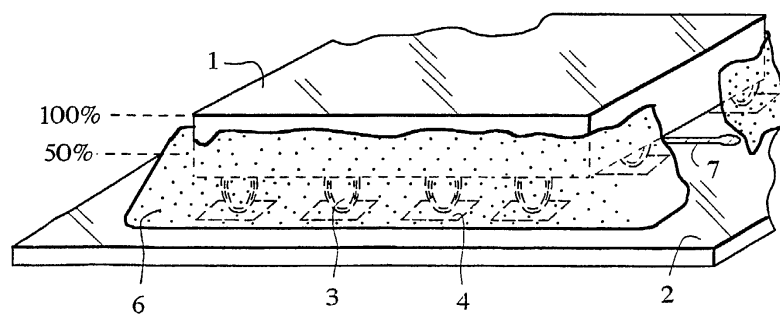
- <6> 도 2는 회로 보드에 부착된 칩의 예시적인 실시예를 나타내는 도면.
- <7> 도 3은 칩 로케이션들의 어레이 및 칩 로케이션에서 회로 보드에 부착된 칩을 갖는 회로 보드의 예시적인 실시예를 나타내는 도면.
- <8> 도 4는 T/R 칩의 예시적 실시예의 개략적인 회로도를 나타내는 도면.
- <9> 도 5는 T/R 칩의 컨트롤러의 기능 블록도를 나타내는 도면.
- <10> 도 6은 언더필(underfill)에 의해 회로에 부착된 칩의 예시적인 실시예를 나타내는 도면.
- <11> 도 7은 회로에 부착된 칩의 예시적인 실시예를 나타내는 도면.
- <12> 도 8은 회로에 부착된 칩의 예시적인 실시예를 나타내는 도면.
- <13> 도 9는 T/R 칩들의 어레이를 안테나 패널에 조립하는 방법의 예시적인 실시예를 나타내는 도면.
- <14> 도 10은 플렉시블 안테나 회로 보드의 패널의 예시적인 실시예를 나타내는 분해 투시도.

도면

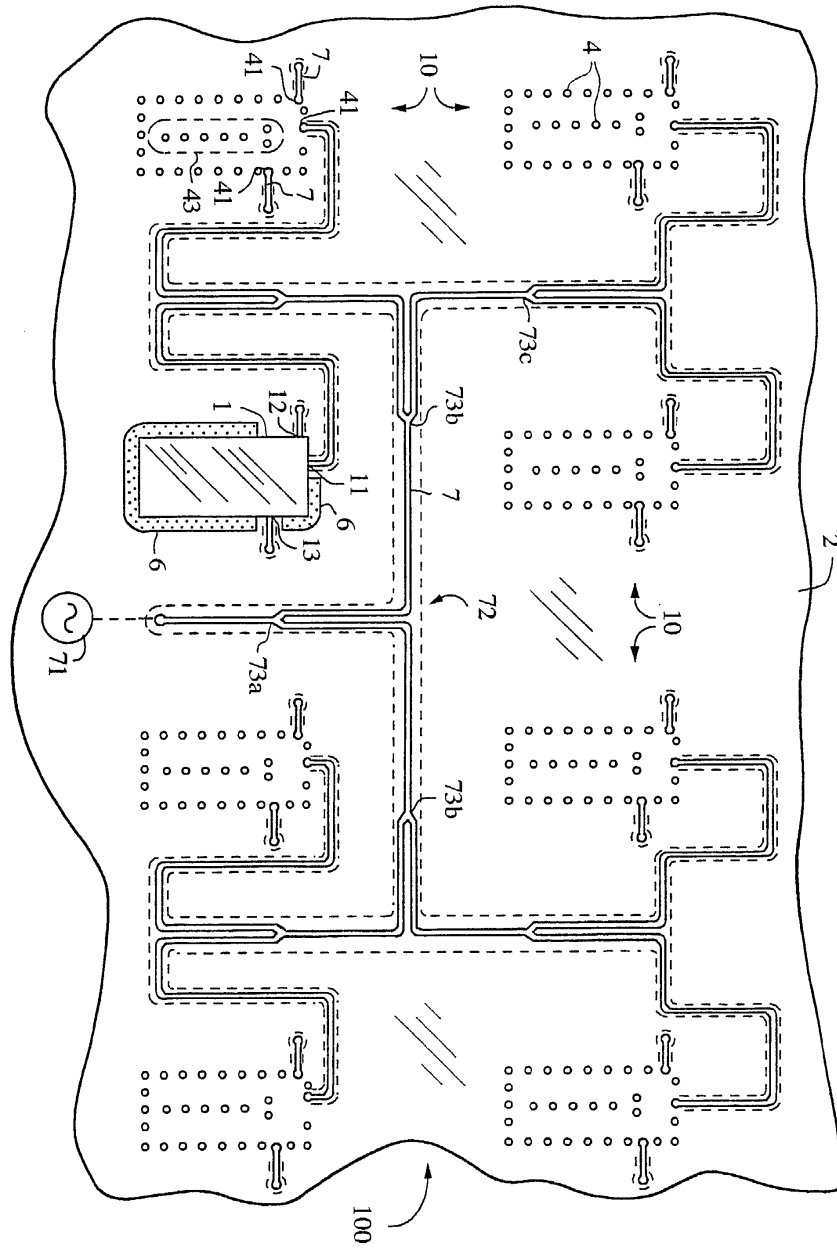
도면1



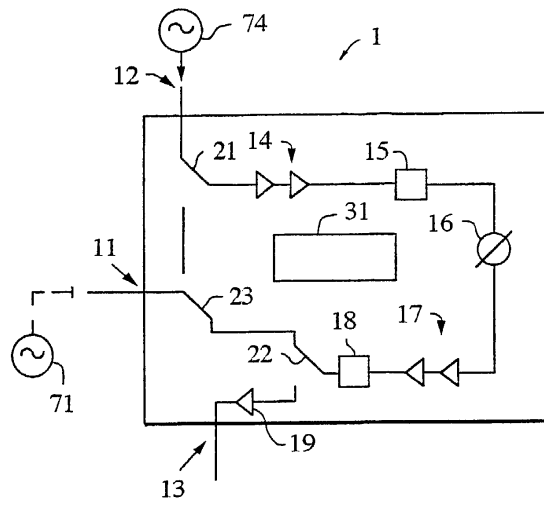
도면2



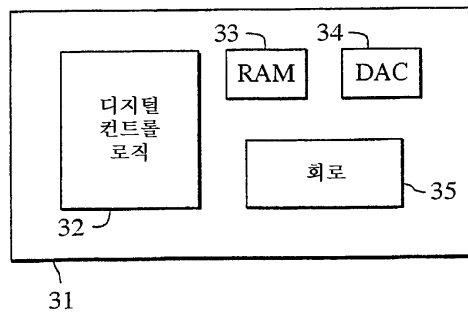
도면3



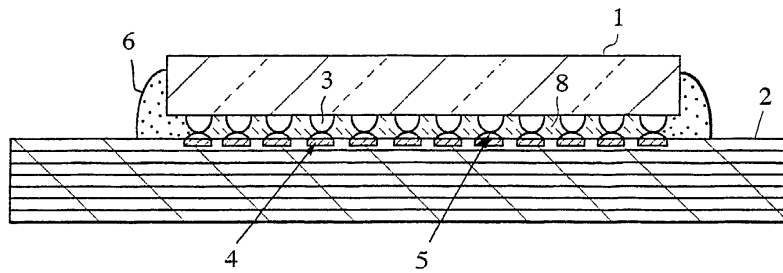
도면4



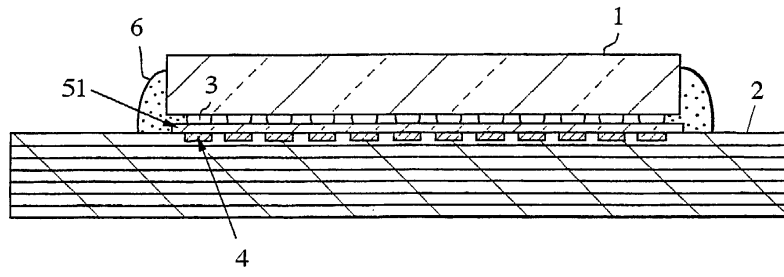
도면5



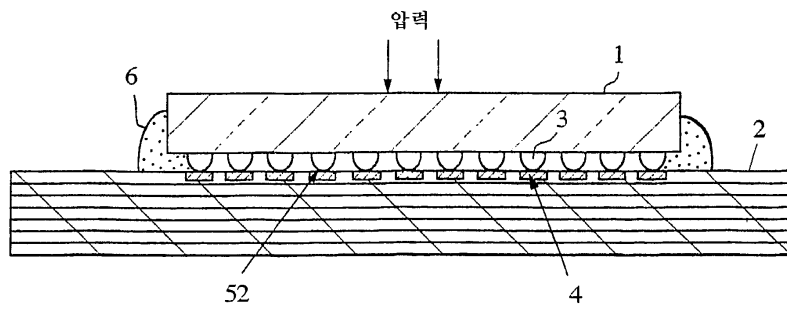
도면6



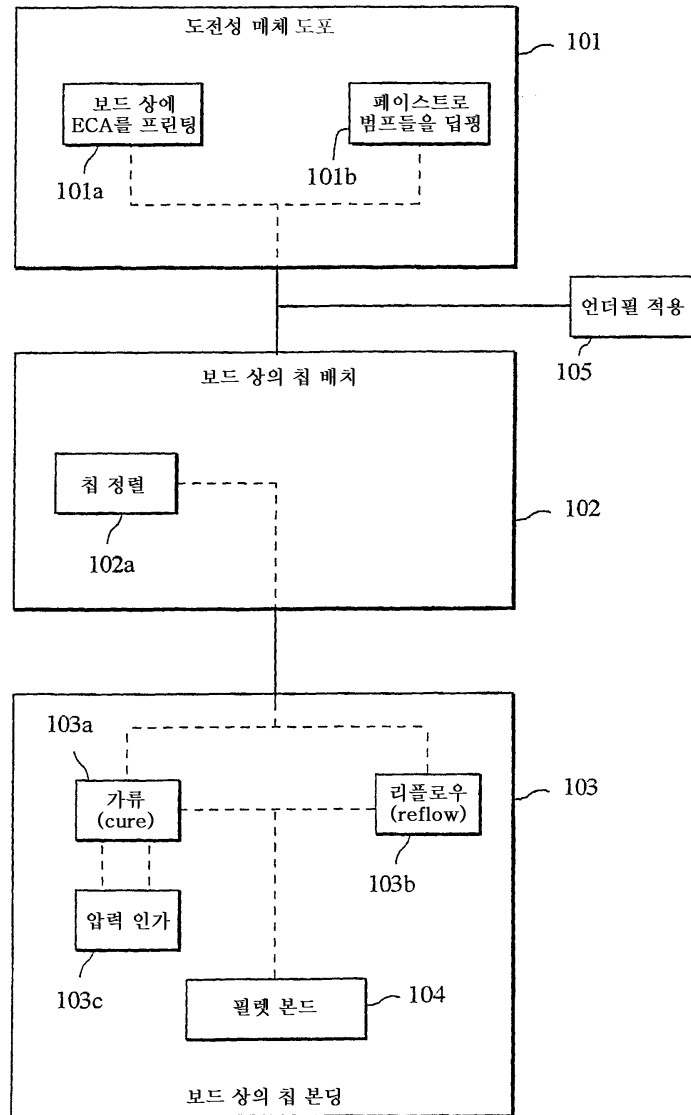
도면7



도면8



도면9



도면10

