

(43) 国際公開日
2012 年 9 月 20 日(20.09.2012)



(10) 国際公開番号

WO 2012/124063 A1

- (51) 国際特許分類: *G11C 11/413* (2006.01) *G11C 11/41* (2006.01)
G11C 11/401 (2006.01) *G11C 29/42* (2006.01)

(21) 国際出願番号: PCT/JP2011/056109

(22) 国際出願日: 2011 年 3 月 15 日(15.03.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 森 敦司 (MORI, Atsushi) [JP/JP]; 〒2118588 神奈川県川崎市中中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦(ITO, Tadahiko); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号 丸の内 M Y P L A Z A (明治安田生命ビル) 1 6 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

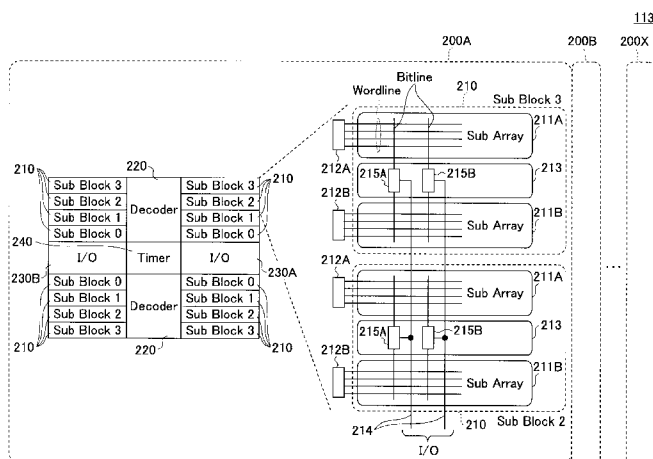
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
 — 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR RECORDING DEVICE AND METHOD FOR CONTROLLING SEMICONDUCTOR RECORDING DEVICE

(54) 発明の名称：半導体記憶装置及び半導体記憶装置の制御方法

[7]



(57) Abstract: Provided are: a semiconductor recording device having a suppressed occurrence of data corruption across a plurality of bits while suppressing a reduction in aspect ratio alteration/operation speed; and a method for controlling the semiconductor recording device. The semiconductor recording device contains: a plurality of memory blocks respectively having a plurality of memory cells that hold data; a decoder that specifies a memory cell in a memory block differing with respect to neighboring bits when specifying a plurality of memory cells having the same address; and a read/write control unit that executes reading of data held by the memory cell that the decoder specified, and writing of data to the memory cell that the decoder specified.

(57) 要約:

〔続葉有〕

WO 2012/124063 A1

アスペクト比の変更、動作速度の低下を抑制しつつ、複数ビットにわたるデータ破壊の発生を抑制した半導体記憶装置及び半導体記憶装置の制御方法を提供する。半導体記憶装置は、データを保持する複数のメモリセルをそれぞれ有する複数のメモリブロックと、同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて異なるメモリブロック内のメモリセルを特定するデコーダと、前記デコーダが特定したメモリセルが保持するデータの読み出しと、前記デコーダが特定したメモリセルに対するデータの書き込みとを実行する読み書き制御部とを含む。

明 細 書

発明の名称：半導体記憶装置及び半導体記憶装置の制御方法

技術分野

[0001] 本願発明は、半導体記憶装置及び半導体記憶装置の制御方法に関する。

背景技術

[0002] 従来より、 α 線等を含む宇宙線がメモリセルアレイ内のメモリセルに入射してソフトエラーによりメモリセルアレイのパリティの値の反転が生じた場合、パリティが無効になることを抑制するため、マトリクス状に配列された複数個のメモリセルを有する半導体記憶装置において、同一のビット線選択回路に接続されるビット線を、互いに隣接しないように配列した半導体記憶装置があった。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-208795号公報

発明の概要

発明が解決しようとする課題

[0004] 上述のようなソフトエラーは、宇宙線のうち、電荷を持つ α 線等、又は、電荷を持たない中性子線等が半導体記憶装置に入射することによって生じる。

[0005] 半導体記憶装置は、微細化によるサイズ縮小、省電力化による動作電圧の低電圧化等により、保持するビットの値の反転が生じた場合において、データが破壊される領域が増大し、パリティで保護される1バイト等の単位データに含まれる複数ビットにわたるデータ破壊が生じやすくなる傾向にある。

[0006] しかしながら、同一のビット線選択回路に接続されるビット線を、互いに隣接しないように配列した半導体記憶装置では、ビット線の配線長が長くなり、レイアウト、動作速度に制約が生じる。

[0007] このため、同一のビット線選択回路に接続されるビット線を、互いに隣接

しないように配列した半導体記憶装置は、高い周波数で動作するSRAM（Static Random Access Memory）のような半導体記憶装置には不向きであった。

[0008] また、複数ビットの反転によるデータ破壊の確率を低下させるには、例えば、カラム数を増加させることが考えられる。

[0009] しかしながら、カラム数の増加は、半導体記憶装置のアスペクト比の変化（横長化）、ワードラインの長大化による動作速度の低下に繋がるという問題があった。

[0010] そこで、アスペクト比の変更、動作速度の低下を抑制しつつ、複数ビットにわたるデータ破壊の発生を抑制した半導体記憶装置及び半導体記憶装置の制御方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の実施の形態の半導体記憶装置は、データを保持する複数のメモリセルをそれぞれ有する複数のメモリブロックと、同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて異なるメモリブロック内のメモリセルを特定するデコーダと、前記デコーダが特定したメモリセルが保持するデータの読み出しと、前記デコーダが特定したメモリセルに対するデータの書き込みとを実行する読み書き制御部とを含む。

発明の効果

[0012] アスペクト比の変更、動作速度の低下を抑制しつつ、複数ビットにわたるデータ破壊の発生を抑制した半導体記憶装置及び半導体記憶装置の制御方法を提供することができる。

図面の簡単な説明

[0013] [図1] SRAMに用いられるシングルポート型のビットセル10の構造を概略的に示す図である。

[図2] 図1のビットセル10の構造を詳細に示す図である。

[図3] 8トランジスタ型のマルチポートビットセルを示す図である。

[図4] 比較例の半導体記憶装置の一例であるSRAM30の一部を示す図で

ある。

[図5]他の比較例の半導体記憶装置の一例であるSRAM30Aの一部分を示す図である。

[図6]実施の形態1の半導体記憶装置を含む情報処理装置を示す図である。

[図7]図6の半導体記憶装置を拡大して示す図である。

[図8]実施の形態1のSRAM200の一部分を示す図である。

[図9A]実施の形態1のSRAM200の入力アドレスのデータ構成を示す図である。

[図9B]実施の形態1のSRAM200のロウデコーダ221の回路を示す図である。

[図9C]実施の形態1のSRAM200のサブブロックデコーダ222の回路を示す図である。

[図9D]実施の形態1のSRAM200の上下選択デコーダ223の回路を示す図である。

[図9E]実施の形態1のSRAM200のパターン選択デコーダ224の回路を示す図である。

[図9F]実施の形態1のSRAM200のカラムデコーダ225に含まれるカラムアドレスをデコードする回路を示す図である。

[図9G]実施の形態1のSRAM200のカラムデコーダ225に含まれるカラムアドレスをデコードする回路を示す図である。

[図9H]実施の形態1のSRAM200のカラムデコーダ225に含まれるカラムアドレスをデコードする回路を示す図である。

[図9I]実施の形態1のSRAM200のカラムデコーダ225に含まれるカラムアドレスをデコードする回路を示す図である。

[図10]実施の形態1のSRAM200のカラム選択／読み書き回路213と、カラム選択データを伝送する信号線との接続関係を示す図である。

[図11]実施の形態1のSRAM100のカラム選択／読み書き回路213の回路を示す図である。

[図12]実施の形態1のSRAM200における第1パターンと第2パターンによるビットの選択の仕方を示す図である。

[図13]実施の形態1のSRAM200の動作例を示すタイミングチャートである。

[図14]実施の形態1のSRAM200の動作例を示す図である。

[図15]実施の形態1のSRAM200の動作例を示す図である。

[図16]実施の形態2のSRAM400を示す図である。

[図17]実施の形態2のSRAM400の切替回路215を示す図である。

[図18]実施の形態2のSRAM400の一部を示す図である。

[図19A]実施の形態2のSRAM400の入力アドレスのデータ構成を示す図である。

[図19B]実施の形態2のSRAM400のロウデコーダ421の回路を示す図である。

[図19C]実施の形態2のSRAM400のサブアレイデコーダ422の回路を示す図である。

[図19D]実施の形態2のSRAM400のパターン選択デコーダ423の回路を示す図である。

[図19E]実施の形態2のSRAM400のカラムデコーダ424の回路を示す図である。

[図20]実施の形態2のSRAM400における同一アドレスのビットセルを含むサブブロックを色分けして示す図である。

[図21]実施の形態2のSRAM400における同一アドレスのビットセルを含むサブブロックを色分けして示す図である。

[図22]実施の形態3のSRAM600を示す図である。

[図23]実施の形態3のSRAM600の一部を示す図である。

[図24A]実施の形態3のSRAM600の入力アドレスのデータ構成を示す図である。

[図24B]実施の形態3のSRAM600のロウデコーダ221の回路を示す図

である。

[図24C]実施の形態3のSRAM600のサブブロックデコーダ222の回路を示す図である。

[図24D]実施の形態3のSRAM600のパターン選択デコーダ623の回路を示す図である。

[図24E]実施の形態3のSRAM600の領域選択デコーダ624の回路を示す図である。

[図24F]実施の形態3のSRAM600のカラムデコーダ625に含まれるカラムアドレスをデコードする回路を示す図である。

[図24G]実施の形態3のSRAM600のカラムデコーダ625に含まれるカラムアドレスをデコードする回路を示す図である。

[図24H]実施の形態3のSRAM600のカラムデコーダ625に含まれるカラムアドレスをデコードする回路を示す図である。

[図24I]実施の形態3のSRAM600のカラムデコーダ625に含まれるカラムアドレスをデコードする回路を示す図である。

発明を実施するための形態

[0014] 以下、本発明の半導体記憶装置及び半導体記憶装置の制御方法を適用した実施の形態について説明する。

[0015] 実施の形態1乃至3の半導体記憶装置及び半導体記憶装置の制御方法について説明する前に、まず、図1乃至図5を用いて、比較例の半導体記憶装置と問題点について説明する。

[0016] 図1は、SRAM (Static Random Access Memory) に用いられるシングルポート型のビットセル10の構造を概略的に示す図であり、図2は図1のビットセル10の構造を詳細に示す図である。

[0017] 図1に示すように、ビットセル10は、一対の否定回路であるインバータ11、12と一対のNMOS (N-type Metal Oxide Semiconductor : N型金属酸化膜半導体) トランジスタ13、14を含む。

[0018] インバータ11、12は、ループを形成するように接続されている。NM

OSトランジスタ13、14のゲートは、ともにワードラインWL (Word Line) に接続されており、NMOSトランジスタ13のドレインは正極性のビットラインBLに接続され、NMOSトランジスタ14のドレインは負極性のビットラインBLB (BLバー) に接続されている。

[0019] また、NMOSトランジスタ13、14のソースは、ループ状に接続されるインバータ11、12の接続部N1、N2に接続されている。

[0020] 図2に示すように、インバータ11は、PMOS (P-type Metal Oxide Semiconductor : P型金属酸化膜半導体) トランジスタ11AとNMOSトランジスタ11Bとを有するCMOS (Complementary Metal Oxide Semiconductor : 相補型金属酸化膜半導体) 型のインバータである。同様に、インバータ12は、PMOSトランジスタ12AとNMOSトランジスタ12Bとを有するCMOS型のインバータである。すなわち、図1、図2に示すビットセルは、6つのMOSトランジスタを含む。

[0021] MOSトランジスタ11A、11Bの入出力端子と、MOSトランジスタ12A、12Bの入出力端子とは、交差して接続されており、ビットセル10は、インバータ11、12を含むラッチ回路として実現される。

[0022] MOSトランジスタ11A、11Bのドレイン同士の接続部N1は、図1に示す接続部N1に相当し、記憶ノードN1として機能する。また、MOSトランジスタ12A、12Bのドレイン同士の接続部N2は図1に示す接続部N2に相当し、記憶ノードN2として機能する。

[0023] 記憶ノードN1、N2に、“1”、“0”又は“0”、“1”の相補データを保持させ、ワードラインWLと一対のビットラインBL、BLBでビットセル10を選択することにより、記憶ノードN1、N2のデータの読み出し、及び書き込みを行う。

[0024] データの読み出す際は、一対のビットラインBL、BLBをHレベルにして、ワードラインWLを駆動すると、ビットラインBL、BLBのいずれか一方が記憶ノードN1又はN2によりLレベルにされ、読み出しデータとして出力される。

- [0025] 一方、データを書き込む際は、一対のビットラインBL、BLBのいずれか一方をHレベル、他方をLレベルにした状態で、ワードラインWLを駆動し、記憶ノードN1、N2に書き込みを行う。
- [0026] 図1、図2に示すような6トランジスタ型のビットセル10は、1つのビットセル10においてデータの読み出しと書き込みを同時に行うことはできず、読み出しと書き込みは異なるサイクルで行われる。
- [0027] 次に、同時にデータの読み書きを行うことのできるマルチポートビットセルについて説明する。
- [0028] 図3は、8トランジスタ型のマルチポートビットセルを示す図である。図3に示すマルチポート型のビットセル20は、2つのインバータを含む。2つのインバータ自体は、図1に示したシングルポート型のビットセル10に含まれるインバータ11、12と同一であり、それぞれが2つのトランジスタを含むため（図2参照）、ここでは同一符号を用い、その説明を省略する。
- [0029] 図3に示すマルチポート型のビットセル20は、ワードラインが2本あり、（Write Word Line）と（Read Word Line）を含む。また、ビットラインは二対あり、正極性の書き込み用ビットラインWBL（Write Bit Line）、負極性の書き込み用ビットラインWBLB（Write Bit Line Bar）、及び正極性の読み出し用ビットラインRBL（Read Bit Line）、負極性の読み出し用ビットラインRBLB（Read Bit Line Bar）を含む。
- [0030] 読み出し用ワードラインRWLには、NMOSトランジスタ21、22のゲートがそれぞれ接続されている。NMOSトランジスタ21のドレインは読み出し用ビットラインRBLBに接続され、ソースは記憶ノードN1に接続されている。また、NMOSトランジスタ22のドレインは読み出し用ビットラインRBLに接続され、ソースは記憶ノードN2に接続されている。
- [0031] 書き込み用ワードラインWWLには、NMOSトランジスタ23、24の

ゲートがそれぞれ接続されている。NMOSトランジスタ23のドレインは書き込み用ビットラインWBLBに接続され、ソースは記憶ノードN1に接続されている。また、NMOSトランジスタ24のドレインは書き込み用ビットラインWBLに接続され、ソースは記憶ノードN2に接続されている。

[0032] データを読み出す際は、読み出し用ワードラインRWLと、読み出し用ビットラインRBL、RBLBとでビットセル20を選択する。

[0033] データを書き込む際は、書き込み用ワードラインWWLと、書き込み用ビットラインWBL、WBLBとでビットセル20を選択する。

[0034] このように、ビットセル20は、読み出しと書き込みに用いるトランジスタ(21、22、23、24)を二対含み、読み出しと書き込みで別々のワードライン及びビットラインを用いるため、同時に読み書きを行うことができる。

[0035] なお、図3では、書き込み用ワードラインWWL、読み出し用ワードラインRWL、書き込み用ビットラインWBL、WBLB、読み出し用ビットラインRBL、RBLBのように、ワードラインとビットラインを読み出し用と書き込み用に分けて説明した。しかしながら、ワードラインとビットラインは読み出し用と書き込み用に区別する必要はなく、いずれを用いてデータの読み出し又は書き込みを行ってもよい。

[0036] 次に、図1及び図2に示すビットセル10を含む比較例の半導体記憶装置について説明する。

[0037] 図4は、比較例の半導体記憶装置の一例であるSRAM30の一部分を示す図である。

[0038] 図4に示すSRAM30は、アレイ状に配列された複数のビットセル10、ワードラインドライバ31、32、カラム選択／読み書き回路33、ワードラインWL(Word Line)、及びビットラインBL(Bit Line)、BLB(Bit Line Bar)を含む。

[0039] ビットラインBLとBLBは対をなしており、対をなしたビットラインBL、BLBとに接続されたビットセル10が1つずつ配置されている。

- [0040] ワードラインドライバ31、32は、それぞれ、4本のワードラインWLが接続されており、ロウアドレスをデコードして出力するロウ選択データ（ロウ選択信号）に基づき、ロウの選択（ワードラインの選択）を行う。
- [0041] カラム選択／読み書き回路33は、ビットラインBL、BLBが接続されており、カラムアドレスをデコードして出力するカラム選択データ（カラム選択信号）に基づき、カラムの選択（ビットラインの選択）を行う。
- [0042] 図4に示す48個のビットセル10は、カラム選択／読み書き回路33よりも上側に示す24個が1つのサブアレイに含まれており、カラム選択／読み書き回路33よりも下側に示す24個が他の1つのサブアレイに含まれている。すなわち、図4には、2つのサブアレイを示す。サブアレイは、例えば、下層から上層に向かってサブアレイ／サブブロック／バンクと階層分けされているメモリ階層の最小単位である。
- [0043] ここで、SRAM30に含まれる各ビットを $D[n]$ と表す。 n は任意の自然数であり、SRAM30のビット数を表す。
- [0044] 図4に示すSRAM30は、各ビットが4カラムを含む。すなわち、 $D[n-1]$ 、 $D[n]$ 、 $D[n+1]$ 、 $D[n+2]$ の各ビットは、それぞれ、4カラムを含む（図4には、説明の簡単化のため、 $D[n-1]$ の3カラム分と $D[n+2]$ の1カラム分を示す）。
- [0045] また、上述のように、ワードラインドライバ31、32には、それぞれ、4本のワードラインWLが接続されている。
- [0046] 従って、図4に示すSRAM30は、1つのサブアレイの内部において、1つのビットに対して（4ロウ×4カラムで）16個のビットセル10が割り当てられていることになる。
- [0047] このような比較例のSRAM30において、図4に太線で示すSRAM30は、例えば、1バイト単位で読み書きを行なうため、ビット $D[n+1]$ 、 $D[n]$ 、 $D[n-1]$ が同一のバイトに含まれる場合には、それぞれ異なるビット $D[n+1]$ 、 $D[n]$ 、 $D[n-1]$ の3つのビットセルは、同一アドレスとなる。ここでは、太線で示す3つのビットセル10を区別するために、ビ

ットD[n+1]内のビットセルを10A、ビットD[n]内のビットセルを10B、ビットD[n-1]内のビットセルを10Cと表す。

[0048] このような比較例のSRAM30において、SRAM30に入射した α 線又は中性子線がビットセル10Aに衝突し、ビットセル10Aからビットセル10Bまでの5つのビットセルが保持するデータが破壊されたとする。すなわち、5つの連続的に隣接するビットセル10のデータが当該 α 線又は中性子線によって破壊されたことになる。

[0049] ビットセル10Aと10Bが、同一アドレスである場合には、このようなデータ破壊は、同一アドレスで指定される1バイトのデータ中に含まれる2ビットにわたってデータ破壊が生じたことになる。

[0050] このように、比較例のSRAM30では、2ビット以上の複数ビットのデータ破壊が生じる可能性がある。

[0051] このような α 線等によるデータ破壊は、半導体記憶装置の微細化によるサイズ縮小、省電力化による動作電圧の低電圧化等により、増加傾向にある。

[0052] 次に、図5を用いて、他の比較例の半導体記憶装置におけるデータ破壊について説明する。

[0053] 図5は、他の比較例の半導体記憶装置の一例であるSRAM30Aの一部を示す図である。

[0054] 図5に示す他の比較例のSRAM30Aは、1ビットが8カラムを含む構成である点が図4に示す比較例のSRAM30と異なる。その他の構成は、図4に示す比較例のSRAM30と同様であるため、同一又は同等の構成要素には同一符号を付し、その説明を省略する。

[0055] このようなSRAM30Aに、図4に示すSRAM30に入射した α 線又は中性子線と同一の運動エネルギーを有する α 線又は中性子線が入射し、ビットD[n]内のビットセル10Aに衝突し、5つの連続的に隣接するビットセル10のデータが当該 α 線又は中性子線によって破壊されたとする。

[0056] この場合に、図5に示すSRAM30Aにおいて、データ破壊はビットセル10Aからビットセル10Dまで及ぶが、ビットセル10Aからビットセル

ル10Dの5つのビットセルはともに同一のビットD[n]に含まれるため、データ破壊は1ビットで済む。

[0057] このように、各ビットD[k]（kは $n-1 \sim n+1$ ）内のカラム数を増加させれば、複数ビットにわたるデータ破壊を抑制することができる。

[0058] しかしながら、ビット内におけるカラム数の増加は、半導体記憶装置のアスペクト比の変化（横長化）、ワードラインの長大化による動作速度の低下に繋がるという問題がある。

[0059] 以上のように、比較例の半導体記憶装置（図4参照）は、複数ビットにおけるデータ破壊が生じやすいという問題があった。また、他の比較例の半導体記憶装置（図5参照）は、カラム数の増加によるアスペクト比の変化（横長化）、ワードラインの長大化による動作速度の低下が生じるという問題があった。

[0060] このため、以下で説明する実施の形態1乃至3では、上述の問題点を解決した半導体記憶装置及び半導体記憶装置の制御方法を提供することを目的とする。以下、実施の形態1、2の半導体回路装置について説明する。

[0061] <実施の形態1>

図6は、実施の形態1の半導体記憶装置を含む情報処理装置を示す図であり、図7は、図6の半導体記憶装置を拡大して示す図である。

[0062] 実施の形態1では、一例として情報処理装置がサーバ100の実施形態について説明する。

[0063] 図6に示すように、サーバ100は、LSI（Large Scale Integrated circuit：大規模集積回路）101、主記憶装置102、及び補助記憶装置103を含む。LSI 101と主記憶装置102の間、及び主記憶装置102と補助記憶装置103の間は、例えば、それぞれ専用のバスで接続されている。

[0064] LSI 101は、プロセッサコア111、L1（Level-1：一次）インストラクションキャッシュ112、L1データキャッシュ113、L2（Level-2：二次）キャッシュ114、及びメモリコントローラ11

5を有する。

[0065] プロセッサコア111は、例えば、CPU（Central Processing Unit：中央演算処理装置）コア（Core）であり、情報処理装置としてのサーバ100の演算処理を行う演算処理装置である。ここで、プロセッサコア111、L1インストラクションキャッシュ112、及びL1データキャッシュ113は、CPUとして一体化されていてもよい。プロセッサコア111は、複数あってもよく、その場合は、各プロセッサコア111にL1インストラクションキャッシュ112とL1データキャッシュ113が一つずつ接続されていてもよい。

[0066] L1インストラクションキャッシュ112は、プロセッサコア111の演算処理に必要なプログラムを一時的に記憶する一次命令キャッシュである。L1インストラクションキャッシュの機能を実現するため、例えば、SRAMが用いられる。

[0067] L1データキャッシュ113は、プロセッサコア111が演算処理に必要なデータ、又は演算処理で生成されたデータを保持する一次データキャッシュである。実施の形態1では、L1データキャッシュ113に、実施の形態1の半導体記憶装置としてのSRAMを用いる形態について説明する。なお、詳細な構造については、後述する。

[0068] L2キャッシュ114は、メモリ階層構造において主記憶装置102に近いという意味で、L1インストラクションキャッシュ112及びL1データキャッシュ113よりも下位のキャッシュであり、典型的には、L1インストラクションキャッシュ112及びL1データキャッシュ113よりも処理速度は低い、容量の大きいキャッシュである。L2キャッシュ114の機能は、例えば、SRAMで実現される。

[0069] メモリコントローラ115は、LSI101が主記憶装置102との間でデータの読み書きを行う際の制御を行う制御装置であり、例えば、LSIで実現される。

[0070] 主記憶装置102は、例えば、DRAM（Dynamic Random Access Memory

：ダイナミックランダムアクセスメモリ）で実現され、補助記憶装置 103 は、例えば、ハードディスクで実現される。

[0071] なお、サーバ 100 は、外部装置との通信を行うデータ入出力インタフェース等を含んでいてもよい。

[0072] 図 7 に示すように、L1 データキャッシュ 113 は、複数の SRAM 200A、200B、・・・、200X を含む。SRAM 200A、200B、・・・、200X は、プロセッサコア 111 に対して並列に接続されており、プロセッサコア 111 によって選択が行われる。

[0073] SRAM 200A、200B、・・・、200X の構造はすべて同様であるため、ここでは、SRAM 200A について説明する。なお、ここでは、SRAM が複数あることを説明するために SRAM 200A、200B、・・・、200X と記すが、L1 データキャッシュ 113 に含まれる SRAM の数は 1 つでもよいし、例えば、2 つ以上の数の SRAM が配列されていてもよい。

[0074] SRAM 200A は、図 7 の左側に示すように、メモリ領域が複数のサブブロック（Sub Block）210 に分けられて階層化されており、デコーダ（Decoder）220、入出力ポート（I/O）230A、230B、及びタイマ（Timer）240 を含む。

[0075] 図 7 の左側に示すように、サブブロック 210 は、入出力ポート（I/O）230A の上下に 4 段ずつ配設されるとともに、入出力ポート（I/O）230B の上下に 4 段ずつ配設される。ここで、入出力ポート（I/O）230A 及び 230B の上下に 4 段ずつ配設される 16 個のサブブロックに、入出力ポート（I/O）230A、230B から近い方から順に、サブブロック番号 0～3 を付す。

[0076] なお、以下では、入出力ポート（I/O）230A、230B を区別しない場合には、入出力ポート（I/O）230 と称す。

[0077] 各サブブロック 210 は、図 7 の SRAM 200A の右側に拡大して示すように、2 つのサブアレイ（Sub Array）211A、211B、ワードライン

ドライバ212A、212B、及びカラム選択／読み書き回路（Column Select/Read/Write logic）213を含む。図7の右側には、サブブロック番号が2と3のサブブロック210（Sub Block 2, Sub Block 3）を示す。

[0078] なお、各サブブロック210は、複数のビットに分けられている。ここでは、一例として、比較例のSRAM30（図4参照）と同様に、1つのビットが4カラムを含むこととする。

[0079] SRAM200Aに含まれるすべてのサブアレイ211A、211Bは、同様の構造であり、メモリセルとしてのビットセルがアレイ状に配列され、デコーダ220に入力される入力アドレスのデコーダ220によるデコード結果に基づいてワードラインとビットラインの選択が行えるようになっている。

[0080] ここで、入力アドレスは、プロセッサコア111（図6参照）からデコーダ220に入力される。入力アドレスは、カラムを特定するためのカラムアドレス、ロウを特定するためのロウアドレス、及び、サブアレイを特定するためのサブアレイアドレスを含む。

[0081] また、デコーダ220は、カラムアドレスをデコードするカラムデコーダ、ロウアドレスをデコードするロウデコーダ、及び、サブアレイアドレスをデコードするためのサブアレイデコーダを含む。

[0082] ワードラインドライバ212A、212Bは、それぞれサブアレイ211A、211Bに対応して設けられており、それぞれサブアレイ211A、211Bに含まれるワードラインに接続されている。ワードラインドライバ212A、212Bは、それぞれデコーダ220がロウアドレスをデコードして出力するロウ選択データ（ロウ選択信号）に基づき、ロウの選択（ワードラインの選択）を行う。

[0083] カラム選択／読み書き回路213は、各サブブロック210に対応して設けられており、各サブブロック210内の2つのサブアレイ211A、211Bのビットラインに接続されている。カラム選択／読み書き回路213は、デコーダ220がカラムアドレスをデコードして出力するカラム選択デー

タ（カラム選択信号）に基づき、カラムの選択（ビットラインの選択）を行う。

[0084] 各階層のサブブロック 210 のカラム選択／読み書き回路 213 は、それぞれ、切替回路 215 A、215 B を有する。

[0085] サブアレイ 211 A、211 B のビットラインは、カラム選択／読み書き回路 213 内において、切替回路 215 A、215 B を介して、グローバルビットライン 214 に接続されている。

[0086] 図 7 には、説明の便宜上、切替回路 215 A、215 B が、それぞれ、1 本のビットラインと 1 本のグローバルビットライン 214 とを接続する形態を示すが、切替回路 215 A は、複数のビットラインと 1 本のグローバルビットライン 214 を接続していてもよい。

[0087] 以下の説明では、一例として、切替回路 215 A が 4 本のビットラインと 1 本のグローバルビットライン 214 を接続する形態について説明する。

[0088] このようなカラム選択／読み書き回路 213 内の切替回路 215 A、215 B により、階層化されたすべてのサブブロック 210 に含まれるサブアレイ 211 A、211 B のビットラインは、グローバルビットライン 214 に接続されている。グローバルビットライン 214 は、入出力ポート (I/O) 230 に接続されている。

[0089] 以上のような構成により、各階層のサブブロック 210 は、グローバルビットライン 214 によって階層化されている。

[0090] 切替回路 215 A、215 B は、カラム選択データに基づいて、データの読み出し又は書き込みを行うメモリセルに接続されたビットラインをグローバルビットライン 214 と接続する。

[0091] 切替回路 215 A、215 B を含むカラム選択／読み書き回路 213 は、読み書き制御部である。

[0092] なお、以下では、SRAM 200 A、200 B、・・・、200 X を特に区別をしない場合には、SRAM 200 と表記することとする。

[0093] また、図 7 に示すサブブロック 210 及びサブアレイ 211 A、211 B

等の位置関係は、サブブロック 210 及びサブアレイ 211A、211B 等の階層構造を表しており、本明細書中における「上」又は「下」なる文言は、物理的な上下関係を表すものではない。

[0094] 次に、図 8 を用いて、実施の形態 1 の半導体記憶装置としての SRAM 200 の詳細な構造について説明する。

[0095] 図 8 は、実施の形態 1 の SRAM 200 の一部分を示す図である。

[0096] 図 8 に示す SRAM 200 の一部分は、図 7 に示す入出力ポート (I/O) 230A の上側に接続されるサブブロック番号 0 のサブブロック 210 (Sub Block 0) のビット D[n] の部分、ワードラインドライバ 212A、212B、カラム選択／読み書き回路 213、グローバルビットライン 214、及びデコーダ 220 に対応する部分である。

[0097] SRAM 200 は、プロセッサコア 111 (図 6 参照) から入力される読み出し命令と書き込み命令に従って、データの読み出しと書き込みを行う。

[0098] サブアレイ 211A、211B は、それぞれ、アレイ状に配列された複数のメモリセルとしてのビットセル 10 を含む。

[0099] 実施の形態 1 の SRAM 200 で用いるビットセル 10 は、図 1 及び図 2 に示す比較例の 6 トランジスタ型のビットセル 10 と同様である。このため、ビットセル 10 の動作説明は、省略する。

[0100] なお、ビットセル 10 に含まれる MOS トランジスタ 13 のソースとドレインの接続は、逆であっても構わない。同様に、MOS トランジスタ 14 のソースとドレインの接続についても、逆であっても構わない。また、実施の形態 1 では、図 1 及び図 2 に示す 6 トランジスタ型のビットセル 10 の代わりに、図 3 に示す 8 トランジスタ型のビットセル 20 を用いてもよい。

[0101] 比較例の SRAM 30 (図 4 参照) は、同一アドレスの複数のビットセルを、1 つのサブアレイに含まれる各ビットに 1 つずつ割り当てている。このため、図 4 に示すように、隣接するビット D[n+1] とビット D[n] に、同一アドレスのビットセル 10A と 10B が含まれている。

[0102] これに対して、実施の形態 1 の SRAM 200 は、同一アドレスのビット

セル10を隣接するビットに割り当てず、1つのサブブロック210に含まれる2つのサブアレイ211A及び211Bの中で、千鳥状に割り当てる。

[0103] すなわち、例えば、1つのサブブロック210の中で、サブアレイ211A内の奇数番目のビットと、サブアレイ211Bの偶数番目のビットとに含まれるビットセル10に、同一アドレスを割り当てる。また、1つのサブブロック210の中で、サブアレイ211A内の偶数番目のビットと、サブアレイ211Bの奇数番目のビットとに含まれるビットセル10に、同一アドレスを割り当てる。なお、このようなアドレスの割り当てについては、図10乃至図12を用いて後述する。

[0104] このため、実施の形態1のSRAM200では、読み出し命令は、いずれかのサブブロック210内のサブアレイ211A及び211B内のビットセル10を千鳥状に特定する入力アドレスと、ライトイネーブル(W r i t e E n a b l e) 信号W/E (Lレベル) とを含む。書き込み命令は、いずれかのサブブロック210内のサブアレイ211A及び211B内のビットセル10を千鳥状に特定する入力アドレスと、ライトイネーブル信号W/E (Hレベル) とを含む。

[0105] なお、読み出し命令と書き込み命令は、プロセッサコア111 (図6参照) から要求される命令である。

[0106] ここで、実施の形態1のSRAM200では、同一アドレスの複数のビットセル10が、1つのサブブロック210の中のサブアレイ211Aと211Bとにわたって千鳥状に配設されているため、データの読み出しと書き込みはサブブロック210単位で行う。

[0107] データの読み出しは、SRAM200に多数含まれるサブブロック210のうちのいずれかのサブブロック210に含まれるサブアレイ211A及び211Bに対して同時に行う。

[0108] 同様に、データの書き込みは、SRAM200に多数含まれるサブブロック210のうちのいずれかのサブブロック210に含まれるサブアレイ211A及び211Bに対して同時に行う。

- [0109] このようにデータの読み出しと書き込みをサブブロック 210 単位で行うため、実施の形態 1 の SRAM 200 は、サブブロックの選択を行う必要がある。サブブロックの選択は、サブブロック番号を特定することによって実現される。
- [0110] また、サブブロック 210 は、図 7 に示すように、入出力ポート (I/O) 230 の上下に同一のサブブロック番号が割り当てられているため、SRAM 200 内の多数のサブブロック 210 の中から一つのサブブロック 210 を選択するためには、サブブロック番号の特定に加えて、上下の指定が必要になる。
- [0111] また、データの読み出し又は書き込みは、サブアレイ 211A 及び 211B 内の奇数番目のビットと偶数番目のビットとに対して選択的に行うため、次の 2 パターンがある。
- [0112] 第 1 パターンは、サブアレイ 211A 内の奇数番目のビットとサブアレイ 211B の偶数番目のビットとに含まれる同一アドレスの複数のビットセル 10 に対してデータの読み出し又は書き込みを行うパターンである。
- [0113] これは、同一アドレスのビットをサブアレイ 211A 内の奇数番目のビットとサブアレイ 211B の偶数番目のビットとに割り当てることによって実現される。
- [0114] 第 2 パターンは、サブアレイ 211A 内の偶数番目のビットとサブアレイ 211B の奇数番目のビットとに含まれる同一アドレスの複数のビットセル 10 に対してデータの読み出し又は書き込みを行うパターンである。
- [0115] これは、同一アドレスのビットをサブアレイ 211A 内の偶数番目のビットとサブアレイ 211B の奇数番目のビットとに割り当てることによって実現される。
- [0116] このため、実施の形態 1 の SRAM 200 では、データの読み出し及び書き込みを第 1 パターンと第 2 パターンのどちらで行うかを選択する必要がある。
- [0117] 従って、実施の形態 1 の SRAM 200 では、ロウ選択及びカラム選択に

加えて、サブブロックの選択、上下の選択、及び、第1又は第2パターンの選択が必要になる。

[0118] ロウ選択、カラム選択、サブブロックの選択、上下の選択、及び第1又は第2パターンの選択は、読み出し命令又は書き込み命令に含まれる入力アドレスに基づいて行われる。

[0119] 例えば、入力アドレスの下位から上位にかけて、カラム選択を行うカラムアドレス、ロウ選択を行うロウアドレス、第1又は第2パターン選択を行うパターン選択アドレス、サブブロック選択を行うサブブロックアドレス、上下選択を行う上下選択アドレスを、それぞれ割り当てればよい。この場合に、各アドレスには、入力アドレスのうちの数ビットずつが割り当てられるようにすればよい。なお、具体的なアドレスの割当例については、図9Aを用いて後述する。

[0120] 次に、ワードライン及びビットラインの接続関係と、デコーダ220について説明する。

[0121] サブアレイ211A (Sub Array 0) は、4本のワードラインWL00~WL03と、4対のビットラインBL00、BLB (BLバー) 00~BL03、BLB03を含む。ワードラインWL00~WL03は、それぞれワードラインドライバ212Aに接続されており、ビットラインBL00、BLB00~BL03、BLB03は、それぞれカラム選択/読み書き回路213に接続されている。

[0122] ここで、ビットラインBL、BLBの添え数字をビットラインのライン番号と称す。

[0123] サブアレイ211B (Sub Array 1) は、4本のワードラインWL10~WL13と、4対のビットラインBL10、BLB10~BL13、BLB13を含む。ワードラインWL10~WL13は、それぞれワードラインドライバ212Bに接続されており、ビットラインBL10、BLB10~BL13、BLB13は、それぞれカラム選択/読み書き回路213に接続されている。

- [0124] なお、各ビットセル10は、ワードラインとビットライン対の交差部に配設される。
- [0125] また、図8にはサブアレイ211A、211Bのうちの1ビット(D[n])の部分だけを示すが、実際にはnビットあるため、各ワードラインは、ワードラインドライバ212A、212Bからすべてのビットに伸びている。
- [0126] デコーダ220は、ロウデコーダ221、サブブロックデコーダ222、上下(Top/Bottom)選択デコーダ223、パターン選択デコーダ224、及びカラムデコーダ225を含む。デコーダ220には、入力アドレスが入力される。また、カラムデコーダ225には、ライトイネーブル信号W/Eが入力される。
- [0127] なお、ロウデコーダ221、サブブロックデコーダ222、上下選択デコーダ223、パターン選択デコーダ224、及びカラムデコーダ225は、SRAM200全体に対して、一つずつ配設される。
- [0128] ロウデコーダ221、サブブロックデコーダ222、及び上下選択デコーダ223は、信号線を介して、ワードラインドライバ212A、212Bに接続されている。実際には、サブブロック210は階層化されているため(図7参照)、ロウデコーダ221、サブブロックデコーダ222、及び上下選択デコーダ223は、すべてのサブブロック210のワードラインドライバ212A、212Bに接続されている。
- [0129] 次に、ロウデコーダ221によるロウ選択、サブブロックデコーダ222によるサブブロック選択、上下選択デコーダ223による上下の選択、カラムデコーダ225によるカラム選択について説明する。
- [0130] ロウデコーダ221は、信号線を介して、ワードラインドライバ212A、212Bに接続されており、読み出し命令又は書き込み命令の入力アドレスに含まれるロウアドレスをデコードしてロウ選択データROW[3:0]を出力する。ロウ選択データROW[3:0]は、ワードラインドライバ212A、212Bに入力される。
- [0131] この結果、ワードラインドライバ212A、212Bは、ロウ選択データ

ROW[3 : 0]を用いてロウ選択を行い、ワードラインWL 0 0 ~ WL 0 3、WL 1 0 ~ WL 1 3のいずれかを選択する。

[0132] ロウ選択データROW[3 : 0]は、ワードラインドライバ2 1 2 A、2 1 2 Bに入力される4ビットのデータである。

[0133] ロウ選択データROW[3 : 0]は、図7に示す入出力ポート(I/O) 2 3 0の上下に4段ずつ配列されるすべてのサブブロック2 1 0内のワードラインドライバ2 1 2 A、2 1 2 Bにロウデコーダ2 2 1から入力される。このため、ロウ選択データROW[3 : 0]に基づくロウ選択は、すべてのサブアレイの中で行われる。

[0134] なお、ロウ選択データROW[3 : 0]は、ロウ選択データROW[3]、ロウ選択データROW[2]、ロウ選択データROW[1]、ロウ選択データROW[0]の4ビットのロウ選択データをまとめて表す。

[0135] サブブロックデコーダ2 2 2は、信号線を介して、ワードラインドライバ2 1 2 A、2 1 2 Bに接続されており、読み出し命令又は書き込み命令の入力アドレスに含まれるサブブロックアドレスをデコードしてサブブロック選択データSBSを出力する。

[0136] 図8には、サブブロック番号0のサブブロック2 1 0の中の一部を示すため、サブブロックデコーダ2 2 2から1本の信号線を介して出力されるサブブロック選択データとしてSBS[0]のみを示す。

[0137] しかしながら、実際には、図7に示すように入出力ポート(I/O) 2 3 0の上下にサブブロック2 1 0が4段ずつあるため、サブブロックデコーダ2 2 2には8本の信号線が接続される。また、サブブロックデコーダ2 2 2は、サブブロック選択データSBS[0] ~ SBS[3]を出力する。なお、サブブロック選択データSBSの添え数字は、サブブロック番号(0 ~ 3)に対応する。

[0138] 8本の信号線は、それぞれ、入出力ポート(I/O) 2 3 0の上下の4段のサブブロック2 1 0のワードラインドライバ2 1 2 A、2 1 2 Bに接続される。

[0139] サブブロック選択データSBS[0] ~ SBS[3]は、8本の信号線を介し

て、それぞれ、4段のサブブロック210のワードラインドライバ212A、212Bに入力される。

[0140] 上下選択デコーダ223は、信号線を介して、図7に示す入出力ポート(I/O)230の上下の4段のサブブロック210の中のワードラインドライバ212A、212Bに接続されている。上下選択デコーダ223は、読み出し命令又は書き込み命令の入力アドレスに含まれる上下選択アドレスをデコードしてTOPデータ及びBOT (Bottom) データを出力する。

[0141] TOPデータは、入出力ポート(I/O)230よりも上側にあるサブブロック210に割り当てられ、BOTデータは、入出力ポート(I/O)230よりも下側にあるサブブロック210に割り当てられる。

[0142] 図8に示すサブアレイ211A及び211Bは入出力ポート(I/O)230よりも上側にあるサブブロック210 (Sub Block 0) であるため、図8にはTOPデータのみを示すが、入出力ポート(I/O)230よりも下側にあるサブブロック210には、上下選択デコーダ223からBOTデータが入力される。

[0143] 実施の形態1のSRAM200では、サブブロックデコーダ222から出力されるサブブロック選択データSBSと、上下選択デコーダ223から出力されるTOPデータ又はBOTデータとにより、入出力ポート(I/O)230の上側又は下側の何段目にあるサブブロック210を選択するかが決定される。

[0144] この場合に、図7に示すSRAM200では、デコーダ220の左右にある同じ段の(サブブロック番号の等しい)サブブロック210が選択される。

[0145] なお、データの読み出し又は書き込みを行うための1サイクル中に、読み出し命令又は書き込み命令の入力アドレスに基づいて選択されるサブブロック210は、図7に示すSRAM200では、デコーダ220の左右にある同じ段の2つのサブブロック210である。

[0146] パターン選択デコーダ224は、信号線を介してカラムデコーダ225に

接続されており、読み出し命令又は書き込み命令の入力アドレスに含まれるパターン選択アドレスをデコードして第1パターン選択データF (First) 及び第2パターン選択データS (Second) を出力する。

[0147] 第1パターン選択データF及び第2パターン選択データSは、それぞれ、第1パターン又は第2パターンを選択するためのデータであり、カラムデコーダ225に入力される。

[0148] 第1パターン選択データFが“1”であり、第2パターン選択データSが“0”である場合は、第1パターンを選択することを表す。これとは逆に、第1パターン選択データFが“0”であり、第2パターン選択データSが“1”である場合は、第2パターンを選択することを表す。

[0149] ここで、第1パターンでは、サブアレイ211A内の奇数番目のビットとサブアレイ211Bの偶数番目のビットとに含まれる同一アドレスの複数のビットセル10に対してデータの読み出し又は書き込みを行う。

[0150] 第2パターンでは、サブアレイ211A内の偶数番目のビットとサブアレイ211Bの奇数番目のビットとに含まれる同一アドレスの複数のビットセル10に対してデータの読み出し又は書き込みを行う。

[0151] カラムデコーダ225は、信号線を介して、カラム選択／読み書き回路213に接続されている。カラムデコーダ225は、実際には、図7に示すすべてのサブブロック210の中のカラム選択／読み書き回路213に接続されている。

[0152] カラムデコーダ225には、読み出し命令又は書き込み命令の入力アドレスに含まれるカラムアドレスに加えて、第1パターン選択データF、第2パターン選択データS、及びライトイネーブル信号W/Eが入力される。

[0153] カラムデコーダ225は、カラムアドレスをデコードし、第1パターン選択データF及び第2パターン選択データSのデータ値と、ライトイネーブル信号W/Eの信号レベルとに応じたカラム選択データを出力する。

[0154] カラムデコーダ225が出力するカラム選択データは、第1パターン又は第2パターンによるデータの読み出し又は書き込みを実現するように、サブ

アレイ 2 1 1 A 及び 2 1 1 B のビット内のコラムを選択するためのデータである。

[0155] カラム選択データは、カラム選択／読み書き回路 2 1 3 に入力される。

[0156] カラムデコーダ 2 2 5 は、ライトイネーブル信号 W/E の信号レベルが L レベルで、第 1 パターン選択データ F が “1” であり、第 2 パターン選択データ S が “0” である場合は、カラム選択データ R__COL__SEL__F[3 : 0] を出力する。

[0157] カラム選択データ R__COL__SEL__F[3 : 0] は、第 1 パターンでのデータの読み出しを実現するために、サブアレイ 2 1 1 A 及び 2 1 1 B 内のビットのコラムを選択するためのカラム選択データである。

[0158] カラム選択データ R__COL__SEL__F[3 : 0] により、第 1 パターンに従って、サブアレイ 2 1 1 A の各奇数ビット内のいずれかのビットライン B_L、B_LB の対と、サブアレイ 2 1 1 B の各偶数ビット内のいずれかのビットライン B_L、B_LB の対とがデータの読み出しのために選択される。

[0159] カラムデコーダ 2 2 5 は、ライトイネーブル信号 W/E の信号レベルが L レベルで、第 1 パターン選択データ F が “0” であり、第 2 パターン選択データ S が “1” である場合は、カラム選択データ R__COL__SEL__S[3 : 0] を出力する。

[0160] カラム選択データ R__COL__SEL__S[3 : 0] は、第 2 パターンでのデータの読み出しを実現するために、サブアレイ 2 1 1 A 及び 2 1 1 B 内のビットのコラムを選択するためのカラム選択データである。

[0161] カラム選択データ R__COL__SEL__S[3 : 0] により、第 2 パターンに従って、サブアレイ 2 1 1 A の各偶数ビット内のいずれかのビットライン B_L、B_LB の対と、サブアレイ 2 1 1 B の各奇数ビット内のいずれかのビットライン B_L、B_LB の対とがデータの読み出しのために選択される。

[0162] なお、図 8 には、1 つのビット D[n] のみを示すが、実際にはサブアレイ 2 1 1 A 及び 2 1 1 B は多数のビットを含む。このため、カラム選択データに基づいて、各奇数ビット内のいずれかのビットライン B_L、B_LB の対と

、各偶数ビット内のいずれかのビットラインBL、BLBの対とが選択される。

[0163] また、カラムデコーダ225は、ライトイネーブル信号W/Eの信号レベルがHレベルで、第1パターン選択データFが“1”であり、第2パターン選択データSが“0”である場合は、カラム選択データW__COL__SEL__F[3:0]を出力する。

[0164] カラム選択データW__COL__SEL__F[3:0]は、第1パターンでのデータの書き込みを実現するために、サブアレイ211A及び211B内のビットのカラムを選択するためのカラム選択データである。

[0165] カラム選択データW__COL__SEL__F[3:0]により、第1パターンに従って、サブアレイ211Aの各奇数ビット内のいずれかのビットラインBL、BLBの対と、サブアレイ211Bの各偶数ビット内のいずれかのビットラインBL、BLBの対とがデータの書き込みのために選択される。

[0166] また、カラムデコーダ225は、ライトイネーブル信号W/Eの信号レベルがHレベルで、第1パターン選択データFが“0”であり、第2パターン選択データSが“1”である場合は、カラム選択データW__COL__SEL__S[3:0]を出力する。

[0167] カラム選択データW__COL__SEL__S[3:0]は、第2パターンでのデータの書き込みを実現するために、サブアレイ211A及び211B内のビットのカラムを選択するためのカラム選択データである。

[0168] カラム選択データW__COL__SEL__S[3:0]により、第2パターンに従って、サブアレイ211Aの各偶数ビット内のいずれかのビットラインBL、BLBの対と、サブアレイ211Bの各奇数ビット内のいずれかのビットラインBL、BLBの対とがデータの書き込みのために選択される。

[0169] なお、カラム選択データR__COL__SEL__F[3:0]、R__COL__SEL__S[3:0]、W__COL__SEL__F[3:0]、及びW__COL__SEL__S[3:0]は、それぞれ、4ビットのカラム選択データをまとめて示す表記である。

- [0170] 例えば、カラム選択データR_COL_SEL_F[3:0]は、カラム選択データR_COL_SEL_F[3]、R_COL_SEL_F[2]、R_COL_SEL_F[1]、及びR_COL_SEL_F[0]を含む。これは、カラム選択データR_COL_SEL_S[3:0]、W_COL_SEL_F[3:0]、及びW_COL_SEL_S[3:0]についても同様である。
- [0171] 次に、カラム選択／読み書き回路213について説明する。
- [0172] カラム選択／読み書き回路213には、ビットラインBL00～BL03、BLB00～BLB03、BL10～BL13、BLB10～BLB13が接続されている。
- [0173] カラム選択／読み書き回路213は、カラムデコーダ225から入力されるカラム選択データに基づき、ビットラインを選択する。
- [0174] カラム選択／読み書き回路213は、カラムデコーダ225から入力されるカラム選択データに基づいて、ビットラインBL、BLBの選択、読み出し／書き込みの切り替え、読み出しデータ／書き込みデータの受け渡しを行える回路であればよい。
- [0175] カラム選択／読み書き回路213は、データの読み出し又は書き込みのために、カラムデコーダ225からカラム選択データが入力されると、ライン番号が同一のビットラインBLとBLBの対を選択する。
- [0176] また、カラム選択／読み書き回路213には、読み出したデータ又は書き込むデータを入出力ポート(I/O)230(図7参照)との間で伝送するグローバルビットライン214が接続されている。
- [0177] グローバルビットライン214は、ビットラインBL、BLBを通じて読み出したデータを入出力ポート(I/O)230(図7参照)に伝送するとともに、書き込むデータを入出力ポート(I/O)230からビットラインBL、BLBに伝送する。
- [0178] また、カラム選択／読み書き回路213のうち、ビットラインの選択を行う回路は、カラムデコーダ225から伝送されるカラム選択データに基づい

て、2つのサブアレイ211A、211Bにそれぞれ四対含まれるビットラインBL00、BLB00～BL03、BLB03、BL10、BLB10～BL13、BLB13を選択できれば、その形式は問わない。

[0179] また、カラム選択／読み書き回路213のうち、読み出しデータ及び書き込みデータの受け渡しを行う回路は、ライトイネーブル信号W/Eの信号レベルに応じたカラム選択データに基づいて読み出し処理と書き込み処理を切り替えることができ、グローバルビットライン214との間でデータの受け渡しができる回路であれば、その形式は問わない。

[0180] なお、実際には、図7に示すようにサブブロック210は多数存在するため、カラムデコーダ225によるカラム選択は、すべてのサブブロック210の中から行われる。

[0181] 次に、図9(A)～図9(I)を用いて、入力アドレスのデータ構成とデコーダ220の回路構成について説明する。

[0182] 図9(A)は、実施の形態1のSRAM200の入力アドレスの割当例を示す図である。入力アドレスA[7:0]は8ビットのデータであり、下位ビットから上位ビットにかけて、カラムアドレス(column)、ロウアドレス(row)、パターン選択アドレス(F/S)、サブブロックアドレス(Sub Block)、上下選択アドレス(Top/Bot)を含む。

[0183] カラムアドレス(column)にはA[1:0]の2ビット、ロウアドレス(row)にはA[3:2]の2ビット、パターン選択アドレス(F/S)にはA[4]の1ビット、サブブロックアドレス(Sub Block)にはA[6:5]の2ビット、上下選択アドレス(Top/Bot)にはA[7]の1ビットが、それぞれ割り当てられている。

[0184] 図9(B)は、実施の形態1のSRAM200のロウデコーダ221の回路を示す図である。

[0185] ロウデコーダ221は、2入力型のAND(論理積)回路300、301、302、303を含む。AND回路300～303には、それぞれ、2本の信号線が接続されており、それぞれ、ロウアドレスA[3]、A[2]が入力

される。

- [0186] AND回路300、301、302、303は、それぞれ、ロウ選択データR[0]、R[1]、R[2]、R[3]を出力する。
- [0187] ロウ選択データR[0]は、図8に示すワードラインWL00及びWL10を選択するためのロウ選択データである。同様に、ロウ選択データR[1]、R[2]、R[3]は、それぞれ、図8に示すワードラインWL01及びWL11、WL02及びWL12、WL03及びWL13を選択するためのロウ選択データである。
- [0188] AND回路300には、ロウアドレスA[3]及びA[2]がともに否定演算されて入力される。AND回路301には、ロウアドレスA[3]が否定演算されて入力され、ロウアドレスA[2]はそのまま入力される。AND回路302には、ロウアドレスA[3]がそのまま入力され、ロウアドレスA[2]は否定演算されて入力される。AND回路303には、ロウアドレスA[3]及びA[2]がともにそのまま入力される。
- [0189] ロウデコーダ221は、ロウアドレスA[3]、A[2]が“0”、“0”の場合は、ロウ選択データROW[0]を“1”にし、ロウ選択データROW[1]、ROW[2]、ROW[3]を“0”にする。
- [0190] ロウデコーダ221は、ロウアドレスA[3]、A[2]が“0”、“1”の場合は、ロウ選択データROW[1]を“1”にし、ロウ選択データROW[0]、ROW[2]、ROW[3]を“0”にする。
- [0191] ロウデコーダ221は、ロウアドレスA[3]、A[2]が“1”、“0”の場合は、ロウ選択データROW[2]を“1”にし、ロウ選択データROW[0]、ROW[1]、ROW[3]を“0”にする。
- [0192] ロウデコーダ221は、ロウアドレスA[3]、A[2]が“1”、“1”の場合は、ロウ選択データROW[3]を“1”にし、ロウ選択データROW[0]、ROW[1]、ROW[2]を“0”にする。
- [0193] 次に、図9（C）を用いて、サブブロックデコーダ222の回路について説明する。

- [0194] 図9（C）は、実施の形態1のSRAM200のサブブロックデコーダ222の回路を示す図である。
- [0195] サブブロックデコーダ222は、ロウデコーダ221と同様に、2入力型のAND（論理積）回路310、311、312、313を含む。AND回路310～313には、それぞれ、2本の信号線が接続されており、それぞれ、サブブロックアドレスA[6]、A[5]が入力される。
- [0196] AND回路310、311、312、313は、それぞれ、サブブロック選択データSBS[0]、SBS[1]、SBS[2]、SBS[3]を出力する。
- [0197] サブブロック選択データSBS[0]は、図7に示すサブブロック番号0のサブブロック210（Sub Block 0）を選択するためのサブブロック選択データである。同様に、サブブロック選択データSBS[1]、SBS[2]、SBS[3]は、それぞれ、図7に示すサブブロック番号1、2、3のサブブロック210（Sub Block 1, Sub Block 2, Sub Block 3）を選択するためのサブブロック選択データである。
- [0198] AND回路310には、サブブロック選択アドレスA[6]及びA[5]がともに否定演算されて入力される。AND回路311には、サブブロック選択アドレスA[6]が否定演算されて入力され、サブブロック選択アドレスA[5]はそのまま入力される。AND回路312には、サブブロック選択アドレスA[6]がそのまま入力され、サブブロック選択アドレスA[5]は否定演算されて入力される。AND回路313には、サブブロック選択アドレスA[6]及びA[5]がともにそのまま入力される。
- [0199] サブブロックデコーダ222は、サブブロック選択アドレスA[6]、A[5]が“0”、“0”の場合は、サブブロック選択データSBS[0]を“1”にし、サブブロック選択データSBS[1]、SBS[2]、SBS[3]を“0”にする。
- [0200] サブブロックデコーダ222は、サブブロック選択アドレスA[6]、A[5]が“0”、“1”の場合は、サブブロック選択データSBS[1]を“1”にし、サブブロック選択データSBS[0]、SBS[2]、SBS[3]を“0”にする。
- [0201] サブブロックデコーダ222は、サブブロック選択アドレスA[6]、A[5]

]が“1”、“0”の場合は、サブブロック選択データSBS[2]を“1”にし、サブブロック選択データSBS[0]、SBS[1]、SBS[3]を“0”にする。

[0202] サブブロックデコーダ222は、サブブロック選択アドレスA[6]、A[5]が“1”、“1”の場合は、サブブロック選択データSBS[3]を“1”にし、サブブロック選択データSBS[0]、SBS[1]、SBS[2]を“0”にする。

[0203] 次に、図9（D）を用いて、上下選択デコーダ223の回路について説明する。

[0204] 図9（D）は、実施の形態1のSRAM200の上下選択デコーダ223の回路を示す図である。

[0205] 上下選択デコーダ223は、1入力・2出力型の回路を有し、上下選択アドレスA[7]をデコードしてTOPデータとBOTデータを出力する。TOPデータはインバータ320により上下選択アドレスA[7]のデータ値の反転値として出力され、BOTデータは上下選択アドレスA[7]のデータ値のまま出力される。

[0206] TOPデータは、上述のように、図7に示す入出力ポート（I/O）230の上側に配列されるサブブロック210のワードラインドライバ212A及び212Bに入力される。

[0207] BOTデータは、上述のように、図7に示す入出力ポート（I/O）230の下側に配列されるサブブロック210のワードラインドライバ212A及び212Bに入力される。

[0208] TOPデータが“1”でBOTデータが“0”である場合は、入出力ポート（I/O）230の上側に配列されるサブブロック210が選択される場合である。これとは逆に、TOPデータが“0”でBOTデータが“1”である場合は、入出力ポート（I/O）230の下側に配列されるサブブロック210が選択される場合である。

[0209] 次に、図9（E）を用いて、パターン選択デコーダ224の回路について説明する。

[0210] 図9（E）は、実施の形態1のSRAM200のパターン選択デコーダ2

24の回路を示す図である。

- [0211] パターン選択デコーダ224は、1入力・2出力型の回路を有し、パターン選択アドレスA[4]をデコードして第1パターン選択データFと第2パターン選択データSを出力する。第1パターン選択データFはインバータ330によりパターン選択アドレスA[4]のデータ値の反転値として出力され、第2パターン選択データSはパターン選択アドレスA[4]のデータ値のまま出力される。
- [0212] 第1パターン選択データF及び第2パターン選択データSは、それぞれ、第1パターン又は第2パターンを選択するためのデータであり、カラムデコーダ225に入力される。
- [0213] 第1パターン選択データFが“1”であり、第2パターン選択データSが“0”である場合は、第1パターンを選択することを表す。これとは逆に、第1パターン選択データFが“0”であり、第2パターン選択データSが“1”である場合は、第2パターンを選択することを表す。
- [0214] 次に、図9（F）～図9（I）を用いて、カラムデコーダ225の回路について説明する。
- [0215] カラムデコーダ225は、カラムアドレスをデコードし、第1パターン選択データF及び第2パターン選択データSのデータ値と、ライトイネーブル信号W/Eの信号レベルとに応じたカラム選択データを出力する。
- [0216] 図9（F）～図9（I）は、実施の形態1のSRAM200のカラムデコーダ225に含まれるカラムアドレスをデコードする回路を示す図である。
- [0217] カラムデコーダ225は、第1パターンによるデータの読み出しを行うためにカラムアドレスをデコードする回路340Rと、第1パターンによるデータの書き込みを行うためにカラムアドレスをデコードする回路340Wとを含む。
- [0218] また、カラムデコーダ225は、第2パターンによるデータの読み出しを行うためにカラムアドレスをデコードする回路350Rと、第2パターンによるデータの書き込みを行うためにカラムアドレスをデコードする回路35

OWとをさらに含む。

- [0219] 図9（F）に示すように、第1パターンによるデータの読み出しを行うためにカラムアドレスをデコードする回路340Rは、4入力型のAND（論理積）回路360R、361R、362R、363Rを含む。AND回路360R～363Rには、それぞれ、4本の信号線が接続されており、それぞれ、第1パターン選択データF、カラムアドレスA[1]、A[0]、及びライトイネーブル信号W/Eが入力される。
- [0220] AND回路360R、361R、362R、363Rは、それぞれ、カラム選択データR__COL__SEL__F[0]、R__COL__SEL__F[1]、R__COL__SEL__F[2]、R__COL__SEL__F[3]を出力する。
- [0221] カラム選択データR__COL__SEL__F[0]は、第1パターンによるデータの読み出しを行うために、図8に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのカラム選択データである。
- [0222] カラム選択データR__COL__SEL__F[1]は、第1パターンによるデータの読み出しを行うために、図8に示すビットラインBL01及びBLB01と、ビットラインBL11及びBLB11を選択するためのカラム選択データである。
- [0223] カラム選択データR__COL__SEL__F[2]は、第1パターンによるデータの読み出しを行うために、図8に示すビットラインBL02及びBLB02と、ビットラインBL12及びBLB12を選択するためのカラム選択データである。
- [0224] カラム選択データR__COL__SEL__F[3]は、第1パターンによるデータの読み出しを行うために、図8に示すビットラインBL03及びBLB03と、ビットラインBL13及びBLB13を選択するためのカラム選択データである。
- [0225] AND回路360Rには、第1パターン選択データF、否定演算されたカラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及び否定演算

されたライトイネーブル信号W/Eが入力される。

- [0226] AND回路361Rには、第1パターン選択データF、否定演算されたカラムアドレスA[1]、カラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0227] AND回路362Rには、第1パターン選択データF、カラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0228] AND回路363Rには、第1パターン選択データF、カラムアドレスA[1]、カラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0229] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“0”、“0”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR_COL_SEL_F[0]を“1”にし、カラム選択データR_COL_SEL_F[1]、R_COL_SEL_F[2]、R_COL_SEL_F[3]を“0”にする。
- [0230] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“0”、“1”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR_COL_SEL_F[1]を“1”にし、カラム選択データR_COL_SEL_F[0]、R_COL_SEL_F[2]、R_COL_SEL_F[3]を“0”にする。
- [0231] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR_COL_SEL_F[2]を“1”にし、カラム選択データR_COL_SEL_F[0]、R_COL_SEL_F[1]、R_COL_SEL_F[3]を“0”にする。
- [0232] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR_COL_SEL_F[3]を“1”にし

、カラム選択データR_COL_SEL_F[0]、R_COL_SEL_F[1]、R_COL_SEL_F[2]を“0”にする。

[0233] なお、第1パターン選択データFが“0”である場合は、第1パターンによるデータの読み出しを行わない場合であるため、カラム選択データR_COL_SEL_F[0]、R_COL_SEL_F[1]、R_COL_SEL_F[2]、及びR_COL_SEL_F[3]は、すべて“0”になる。

[0234] 図9（G）に示すように、第1パターンによるデータの書き込みを行うためにカラムアドレスをデコードする回路340Wは、4入力型のAND（論理積）回路360W、361W、362W、363Wを含む。AND回路360W～363Wには、それぞれ、4本の信号線が接続されており、それぞれ、第1パターン選択データF、カラムアドレスA[1]、A[0]、及びライトイネーブル信号W/Eが入力される。

[0235] AND回路360W、361W、362W、363Wは、それぞれ、カラム選択データW_COL_SEL_F[0]、W_COL_SEL_F[1]、W_COL_SEL_F[2]、W_COL_SEL_F[3]を出力する。

[0236] カラム選択データW_COL_SEL_F[0]は、第1パターンによるデータの書き込みを行うために、図8に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのカラム選択データである。

[0237] カラム選択データW_COL_SEL_F[1]は、第1パターンによるデータの書き込みを行うために、図8に示すビットラインBL01及びBLB01と、ビットラインBL11及びBLB11を選択するためのカラム選択データである。

[0238] カラム選択データW_COL_SEL_F[2]は、第1パターンによるデータの書き込みを行うために、図8に示すビットラインBL02及びBLB02と、ビットラインBL12及びBLB12を選択するためのカラム選択データである。

[0239] カラム選択データW_COL_SEL_F[3]は、第1パターンによるデ

ータの書き込みを行うために、図8に示すビットラインBL03及びBLB03と、ビットラインBL13及びBLB13を選択するためのカラム選択データである。

- [0240] AND回路360Wには、第1パターン選択データF、否定演算されたカラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。
- [0241] AND回路361Wには、第1パターン選択データF、否定演算されたカラムアドレスA[1]、カラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。
- [0242] AND回路362Wには、第1パターン選択データF、カラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。
- [0243] AND回路363Wには、第1パターン選択データF、カラムアドレスA[1]、カラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。
- [0244] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“0”、“0”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_F[0]を“1”にし、カラム選択データW_COL_SEL_F[1]、W_COL_SEL_F[2]、W_COL_SEL_F[3]を“0”にする。
- [0245] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“0”、“1”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_F[1]を“1”にし、カラム選択データW_COL_SEL_F[0]、W_COL_SEL_F[2]、W_COL_SEL_F[3]を“0”にする。
- [0246] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_F[2]を“1”にし

、カラム選択データW_COL_SEL_F[0]、W_COL_SEL_F[1]、W_COL_SEL_F[3]を“0”にする。

[0247] カラムデコーダ225は、第1パターン選択データFが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_F[3]を“1”にし、カラム選択データW_COL_SEL_F[0]、W_COL_SEL_F[1]、W_COL_SEL_F[2]を“0”にする。

[0248] なお、第1パターン選択データFが“0”である場合は、第1パターンによるデータの書き込みを行わない場合であるため、カラム選択データW_COL_SEL_F[0]、W_COL_SEL_F[1]、W_COL_SEL_F[2]、及びW_COL_SEL_F[3]は、すべて“0”になる。

[0249] 図9（H）に示すように、第2パターンによるデータの読み出しを行うためにカラムアドレスをデコードする回路350Rは、4入力型のAND（論理積）回路370R、371R、372R、373Rを含む。AND回路370R～373Rには、それぞれ、4本の信号線が接続されており、それぞれ、第2パターン選択データS、カラムアドレスA[1]、A[0]、及びライトイネーブル信号W/Eが入力される。

[0250] AND回路370R、371R、372R、373Rは、それぞれ、カラム選択データR_COL_SEL_S[0]、R_COL_SEL_S[1]、R_COL_SEL_S[2]、R_COL_SEL_S[3]を出力する。

[0251] カラム選択データR_COL_SEL_S[0]は、第2パターンによるデータの読み出しを行うために、図8に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのカラム選択データである。

[0252] カラム選択データR_COL_SEL_S[1]は、第2パターンによるデータの読み出しを行うために、図8に示すビットラインBL01及びBLB01と、ビットラインBL11及びBLB11を選択するためのカラム選択データである。

- [0253] カラム選択データ R__COL__SEL__S[2]は、第2パターンによるデータの読み出しを行うために、図8に示すビットラインBL02及びBLB02と、ビットラインBL12及びBLB12を選択するためのカラム選択データである。
- [0254] カラム選択データ R__COL__SEL__S[3]は、第2パターンによるデータの読み出しを行うために、図8に示すビットラインBL03及びBLB03と、ビットラインBL13及びBLB13を選択するためのカラム選択データである。
- [0255] AND回路370Rには、第2パターン選択データS、否定演算されたカラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0256] AND回路371Rには、第2パターン選択データS、否定演算されたカラムアドレスA[1]、カラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0257] AND回路372Rには、第2パターン選択データS、カラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0258] AND回路373Rには、第2パターン選択データS、カラムアドレスA[1]、カラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0259] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“0”、“0”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR__COL__SEL__S[0]を“1”にし、カラム選択データR__COL__SEL__S[1]、R__COL__SEL__S[2]、R__COL__SEL__S[3]を“0”にする。
- [0260] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“0”、“1”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR__COL__SEL__S[1]を“1”にし

、カラム選択データR_COL_SEL_S[0]、R_COL_SEL_S[2]、R_COL_SEL_S[3]を“0”にする。

[0261] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR_COL_SEL_S[2]を“1”にし、カラム選択データR_COL_SEL_S[0]、R_COL_SEL_S[1]、R_COL_SEL_S[3]を“0”にする。

[0262] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR_COL_SEL_S[3]を“1”にし、カラム選択データR_COL_SEL_S[0]、R_COL_SEL_S[1]、R_COL_SEL_S[2]を“0”にする。

[0263] なお、第2パターン選択データSが“0”である場合は、第2パターンによるデータの読み出しを行わない場合であるため、カラム選択データR_COL_SEL_S[0]、R_COL_SEL_S[1]、R_COL_SEL_S[2]、及びR_COL_SEL_S[3]は、すべて“0”になる。

[0264] 図9（I）に示すように、第2パターンによるデータの書き込みを行うためにカラムアドレスをデコードする回路350Wは、4入力型のAND（論理積）回路370W、371W、372W、373Wを含む。AND回路370W～373Wには、それぞれ、4本の信号線が接続されており、それぞれ、第2パターン選択データS、カラムアドレスA[1]、A[0]、及びライトイネーブル信号W/Eが入力される。

[0265] AND回路370W、371W、372W、373Wは、それぞれ、カラム選択データW_COL_SEL_S[0]、W_COL_SEL_S[1]、W_COL_SEL_S[2]、W_COL_SEL_S[3]を出力する。

[0266] カラム選択データW_COL_SEL_S[0]は、第2パターンによるデータの書き込みを行うために、図8に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのカラム選択

データである。

[0267] カラム選択データW__COL__SEL__S[1]は、第2パターンによるデータの書き込みを行うために、図8に示すビットラインBL01及びBLB01と、ビットラインBL11及びBLB11を選択するためのカラム選択データである。

[0268] カラム選択データW__COL__SEL__S[2]は、第2パターンによるデータの書き込みを行うために、図8に示すビットラインBL02及びBLB02と、ビットラインBL12及びBLB12を選択するためのカラム選択データである。

[0269] カラム選択データW__COL__SEL__S[3]は、第2パターンによるデータの書き込みを行うために、図8に示すビットラインBL03及びBLB03と、ビットラインBL13及びBLB13を選択するためのカラム選択データである。

[0270] AND回路370Wには、第2パターン選択データS、否定演算されたカラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0271] AND回路371Wには、第2パターン選択データS、否定演算されたカラムアドレスA[1]、カラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0272] AND回路372Wには、第2パターン選択データS、カラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0273] AND回路373Wには、第2パターン選択データS、カラムアドレスA[1]、カラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0274] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“0”、“0”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW__COL__SEL__S[0]を“1”にし

、カラム選択データW_COL_SEL_S[1]、W_COL_SEL_S[2]、W_COL_SEL_S[3]を“0”にする。

[0275] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“0”、“1”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_S[1]を“1”にし、カラム選択データW_COL_SEL_S[0]、W_COL_SEL_S[2]、W_COL_SEL_S[3]を“0”にする。

[0276] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_S[2]を“1”にし、カラム選択データW_COL_SEL_S[0]、W_COL_SEL_S[1]、W_COL_SEL_S[3]を“0”にする。

[0277] カラムデコーダ225は、第2パターン選択データSが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_S[3]を“1”にし、カラム選択データW_COL_SEL_S[0]、W_COL_SEL_S[1]、W_COL_SEL_S[2]を“0”にする。

[0278] なお、第2パターン選択データSが“0”である場合は、第2パターンによるデータの書き込みを行わない場合であるため、カラム選択データW_COL_SEL_S[0]、W_COL_SEL_S[1]、W_COL_SEL_S[2]、及びW_COL_SEL_S[3]は、すべて“0”になる。

[0279] 次に、図10を用いて、カラム選択データR_COL_SEL_F[3:0]、R_COL_SEL_S[3:0]、W_COL_SEL_F[3:0]、及びW_COL_SEL_S[3:0]と、ビットの選択の仕方について説明する。

[0280] 図10は、実施の形態1のSRAM200のカラム選択／読み書き回路213と、カラム選択データを伝送する信号線との接続関係を示す図である。

[0281] 図10には、サブアレイ211A及び211BのビットD[n]内の4つの

カラムをC[0]、C[1]、C[2]、C[3]と表す。また、ビットD[n]に隣接するビットD[n-1]のカラムC[3]と、ビットD[n+1]のカラムC[0]とを示す。

[0282] サブアレイ211A内のカラムC[0]~C[3]には、それぞれ、ビットラインBL00、BLB00~BL03、BLB03が含まれる。

[0283] また、サブアレイ211B内のカラムC[0]~C[3]には、それぞれ、ビットラインBL10、BLB10~BL13、BLB13が含まれる。

[0284] また、サブアレイ211A内には、4本のワードラインWL00~WL03が配列され、サブアレイ211B内には、4本のワードラインWL10~WL13が配列される。

[0285] ビットラインBL00、BLB00~BL03、BLB03、BL10、BLB10~BL13、BLB13と、ワードラインWL00~WL03、WL10~WL13との交点には、ビットセル10が1つずつ配置される。図10には、全部で48個のビットセルを示す。

[0286] また、カラム選択／読み書き回路213は、カラム毎に設けられている。

[0287] ここで、ビットD[n]は奇数ビットであり、ビットD[n-1]、D[n+1]は偶数ビットであるとする。

[0288] 上述のように、第1パターンは、サブアレイ211A内の奇数番目のビットとサブアレイ211Bの偶数番目のビットとに含まれる同一アドレスの複数のビットセル10に対してデータの読み出し又は書き込みを行うパターンである。

[0289] また、第2パターンは、サブアレイ211A内の偶数番目のビットとサブアレイ211Bの奇数番目のビットとに含まれる同一アドレスの複数のビットセル10に対してデータの読み出し又は書き込みを行うパターンである。

[0290] また、カラム選択データは、R__COL__SEL__F[3:0]、R__COL__SEL__S[3:0]、W__COL__SEL__F[3:0]、及びW__COL__SEL__S[3:0]の4種類ある。

[0291] カラム選択／読み書き回路213は、第1パターン又は第2パターンによ

るデータの読み出し又は書き込みを実現するために、ビット毎に、4種類の
コラム選択データの入力先を上側（Upper）又は下側（Lower）のビットのい
ずれかに振り分けている。

[0292] ここで、サブブロック210内の上側のサブアレイ211Aのビットをデ
ータの読み出し用を選択するコラム選択データをR__COL__SEL__Uと
表す。

[0293] また、サブブロック210内の下側のサブアレイ211Bのビットをデ
ータの読み出し用を選択するコラム選択データをR__COL__SEL__Lと表
す。

[0294] 同様に、サブブロック210内の上側のサブアレイ211Aのビットをデ
ータの書き込み用を選択するコラム選択データをW__COL__SEL__Uと
表す。

[0295] また、サブブロック210内の下側のサブアレイ211Bのビットをデ
ータの書き込み用を選択するコラム選択データをW__COL__SEL__Lと表
す。

[0296] 第1パターンで用いるコラム選択データR__COL__SEL__F[3:0]
及びW__COL__SEL__F[3:0]は、奇数ビットD[n]には、R__CO
L__SEL__U及びW__COL__SEL__Uとして入力される。

[0297] また、第1パターンで用いるコラム選択データR__COL__SEL__F[3
:0]及びW__COL__SEL__F[3:0]は、偶数ビットD[n-1]及びD
[n+1]には、R__COL__SEL__L及びW__COL__SEL__Lとして
入力される。

[0298] これとは逆に、第2パターンで用いるコラム選択データR__COL__SE
L__S[3:0]及びW__COL__SEL__S[3:0]は、偶数ビットD[n-
1]及びD[n+1]には、R__COL__SEL__U及びW__COL__SEL__
Uとして入力される。

[0299] また、第2パターンで用いるコラム選択データR__COL__SEL__S[3
:0]及びW__COL__SEL__S[3:0]は、奇数ビットD[n]には、R__

COL__SEL__L及びW__COL__SEL__Lとして入力される。

[0300] 以上のように、第1パターン及び第2パターンによるデータの読み出し又は書き込みを行うためのカラム選択データを、上述のように奇数ビットと偶数ビットで振り分けることにより、同一アドレスのビットは次のように配置されることになる。

[0301] 例えば、データの読み出しを行うために、ロウ選択データROW[2]が“1”で、カラム選択データR__COL__SEL__F[0]が“1”であるとする。これは第1パターンで読み出しを行う場合に相当する。

[0302] この場合、奇数ビットD[n]では、ワードラインWL02と、カラムC[0]の交点に位置するビットセル10Eが選択され、偶数ビットD[n+1]では、ワードラインWL12とカラムC[0]との交点に位置するビットセル10Fが選択される。

[0303] すなわち、隣り合うビットについては、異なるサブアレイ（211A、211B）内のビットセルが同一アドレスになっている。この関係は、すべてのビット内で、ワードラインWL00～03及びWL10～13と、カラムC[0]～C[3]とによって特定されるアドレスについて同様である。

[0304] 実施の形態1のSRAM200では、第1パターン及び第2パターンによるデータの読み出し又は書き込みを行うためのカラム選択データを、上述のように奇数ビットと偶数ビットで振り分けることにより、隣接するビット間における同一アドレスのビットセルを千鳥状に配列させている。

[0305] 次に、図11を用いて、カラム選択／読み書き回路213について説明する。

[0306] 図11は、実施の形態1のSRAM100のカラム選択／読み書き回路213の回路を示す図である。

[0307] カラム選択／読み書き回路213は、各サブブロック210に1つずつ設けられており、各サブブロック210内の2つのサブアレイ211A、211BのビットラインBL、BLBに接続されている。

[0308] ここでは、サブブロック210内の上側のサブアレイ211Aに接続され

るビットラインをBLU、BLBU（添え字UはUpperの略）と表し、下側のサブアレイ211Bに接続されるビットラインをBLL、BLBL（添え字LはLowerの略）と表す。

[0309] ビットラインをBLU、BLBUは、例えば、図10に示すビットラインをBL00、BLB00～BL03、BL03に相当し、ビットラインをBLL、BLBLは、例えば、図10に示すビットラインをBL10、BLB10～BL13、BL13に相当する。

[0310] また、カラム選択データR__COL__SEL__U、R__COL__SEL__L、W__COL__SEL__U、及びW__COL__SEL__Lは、図10に示すように、カラム選択／読み書き回路213に入力される。

[0311] 図11に示すように、カラム選択／読み書き回路213は、NMOSトランジスタ381、382、383、384、及びインバータ385を含む。

[0312] NMOSトランジスタ381及び382は、ゲートにカラム選択データW__COL__SEL__Uが入力され、NMOSトランジスタ383及び384は、ゲートにカラム選択データW__COL__SEL__Lが入力される。

[0313] NMOSトランジスタ381は、ドレインが上側のビットラインBLBUに接続されるとともに、ソースがNMOSトランジスタ383のドレインに接続されている。

[0314] NMOSトランジスタ383は、ソースが下側のビットラインBLBLに接続されるとともに、ドレインがNMOSトランジスタ381のソースに接続されている。

[0315] 同様に、NMOSトランジスタ382は、ドレインが上側のビットラインBLUに接続されるとともに、ソースがNMOSトランジスタ384のドレインに接続されている。

[0316] NMOSトランジスタ384は、ソースが下側のビットラインBLLに接続されるとともに、ドレインがNMOSトランジスタ382のソースに接続されている。

[0317] NMOSトランジスタ381のソースとNMOSトランジスタ383のド

レインの接続点は、データ書き込み用のグローバルビットライン214Wに接続されている。

[0318] また、NMOSトランジスタ381のソースとNMOSトランジスタ383のドレインの接続点にはインバータ385の入力端子が接続され、NMOSトランジスタ382のソースとNMOSトランジスタ384のドレインの接続点には、インバータ385の出力端子が接続されている。

[0319] NOR（否定論理和）回路386の一对の入力端子には、それぞれ、コラム選択データR__COL__SEL__U、R__COL__SEL__Lが入力される。

[0320] NOR回路386の一对の入力端子のうち、コラム選択データR__COL__SEL__Uが入力される方の入力端子は、インバータ387の入力端子に接続されている。

[0321] インバータ387の出力端子は、PMOSトランジスタ388のゲートに接続されている。

[0322] PMOSトランジスタ388のドレインは、所定電圧（V_{dd}）の電源に接続され、ソースはPMOSトランジスタ389のドレインに接続されている。

[0323] PMOSトランジスタ389のゲートは、上側のビットラインBLUに接続され、ソースはPMOSトランジスタ390のドレインに接続されている。

[0324] PMOSトランジスタ390のゲートは、下側のビットラインBL_Lに接続され、ソースはPMOSトランジスタ391のソースに接続されている。

[0325] PMOSトランジスタ391のドレインは、所定電圧（V_{dd}）の電源に接続され、ゲートはインバータ392の出力端子に接続されている。

[0326] インバータ392の入力端子は、NOR回路386の他方の入力端子に接続されている。

[0327] PMOSトランジスタ389のソースと、PMOSトランジスタ390のドレインとの接続点は、NMOSトランジスタ393のドレインに接続され

るとともに、NMOSトランジスタ394のゲートに接続されている。

[0328] NMOSトランジスタ393のソースは接地され、ゲートはNOR回路386の出力端子に接続されている。

[0329] NMOSトランジスタ394のドレインは、データ読み出し用のグローバルビットライン214Rに接続され、ソースは接地されている。

[0330] 以上のようなカラム選択／読み書き回路213において、上側のビットにデータを書き込む際には、カラム選択データW__COL__SEL__Uが“1”になる。

[0331] このとき、NMOSトランジスタ381、382がオンになり、データ書き込み用のグローバルビットライン214Wと上側のビットラインBLU、BLBUが接続される。この結果、データ書き込み用のグローバルビットライン214Wから上側のビットラインBLU、BLBUを経て、上側のビットにデータを書き込むことができる。

[0332] また、下側のビットにデータを書き込む際には、カラム選択データW__COL__SEL__Lが“1”になる。

[0333] このとき、NMOSトランジスタ383、384がオンになり、データ書き込み用のグローバルビットライン214Wと下側のビットラインBL L、BLBLが接続される。この結果、データ書き込み用のグローバルビットライン214Wから下側のビットラインBL L、BLBLを経て、下側のビットにデータを書き込むことができる。

[0334] また、上側のビットのデータを読み出す際には、カラム選択データR__COL__SEL__Uが“1”になる。

[0335] このとき、PMOSトランジスタ388がオンになり、NOR回路386の出力は“0”になる。また、カラム選択データR__COL__SEL__Uが“1”のときには、カラム選択データW__COL__SEL__Uは“0”であるため、NMOSトランジスタ382はオフであり、この結果、PMOSトランジスタ389はオンになる。

[0336] また、NOR回路386の出力が“0”であることから、NMOSトランジ

スタ 393 はオフであり、NMOS トランジスタ 394 はオンになる。

[0337] この結果、上側のビットライン BLU とデータ読み出し用のグローバルビットライン 214R が接続され、上側のビットのデータをデータ読み出し用のグローバルビットライン 214R を経て読み出すことができる。

[0338] なお、カラム選択／読み書き回路 213 の上下の対称性から、下側のビットのデータを読み出す際の動作は次の通りである。

[0339] 下側のビットのデータを読み出す際に、カラム選択データ R__COL__SEL__L が "1" になると、下側のビットライン BLL とデータ読み出し用のグローバルビットライン 214R が接続され、下側のビットのデータをデータ読み出し用のグローバルビットライン 214R を経て読み出すことができる。

[0340] 以上のように、カラム選択／読み書き回路 213 によれば、上側又は下側のビットに対して、データの読み出し又は書き込みを自在に行うことができる。

[0341] なお、図 11 には 1 カラムに対して配設されるカラム選択／読み書き回路 213 と、データ読み出し用のグローバルビットライン 214R、及び、データ書き込み用のグローバルビットライン 214W との関係を示している。

[0342] しかしながら、実際には、実施の形態 1 では、一对のグローバルビットライン 214R、214W に対して、4 つ（4 カラム分）のカラム選択／読み書き回路 213 が接続される。

[0343] 図 11 には示さない他の 3 カラム分のカラム選択／読み書き回路 213 は、すべて図 11 に示すカラム選択／読み書き回路 213 と同様の回路構成を有する。

[0344] 図 11 には示さない他の 3 カラム分のカラム選択／読み書き回路 213 は、NMOS トランジスタ 381～384 及びインバータ 385 を介して、データ書き込み用のグローバルビットライン 214W に接続される。

[0345] 4 つのカラム選択／読み書き回路 213 のうちのいずれか 1 つのカラム選択／読み書き回路 213 内の NMOS トランジスタ 381～384 をオンに

することにより、4つのうちのいずれか1つのカラム選択／読み書き回路213がデータ書き込み用のグローバルビットライン214Wに接続される。

[0346] 同様に、図11には示さない他の3カラム分のカラム選択／読み書き回路213は、NMOSトランジスタ394を介して、データ読み出し用のグローバルビットライン214Rに接続される。

[0347] 4つのカラム選択／読み書き回路213のうちのいずれか1つのカラム選択／読み書き回路213内のNMOSトランジスタ394をオンにすることにより、4つのうちのいずれか1つのカラム選択／読み書き回路213がデータ読み出し用のグローバルビットライン214Rに接続される。

[0348] このように、NMOSトランジスタ381～384及びNMOSトランジスタ394は、4つのカラム選択／読み書き回路213のうちのいずれか1つをデータ書き込み用のグローバルビットライン214W及びデータ読み出し用のグローバルビットライン214Rに接続する切替回路215A、215B（図7参照）である。

[0349] 次に、図12を用いて、第1パターン又は第2パターンによってビットを千鳥状に選択する方法について説明する。

[0350] 図12は、実施の形態1のSRAM200における第1パターンと第2パターンによるビットの選択の仕方を示す図である。

[0351] 図12の右側には、入出力ポート(I/O)230Aの上側にあるサブブロック番号3のサブブロック210を拡大して示す。

[0352] ここでは、サブアレイ211Aとサブアレイ211Bが4つのビットD[0]、D[1]、D[2]、D[3]を含み、サブアレイ211Aと211Bとの間に、カラム選択／読み書き回路213があるものとして説明を行う。

[0353] 図12に示す8つのビットは、それぞれ、4ロウ×4カラムの16個のビットセルを含む。図12では、説明の便宜上、ビットセルを正方形の升目で示す。

[0354] 各ビットD[0]、D[1]、D[2]、D[3]に含まれる4つのカラムをC[0]、C[1]、C[2]、C[3]と表す。サブアレイ211A内のカラムC[0]～

C[3]には、それぞれ、ビットラインBL00、BLB00～BL03、BLB03が含まれる。

[0355] また、図12には、説明の便宜上、ワードラインそのものを図示せず、符号WL00～WL03、WL10～WL13のみを示す。

[0356] ここで、第1パターンは、サブアレイ211A内の奇数番目のビットとサブアレイ211Bの偶数番目のビットとに含まれる同一アドレスの複数のビットセル10に対してデータの読み出し又は書き込みを行うパターンである。

[0357] このため、第1パターンでは、図12に白く示すように、サブアレイ211A及び211B内から、ビットを1つ飛ばしで千鳥状に選択することになる。

[0358] また、第2パターンは、サブアレイ211A内の偶数番目のビットとサブアレイ211Bの奇数番目のビットとに含まれる同一アドレスの複数のビットセル10に対してデータの読み出し又は書き込みを行うパターンである。

[0359] このため、第2パターンでは、図12にグレーで示すように、サブアレイ211A及び211B内から、ビットを1つ飛ばしで千鳥状に選択することになる。

[0360] ここで、例えば、次の(1)～(5)の条件によってデータを読み出す場合を考える。

[0361] (1) ロウデコーダ221から出力されるロウ選択データROW[0]が“1”であり、ロウ選択データROW[1]、ROW[2]、及びROW[3]は、すべて“0”である。

[0362] (2) サブブロックデコーダ222から出力されるサブブロック選択データSBS[3]が“1”であり、サブブロック選択データSBS[0]、SBS[1]、及びSBS[2]がすべて“0”である。

[0363] (3) 上下選択デコーダ223から出力されるデータがTOPデータである。

[0364] (4) パターン選択デコーダ224から出力される第1パターン選択デー

タFが“1”であり、第2パターン選択データSが“0”である。

[0365] (5) カラムデコーダ225から出力されるカラム選択データR_COL_SEL_F[0]が“1”であり、カラム選択データR_COL_SEL_F[1]、R_COL_SEL_F[2]、及びR_COL_SEL_F[3]がすべて“0”である。なお、カラム選択データR_COL_SEL_S[3:0]、W_COL_SEL_F[3:0]、及びW_COL_SEL_S[3:0]は、すべて“0”である。

[0366] 上述の(1)～(5)の条件は、第1パターンでデータを読み出す場合である。

[0367] この場合に、サブアレイ211A内で選択されるビットセルは、図12に矢印で示すように、奇数ビットD[1]及びD[3]の内部のカラムC[0]とワードラインWL00の交点にある2つのビットセルである。

[0368] また、この場合に、サブアレイ211B内で選択されるビットセルは、図12に矢印で示すように、偶数ビットD[0]及びD[2]の内部のカラムC[0]とワードラインWL10の交点にある2つのビットセルである。

[0369] これら4つのビットセルは、第1パターンによって特定される同一アドレスのビットであり、図12に白く示すように、千鳥状に配列された4つのビット内に1つずつ含まれる。

[0370] 次に、図13のタイミングチャートを用いて、実施の形態1のSRAM200において、図12を用いて説明した4つのビットセルから第1パターンによってデータを読み出す際の動作について説明する。

[0371] 図13は、実施の形態1のSRAM200の動作例を示すタイミングチャートである。

[0372] 図12において説明した4つのビットセルは、奇数ビットD[1]及びD[3]についてはカラムC[0]とワードラインWL00によって特定され、偶数ビットD[0]及びD[2]についてはカラムC[0]とワードラインWL10によって特定される。ワードラインWL00とWL10は、ロウ選択データROW[0]によって特定される。

- [0373] このため、図 13 には、システムクロック CLK (Clock)、読み出し用の入力アドレス RA (Read Address)、ロウ選択データ ROW[0]~ROW[3]、サブブロック選択データ SBS、及びワードライン WL00~WL03、WL10~WL13の信号レベルを示す。
- [0374] また、図 13 には、さらに、ビット D[1]及び D[3]のビットライン BL00の信号レベル、ビット D[0]及び D[2]のビットライン BL10の信号レベル、カラム選択データ R__COL__SEL__F[0]、及び読み出しデータ RD (Read Data)を示す。
- [0375] なお、システムクロック CLKは、タイマ 240 (図 7 参照)から出力される。
- [0376] 時刻 t1のシステムクロック CLKの立ち上がりで読み出し用の入力アドレスが RA1に切り替わると、時刻 t2でロウ選択データ ROW[0]とサブブロック選択データ SBSが立ち上がる。
- [0377] ロウ選択データ ROW[0]とサブブロック選択データ SBSの立ち上がりにより、時刻 t3では、ワードライン WL00及び WL10が選択される。
- [0378] また、読み出し用の入力アドレスが RA1は第 1 パターンによるデータの読み出しを指定するため、時刻 t3でカラム選択データ R__COL__SEL__F[0]が“1”に立ち上がる。
- [0379] この結果、時刻 t3の後に、奇数ビット D[1]及び D[3]の内部のカラム C[0]とワードライン WL00の交点にある 2つのビットセルと、偶数ビット D[0]及び D[2]の内部のカラム C[0]とワードライン WL10の交点にある 2つのビットセルとの合計 4つのビットセルのデータが読み出される。
- [0380] 奇数ビット D[1]及び D[3]の内部のカラム C[0]とワードライン WL00の交点にある 2つのビットセルのデータは、それぞれ、ビット D[1]及び D[3]のビットライン BL00を通じて読み出される。
- [0381] 同様に、偶数ビット D[0]及び D[2]の内部のカラム C[0]とワードライン WL10の交点にある 2つのビットセルのデータは、それぞれ、ビット D[0]及び D[2]のビットライン BL10を通じて読み出される。

- [0382] この結果、時刻 t_4 で読み出しデータが RD 1 になる。
- [0383] 次に、図 1 4 及び図 1 5 を用いて、第 1 パターン及び第 2 パターンによってビットセルを選択する際の動作例について説明する。
- [0384] 図 1 4 及び図 1 5 は、実施の形態 1 の SRAM 2 0 0 において、第 1 パターン及び第 2 パターンによってデータの読み出しを行うためにビットセルを選択する際の動作例を示す図である。
- [0385] 図 1 4 及び図 1 5 には、サブアレイ 2 1 1 A 及び 2 1 1 B に含まれるビット D[0]、D[1]、D[2]、D[3] と、ワードライン WL 0 0 ~ WL 0 3 と WL 1 0 ~ WL 1 3 を示す。また、各ビット内には、カラム C[0] ~ C[3] を示す。
- [0386] 図 1 4 及び図 1 5 では、データの読み出しの際に、第 1 パターンによって選択されるサブアレイ 2 1 1 A 内の奇数ビットとサブアレイ 2 1 1 B 内の偶数ビットを白抜きで示す。
- [0387] 同様に、第 2 パターンによって選択されるサブアレイ 2 1 1 A 内の偶数ビットとサブアレイ 2 1 1 B 内の奇数ビットをグレーで示す。
- [0388] 図 1 4 では、ロウ選択データ ROW[2] が "1" であり、ロウ選択データ ROW[0]、ROW[1]、及び ROW[3] は、すべて "0" である。
- [0389] また、カラム選択データ R__COL__SEL__F[2] が "1" であり、カラム選択データ R__COL__SEL__F[0]、R__COL__SEL__F[1]、及び R__COL__SEL__F[3] はすべて "0" である。
- [0390] このような場合、データが読み出されるのは、奇数ビット D[1] 及び D[3] 内ではカラム C[2] とワードライン WL 0 2 との交点に位置するビットセルであり、偶数ビット D[0] 及び D[2] 内ではカラム C[2] とワードライン WL 1 2 との交点に位置するビットセルである。
- [0391] これら 4 つのビットセルは、すべて同一アドレスである。
- [0392] 以上、実施の形態 1 の SRAM 2 0 0 は同一アドレスのビットセルを、隣接ビットについて異なるサブアレイ (2 1 1 A、2 1 1 B) に配置してあるため、第 1 パターンでデータを読み出す際には、奇数ビットについてはサブ

アレイ 2 1 1 A からデータを読み出し、偶数ビットについてはサブアレイ 2 1 1 B からデータを読み出すことになる。

[0393] 図 1 5 は、ロウ選択データ ROW[0] が “1” であり、ロウ選択データ ROW[1]、ROW[2]、及び ROW[3] は、すべて “0” である。

[0394] また、カラム選択データ R__COL__SEL__S[1] が “1” であり、カラム選択データ R__COL__SEL__S[0]、R__COL__SEL__S[2]、及び R__COL__SEL__S[3] はすべて “0” である。

[0395] このような場合、データが読み出されるのは、奇数ビット D[1] 及び D[3] 内ではカラム C[1] とワードライン WL 1 0 との交点に位置するビットセルであり、偶数ビット D[0] 及び D[2] 内ではカラム C[1] とワードライン WL 0 0 との交点に位置するビットセルである。

[0396] これら 4 つのビットセルは、すべて同一アドレスである。

[0397] 以上、実施の形態 1 の SRAM 2 0 0 は同一アドレスのビットセルを、隣接ビットについて異なるサブアレイ（2 1 1 A、2 1 1 B）に配置してあるため、第 2 パターンでデータを読み出す際には、奇数ビットについてはサブアレイ 2 1 1 B からデータを読み出し、偶数ビットについてはサブアレイ 2 1 1 A からデータを読み出すことになる。

[0398] 以上のように、実施の形態 1 の SRAM 2 0 0 では、同一アドレスの複数のビットセルを、隣接ビットについて異なるサブアレイ内に配置している。すなわち、同一アドレスの複数のビットセルは、隣接ビットについて、1 つのサブブロック 2 1 0 内の一対のサブアレイ 2 1 1 A 及び 2 1 1 B 内で、千鳥状に分散させてある。

[0399] 同一アドレスのビットセルを千鳥状に分散させることは、上述のように、同一アドレスのビットセルを含む奇数ビットと偶数ビットとを、互いに異なるサブアレイ 2 1 1 A、2 1 1 B 内に配列させることによって実現されている。

[0400] このため、比較例の SRAM 3 0（図 4 参照）と同様に 1 ビットが 4 カラムを含む構成であっても、 α 線又は中性子線の入射によるデータ破壊が生じ

ても、1ビットが8カラムを含む他の比較例のSRAM30A（図5参照）と同等の耐性を発揮することができる。

[0401] 一方、他の比較例のSRAM30A（図5参照）とは異なり、1ビットのカラム数は4カラムで済むため、アスペクト比の変化（横長化）及びワードラインの長大化による動作速度の低下を抑制することができる。

[0402] 以上、実施の形態1によれば、アスペクト比の変更、動作速度の低下を抑制しつつ、複数ビットにわたるデータ破壊の発生を抑制した半導体記憶装置及び半導体記憶装置の制御方法を提供することができる。

[0403] 実施の形態1のSRAM200は、従来のSRAMにおける2ビット以上のデータ破壊に相当するデータ破壊が生じて、ビットセルの配置を上述のように物理的に変更することにより、データの破壊を抑制することができる。

[0404] なお、図14及び図15では、データの読み出しを行う場合について説明したが、データの書き込みを行う場合は、カラム選択データがR__COL__SEL__F又はR__COL__SEL__Sから、W__COL__SEL__F又はW__COL__SEL__Sに変わるだけで、ビットセルの選択の仕方は同様である。

[0405] <実施の形態2>

図16は、実施の形態2のSRAM400を示す図である。

[0406] 実施の形態2のSRAM400は、同一アドレスの複数のビットセルを、隣接ビットについて、互いに異なるサブバンク450U、450L内のサブブロック番号が同一のサブブロック内で、千鳥状に分散させてある点が実施の形態1のSRAM200と異なる。

[0407] 以下、実施の形態1と同一又は同等の構成要素には同一符号を付し、その説明を省略する。

[0408] 図16に示すSRAM400は、サブブロック210、デコーダ420、入出力ポート430A、430B、及びタイマ240を含む。

[0409] サブブロック210は、実施の形態1と同様に、入出力ポート430A、

4 3 0 Bの上下にそれぞれ4段配列されている。すなわち、図16には、16個のサブブロック210を示す。

[0410] サブブロック番号は、入出力ポート430A、430Bの上下において、入出力ポート430A、430Bに近い側から遠い側にかけて、0、1、2、3と割り振られている。これは、実施の形態1と同様である。

[0411] ここで、入出力ポート430A及び430Bの上側に4段ずつある8個のサブブロック210の集合をサブバンク450U (Upper) と称し、入出力ポート430A及び430Bの下側に4段ずつある8個のサブブロック210の集合をサブバンク450L (Lower) と称す。

[0412] 各サブブロック210は、実施の形態1と同様に、サブアレイ211A、211B、及びカラム選択／読み書き回路413を含む。サブアレイ211Aは、カラム選択／読み書き回路413の上側に位置し、サブアレイ211Bは、カラム選択／読み書き回路413の下側に位置する。

[0413] ここで、図16に示すサブアレイ211A、211Bは、ビットD[n-3]からD[n]の部分である。各サブアレイ211A、211B内の各ビットは、4ロウ×4カラムの16個のビットセルを含むが、紙面の都合上、図16には各ビットのサブアレイ211A、211Bについて、2ロウ×4カラム分のビットセルを升目で示す。

[0414] なお、図16の入出力ポート430Aの内部には、データの読み出しを模式的に表すために切替回路215を示す。切替回路215については図17を用いて説明する。

[0415] また、図16に示すサブブロック210及びサブアレイ211A、211B等の位置関係は、サブブロック210及びサブアレイ211A、211B等の階層を表しており、本明細書中における「上」又は「下」なる文言は、物理的な上下関係を表すものではない。

[0416] 図17は、実施の形態2のSRAM400の切替回路215を示す図である。

[0417] 図17に示すように、切替回路215には、後述するパターン選択デコー

ダ 4 2 3（図 1 8 参照）から第 1 パターン選択データ F 及び第 2 パターン選択データ S が入力される。

[0418] 図 1 7 に示すように、切替回路 2 1 5 は、隣同士で第 1 パターン選択データ F 及び第 2 パターン選択データ S が千鳥状に入力されるように接続されている。

[0419] 図 1 7 に示す 4 つの切替回路 2 1 5 は、第 1 パターン選択データ F 及び第 2 パターン選択データ S に応じて、隣接するビットについて、サブバンク 4 5 0 U 又はサブバンク 4 5 0 L から選択したビットセル 1 0 に対してデータの読み出し又は書き込みを行う。

[0420] 次に、図 1 8 を用いて、実施の形態 2 の S R A M 4 0 0 の回路構成について説明する。

[0421] 図 1 8 は、実施の形態 2 の S R A M 4 0 0 の一部分を示す図である。

[0422] 図 1 8 には、入出力ポート (I/O) 4 3 0 A、入出力ポート (I/O) 4 3 0 A の上下に位置する 2 つのサブブロック番号 0 のサブブロック 2 1 0 のうちのビット D[n] の部分、2 つのカラム選択／読み書き回路 4 1 3、グローバルビットライン 2 1 4、デコーダ 4 2 0、及び二対のワードラインドライバ 4 1 2 A、4 1 2 B を示す。

[0423] S R A M 4 0 0 は、プロセッサコア 1 1 1（図 6 参照）から入力される読み出し命令と書き込み命令に従って、データの読み出しと書き込みを行う。

[0424] 説明の便宜上、図 1 8 にはビットセル 1 0 を示さないが、サブアレイ 2 1 1 A、2 1 1 B は、それぞれ、アレイ状に配列された複数のビットセルを含む。

[0425] 実施の形態 2 では、各サブブロック 2 1 0 に含まれるサブアレイ 2 1 1 A 及び 2 1 1 B にサブアレイ番号を付す。サブアレイ 2 1 1 A 及び 2 1 1 B は、入出力ポート (I/O) 4 3 0 A 及び 4 3 0 B の上側にそれぞれ 8 段配列され、入出力ポート (I/O) 4 3 0 A 及び 4 3 0 B の下側にそれぞれ 8 段配列される。

[0426] サブアレイ番号は、入出力ポート (I/O) 4 3 0 A の上側の 8 段のサブアレ

イ 2 1 1 A 及び 2 1 1 B に対して、入出力ポート (I/O) 4 3 0 A に近い方から入出力ポート (I/O) 4 3 0 A から離れている方にかけて、0 ~ 7 である。これは、入出力ポート (I/O) 4 3 0 B の上側の 8 段のサブアレイ 2 1 1 A 及び 2 1 1 B についても同様である。

[0427] 図 1 8 には、説明の便宜上、入出力ポート (I/O) 4 3 0 A の上側については、サブブロック番号 0 のサブブロック 2 1 0 に含まれるサブアレイ番号 0 と 1 のサブアレイ 2 1 1 A 及び 2 1 1 B だけを示す。また、入出力ポート (I/O) 4 3 0 A の下側についても、サブブロック番号 0 のサブブロック 2 1 0 に含まれるサブアレイ番号 0 と 1 のサブアレイ 2 1 1 A 及び 2 1 1 B だけを示す。

[0428] 図 1 8 に示さないサブブロック 2 1 0 内のサブアレイのサブアレイ番号については、次の通りである。

[0429] 図 1 6 に示す入出力ポート (I/O) 4 3 0 A の上側のサブブロック番号 1 のサブブロック 2 1 0 は、サブアレイ番号 2 のサブアレイ 2 1 1 B と、サブアレイ番号 3 のサブアレイ 2 1 1 A を含む。同様に、入出力ポート (I/O) 4 3 0 A の上側のサブブロック番号 2 のサブブロック 2 1 0 は、サブアレイ番号 4 のサブアレイ 2 1 1 B と、サブアレイ番号 5 のサブアレイ 2 1 1 A を含む。入出力ポート (I/O) 4 3 0 A の上側のサブブロック番号 4 のサブブロック 2 1 0 は、サブアレイ番号 6 のサブアレイ 2 1 1 B と、サブアレイ番号 7 のサブアレイ 2 1 1 A を含む。

[0430] また、図 1 6 に示す入出力ポート (I/O) 4 3 0 A の下側のサブブロック番号 1 のサブブロック 2 1 0 は、サブアレイ番号 2 のサブアレイ 2 1 1 A と、サブアレイ番号 3 のサブアレイ 2 1 1 B を含む。同様に、入出力ポート (I/O) 4 3 0 A の下側のサブブロック番号 2 のサブブロック 2 1 0 は、サブアレイ番号 4 のサブアレイ 2 1 1 A と、サブアレイ番号 5 のサブアレイ 2 1 1 B を含む。入出力ポート (I/O) 4 3 0 A の下側のサブブロック番号 4 のサブブロック 2 1 0 は、サブアレイ番号 6 のサブアレイ 2 1 1 A と、サブアレイ番号 7 のサブアレイ 2 1 1 B を含む。

- [0431] これは、入出力ポート（I/O）430Bの上下のサブブロック210及びサブアレイ211A、211Bについても同様である。
- [0432] ワードラインドライバ412A及び412Bは、それぞれ、各サブアレイ211A及び211Bのワードラインに接続される。図18には、説明の便宜上、ワードラインの番号を示さないが、ワードラインの番号の振り方は、実施の形態1のSRAM200と同様である。
- [0433] デコーダ420は、ロウデコーダ421、サブアレイデコーダ422、パターン選択デコーダ423、及びカラムデコーダ424を含む。デコーダ420には、入力アドレスが入力される。また、カラムデコーダには、ライトイネーブル信号W/Eが入力される。
- [0434] なお、ロウデコーダ421、サブアレイデコーダ422、パターン選択デコーダ423、及びカラムデコーダ424は、SRAM400全体に対して、一つずつ配設される。
- [0435] ロウデコーダ421及びサブアレイデコーダ422は、信号線を介して、ワードラインドライバ412A、412Bに接続されている。実際には、サブブロック210は階層化されているため（図7参照）、ロウデコーダ421及びサブアレイデコーダ422は、すべてのサブブロック210のワードラインドライバ412A、412Bに接続されている。
- [0436] 次に、ロウデコーダ421によるロウ選択、サブアレイデコーダ422によるサブアレイ選択、パターン選択デコーダ423による第1パターン又は第2パターンの選択、カラムデコーダ424によるカラム選択について説明する。
- [0437] ロウデコーダ421は、信号線を介して、ワードラインドライバ412A、412Bに接続されており、読み出し命令又は書き込み命令の入力アドレスに含まれるロウアドレスをデコードしてロウ選択データROW[3:0]を出力する。ロウ選択データROW[3:0]は、ワードラインドライバ412A、412Bに入力される。ロウデコーダ421は実施の形態1のロウデコーダ221と同様のデコーダであり、ロウデコーダ421が出力するロウ選

択データ ROW[3 : 0]も実施の形態 1 のロウデコーダ 2 2 1 が出力するロウ選択データ ROW[3 : 0]と同様である。

[0438] サブアレイデコーダ 4 2 2 は、信号線を介して、ワードラインドライバ 4 1 2 A、4 1 2 B に接続されており、読み出し命令又は書き込み命令の入力アドレスに含まれるサブアレイアドレスをデコードしてサブアレイ選択データ SAS を出力する。

[0439] サブアレイ選択データ SAS の添え数字は、サブアレイ番号 (0 ~ 7) に対応する。

[0440] パターン選択デコーダ 4 2 3 は、信号線を介して入出力ポート (I/O) 4 3 0 A に接続されており、第 1 パターン及び第 2 パターン自体も実施の形態 1 の第 1 パターン及び第 2 パターンとは異なる。

[0441] なお、図 1 8 には、入出力ポート (I/O) 4 3 0 B を示さないが、パターン選択デコーダ 4 2 3 は入出力ポート (I/O) 4 3 0 B にも同様に接続されている。

[0442] パターン選択デコーダ 4 2 3 は、読み出し命令又は書き込み命令の入力アドレスに含まれるパターン選択アドレスをデコードして第 1 パターン選択データ F 及び第 2 パターン選択データ S を出力する。

[0443] 第 1 パターン選択データ F が "1" であり、第 2 パターン選択データ S が "0" である場合は、第 1 パターンを選択することを表す。これとは逆に、第 1 パターン選択データ F が "0" であり、第 2 パターン選択データ S が "1" である場合は、第 2 パターンを選択することを表す。

[0444] 実施の形態 2 の第 1 パターンは、サブバンク 4 5 0 U に含まれるサブアレイ 2 1 1 A 又はサブアレイ 2 1 1 B 内の奇数番目のビットと、サブバンク 4 5 0 L に含まれるサブアレイ 2 1 1 A 又はサブアレイ 2 1 1 B 内の偶数番目のビットとに対してデータの読み出し又は書き込みを行うパターンである。

[0445] これは、サブバンク 4 5 0 U に含まれるサブアレイ 2 1 1 A 又はサブアレイ 2 1 1 B 内の奇数番目のビットと、サブバンク 4 5 0 L に含まれるサブアレイ 2 1 1 A 又はサブアレイ 2 1 1 B 内の偶数番目のビットとに、同一アド

レスのビットセルが含まれることを意味する。

[0446] なお、第1パターンによってサブバンク450U及び450L内でそれぞれ選択されるサブアレイ211A又は211Bは、サブアレイ番号が同一のサブアレイである。

[0447] 実施の形態2の第2パターンは、サブバンク450Uに含まれるサブアレイ211A又はサブアレイ211B内の偶数番目のビットと、サブバンク450Lに含まれるサブアレイ211A又はサブアレイ211B内の奇数番目のビットとに対してデータの読み出し又は書き込みを行うパターンである。

[0448] これは、サブバンク450Uに含まれるサブアレイ211A又はサブアレイ211B内の偶数番目のビットと、サブバンク450Lに含まれるサブアレイ211A又はサブアレイ211B内の奇数番目のビットとに、同一アドレスのビットセルが含まれることを意味する。

[0449] なお、第2パターンによってサブバンク450U及び450L内でそれぞれ選択されるサブアレイ211A又は211Bは、サブアレイ番号が同一のサブアレイである。

[0450] このように、実施の形態2のSRAM400では、同一アドレスのビットセルは、隣接ビットについて、互いに異なるサブバンク450U、450L内のサブブロック210に割り当てられている。

[0451] カラムデコーダ424は、信号線を介して、カラム選択／読み書き回路413に接続されている。

[0452] カラムデコーダ424には、読み出し命令又は書き込み命令の入力アドレスに含まれるカラムアドレスに加えて、ライトイネーブル信号W／Eが入力される。

[0453] カラムデコーダ424は、カラムアドレスをデコードし、ライトイネーブル信号W／Eの信号レベルに応じたカラム選択データを出力する。カラム選択データは、カラム選択／読み書き回路413に入力される。

[0454] カラムデコーダ424は、ライトイネーブル信号W／Eの信号レベルがLレベルである場合は、カラム選択データR__COL__SEL[3:0]を出力

する。

- [0455] カラム選択データ $R_COL_SEL[3:0]$ は、データの読み出しを実行する際に、サブアレイ 211A 及び 211B 内のビットのカラムを選択するためのカラム選択データである。
- [0456] カラム選択データ $R_COL_SEL[3:0]$ により、サブアレイ 211A 又は 211B のいずれかのビットライン BL、BLB の対がデータの読み出しのために選択される。
- [0457] また、カラムデコーダ 424 は、ライトイネーブル信号 W/E の信号レベルが H レベルである場合は、カラム選択データ $W_COL_SEL[3:0]$ を出力する。
- [0458] カラム選択データ $W_COL_SEL[3:0]$ は、データの書き込みを実行する際に、サブアレイ 211A 及び 211B 内のビットのカラムを選択するためのカラム選択データである。
- [0459] カラム選択データ $W_COL_SEL[3:0]$ により、サブアレイ 211A 又は 211B 内のいずれかのビットライン BL、BLB の対がデータの書き込みのために選択される。
- [0460] 次に、カラム選択／読み書き回路 413 について説明する。
- [0461] カラム選択／読み書き回路 413 には、ビットライン $BL00 \sim BL03$ 、 $BLB00 \sim BLB03$ 、 $BL10 \sim BL13$ 、 $BLB10 \sim BLB13$ が接続されている。
- [0462] カラム選択／読み書き回路 413 は、カラムデコーダ 424 から入力されるカラム選択データに基づき、ビットラインを選択する。
- [0463] カラム選択／読み書き回路 413 は、カラムデコーダ 424 から入力されるカラム選択データに基づいて、ビットライン BL、BLB の選択、読み出し／書き込みの切り替え、読み出しデータ／書き込みデータの受け渡しを行える回路であればよい。
- [0464] カラム選択／読み書き回路 413 は、データの読み出し又は書き込みのために、カラムデコーダ 424 からカラム選択データが入力されると、ライン

番号が同一のビットラインBLとBLBの対を選択する。

- [0465] また、カラム選択／読み書き回路413には、読み出したデータ又は書き込むデータを入出力ポート(I/O)430A、430B(図16参照)との間で伝送するグローバルビットライン214が接続されている。
- [0466] また、カラム選択／読み書き回路413のうち、ビットラインの選択を行う回路は、カラムデコーダ424から伝送されるカラム選択データに基づいて、2つのサブアレイ211A、211Bにそれぞれ四対含まれるビットラインBL00、BLB00~BL03、BLB03、BL10、BLB10~BL13、BLB13を選択できれば、その形式は問わない。
- [0467] また、カラム選択／読み書き回路413のうち、読み出しデータ及び書き込みデータの受け渡しを行う回路は、ライトイネーブル信号W/Eの信号レベルに応じたカラム選択データに基づいて読み出し処理と書き込み処理を切り替えることができ、グローバルビットライン214との間でデータの受け渡しができる回路であれば、その形式は問わない。
- [0468] 次に、図19(A)~図19(E)を用いて、入力アドレスのデータ構成とデコーダ220の回路構成について説明する。
- [0469] 図19(A)は、実施の形態2のSRAM400の入力アドレスのデータ構成を示す図である。入力アドレスA[7:0]は8ビットのデータであり、下位ビットから上位ビットにかけて、カラムアドレス(column)、ロウアドレス(row)、サブアレイアドレス(Sub Array)、及びパターン選択アドレス(F/S)を含む。
- [0470] カラムアドレス(column)にはA[1:0]の2ビット、ロウアドレス(row)にはA[3:2]の2ビット、サブアレイアドレスにはA[6:4]の3ビット、パターン選択アドレス(F/S)にはA[7]の1ビットが、それぞれ割り当てられている。
- [0471] 図19(B)は、実施の形態2のSRAM400のロウデコーダ421の回路を示す図である。
- [0472] ロウデコーダ421は、2入力型のAND(論理積)回路500、501

、502、503を含む。AND回路500～503には、それぞれ、2本の信号線が接続されており、それぞれ、ロウアドレスA[3]、A[2]が入力される。

[0473] AND回路500、501、502、503は、それぞれ、ロウ選択データR[0]、R[1]、R[2]、R[3]を出力する。

[0474] ロウデコーダ421は、実施の形態1のロウデコーダ221と同様のデコーダである。

[0475] 次に、図19（C）を用いて、サブアレイデコーダ422の回路について説明する。

[0476] 図19（C）は、実施の形態2のSRAM400のサブアレイデコーダ422の回路を示す図である。

[0477] サブアレイデコーダ422は、3入力型のAND（論理積）回路510、511、512、513、514、515、516、517を含む。AND回路510～517には、それぞれ、3本の信号線が接続されており、それぞれ、サブアレイアドレスA[6]、A[5]、A[4]が入力される。

[0478] AND回路510、511、512、513、514、515、516、517は、それぞれ、サブアレイ選択データSAS[0]、SAS[1]、SAS[2]、SAS[3]、SAS[4]、SAS[5]、SAS[6]、SAS[7]を出力する。

[0479] サブアレイ選択データSAS[0]は、サブアレイ番号0のサブアレイ211A（Sub Array 0）を選択するためのサブアレイ選択データである。サブアレイ選択データSAS[0]は、サブバンク450U及び450Lに1つずつ含まれるサブアレイ番号0のサブアレイ211Aを同時に選択するためのサブアレイ選択データである。

[0480] 同様に、サブアレイ選択データSAS[1]～SAS[7]は、それぞれ、サブアレイ番号1～7のサブアレイ211A又は211Bを選択するためのサブアレイ選択データである。サブアレイ選択データSAS[1]～SAS[7]は、サブバンク450U及び450Lに1つずつ含まれるサブアレイ番号の

サブアレイ 2 1 1 A 又は 2 1 1 B を同時に選択するためのサブアレイ選択データである。

[0481] AND 回路 5 1 0 には、サブブロック選択アドレス A[6]、A[5]、及び A[4] がすべて否定演算されて入力される。

[0482] AND 回路 5 1 1 には、サブブロック選択アドレス A[6] 及び A[5] が否定演算されて入力され、サブブロック選択アドレス A[4] はそのまま入力される。

[0483] AND 回路 5 1 2 には、サブブロック選択アドレス A[6] 及び A[4] が否定演算されて入力され、サブブロック選択アドレス A[5] はそのまま入力される。

[0484] AND 回路 5 1 3 には、サブブロック選択アドレス A[6] が否定演算されて入力され、サブブロック選択アドレス A[5] 及び A[4] はそのまま入力される。

[0485] AND 回路 5 1 4 には、サブブロック選択アドレス A[6] はそのまま入力され、サブブロック選択アドレス A[5] 及び A[4] が否定演算されて入力される。

[0486] AND 回路 5 1 5 には、サブブロック選択アドレス A[6] 及び A[4] はそのまま入力され、サブブロック選択アドレス A[5] が否定演算されて入力される。

[0487] AND 回路 5 1 6 には、サブブロック選択アドレス A[6] 及び A[5] はそのまま入力され、サブブロック選択アドレス A[4] が否定演算されて入力される。

[0488] AND 回路 5 1 7 には、サブブロック選択アドレス A[6]、A[5]、及び A[4] はすべてそのまま入力される。

[0489] サブアレイデコーダ 4 2 2 は、サブブロック選択アドレス A[6]、A[5]、A[4] が "0"、"0"、"0" の場合は、サブアレイ選択データ SAS[0] を "1" にし、サブアレイ選択データ SAS[1] ~ SAS[7] を "0" にする。

[0490] サブアレイデコーダ 4 2 2 は、サブブロック選択アドレス A[6]、A[5]

、A[4]が“0”、“0”、“1”の場合は、サブアレイ選択データSAS[1]を“1”にし、サブアレイ選択データSAS[0]、SAS[2]～SAS[7]を“0”にする。

[0491] サブアレイデコーダ422は、サブブロック選択アドレスA[6]、A[5]、A[4]が“0”、“1”、“0”の場合は、サブアレイ選択データSAS[2]を“1”にし、サブアレイ選択データSAS[0]、SAS[1]、SAS[3]～SAS[7]を“0”にする。

[0492] サブアレイデコーダ422は、サブブロック選択アドレスA[6]、A[5]、A[4]が“0”、“1”、“1”の場合は、サブアレイ選択データSAS[3]を“1”にし、サブアレイ選択データSAS[0]～SAS[2]、SAS[4]～SAS[7]を“0”にする。

[0493] サブアレイデコーダ422は、サブブロック選択アドレスA[6]、A[5]、A[4]が“1”、“0”、“0”の場合は、サブアレイ選択データSAS[4]を“1”にし、サブアレイ選択データSAS[0]～SAS[3]、SAS[5]～SAS[7]を“0”にする。

[0494] サブアレイデコーダ422は、サブブロック選択アドレスA[6]、A[5]、A[4]が“1”、“0”、“1”の場合は、サブアレイ選択データSAS[5]を“1”にし、サブアレイ選択データSAS[0]～SAS[4]、SAS[6]、SAS[7]を“0”にする。

[0495] サブアレイデコーダ422は、サブブロック選択アドレスA[6]、A[5]、A[4]が“1”、“1”、“0”の場合は、サブアレイ選択データSAS[6]を“1”にし、サブアレイ選択データSAS[0]～SAS[5]、SAS[7]を“0”にする。

[0496] サブアレイデコーダ422は、サブブロック選択アドレスA[6]、A[5]、A[4]が“1”、“1”、“1”の場合は、サブアレイ選択データSAS[7]を“1”にし、サブアレイ選択データSAS[0]～SAS[6]を“0”にする。

[0497] 次に、図19(D)を用いて、パターン選択デコーダ423の回路について説明する。

[0498] 図19(D)は、実施の形態2のSRAM400のパターン選択デコーダ423の回路を示す図である。

[0499] パターン選択デコーダ423は、1入力・2出力型の回路を有し、パターン選択アドレスA[7]をデコードして第1パターン選択データFと第2パターン選択データSを出力する。第1パターン選択データFはインバータ520によりパターン選択アドレスA[7]のデータ値の反転値として出力され、第2パターン選択データSはパターン選択アドレスA[7]のデータ値のまま出力される。

[0500] 第1パターン選択データF及び第2パターン選択データSは、それぞれ、第1パターン又は第2パターンを選択するためのデータであり、入出力ポート(I/O)430A、430Bに入力される。

[0501] 第1パターン選択データFが“1”であり、第2パターン選択データSが“0”である場合は、第1パターンを選択することを表す。これとは逆に、第1パターン選択データFが“0”であり、第2パターン選択データSが“1”である場合は、第2パターンを選択することを表す。

[0502] 図19(E)は、実施の形態2のSRAM400のカラムデコーダ424の回路を示す図である。

[0503] カラムデコーダ424は、2入力型のAND（論理積）回路530、531、532、533を含む。AND回路530～533には、それぞれ、2本の信号線が接続されており、それぞれ、カラムアドレスA[1]、A[0]が入力される。

[0504] AND回路530、531、532、533は、それぞれ、カラム選択データカラム選択データR__COL__SEL[0]、R__COL__SEL[1]、R__COL__SEL[2]、R__COL__SEL[3]をそれぞれ出力する。

[0505] 実施の形態2のSRAM400は、第1パターン選択データF又は第2パターン選択データSに基づき、入出力ポート(I/O)430A及び430Bが、第1パターン又は第2パターンで、グローバルビットライン214を介して各ビットから読み出すデータ又は各ビットに書き込むデータを選択する。

- [0506] これは、実施の形態2のSRAM400では、同一アドレスのビットセルは、隣接ビットについて、互いに異なるサブバンク450U、450L内のサブブロック210に割り当てられているからである。
- [0507] 実施の形態2のSRAM400における同一アドレスの複数のビットセルは、隣接ビットについて、互いに異なるサブバンク450Uとサブバンク450L内のサブブロック210に割り当てられることにより、千鳥状に分散されている。
- [0508] 次に、実施の形態2のSRAM400における同一アドレスの複数のビットセルの配置について、図20及び図21を用いて説明する。
- [0509] 図20及び図21は、実施の形態2のSRAM400における同一アドレスのビットセルを含むサブブロックを色分けして示す図である。
- [0510] 図20及び図21には、サブバンク450U、450L内に含まれるビットD[0]～D[7]についてのサブブロック番号0～3のサブブロック210を升目で表す。図中では、ビットD[0]のサブブロック番号3のサブブロックだけに符号210を示すが、各升目はサブブロック（図16及び図18参照）を表す。各サブブロック210内のサブアレイ及びビットセルは図示を省略する。
- [0511] また、サブバンク450Uとサブバンク450Lとの間に入出力ポート430Aを示す。入出力ポート430Aは、切替回路215を含む。
- [0512] 図20及び図21において、白抜きで示す升目のサブブロック210は、第1パターンによってデータの読み出し又は書き込みが行われるサブアレイ211A又は211B（図16及び図18参照）を含むサブブロックである。
- [0513] これらのサブブロック210内に含まれるビットセルのうち、カラム番号とロウ番号が同一のビットセルは、同一アドレスのビットセルである。
- [0514] 実施の形態2のSRAM400では、図20及び図21に示すように、第1パターンでデータの読み出し又は書き込みが行われるビットセルは、奇数ビットについてはサブバンク450Uに割り当てられ、偶数ビットについて

はサブバンク 450Lに割り当てられる。

- [0515] また、図20及び図21において、グレーで示す升目のサブブロック210は、第2パターンによってデータの読み出し又は書き込みが行われるサブアレイ211A又は211B（図16及び図18参照）を含むサブブロックである。
- [0516] これらのサブブロック210内に含まれるビットセルのうち、カラム番号とロウ番号が同一のビットセルは、同一アドレスのビットセルである。
- [0517] 実施の形態2のSRAM400では、図20及び図21に示すように、第2パターンでデータの読み出し又は書き込みが行われるビットセルは、偶数ビットについてはサブバンク450Uに割り当てられ、奇数ビットについてはサブバンク450Lに割り当てられる。
- [0518] 図20には、サブアレイ選択データSAS[4]又はSAS[5]が“1”になり、サブブロック番号2のサブブロックから第1パターンでデータの読み出しを行う場合のデータの流れを矢印で表す。
- [0519] また、図21には、サブアレイ選択データSAS[2]又はSAS[3]が“1”になり、サブブロック番号1のサブブロックから第2パターンでデータの読み出しを行う場合のデータの流れを矢印で表す。
- [0520] このように、実施の形態2のSRAM400では、同一アドレスの複数のビットセルは、隣接ビットについて、互いに異なるサブバンク450Uとサブバンク450L内のサブブロック210に割り当てられて、千鳥状に分散されている。
- [0521] このため、比較例のSRAM30（図4参照）と同様に1ビットが4カラムを含む構成であっても、 α 線又は中性子線の入射によるデータ破壊が生じても、1ビットが8カラムを含む他の比較例のSRAM30A（図5参照）と同等の耐性を発揮することができる。
- [0522] 一方、他の比較例のSRAM30A（図5参照）とは異なり、1ビットのカラム数は4カラムで済むため、アスペクト比の変化（横長化）及びワードラインの長大化による動作速度の低下を抑制することができる。

[0523] 以上、実施の形態 2 によれば、アスペクト比の変更、動作速度の低下を抑制しつつ、複数ビットにわたるデータ破壊の発生を抑制した半導体記憶装置及び半導体記憶装置の制御方法を提供することができる。

[0524] <実施の形態 3>

図 22 は、実施の形態 3 の SRAM600 を示す図である。

[0525] 実施の形態 3 の SRAM600 は、実施の形態 1 の SRAM200 における同一アドレスの複数のビットセルの分散と、実施の形態 2 の SRAM400 における同一アドレスの複数のビットセルの分散とを融合させたものである。

[0526] 以下、実施の形態 1、2 と同一又は同等の構成要素には同一符号を付し、その説明を省略する。

[0527] 図 22 に示す SRAM600 は、サブブロック 210、デコーダ 620、入出力ポート 430A、430B、及びタイマ 240 を含む。

[0528] 図 22 には、SRAM600 のサブブロック 210 のうちの 4 ビット分 ($D[n]$ 、 $D[n-1]$ 、 $D[n-2]$ 、 $D[n-3]$) を示す。ビット $D[n]$ は奇数ビットであるものとする。

[0529] ここで、各サブブロック 210 内のサブアレイ 211A、211B の各ビットは、4 ロウ×4 カラムの 16 個のビットセル 10 を含むが、紙面の都合上、図 22 には、各ビットのサブアレイ 211A、211B について、2 ロウ×4 カラム分のビットセルを升目で示す。

[0530] 図 22 では、ビット $D[n-3] \sim D[n]$ 内のビットセルを白とグレーでの色分けるとともに、×印の有無で区別してあるが、図 22 に図示しないビット内のビットセルについても、図 22 と同様のパターンで、白／グレーの色分けと×印の有無とによって 4 ビットずつグループ分けがされている。このグループ分けについては後述する。

[0531] なお、図 22 に示すサブブロック 210 及びサブアレイ 211A、211B 等の位置関係は、サブブロック 210 及びサブアレイ 211A、211B の階層構造を表しており、本明細書中における「上」又は「下」なる文言は

、物理的な上下関係を表すものではない。

[0532] 図23は、実施の形態3のSRAM600の一部を示す図である。

[0533] 図23には、入出力ポート(I/O)430A、入出力ポート(I/O)430Aの上下に位置する2つのサブブロック番号0のサブブロック210のうちのビットD[n]、D[n-1]の部分、2つのカラム選択／読み書き回路213、グローバルビットライン214、デコーダ420、及び二対のワードラインドライバ212A、212Bを示す。

[0534] なお、ここでは、ビットD[n]が奇数ビットでビット[n-1]が偶数ビットであるものとする。

[0535] また、ビットD[n]のnをビット番号と称す。

[0536] SRAM600は、プロセッサコア111（図6参照）から入力される読み出し命令と書き込み命令に従って、データの読み出しと書き込みを行う。

[0537] 説明の便宜上、図23にはビットセル10を示さないが、サブアレイ211A、211Bは、それぞれ、アレイ状に配列された複数のビットセルを含む。

[0538] サブブロック210は、サブアレイ211A、211B、ワードラインドライバ212A、212B、カラム選択／読み書き回路213を含む。

[0539] サブアレイ211A及び211Bの配列とサブアレイ番号については、実施の形態2のSRAM400と同様である。

[0540] ワードラインドライバ212A、212Bは、それぞれサブアレイ211A、211Bに対応して設けられており、それぞれサブアレイ211A、211Bに含まれるワードラインに接続されている。ワードラインドライバ212A、212Bは、それぞれデコーダ220がロウアドレスをデコードして出力するロウ選択データ（ロウ選択信号）に基づき、ロウの選択（ワードラインの選択）を行う。

[0541] カラム選択／読み書き回路213は、各サブブロック210に対応して設けられており、各サブブロック210内の2つのサブアレイ211A、211Bのビットラインに接続されている。カラム選択／読み書き回路213は

、デコーダ 220 がカラムアドレスをデコードして出力するカラム選択データ（カラム選択信号）に基づき、カラムの選択（ビットラインの選択）を行う。

[0542] デコーダ 620 は、ロウデコーダ 221、サブブロックデコーダ 222、パターン選択デコーダ 623、領域選択デコーダ 624、及びカラムデコーダ 625 を含む。デコーダ 620 には、入力アドレスが入力される。また、カラムデコーダ 625 には、ライトイネーブル信号 W/E が入力される。

[0543] すなわち、デコーダ 620 は、実施の形態 1 のデコーダ 220 の上下選択デコーダ 223 の代わりにパターン選択デコーダ 623 を組み込み、パターン選択デコーダ 224 の代わりに領域選択デコーダ 624 を組み込み、カラムデコーダ 225 の代わりにカラムデコーダ 625 を組み込んだものである。

[0544] ロウデコーダ 221 及びサブブロックデコーダ 222 は、実施の形態 1 のロウデコーダ 221 及びサブブロックデコーダ 222 と同様である。

[0545] パターン選択デコーダ 623 は、第 1 パターンと第 2 パターンを選択するためのデコーダであり、実施の形態 1 のパターン選択デコーダ 224 と同様であるが、第 1 パターン選択データ F （First）及び第 2 パターン選択データ S （Second）を出力する信号線は、入出力ポート (I/O) 430A、430B に接続されている。

[0546] パターン選択デコーダ 623 は、読み出し命令又は書き込み命令の入力アドレスに含まれるパターン選択アドレスをデコードして第 1 パターン選択データ F 及び第 2 パターン選択データ S を出力する。

[0547] 第 1 パターン選択データ F 及び第 2 パターン選択データ S は、それぞれ、第 1 パターン又は第 2 パターンを選択するためのデータである。

[0548] 第 1 パターン選択データ F は、奇数ビット $D[n]$ の入出力ポート (I/O) 430A に入力され、第 2 パターン選択データ S は、偶数ビット $D[n-1]$ の入出力ポート (I/O) 430A に入力される。

[0549] 第 1 パターン選択データ F が "1" であり、第 2 パターン選択データ S が "0

“である場合は、第1パターンを選択することを表す。これとは逆に、第1パターン選択データFが“0”であり、第2パターン選択データSが“1”である場合は、第2パターンを選択することを表す。

[0550] ここで、第1パターンでは、サブバンク450Uの奇数ビットに対してデータの読み出し又は書き込みを行うとともに、サブバンク450Lの偶数ビットに対してデータの読み出し又は書き込みを行う。

[0551] また、第2パターンでは、サブバンク450Uの偶数ビットに対してデータの読み出し又は書き込みを行うとともに、サブバンク450Lの奇数ビットに対してデータの読み出し又は書き込みを行う。

[0552] 領域選択デコーダ624は、1つのサブブロック210に含まれる上側のサブアレイ211Aと下側のサブアレイ211Bからビットを選択する。

[0553] 領域選択デコーダ624は、サブアレイ211Aの奇数ビットと、この奇数ビットに隣接する偶数ビットを第1領域として選択する。第1領域に含まれる奇数ビット及び偶数ビットは、一例として偶数ビットの方が奇数ビットよりもビット番号が若いものとする。

[0554] また、領域選択デコーダ624は、サブアレイ211Bの奇数ビットと、この奇数ビットに隣接する偶数ビットを第2領域として選択する。第2領域に含まれる奇数ビット及び偶数ビットは、一例として偶数ビットの方が奇数ビットよりもビット番号が若いものとする。

[0555] ここで、第1領域に含まれるすべてのビットのビット番号と、第2領域に含まれるすべてのビットのビット番号とは異なる。

[0556] 第1領域に含まれるビットのビット番号は、2ずつ抜けており、例えば、0、1、4、5、8、9、12、13、・・・と並んでいる。

[0557] 第2領域に含まれるビットのビット番号は、2ずつ抜けており、例えば、2、3、6、7、10、11、14、15・・・と並んでいる。

[0558] これにより、第1領域は、例えば、図22に白く示すビットを含む領域であり、第2領域は図22にグレーで示すビットを含む領域である。

[0559] すなわち、領域選択デコーダ624は、各サブブロック210内のサブア

レイ 2 1 1 A、2 1 1 B のビットを 2 ビットずつ千鳥状に選択し、これにより図 2 2 に一例として示す白い第 1 領域とグレーの第 2 領域に分けられる。

[0560] 領域選択デコーダ 6 2 4 は、第 1 領域又は第 2 領域を選択するために、入力アドレスに含まれる領域選択アドレスをデコードして、第 1 領域選択データ F A (First Area) 又は第 2 領域選択データ S A (Second Area) を出力する。

[0561] カラムデコーダ 6 2 5 は、信号線を介して、カラム選択／読み書き回路 2 1 3 に接続されている。カラムデコーダ 6 2 5 は、実際には、図 2 3 に示すすべてのサブブロック 2 1 0 の中のカラム選択／読み書き回路 2 1 3 に接続されている。

[0562] カラムデコーダ 6 2 5 には、読み出し命令又は書き込み命令の入力アドレスに含まれるカラムアドレスに加えて、第 1 領域選択データ F A、第 2 領域選択データ S A、及びライトイネーブル信号 W／E が入力される。

[0563] カラムデコーダ 6 2 5 は、カラムアドレスをデコードし、第 1 領域選択データ F A 及び第 2 領域選択データ S A のデータ値と、ライトイネーブル信号 W／E の信号レベルとに応じたカラム選択データを出力する。

[0564] カラムデコーダ 6 2 5 が出力するカラム選択データは、第 1 領域又は第 2 領域におけるデータの読み出し又は書き込みを実現するように、サブアレイ 2 1 1 A 及び 2 1 1 B のビット内のカラムを選択するためのデータである。

[0565] カラム選択データは、カラム選択／読み書き回路 2 1 3 に入力される。

[0566] カラムデコーダ 6 2 5 は、ライトイネーブル信号 W／E の信号レベルが L レベルで、第 1 領域選択データ F A が“1”であり、第 2 領域選択データ S A が“0”である場合は、カラム選択データ R__COL__SEL__F A [3 : 0] を出力する。

[0567] カラム選択データ R__COL__SEL__F A [3 : 0] は、第 1 領域でのデータの読み出しを実現するために、サブアレイ 2 1 1 A 及び 2 1 1 B 内のビットのカラムを選択するためのカラム選択データである。

[0568] カラム選択データ R__COL__SEL__F A [3 : 0] により、サブアレイ

2 1 1 A 及び 2 1 1 B の第 1 領域内のビットのいずれかのビットライン B L 、 B L B の対がデータの読み出しのために選択される。

[0569] カラムデコーダ 6 2 5 は、ライトイネーブル信号 W / E の信号レベルが L レベルで、第 1 領域選択データ F A が “ 0 ” であり、第 2 領域選択データ S A が “ 1 ” である場合は、カラム選択データ R _ C O L _ S E L _ S A [3 : 0] を出力する。

[0570] カラム選択データ R _ C O L _ S E L _ S A [3 : 0] は、第 2 領域でのデータの読み出しを実現するために、サブアレイ 2 1 1 A 及び 2 1 1 B 内のビットのカラムを選択するためのカラム選択データである。

[0571] カラム選択データ R _ C O L _ S E L _ S A [3 : 0] により、サブアレイ 2 1 1 A 及び 2 1 1 B の第 2 領域内のビットのいずれかのビットライン B L 、 B L B の対がデータの読み出しのために選択される。

[0572] また、カラムデコーダ 6 2 5 は、ライトイネーブル信号 W / E の信号レベルが H レベルで、第 1 領域選択データ F A が “ 1 ” であり、第 2 領域選択データ S A が “ 0 ” である場合は、カラム選択データ W _ C O L _ S E L _ F A [3 : 0] を出力する。

[0573] カラム選択データ W _ C O L _ S E L _ F A [3 : 0] は、第 1 領域でのデータの書き込みを実現するために、サブアレイ 2 1 1 A 及び 2 1 1 B 内のビットのカラムを選択するためのカラム選択データである。

[0574] カラム選択データ W _ C O L _ S E L _ F A [3 : 0] により、サブアレイ 2 1 1 A 及び 2 1 1 B の第 1 領域内のビットのいずれかのビットライン B L 、 B L B の対がデータの書き込みのために選択される。

[0575] また、カラムデコーダ 6 2 5 は、ライトイネーブル信号 W / E の信号レベルが H レベルで、第 1 領域選択データ F A が “ 0 ” であり、第 2 領域選択データ S A が “ 1 ” である場合は、カラム選択データ W _ C O L _ S E L _ S A [3 : 0] を出力する。

[0576] カラム選択データ W _ C O L _ S E L _ S A [3 : 0] は、第 2 領域でのデータの書き込みを実現するために、サブアレイ 2 1 1 A 及び 2 1 1 B 内のビ

ットのカラムを選択するためのカラム選択データである。

[0577] カラム選択データW__COL__SEL__SA[3:0]により、サブアレイ211A及び211Bの第2領域内のビットのいずれかのビットラインBL、BLBの対がデータの書き込みのために選択される。

[0578] なお、カラム選択データR__COL__SEL__FA[3:0]、R__COL__SEL__SA[3:0]、W__COL__SEL__FA[3:0]、及びW__COL__SEL__SA[3:0]は、それぞれ、4ビットのカラム選択データをまとめて示す表記である。

[0579] 例えば、カラム選択データR__COL__SEL__FA[3:0]は、カラム選択データR__COL__SEL__FA[3]、R__COL__SEL__FA[2]、R__COL__SEL__FA[1]、及びR__COL__SEL__FA[0]を含む。これは、カラム選択データR__COL__SEL__SA[3:0]、W__COL__SEL__FA[3:0]、及びW__COL__SEL__SA[3:0]についても同様である。

[0580] 以上のように、実施の形態3のSRAM600では、パターン選択デコーダ623が第1パターン又は第2パターンを選択するとともに、領域選択デコーダ624が第1領域又は第2領域を選択する。

[0581] これにより、同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて、第1パターン又は第2パターンのいずれかが選択されることにより、入出力ポート(I/O)430Aの上側のサブバンク450U又は下側のサブバンク450Lが千鳥状に特定される。これは、図22に×の有無で示す状態である。

[0582] また、これに加えて、第1領域又は第2領域のいずれかが選択されることにより、各サブブロック210内のサブアレイ211A、211Bについて、2ビットずつ千鳥状に、ビットセルを含むビットが選択される。これは、図22に白/グレーで示す状態である。

[0583] これにより、実施の形態3のSRAM600では、同一アドレスのビットセルは、白で×印のあるビット、白で×印のないビット、グレーで×印のあ

るビット、グレーで×印のないビットによって表される4つのグループのいずれかに属するように分けられる。

[0584] 4つのグループの各々に含まれるビットセルのうち、同一のカラム番号及びロウ番号のビットセルは、同一アドレスのビットセルである。

[0585] 次に、図24を用いて、入力アドレスのデータ構成とデコーダ620の回路構成について説明する。

[0586] 図24(A)は、実施の形態3のSRAM600の入力アドレスのデータ構成を示す図である。入力アドレスA[7:0]は8ビットのデータであり、下位ビットから上位ビットにかけて、カラムアドレス(column)、ロウアドレス(row)、領域選択アドレス(FA/SA)、サブブロックアドレス(Sub Block)、パターン選択アドレス(F/S)を含む。

[0587] カラムアドレス(column)にはA[1:0]の2ビット、ロウアドレス(row)にはA[3:2]の2ビット、領域選択アドレス(FA/SA)にはA[4]の1ビット、サブブロックアドレス(Sub Block)にはA[6:5]の2ビット、パターン選択アドレス(F/S)にはA[7]の1ビットが、それぞれ割り当てられている。

[0588] 図24(B)は、実施の形態3のSRAM600のロウデコーダ221の回路を示す図である。

[0589] ロウデコーダ221は、2入力型のAND(論理積)回路300、301、302、303を含む。AND回路300~303には、それぞれ、2本の信号線が接続されており、それぞれ、ロウアドレスA[3]、A[2]が入力される。

[0590] AND回路300、301、302、303は、それぞれ、ロウ選択データR[0]、R[1]、R[2]、R[3]を出力する。

[0591] ロウデコーダ221は、実施の形態1のロウデコーダ221と同様である。

[0592] 次に、図24(C)を用いて、サブブロックデコーダ222の回路について説明する。

- [0593] 図 2 4 (C) は、実施の形態 3 の S R A M 6 0 0 のサブブロックデコーダ 2 2 2 の回路を示す図である。
- [0594] サブブロックデコーダ 2 2 2 は、実施の形態 1 のサブブロックデコーダ 2 2 2 と同様であり、サブブロック選択データ S B S [0]、S B S [1]、S B S [2]、S B S [3] を出力する。
- [0595] 次に、図 2 4 (D) を用いて、パターン選択デコーダ 6 2 3 の回路について説明する。
- [0596] 図 2 4 (D) は、実施の形態 3 の S R A M 6 0 0 のパターン選択デコーダ 6 2 3 の回路を示す図である。
- [0597] パターン選択デコーダ 6 2 3 は、1 入力・2 出力型の回路を有し、パターン選択アドレス A [7] をデコードして第 1 パターン選択データ F と第 2 パターン選択データ S を出力する。第 2 パターン選択データはインバータ 7 2 0 によりパターン選択アドレス A [7] のデータ値の反転値として出力され、第 1 パターン選択データ F はパターン選択アドレス A [7] のデータ値のまま出力される。
- [0598] 第 1 パターン選択データ F が “1” で第 2 パターン選択データ S が “0” である場合は、第 1 パターンを選択する場合である。これとは逆に、第 1 パターン選択データ F が “0” で第 2 パターン選択データ S が “1” である場合は、第 2 パターンを選択する場合である。
- [0599] 次に、図 2 4 (E) を用いて、領域選択デコーダ 6 2 4 の回路について説明する。
- [0600] 図 2 4 (E) は、実施の形態 3 の S R A M 6 0 0 の領域選択デコーダ 6 2 4 の回路を示す図である。
- [0601] 領域選択デコーダ 6 2 4 は、1 入力・2 出力型の回路を有し、領域選択アドレス A [4] をデコードして第 1 領域選択データ F A と第 2 領域選択データ S A を出力する。第 1 領域選択データ F A はインバータ 7 3 0 により領域選択アドレス A [4] のデータ値の反転値として出力され、第 2 領域選択データ S A は領域選択アドレス A [4] のデータ値のまま出力される。

- [0602] 第1領域選択データFA及び第2領域選択データSAは、それぞれ、第1領域又は第2領域を選択するためのデータであり、コラムデコーダ225に入力される。
- [0603] 第1領域選択データFAが“1”であり、第2領域選択データSAが“0”である場合は、第1領域を選択することを表す。これとは逆に、第1領域選択データFAが“0”であり、第2領域選択データSAが“1”である場合は、第2領域を選択することを表す。
- [0604] 次に、図24（F）～図24（I）を用いて、コラムデコーダ625の回路について説明する。
- [0605] コラムデコーダ625は、コラムアドレスをデコードし、第1領域選択データFA及び第2領域選択データSAのデータ値と、ライトイネーブル信号W/Eの信号レベルとに応じたコラム選択データを出力する。
- [0606] 図24（F）～図24（I）は、実施の形態3のSRAM600のコラムデコーダ625に含まれるコラムアドレスをデコードする回路を示す図である。
- [0607] コラムデコーダ625は、第1領域におけるデータの読み出しを行うためにコラムアドレスをデコードする回路740Rと、第1領域におけるデータの書き込みを行うためにコラムアドレスをデコードする回路740Wとを含む。
- [0608] また、コラムデコーダ625は、第2領域におけるデータの読み出しを行うためにコラムアドレスをデコードする回路750Rと、第2領域におけるデータの書き込みを行うためにコラムアドレスをデコードする回路750Wとをさらに含む。
- [0609] 図24（F）に示すように、第1領域におけるデータの読み出しを行うためにコラムアドレスをデコードする回路740Rは、4入力型のAND（論理積）回路760R、761R、762R、763Rを含む。AND回路760R～763Rには、それぞれ、4本の信号線が接続されており、それぞれ、第1領域選択データFA、コラムアドレスA[1]、A[0]、及びライト

イネーブル信号W/Eが入力される。

- [0610] AND回路760R、761R、762R、763Rは、それぞれ、コラム選択データR_COL_SEL_FA[0]、R_COL_SEL_FA[1]、R_COL_SEL_FA[2]、R_COL_SEL_FA[3]を出力する。
- [0611] コラム選択データR_COL_SEL_FA[0]は、第1領域におけるデータの読み出しを行うために、図23に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのコラム選択データである。
- [0612] コラム選択データR_COL_SEL_FA[1]は、第1領域におけるデータの読み出しを行うために、図23に示すビットラインBL01及びBLB01と、ビットラインBL11及びBLB11を選択するためのコラム選択データである。
- [0613] コラム選択データR_COL_SEL_FA[2]は、第1領域におけるデータの読み出しを行うために、図23に示すビットラインBL02及びBLB02と、ビットラインBL12及びBLB12を選択するためのコラム選択データである。
- [0614] コラム選択データR_COL_SEL_FA[3]は、第1領域におけるデータの読み出しを行うために、図23に示すビットラインBL03及びBLB03と、ビットラインBL13及びBLB13を選択するためのコラム選択データである。
- [0615] AND回路760Rには、第1領域選択データFA、否定演算されたコラムアドレスA[1]、否定演算されたコラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0616] AND回路761Rには、第1領域選択データFA、否定演算されたコラムアドレスA[1]、コラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0617] AND回路762Rには、第1領域選択データFA、コラムアドレスA[1]

］、否定演算されたカラムアドレスA[0]、及び否定演算されたライトイネーブル信号W／Eが入力される。

[0618] AND回路763Rには、第1領域選択データFA、カラムアドレスA[1]、カラムアドレスA[0]、及び否定演算されたライトイネーブル信号W／Eが入力される。

[0619] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“0”、“0”、かつ、ライトイネーブル信号W／EがLレベルの場合は、カラム選択データR__COL__SEL__FA[0]を“1”にし、カラム選択データR__COL__SEL__FA[1]、R__COL__SEL__FA[2]、R__COL__SEL__FA[3]を“0”にする。

[0620] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“0”、“1”、かつ、ライトイネーブル信号W／EがLレベルの場合は、カラム選択データR__COL__SEL__FA[1]を“1”にし、カラム選択データR__COL__SEL__FA[0]、R__COL__SEL__FA[2]、R__COL__SEL__FA[3]を“0”にする。

[0621] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W／EがLレベルの場合は、カラム選択データR__COL__SEL__FA[2]を“1”にし、カラム選択データR__COL__SEL__FA[0]、R__COL__SEL__FA[1]、R__COL__SEL__FA[3]を“0”にする。

[0622] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W／EがLレベルの場合は、カラム選択データR__COL__SEL__FA[3]を“1”にし、カラム選択データR__COL__SEL__FA[0]、R__COL__SEL__FA[1]、R__COL__SEL__FA[2]を“0”にする。

[0623] なお、第1領域選択データFAが“0”である場合は、第1領域におけるデータの読み出しを行わない場合であるため、カラム選択データR__COL__SEL__FA[0]、R__COL__SEL__FA[1]、R__COL__SEL__

FA[2]、及びR__COL__SEL__FA[3]は、すべて“0”になる。

[0624] 図24(G)に示すように、第1領域におけるデータの書き込みを行うためにカラムアドレスをデコードする回路740Wは、4入力型のAND（論理積）回路760W、761W、762W、763Wを含む。AND回路760W～763Wには、それぞれ、4本の信号線が接続されており、それぞれ、第1領域選択データFA、カラムアドレスA[1]、A[0]、及びライトイネーブル信号W/Eが入力される。

[0625] AND回路760W、761W、762W、763Wは、それぞれ、カラム選択データW__COL__SEL__FA[0]、W__COL__SEL__FA[1]、W__COL__SEL__FA[2]、W__COL__SEL__FA[3]を出力する。

[0626] カラム選択データW__COL__SEL__FA[0]は、第1領域におけるデータの書き込みを行うために、図23に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのカラム選択データである。

[0627] カラム選択データW__COL__SEL__FA[1]は、第1領域におけるデータの書き込みを行うために、図23に示すビットラインBL01及びBLB01と、ビットラインBL11及びBLB11を選択するためのカラム選択データである。

[0628] カラム選択データW__COL__SEL__FA[2]は、第1領域におけるデータの書き込みを行うために、図23に示すビットラインBL02及びBLB02と、ビットラインBL12及びBLB12を選択するためのカラム選択データである。

[0629] カラム選択データW__COL__SEL__FA[3]は、第1領域におけるデータの書き込みを行うために、図23に示すビットラインBL03及びBLB03と、ビットラインBL13及びBLB13を選択するためのカラム選択データである。

[0630] AND回路760Wには、第1領域選択データFA、否定演算されたカラ

ムアドレスA[1]、否定演算されたカラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0631] AND回路761Wには、第1領域選択データFA、否定演算されたカラムアドレスA[1]、カラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0632] AND回路762Wには、第1領域選択データFA、カラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0633] AND回路763Wには、第1領域選択データFA、カラムアドレスA[1]、カラムアドレスA[0]、及びライトイネーブル信号W/Eが入力される。

[0634] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“0”、“0”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_FA[0]を“1”にし、カラム選択データW_COL_SEL_FA[1]、W_COL_SEL_FA[2]、W_COL_SEL_FA[3]を“0”にする。

[0635] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“0”、“1”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_FA[1]を“1”にし、カラム選択データW_COL_SEL_FA[0]、W_COL_SEL_FA[2]、W_COL_SEL_FA[3]を“0”にする。

[0636] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_FA[2]を“1”にし、カラム選択データW_COL_SEL_FA[0]、W_COL_SEL_FA[1]、W_COL_SEL_FA[3]を“0”にする。

[0637] カラムデコーダ625は、第1領域選択データFAが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_FA[3]を“1”にし

、カラム選択データW_COL_SEL_FA[0]、W_COL_SEL_FA[1]、W_COL_SEL_FA[2]を“0”にする。

[0638] なお、第1領域選択データFAが“0”である場合は、第1領域におけるデータの書き込みを行わない場合であるため、カラム選択データW_COL_SEL_FA[0]、W_COL_SEL_FA[1]、W_COL_SEL_FA[2]、及びW_COL_SEL_FA[3]は、すべて“0”になる。

[0639] 図24(H)に示すように、第2領域におけるデータの読み出しを行うためにカラムアドレスをデコードする回路750Rは、4入力型のAND（論理積）回路770R、771R、772R、773Rを含む。AND回路770R～773Rには、それぞれ、4本の信号線が接続されており、それぞれ、第2領域選択データSA、カラムアドレスA[1]、A[0]、及びライトイネーブル信号W/Eが入力される。

[0640] AND回路770R、771R、772R、773Rは、それぞれ、カラム選択データR_COL_SEL_SA[0]、R_COL_SEL_SA[1]、R_COL_SEL_SA[2]、R_COL_SEL_SA[3]を出力する。

[0641] カラム選択データR_COL_SEL_SA[0]は、第2領域におけるデータの読み出しを行うために、図23に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのカラム選択データである。

[0642] カラム選択データR_COL_SEL_SA[1]は、第2領域におけるデータの読み出しを行うために、図23に示すビットラインBL01及びBLB01と、ビットラインBL11及びBLB11を選択するためのカラム選択データである。

[0643] カラム選択データR_COL_SEL_SA[2]は、第2領域におけるデータの読み出しを行うために、図23に示すビットラインBL02及びBLB02と、ビットラインBL12及びBLB12を選択するためのカラム選択データである。

- [0644] カラム選択データ R__COL__SEL__SA[3]は、第2領域におけるデータの読み出しを行うために、図23に示すビットラインBL03及びBLB03と、ビットラインBL13及びBLB13を選択するためのカラム選択データである。
- [0645] AND回路770Rには、第2領域選択データSA、否定演算されたカラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0646] AND回路771Rには、第2領域選択データSA、否定演算されたカラムアドレスA[1]、カラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0647] AND回路772Rには、第2領域選択データSA、カラムアドレスA[1]、否定演算されたカラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0648] AND回路773Rには、第2領域選択データSA、カラムアドレスA[1]、カラムアドレスA[0]、及び否定演算されたライトイネーブル信号W/Eが入力される。
- [0649] カラムデコーダ625は、第2領域選択データSAが“1”、カラムアドレスA[1]、A[0]が“0”、“0”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR__COL__SEL__SA[0]を“1”にし、カラム選択データR__COL__SEL__SA[1]、R__COL__SEL__SA[2]、R__COL__SEL__SA[3]を“0”にする。
- [0650] カラムデコーダ625は、第2領域選択データSAが“1”、カラムアドレスA[1]、A[0]が“0”、“1”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR__COL__SEL__SA[1]を“1”にし、カラム選択データR__COL__SEL__SA[0]、R__COL__SEL__SA[2]、R__COL__SEL__SA[3]を“0”にする。
- [0651] カラムデコーダ625は、第2領域選択データSAが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W/EがLレ

ベルの場合は、カラム選択データR_COL_SEL_SA[2]を“1”にし、カラム選択データR_COL_SEL_SA[0]、R_COL_SEL_SA[1]、R_COL_SEL_SA[3]を“0”にする。

[0652] カラムデコーダ625は、第2領域選択データSAが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W/EがLレベルの場合は、カラム選択データR_COL_SEL_SA[3]を“1”にし、カラム選択データR_COL_SEL_SA[0]、R_COL_SEL_SA[1]、R_COL_SEL_SA[2]を“0”にする。

[0653] なお、第2領域選択データSAが“0”である場合は、第2領域におけるデータの読み出しを行わない場合であるため、カラム選択データR_COL_SEL_SA[0]、R_COL_SEL_SA[1]、R_COL_SEL_SA[2]、及びR_COL_SEL_SA[3]は、すべて“0”になる。

[0654] 図24(I)に示すように、第2領域におけるデータの書き込みを行うためにカラムアドレスをデコードする回路750Wは、4入力型のAND（論理積）回路770W、771W、772W、773Wを含む。AND回路770W～773Wには、それぞれ、4本の信号線が接続されており、それぞれ、第2領域選択データSA、カラムアドレスA[1]、A[0]、及びライトイネーブル信号W/Eが入力される。

[0655] AND回路770W、771W、772W、773Wは、それぞれ、カラム選択データW_COL_SEL_SA[0]、W_COL_SEL_SA[1]、W_COL_SEL_SA[2]、W_COL_SEL_SA[3]を出力する。

[0656] カラム選択データW_COL_SEL_SA[0]は、第2領域におけるデータの書き込みを行うために、図23に示すビットラインBL00及びBLB00と、ビットラインBL10及びBLB10を選択するためのカラム選択データである。

[0657] カラム選択データW_COL_SEL_SA[1]は、第2領域におけるデータの書き込みを行うために、図23に示すビットラインBL01及びBL

B 0 1 と、ビットライン B L 1 1 及び B L B 1 1 を選択するためのカラム選択データである。

[0658] カラム選択データ W__COL__SEL__SA[2] は、第 2 領域におけるデータの書き込みを行うために、図 2 3 に示すビットライン B L 0 2 及び B L B 0 2 と、ビットライン B L 1 2 及び B L B 1 2 を選択するためのカラム選択データである。

[0659] カラム選択データ W__COL__SEL__SA[3] は、第 2 領域におけるデータの書き込みを行うために、図 2 3 に示すビットライン B L 0 3 及び B L B 0 3 と、ビットライン B L 1 3 及び B L B 1 3 を選択するためのカラム選択データである。

[0660] A N D 回路 7 7 0 W には、第 2 領域選択データ S A、否定演算されたカラムアドレス A[1]、否定演算されたカラムアドレス A[0]、及びライトイネーブル信号 W/E が入力される。

[0661] A N D 回路 7 7 1 W には、第 2 領域選択データ S A、否定演算されたカラムアドレス A[1]、カラムアドレス A[0]、及びライトイネーブル信号 W/E が入力される。

[0662] A N D 回路 7 7 2 W には、第 2 領域選択データ S A、カラムアドレス A[1]、否定演算されたカラムアドレス A[0]、及びライトイネーブル信号 W/E が入力される。

[0663] A N D 回路 7 7 3 W には、第 2 領域選択データ S A、カラムアドレス A[1]、カラムアドレス A[0]、及びライトイネーブル信号 W/E が入力される。

[0664] カラムデコーダ 6 2 5 は、第 2 領域選択データ S A が " 1 "、カラムアドレス A[1]、A[0] が " 0 "、" 0 "、かつ、ライトイネーブル信号 W/E が H レベルの場合は、カラム選択データ W__COL__SEL__SA[0] を " 1 " にし、カラム選択データ W__COL__SEL__SA[1]、W__COL__SEL__SA[2]、W__COL__SEL__SA[3] を " 0 " にする。

[0665] カラムデコーダ 6 2 5 は、第 2 領域選択データ S A が " 1 "、カラムアドレス A[1]、A[0] が " 0 "、" 1 "、かつ、ライトイネーブル信号 W/E が H レ

ベルの場合は、カラム選択データW_COL_SEL_SA[1]を“1”にし、カラム選択データW_COL_SEL_SA[0]、W_COL_SEL_SA[2]、W_COL_SEL_SA[3]を“0”にする。

[0666] カラムデコーダ625は、第2領域選択データSAが“1”、カラムアドレスA[1]、A[0]が“1”、“0”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_SA[2]を“1”にし、カラム選択データW_COL_SEL_SA[0]、W_COL_SEL_SA[1]、W_COL_SEL_SA[3]を“0”にする。

[0667] カラムデコーダ625は、第2領域選択データSAが“1”、カラムアドレスA[1]、A[0]が“1”、“1”、かつ、ライトイネーブル信号W/EがHレベルの場合は、カラム選択データW_COL_SEL_SA[3]を“1”にし、カラム選択データW_COL_SEL_SA[0]、W_COL_SEL_SA[1]、W_COL_SEL_SA[2]を“0”にする。

[0668] なお、第2領域選択データSAが“0”である場合は、第2領域におけるデータの書き込みを行わない場合であるため、カラム選択データW_COL_SEL_SA[0]、W_COL_SEL_SA[1]、W_COL_SEL_SA[2]、及びW_COL_SEL_SA[3]は、すべて“0”になる。

[0669] 入出力ポート430A、430Bは、実施の形態2の入出力ポート430A、430Bと同様であり、第1パターン選択データF又は第2パターン選択データSに基づき、第1パターン又は第2パターンで、グローバルビットライン214を介して各ビットから読み出すデータ又は各ビットに書き込むデータを選択する。

[0670] 奇数ビットD[n]及び偶数ビットD[n-1]の入出力ポート(I/O)430Aには、第1パターン選択データF及び第2パターン選択データSの両方が入力される。

[0671] 以上で説明した実施の形態3のSRAM600によれば、第1パターン又は第2パターンによるデータの読み出し又は書き込みを行うために、奇数ビット又は偶数ビットに含まれるアドレスのビットセルをサブバンク450U

又は450Lから千鳥状に選択することができる。

[0672] これは、例えば、図22に示す×印のある4カラムを含むビットを第1パターンで選択するか、×印のない4カラムを含むビットを第2パターンで選択するかに相当する。

[0673] また、実施の形態3のSRAM600では、第1領域と第2領域でのデータの読み出し又は書き込みを行うために、図22に白く示すビットと、グレーで示すビットとを選択することができる。

[0674] すなわち、実施の形態3のSRAM600によれば、同一アドレスのビットセルは、白で×印のあるビット、白で×印のないビット、グレーで×印のあるビット、グレーで×印のないビットによって表される4つのグループのいずれかに属するように分けられている。

[0675] 4つのグループの各々に含まれるビットセルのうち、同一のカラム番号及びロウ番号のビットセルは、同一アドレスのビットセルである。

[0676] このため、実施の形態3のSRAM600によれば、白で×印のあるビット、白で×印のないビット、グレーで×印のあるビット、グレーで×印のないビットの4通りのビットの4通りのビットの選び方を選択することができる。

[0677] 例えば、白で×印のあるビットに着目すると、隣接するビットは、異なるサブバンクにあり、かつ、カラム選択／読み書き回路213に対して反対側のサブアレイ（211A又は211B）に含まれている。

[0678] そして、白で×印のあるビットに着目すると、同一のサブアレイ211A又は211B内における隣のビットとの間には3ビットの間隔があることになる。

[0679] これは、1ビットが16カラムを含むSRAMと同等の構成であり、白で×印のないビット、グレーで×印のあるビット、グレーで×印のないビットのグループについても同様である。

[0680] このように、実施の形態3のSRAM600では、同一アドレスの複数のビットセルは、隣接ビットについて、互いに異なるサブバンク450Uとサ

ブバンク 450L 内のサブブロック 210 に割り当てられ、かつ、カラム選択／読み書き回路 213 に対して反対側のサブアレイ（211A 又は 211B）に含まれている。

[0681] このため、比較例の SRAM 30（図 4 参照）と同様に 1 ビットが 4 カラムを含む構成であっても、 α 線又は中性子線の入射によるデータ破壊が生じても、1 ビットが 16 カラムを含む SRAM と同等の耐性を発揮することができる。

[0682] 一方、1 ビットのカラム数は 4 カラムで済むため、アスペクト比の変化（横長化）及びワードラインの長大化による動作速度の低下を抑制することができる。

[0683] 以上、実施の形態 3 によれば、アスペクト比の変更、動作速度の低下を抑制しつつ、複数ビットにわたるデータ破壊の発生を抑制した半導体記憶装置及び半導体記憶装置の制御方法を提供することができる。

[0684] 以上、本発明の例示的な実施の形態の半導体記憶装置及び半導体記憶装置の制御方法について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

符号の説明

[0685] 10、10A、10B、10C、10D、10E、10F ビットセル
11、12 インバータ
11A、11B MOS トランジスタ
12A、12B MOS トランジスタ
13、14 NMOS トランジスタ
N1、N2 記憶ノード
20 ビットセル
21、22、23、24 NMOS トランジスタ
30、30A SRAM
31、32 ワードラインドライバ

3 3 カラム選択／読み書き回路

1 0 0 サーバ

1 0 1 L S I

1 0 2 主記憶装置

1 0 3 補助記憶装置

1 1 1 プロセッサコア

1 1 2 L 1 インストラクションキャッシュ

1 1 3 L 1 データキャッシュ

1 1 4 L 2 キャッシュ

1 1 5 メモリコントローラ

2 0 0、2 0 0 A、2 0 0 B、2 0 0 X、4 0 0、6 0 0 S R A M

2 1 0 サブブロック

2 1 1 A、2 1 1 B サブアレイ

2 1 2 A、2 1 2 B、4 1 2 A、4 1 2 B ワードラインドライバ

2 1 3、4 1 3 カラム選択／読み書き回路

2 1 4 グローバルビットライン

2 1 5 A、2 1 5 B 切替回路

2 2 0、4 2 0 デコーダ

2 2 1、4 2 1 ロウデコーダ

2 2 2 サブブロックデコーダ

2 2 3 上下選択デコーダ

2 2 4 パターン選択デコーダ

2 2 5、4 2 4 カラムデコーダ

2 3 0 A、2 3 0 B、4 3 0 A、4 3 0 B 入出力ポート (I/O)

2 4 0 タイマ

4 2 2 サブアレイデコーダ

4 2 3 パターン選択デコーダ

4 5 0 U、4 5 0 L サブバンク

請求の範囲

- [請求項1] データを保持する複数のメモリセルをそれぞれ有する複数のメモリブロックと、
- 同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて異なるメモリブロック内のメモリセルを特定するデコーダと、
- 前記デコーダが特定したメモリセルが保持するデータの読み出しと、前記デコーダが特定したメモリセルに対するデータの書き込みとを実行する読み書き制御部と
- を含む、半導体記憶装置。
- [請求項2] 前記半導体記憶装置において、
- 前記メモリブロックは、前記読み書き制御部の一方の側又は他方の側に配設されるサブアレイであり、
- 前記デコーダは、前記同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて、前記読み書き制御部の一方の側のサブアレイ内のメモリセルと、前記読み書き制御部の他方の側のサブアレイ内のメモリセルとを特定する、請求項1記載の半導体記憶装置。
- [請求項3] 前記半導体記憶装置において、
- 前記デコーダは、前記同一アドレスの複数のメモリセルを特定する際に、奇数ビットについて前記読み書き制御部の一方の側のサブアレイ内のメモリセルを選択するとともに、偶数ビットについて前記読み書き制御部の他方の側のサブアレイ内のメモリセルを選択するためのパターン選択データに基づいて、前記読み書き制御部の一方の側のサブアレイ内のメモリセルと、前記読み書き制御部の他方の側のサブアレイ内のメモリセルとを特定する、請求項2記載の半導体記憶装置。
- [請求項4] 前記半導体記憶装置において、
- 前記メモリブロックは、前記メモリセルをそれぞれ含む複数のサブブロックが階層化されたサブバンクであり、前記サブバンクは、前記読み書き制御部で読み出し又は書き込みが行われるデータを当該半導

体記憶装置の外部回路との間で入出力するための入出力部の一方の側と他方の側とに配設されており、

前記デコーダは、前記同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて、前記入出力部の一方の側のサブバンク内のメモリセルと、前記入出力部の他方の側のサブバンク内のメモリセルとを特定する、請求項 1 記載の半導体記憶装置。

[請求項5]

前記半導体記憶装置において、

前記デコーダは、前記同一アドレスの複数のメモリセルを特定する際に、奇数ビットについて前記入出力部の一方の側のサブバンク内のメモリセルを選択するとともに、偶数ビットについて前記入出力部の他方の側のサブバンク内のメモリセルを選択するためのパターン選択データに基づいて、前記入出力部の一方の側のサブバンク内のメモリセルと、前記入出力部の他方の側のサブバンク内のメモリセルとを特定する、請求項 4 記載の半導体記憶装置。

[請求項6]

前記半導体記憶装置において、

前記メモリブロックは、前記メモリセルをそれぞれ含む複数のサブブロックが階層化されたサブバンクであり、前記サブバンクは、前記読み書き制御部で読み出し又は書き込みが行われるデータを当該半導体記憶装置の外部回路との間で入出力するための入出力部の一方の側と他方の側とに配設されており、

前記デコーダは、前記同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて、前記入出力部の一方の側のサブバンク内のサブブロックと、前記入出力部の他方の側のサブバンク内のサブブロックとを特定するとともに、前記サブブロックの前記読み書き制御部の一方の側と他方の側とに配設されるサブアレイについて、1 ビットずつ又は2 ビットずつ、前記読み書き制御部の一方の側のサブアレイに含まれるメモリセルと、前記読み書き制御部の他方の側のサブアレイに含まれるメモリセルとを特定する、請求項 1 記載の半導体記憶

装置。

[請求項7]

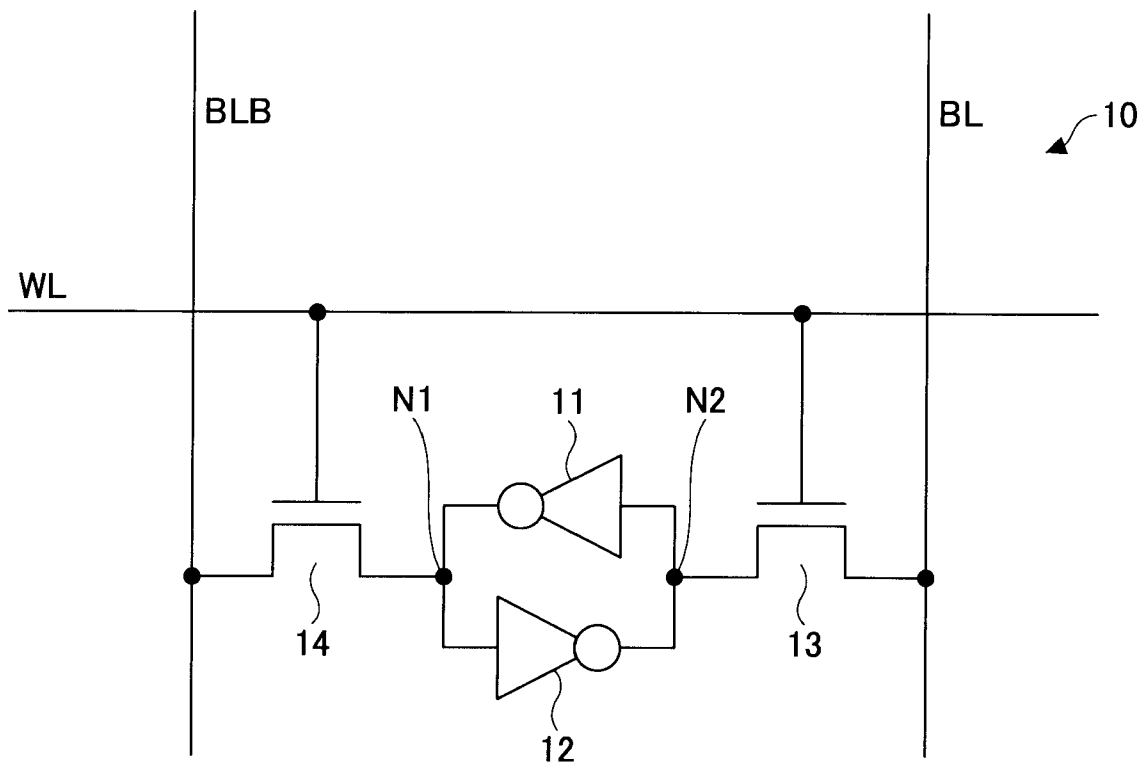
データを保持する複数のメモリセルをそれぞれ有する複数のメモリブロックを有する半導体記憶装置の制御方法において、

前記半導体記憶装置のデコーダが、同一アドレスの複数のメモリセルを特定する際に、隣接ビットについて異なるメモリブロック内のメモリセルを特定するステップと、

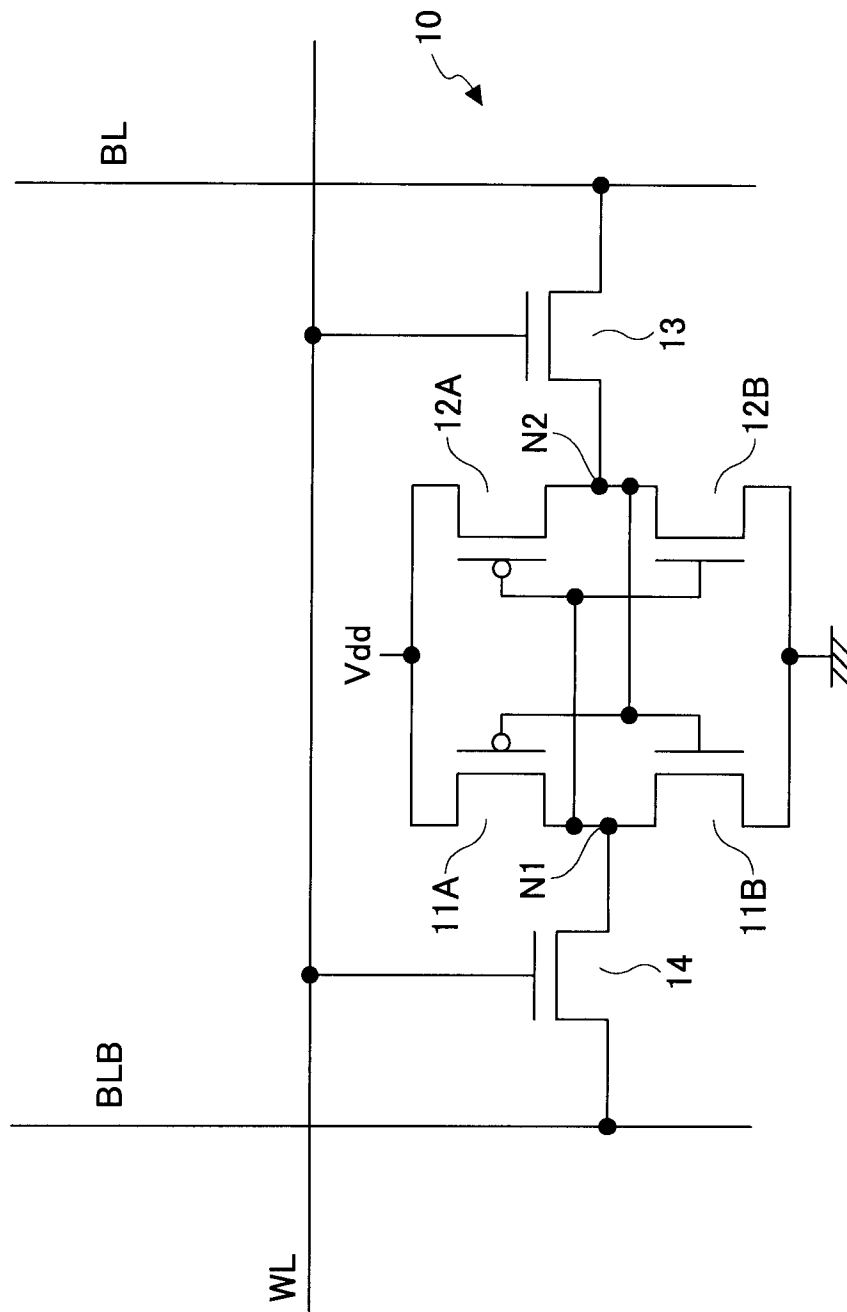
前記半導体記憶装置の読み書き制御部が、前記デコーダが特定したメモリセルが保持するデータの読み出しと、前記デコーダが特定したメモリセルに対するデータの書き込みとを実行するステップと

を含む、半導体記憶装置の制御方法。

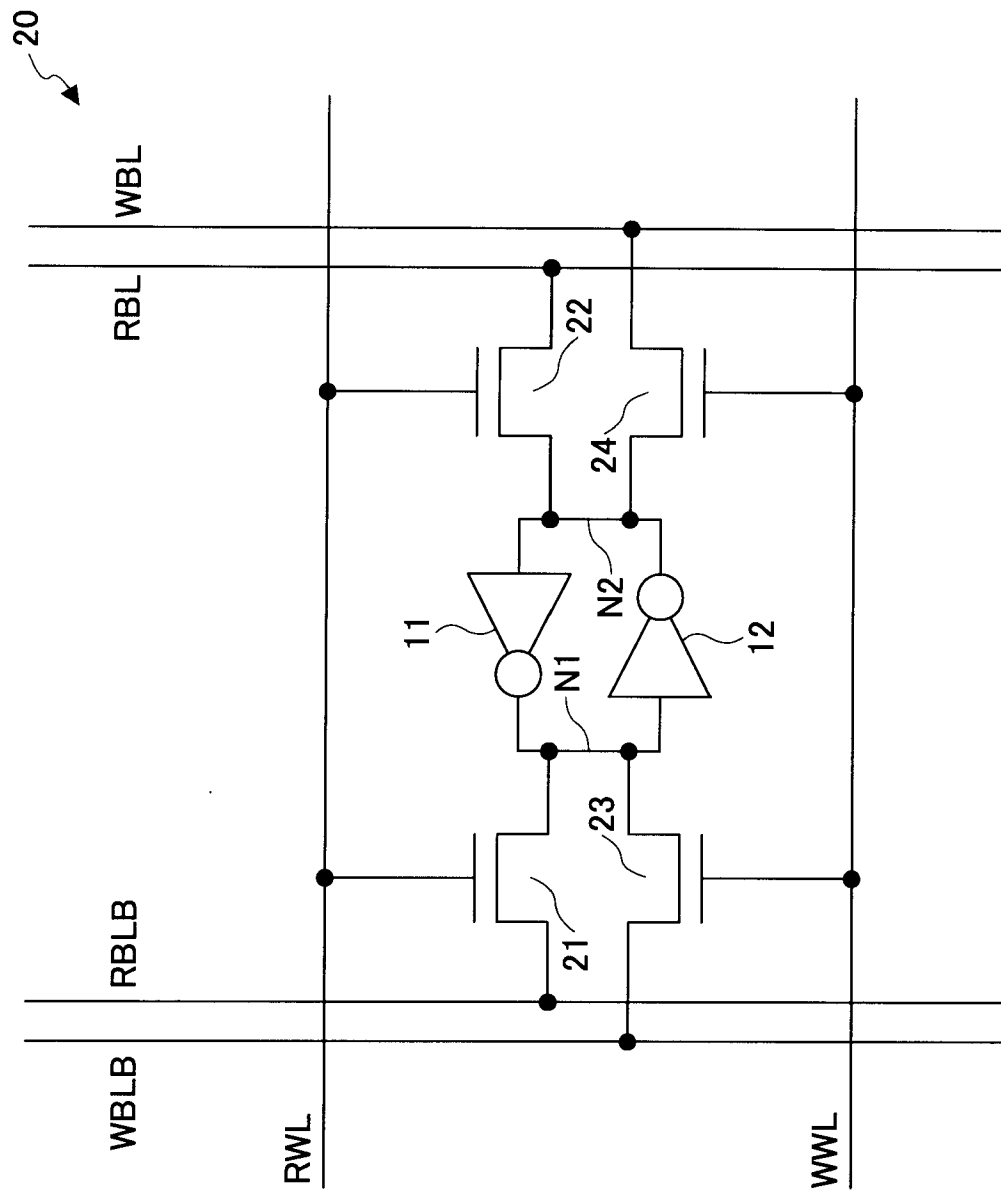
[図1]



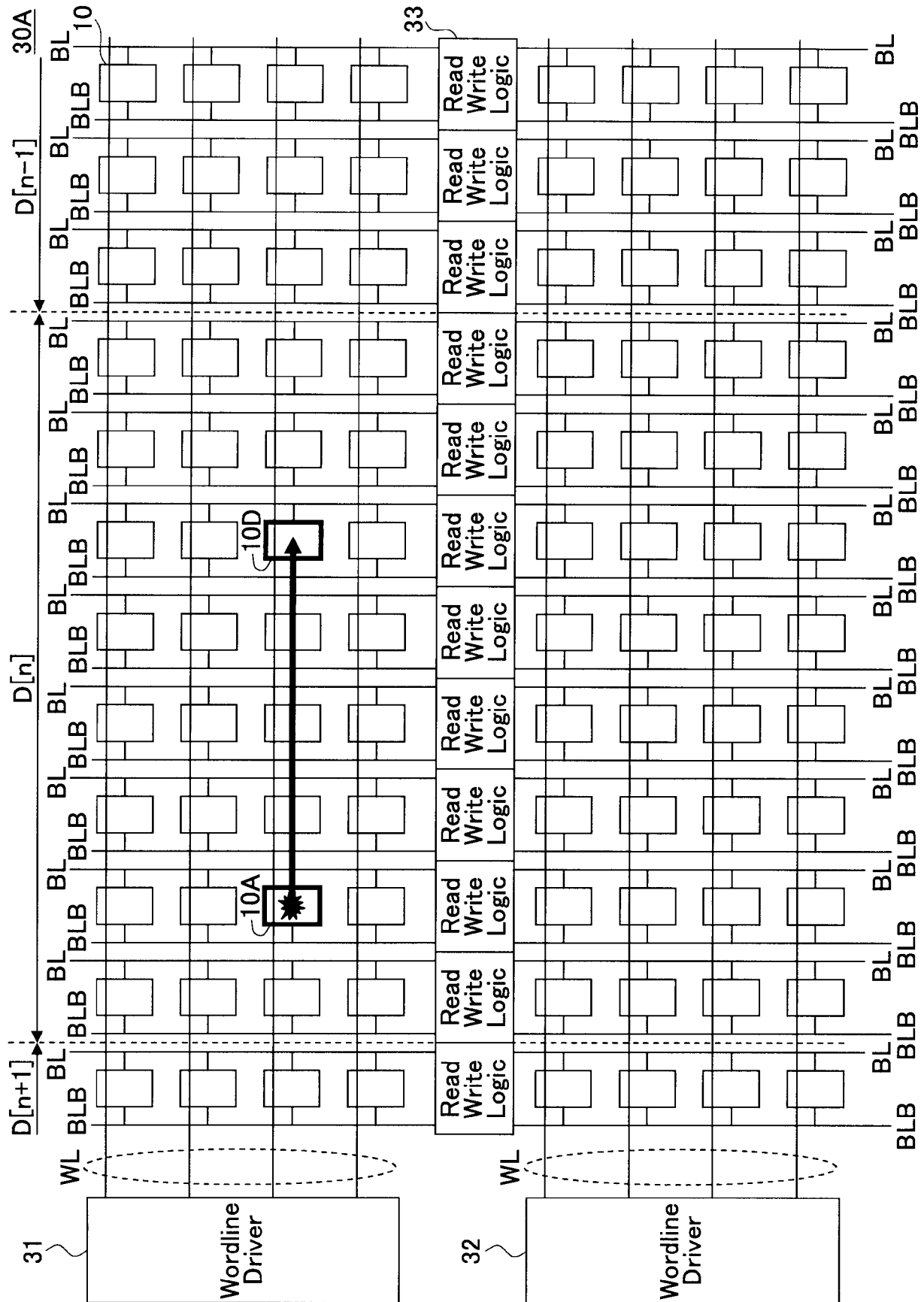
[図2]



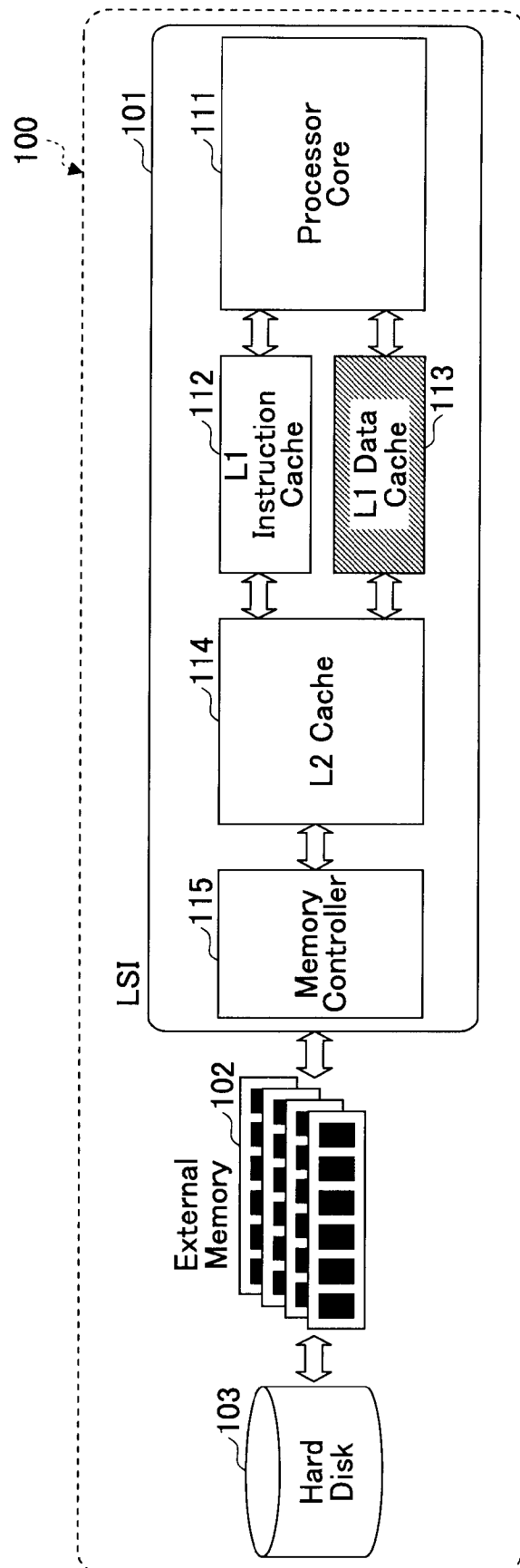
[図3]



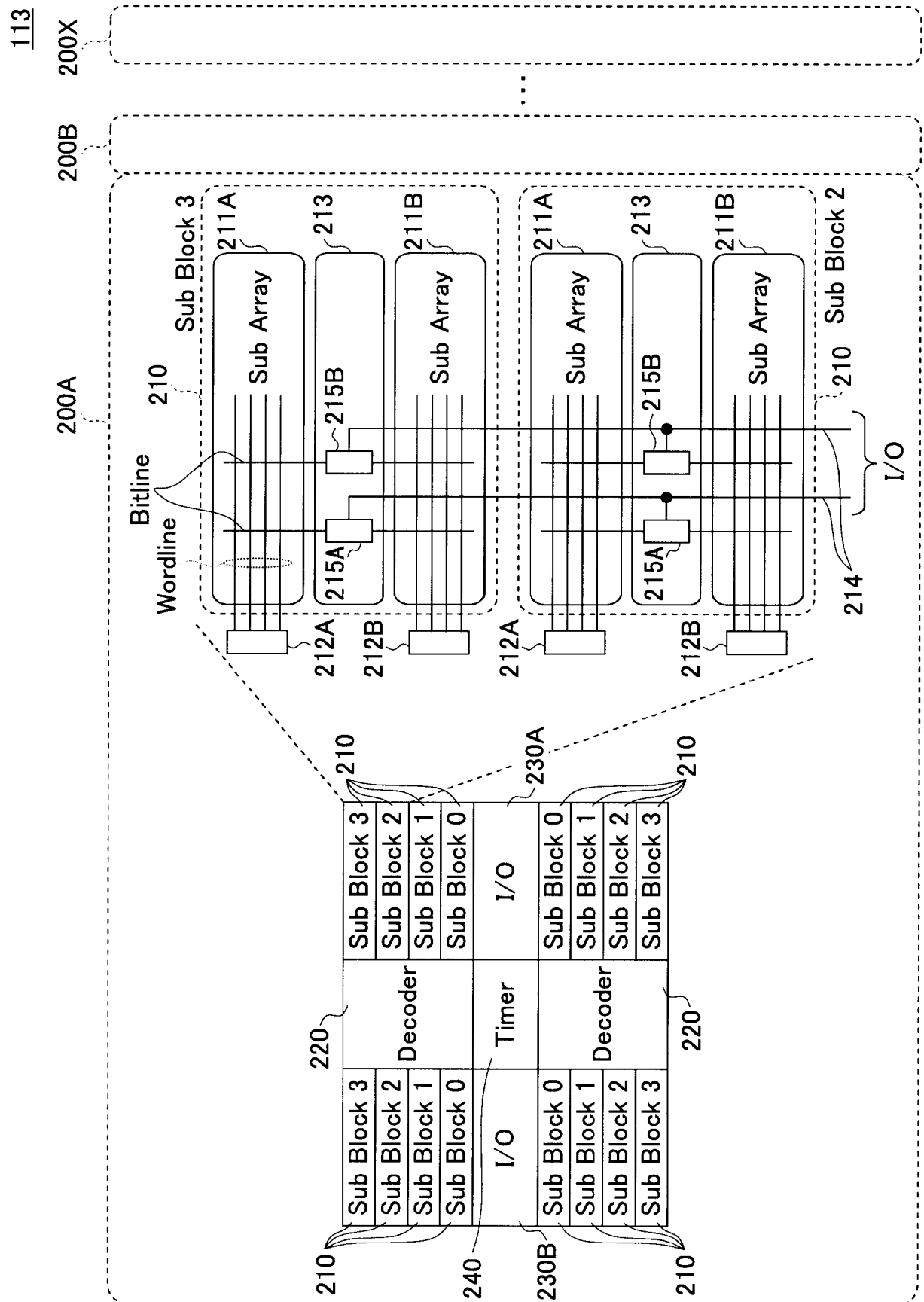
[図5]



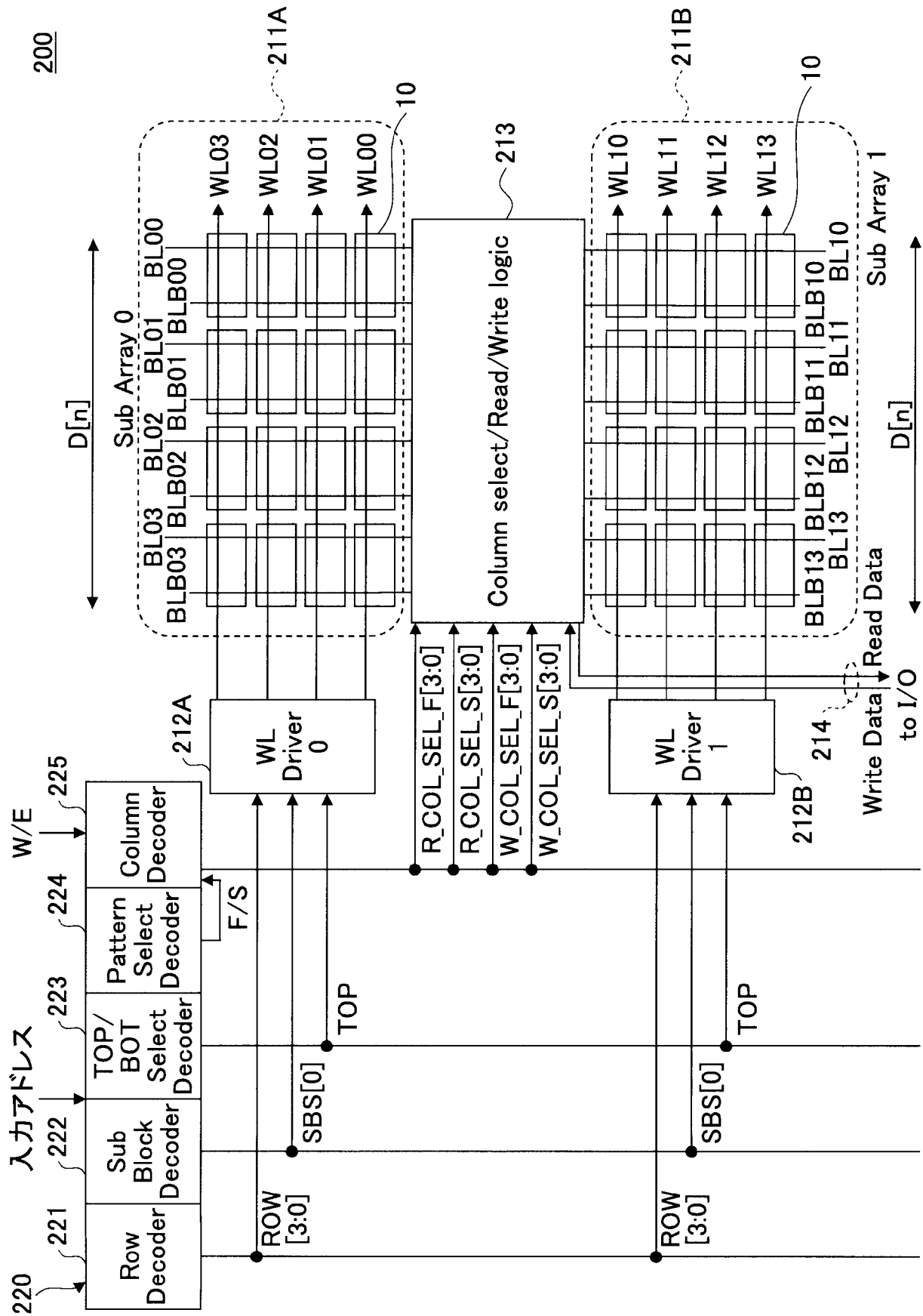
[図6]



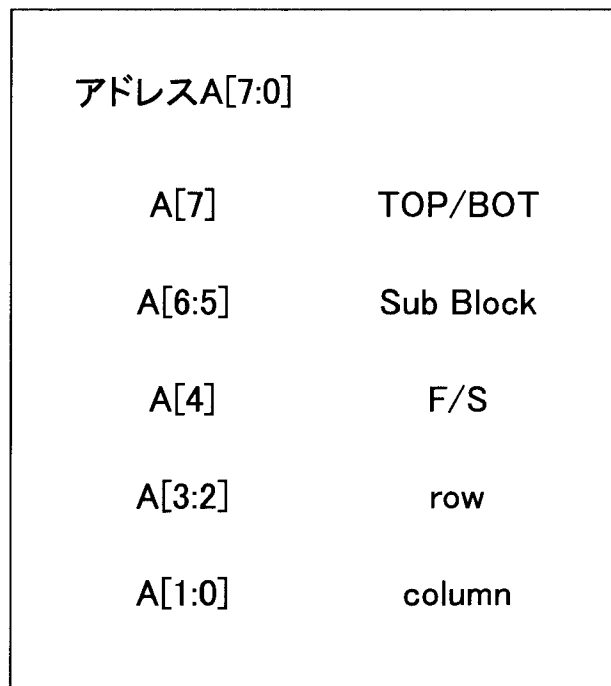
[図7]



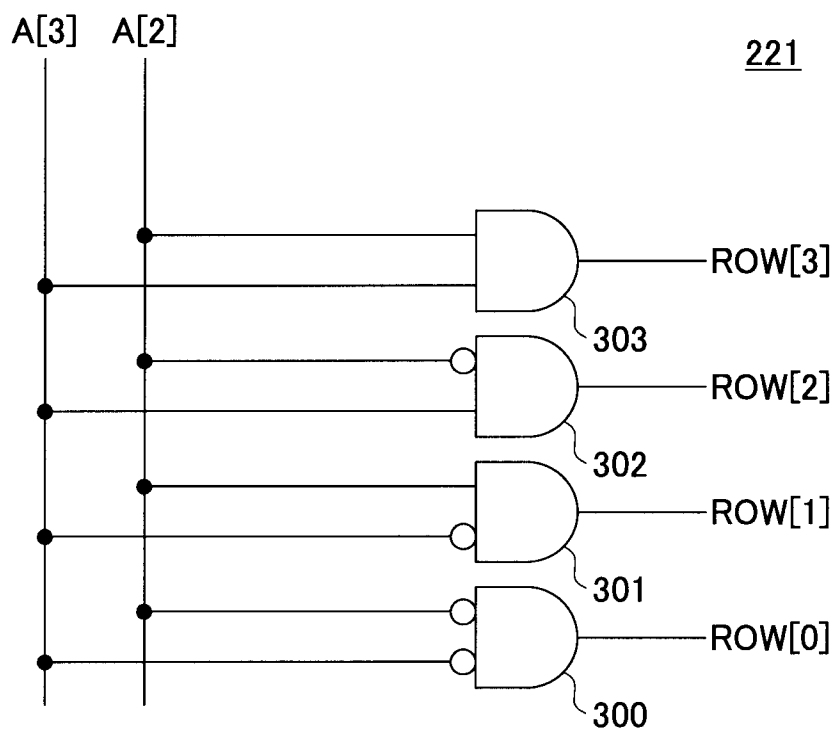
[図8]



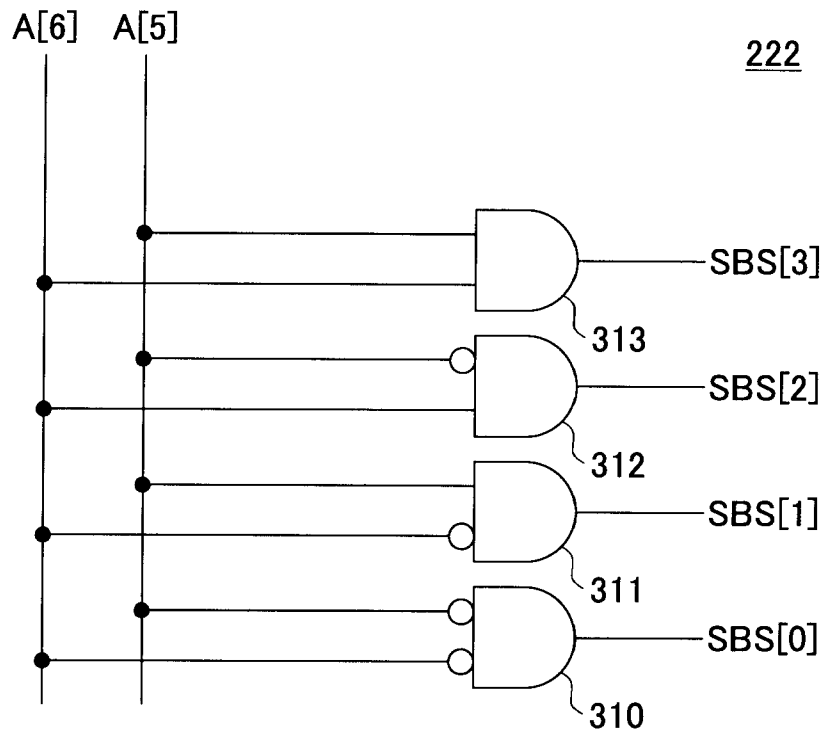
[図9A]



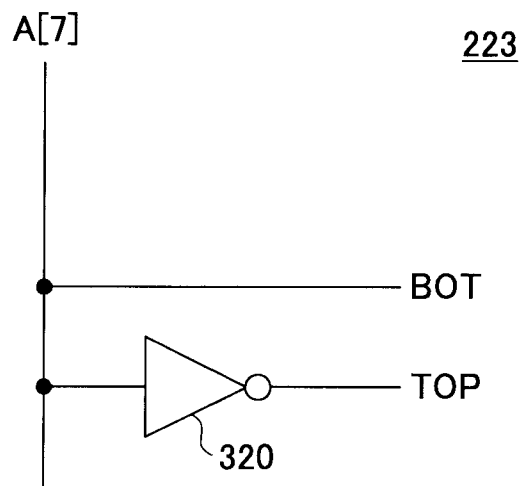
[図9B]



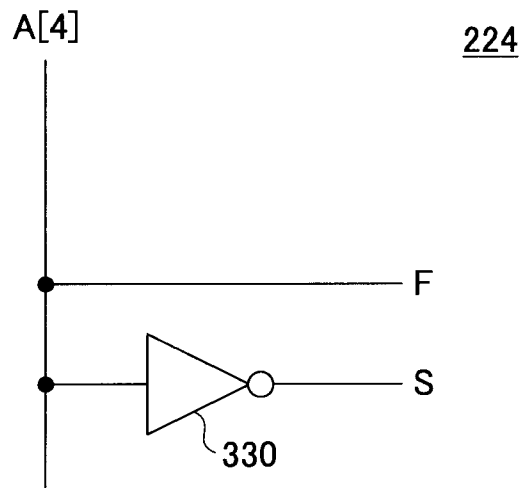
[図9C]



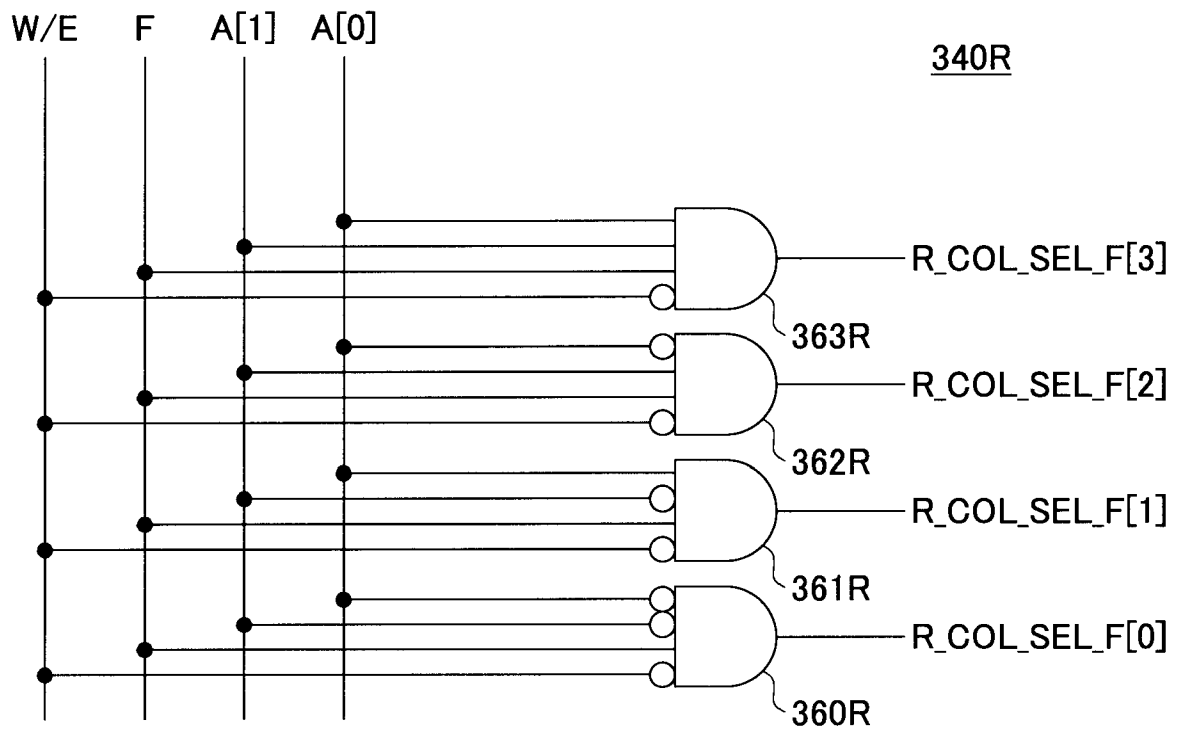
[図9D]



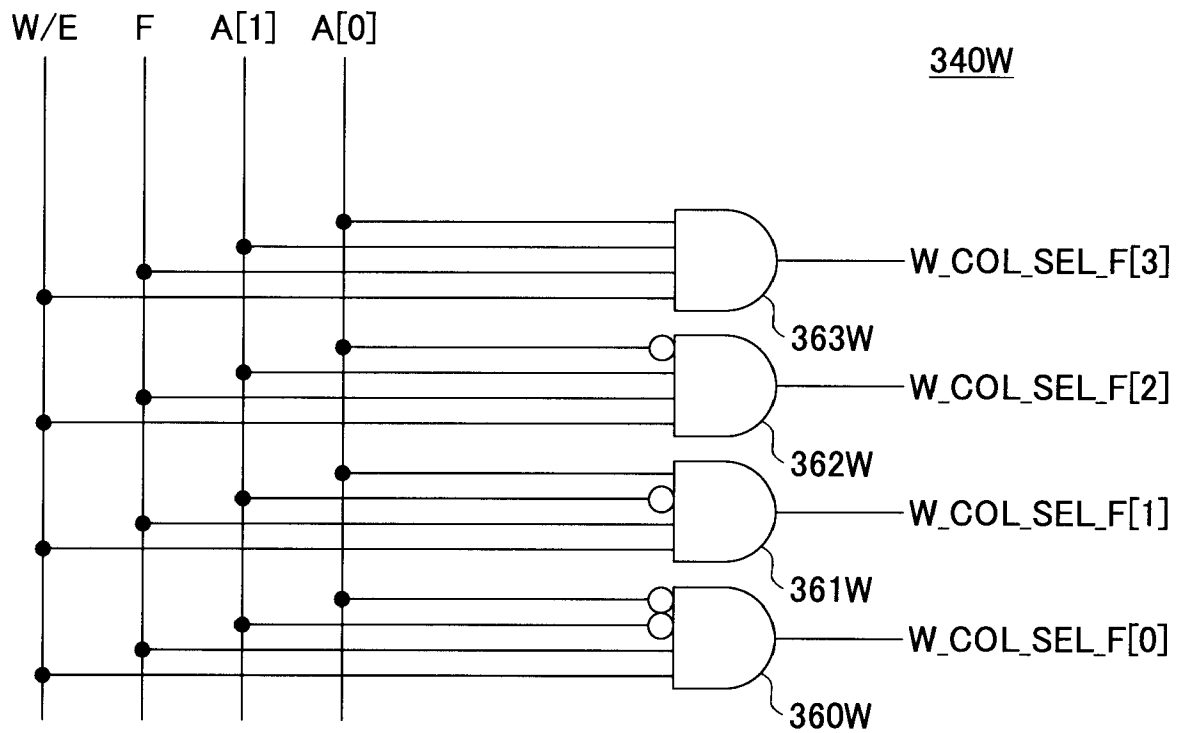
[図9E]



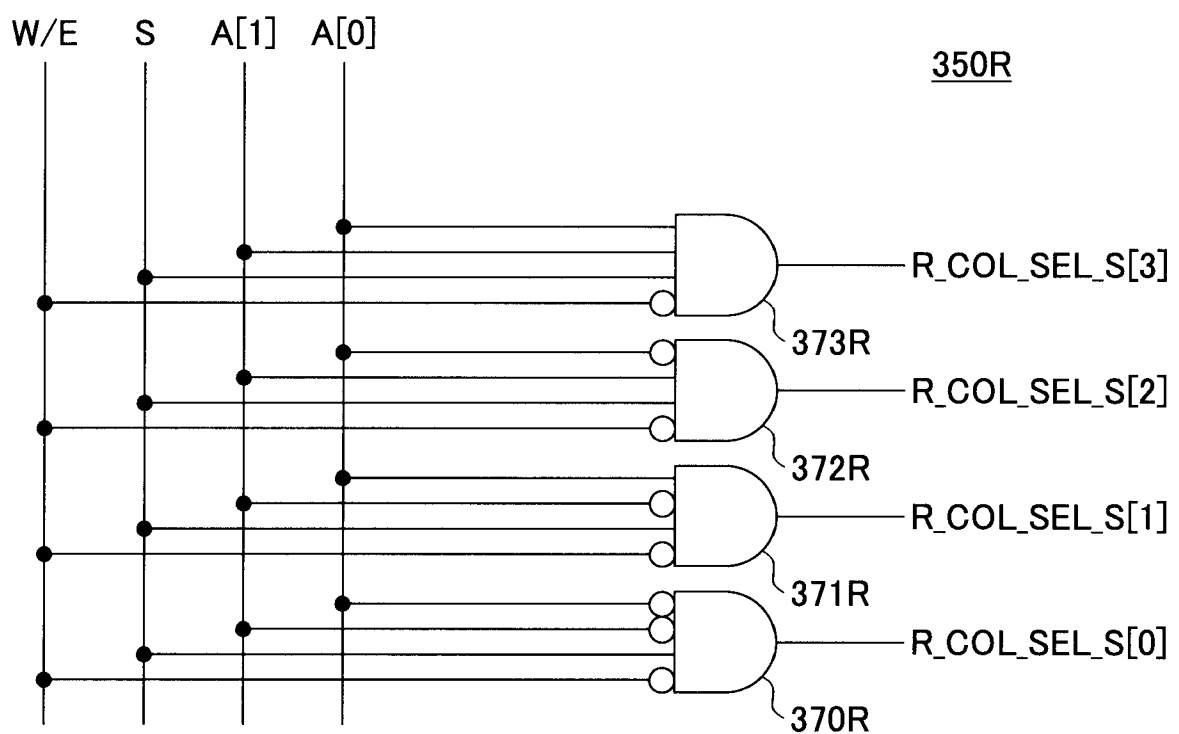
[図9F]



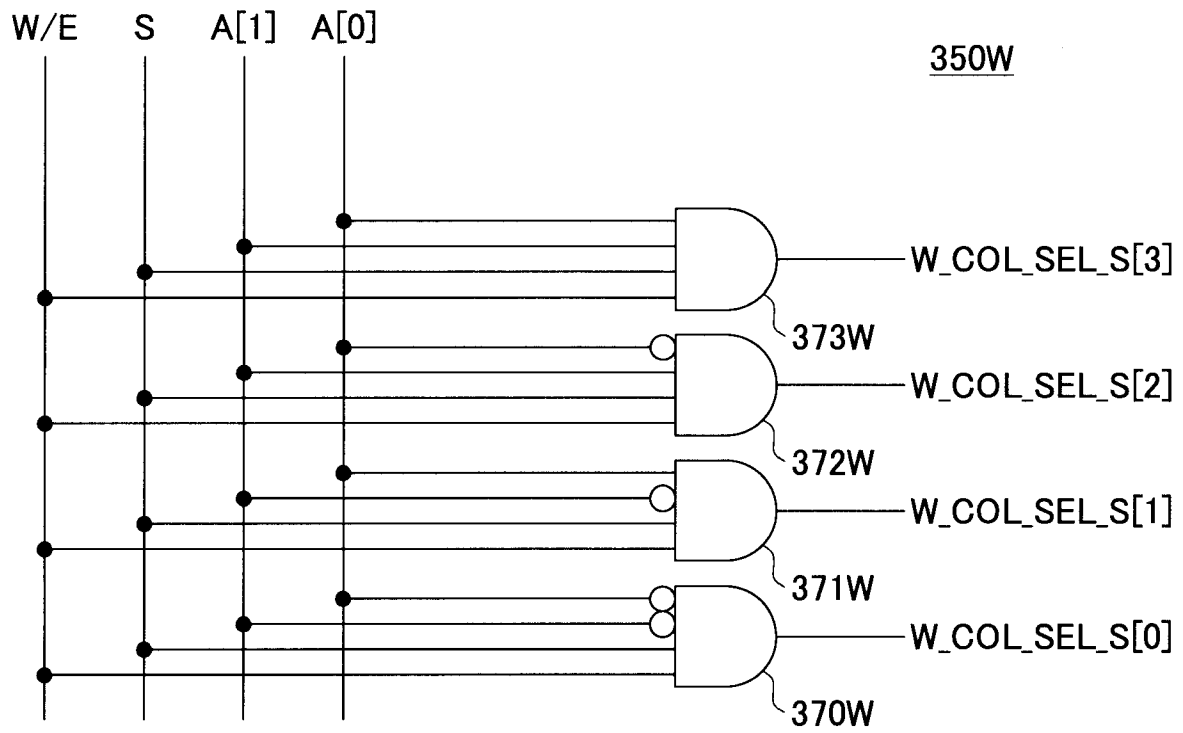
[図9G]



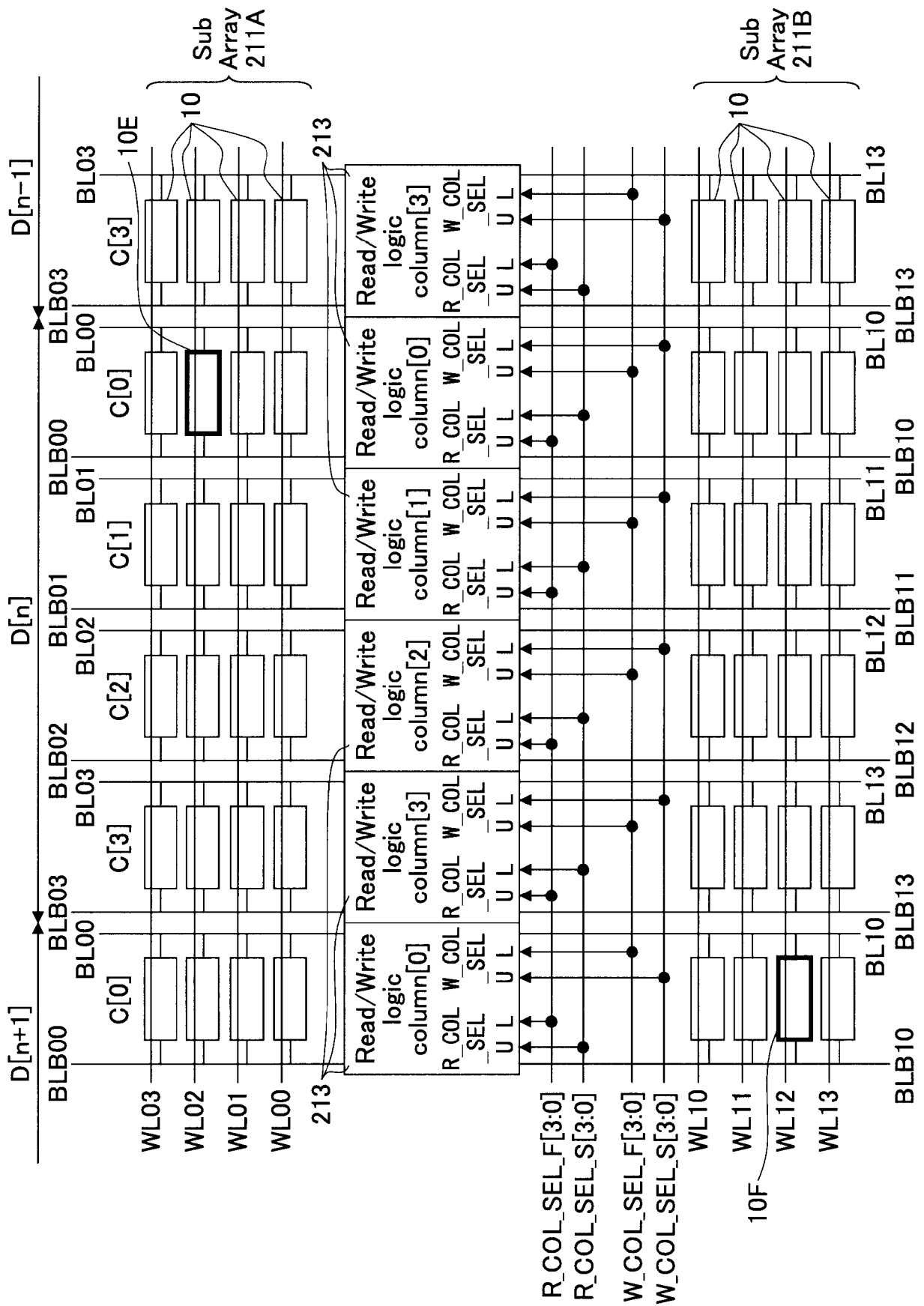
[図9H]



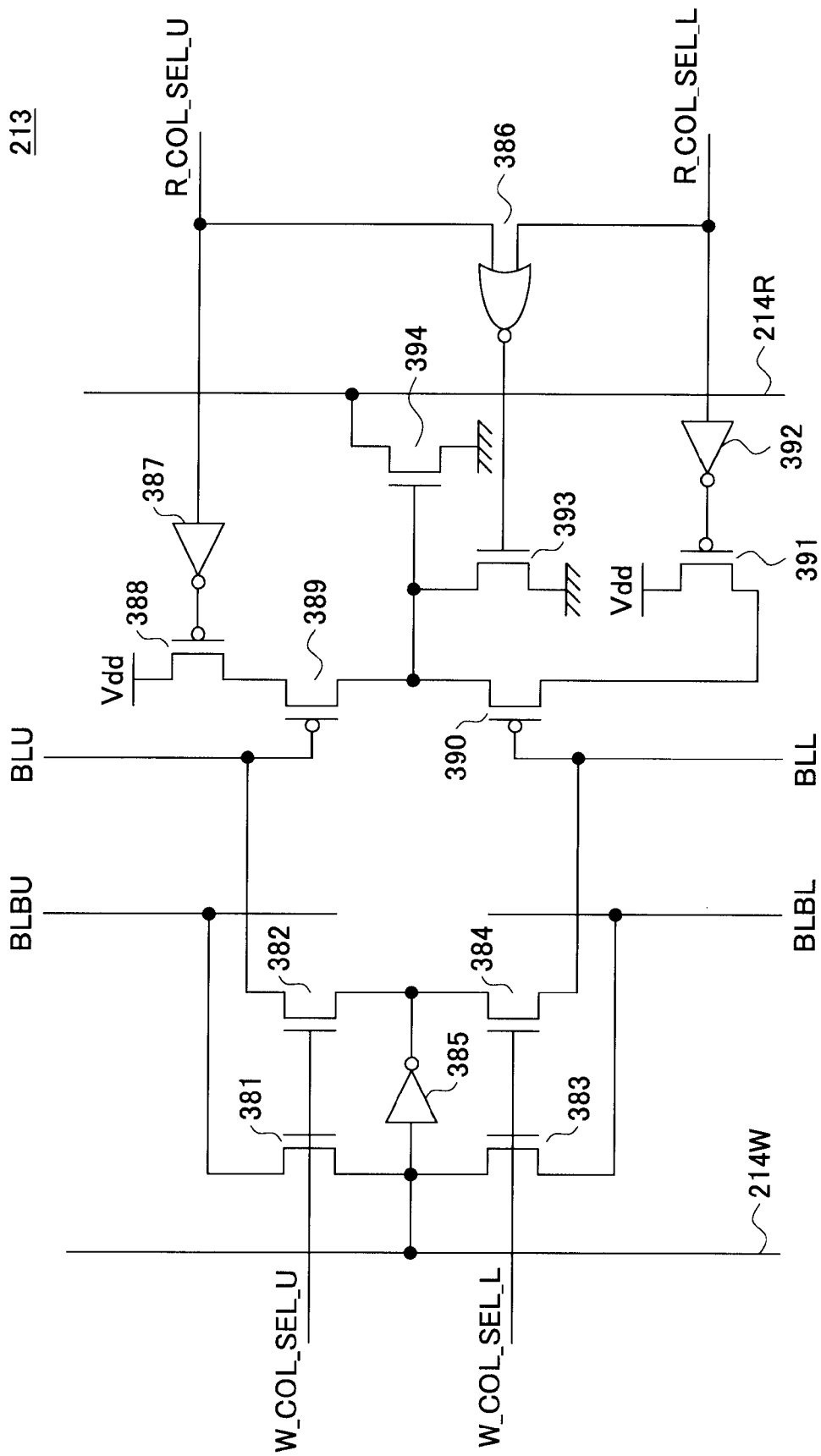
[図9I]



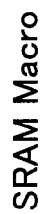
[図10]



213

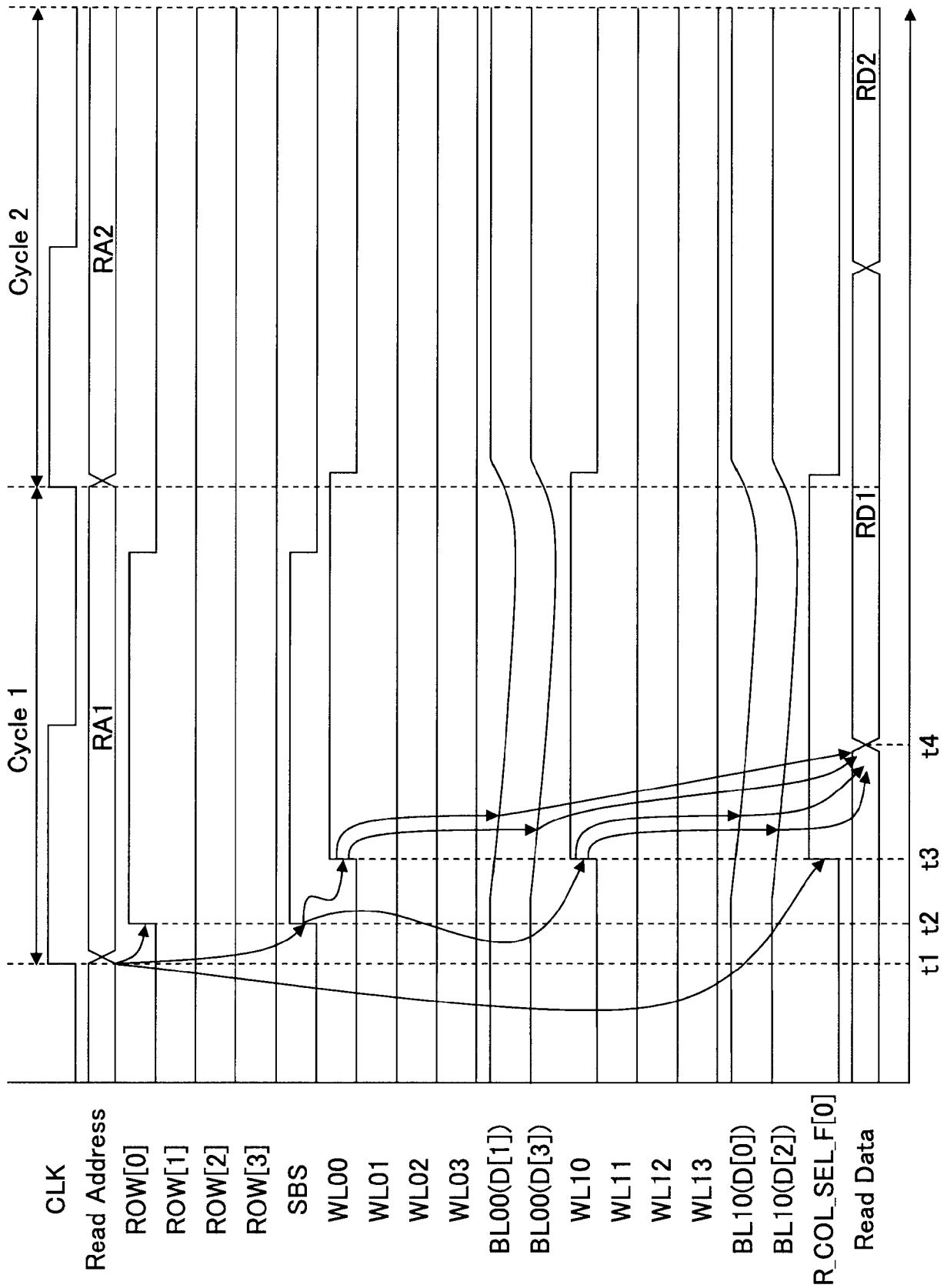


210

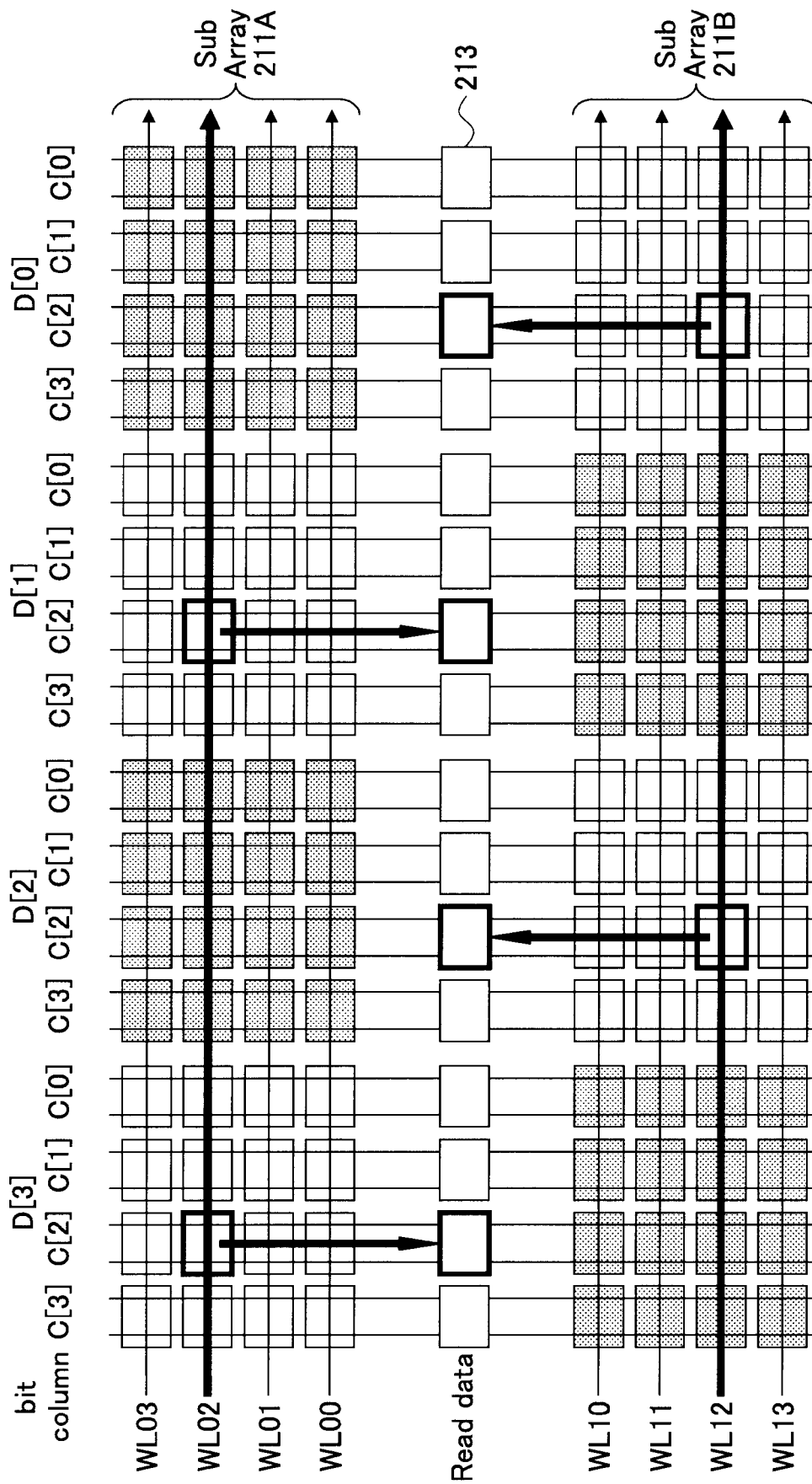


Sub Block 3	Decoder	Sub Block 3
Sub Block 2		Sub Block 2
Sub Block 1		Sub Block 1
Sub Block 0		Sub Block 0
I/O	Timer	I/O
Sub Block 0	Decoder	Sub Block 0
Sub Block 1		Sub Block 1
Sub Block 2		Sub Block 2
Sub Block 3		Sub Block 3

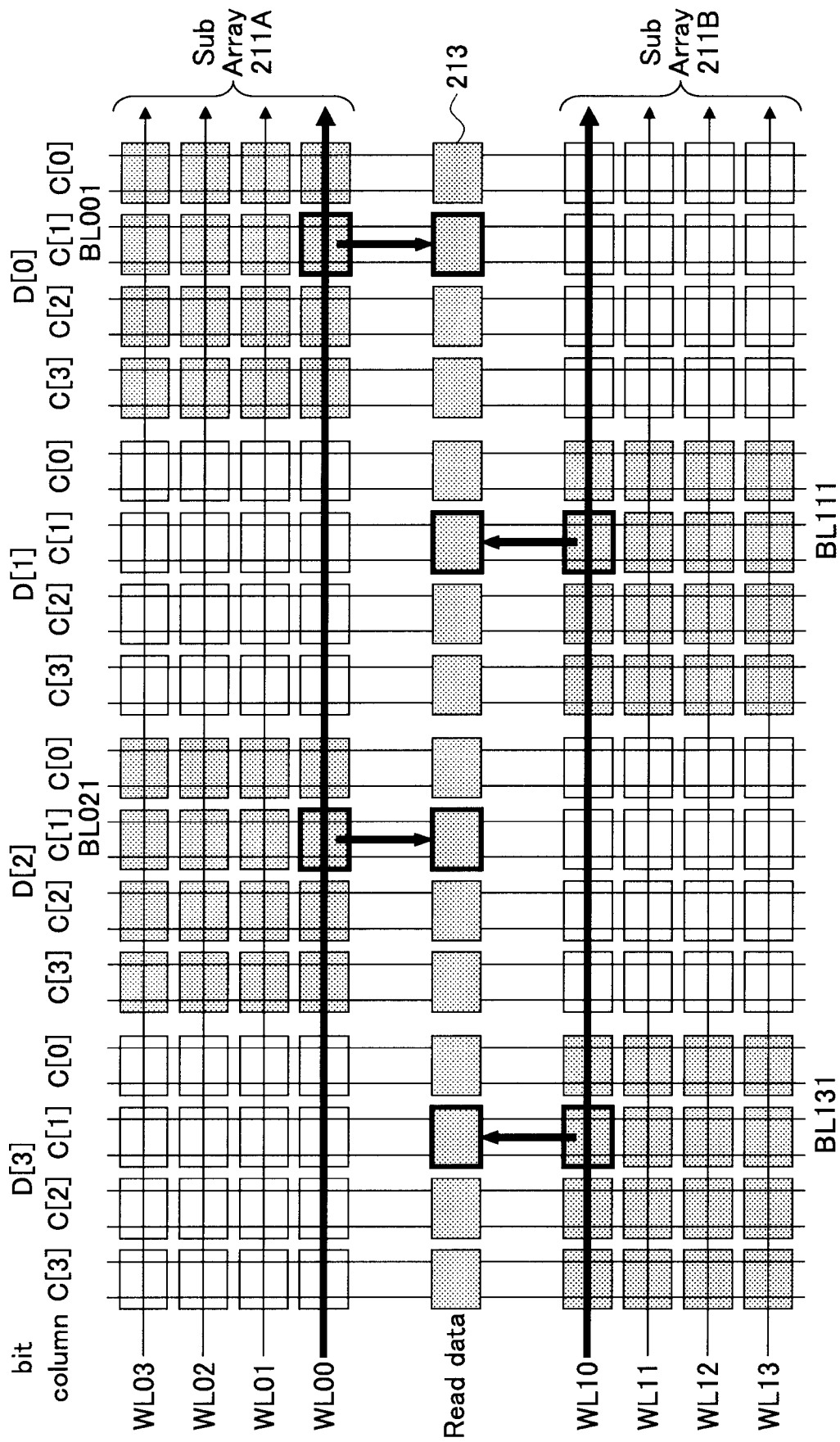
[図13]



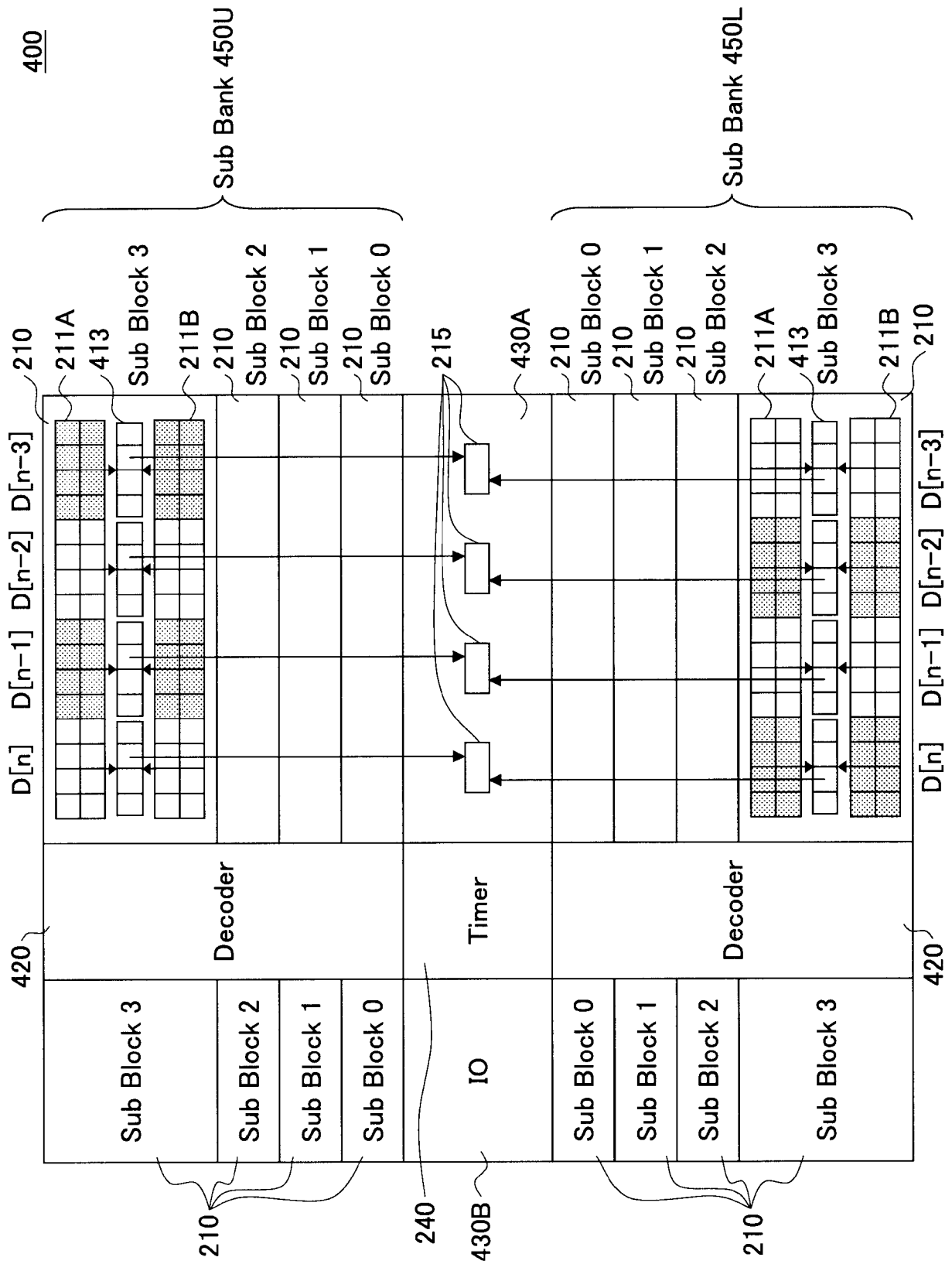
[図14]



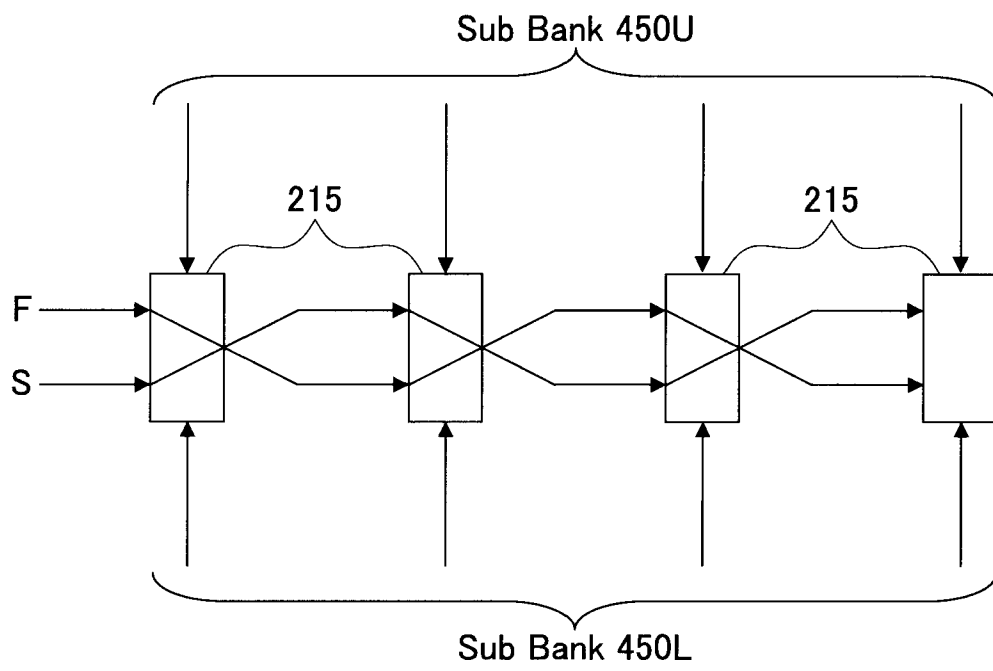
[図15]



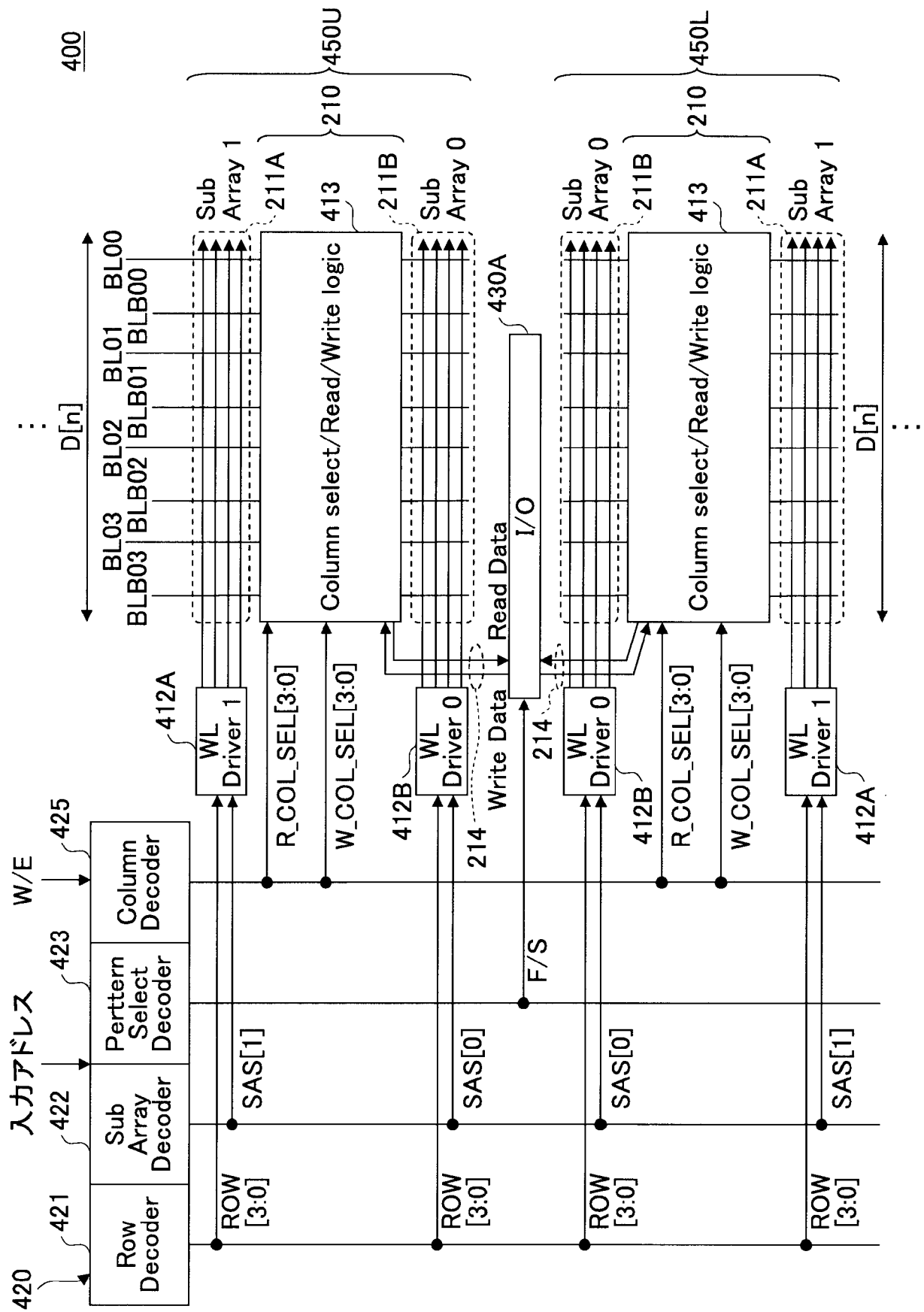
[図16]



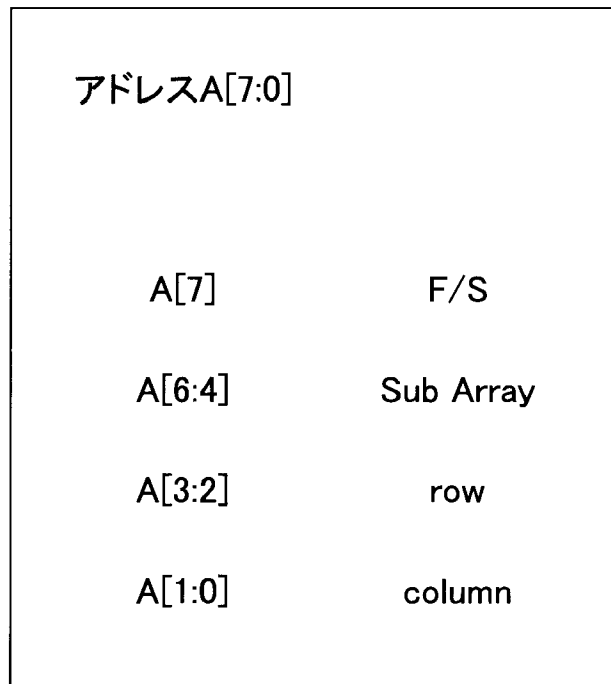
[図17]



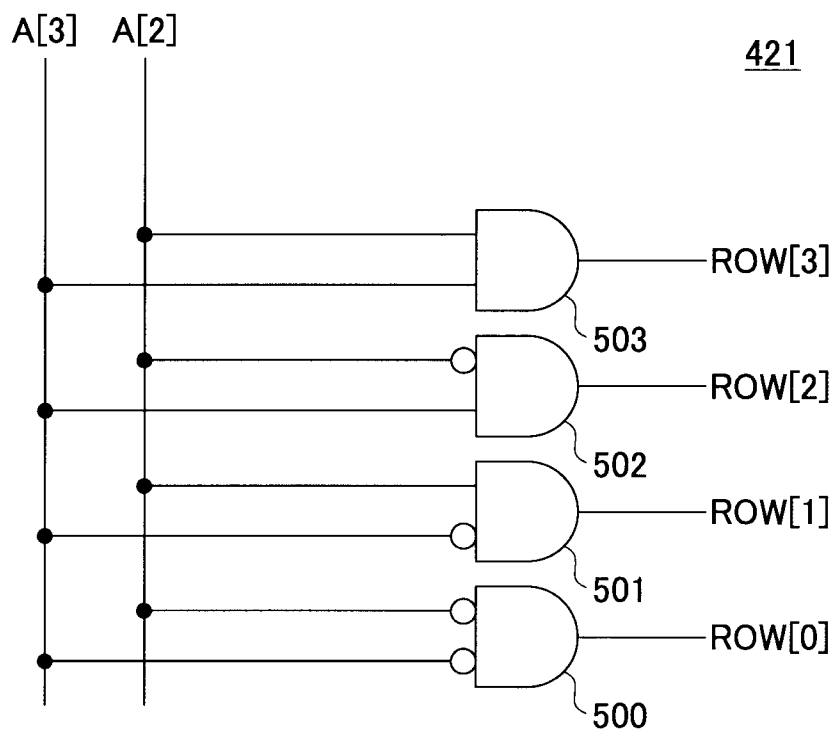
[図18]



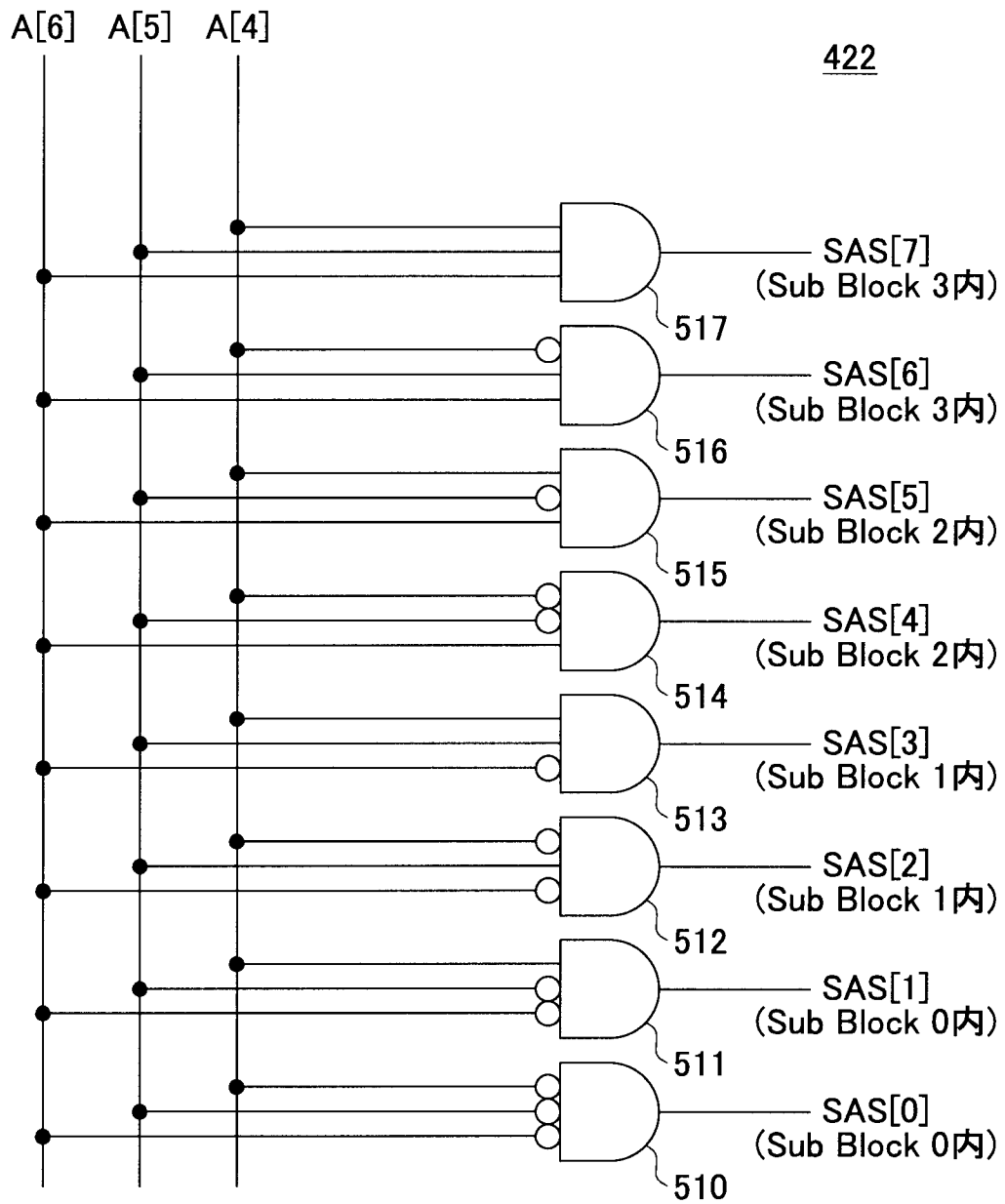
[図19A]



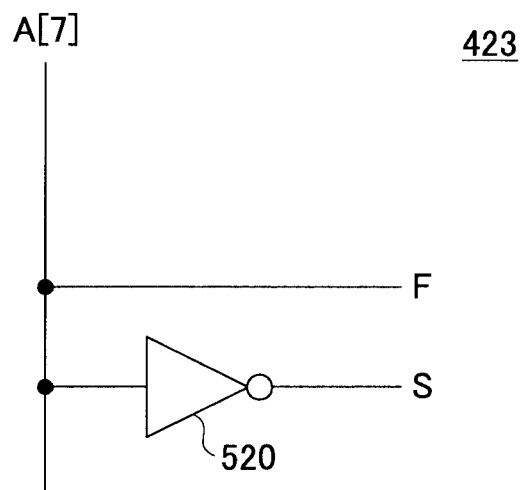
[図19B]



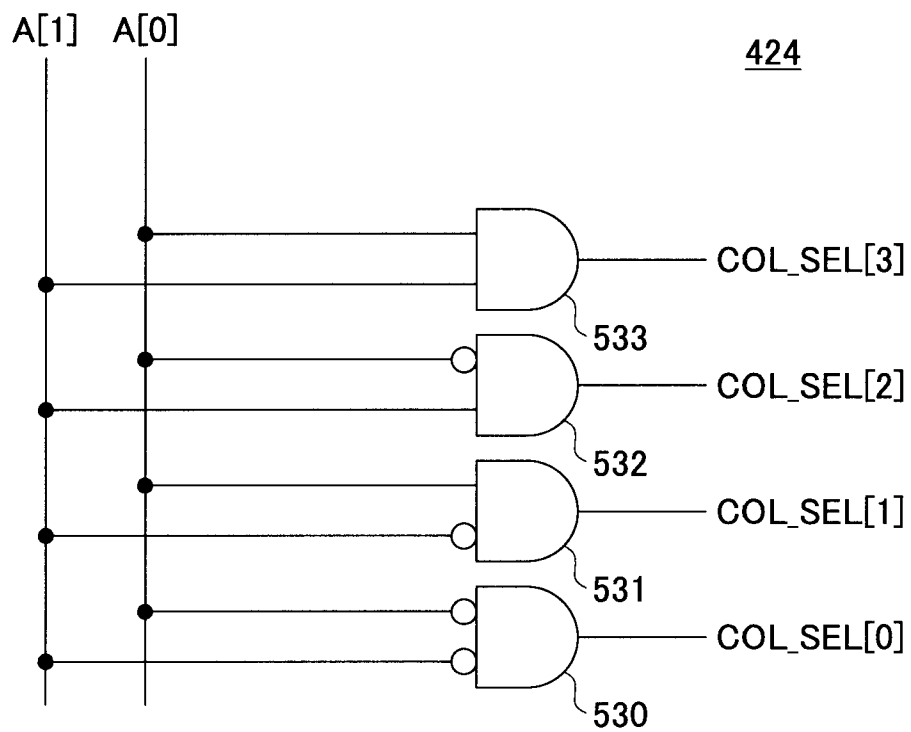
[図19C]



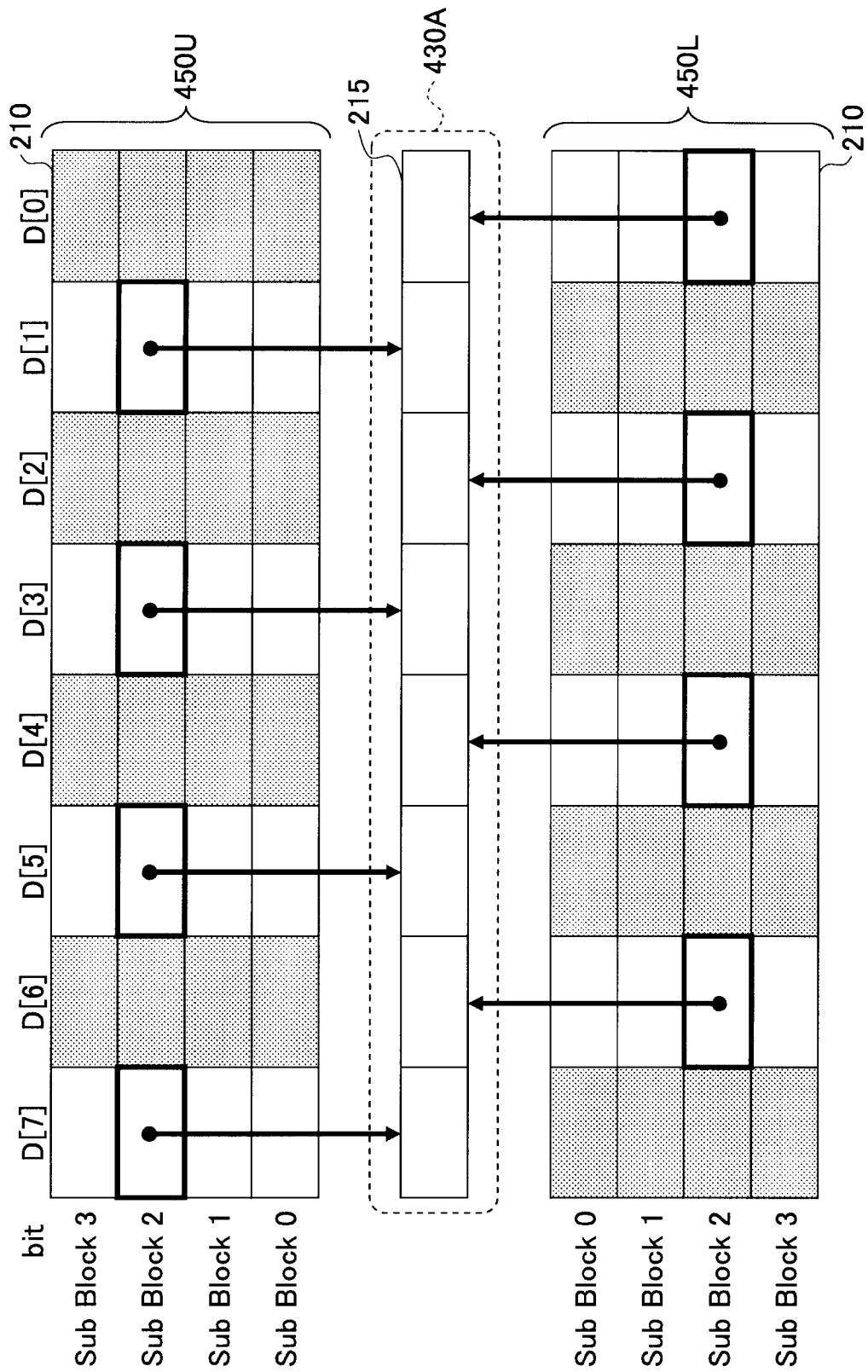
[図19D]



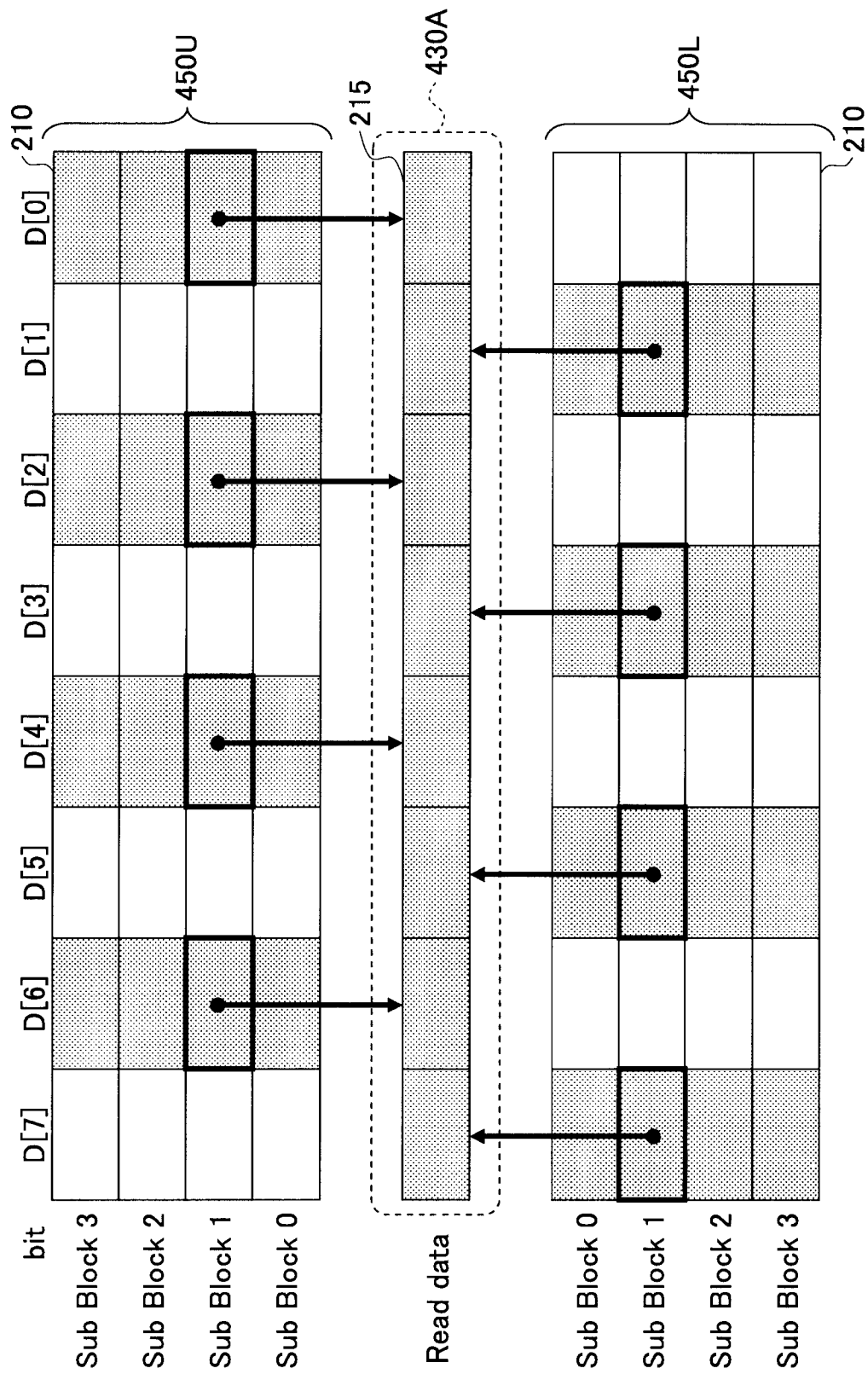
[図19E]



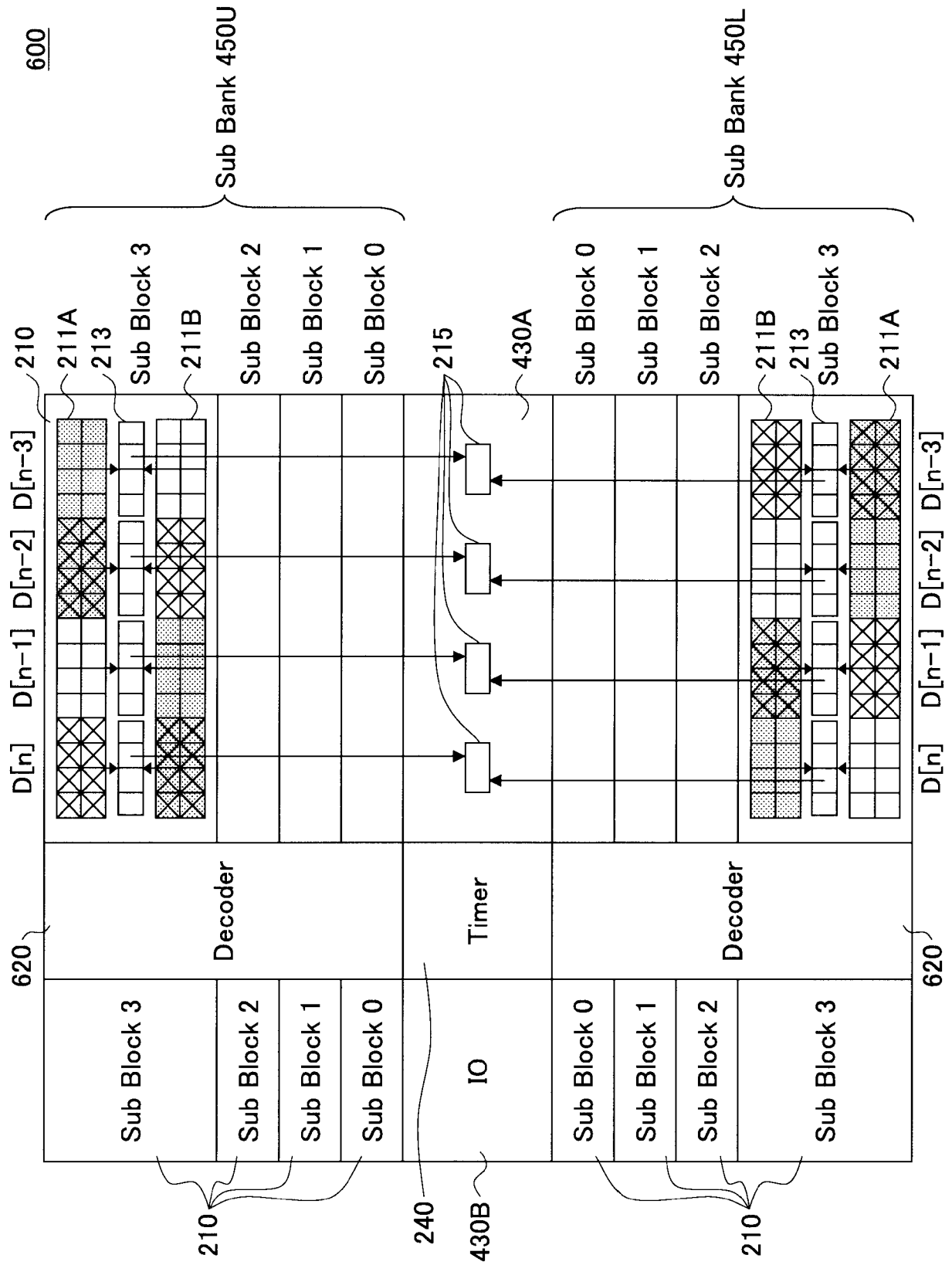
[図20]



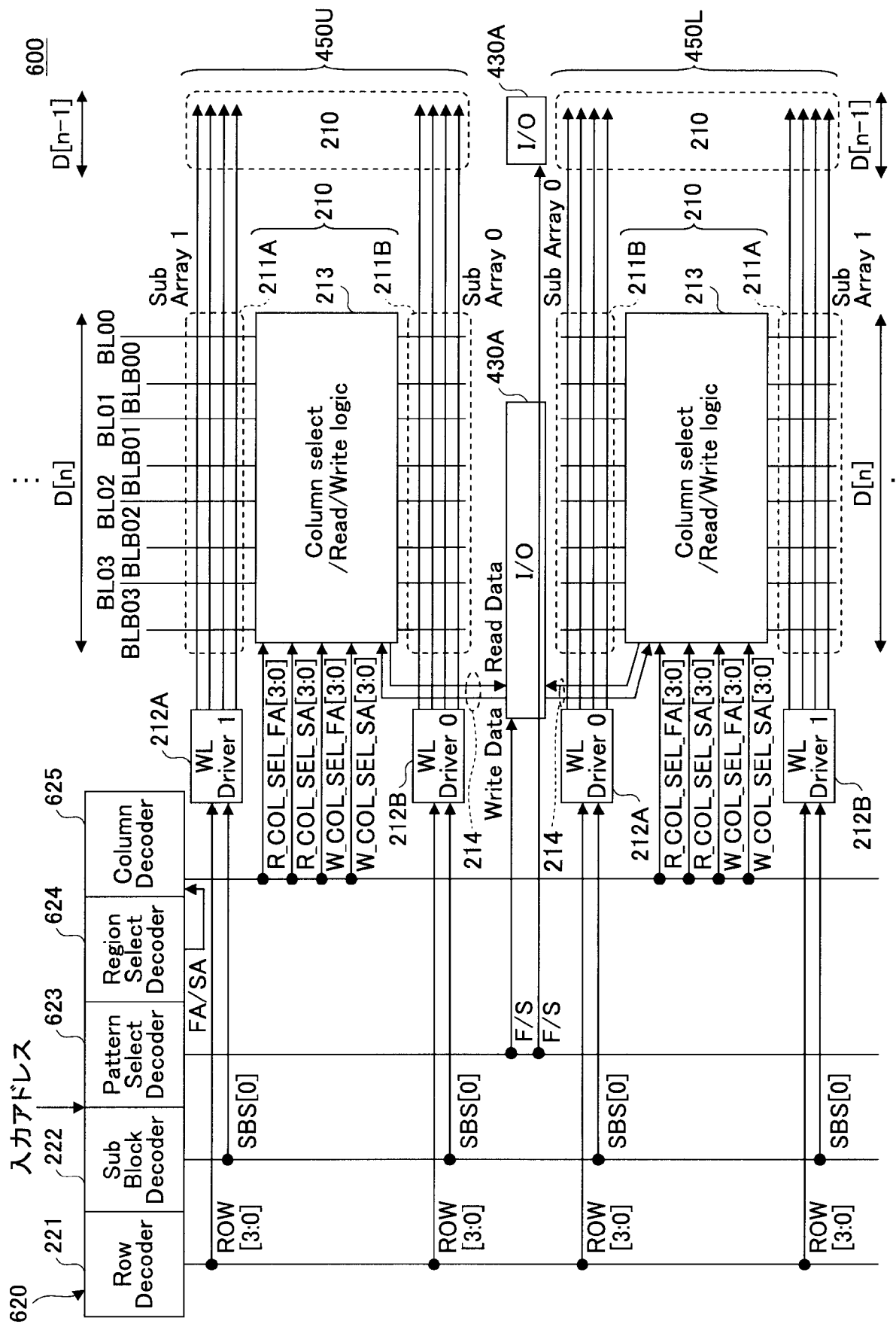
[図21]



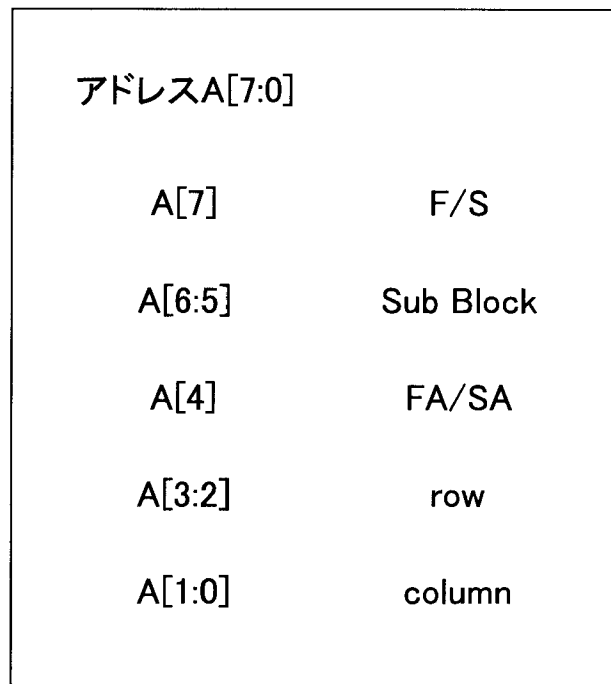
[図22]



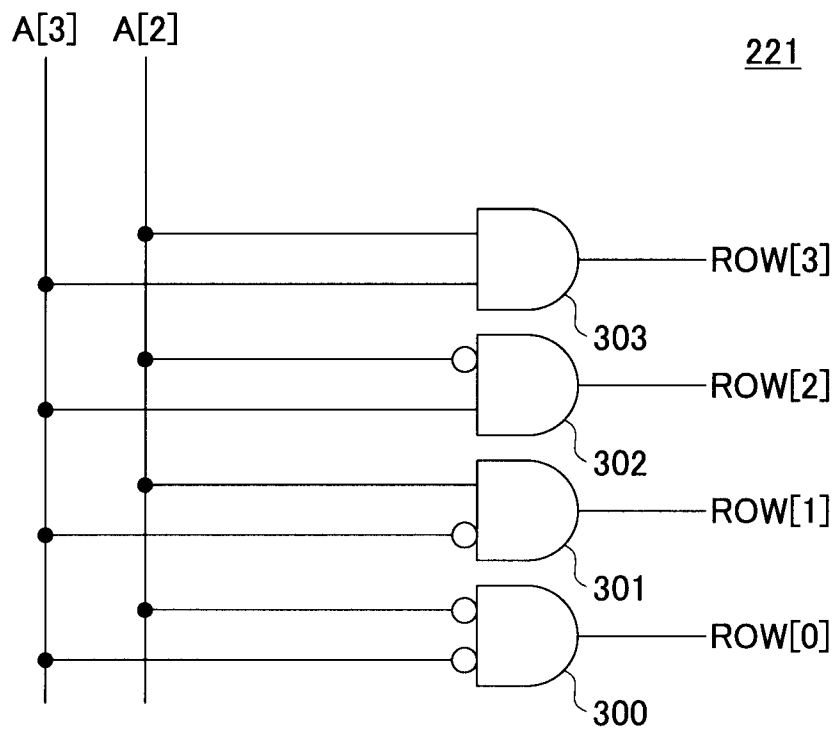
[図23]



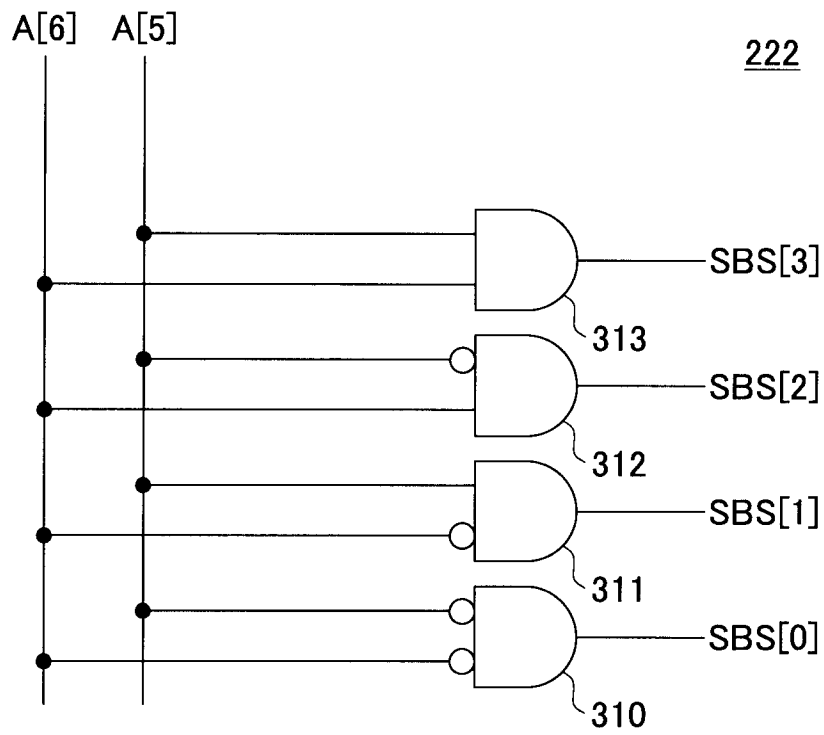
[図24A]



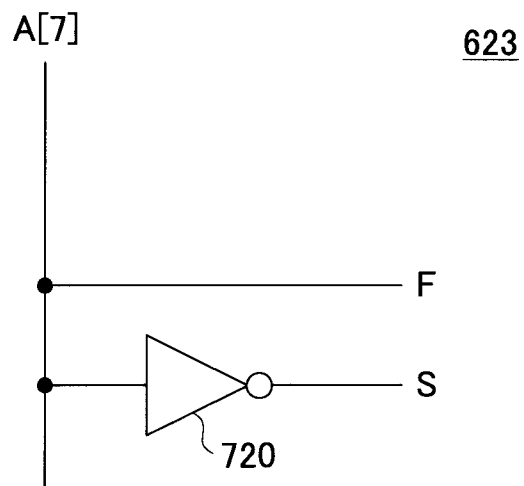
[図24B]



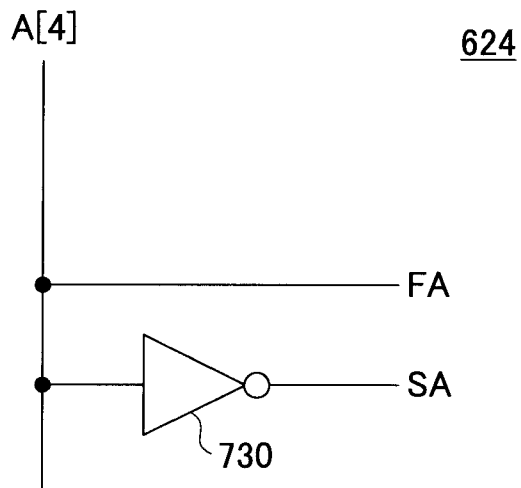
[図24C]



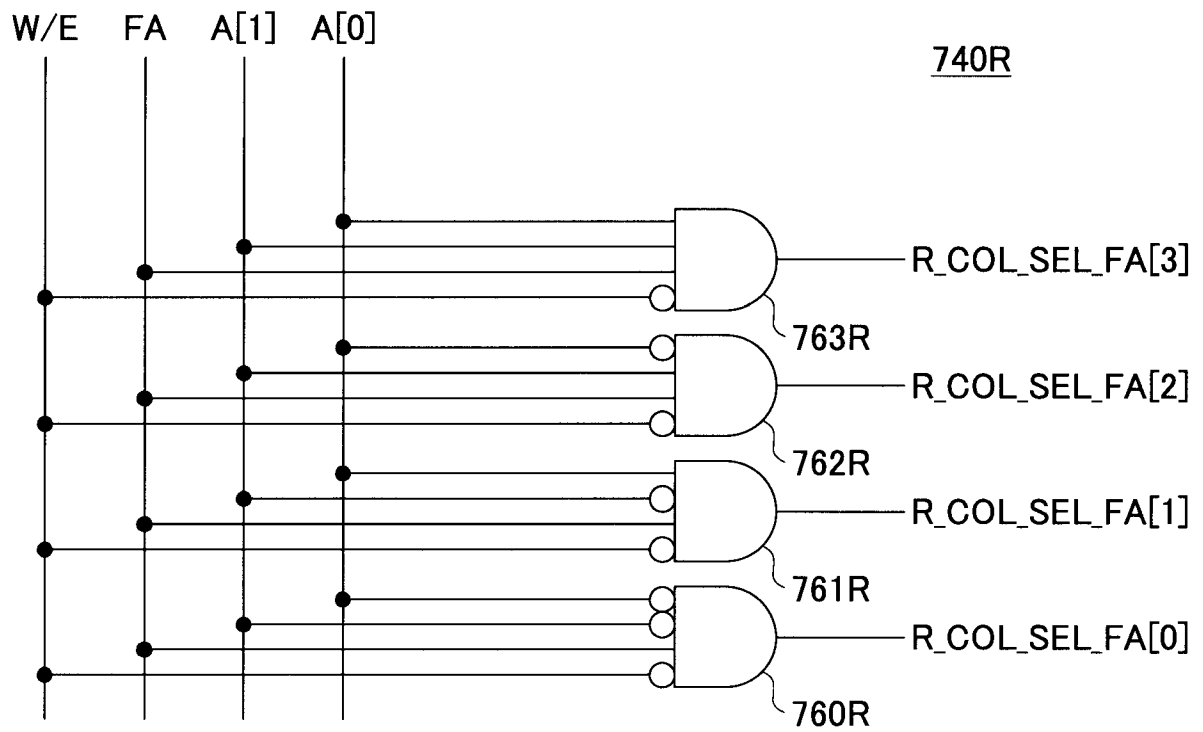
[図24D]



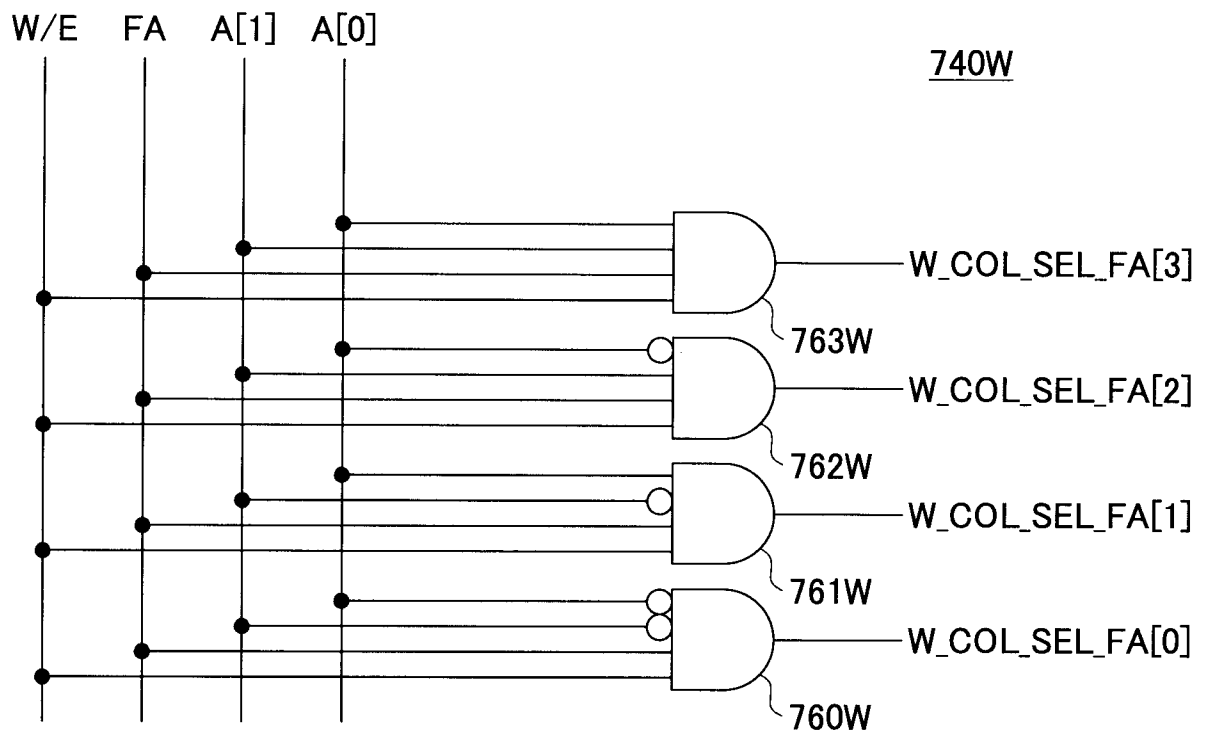
[図24E]



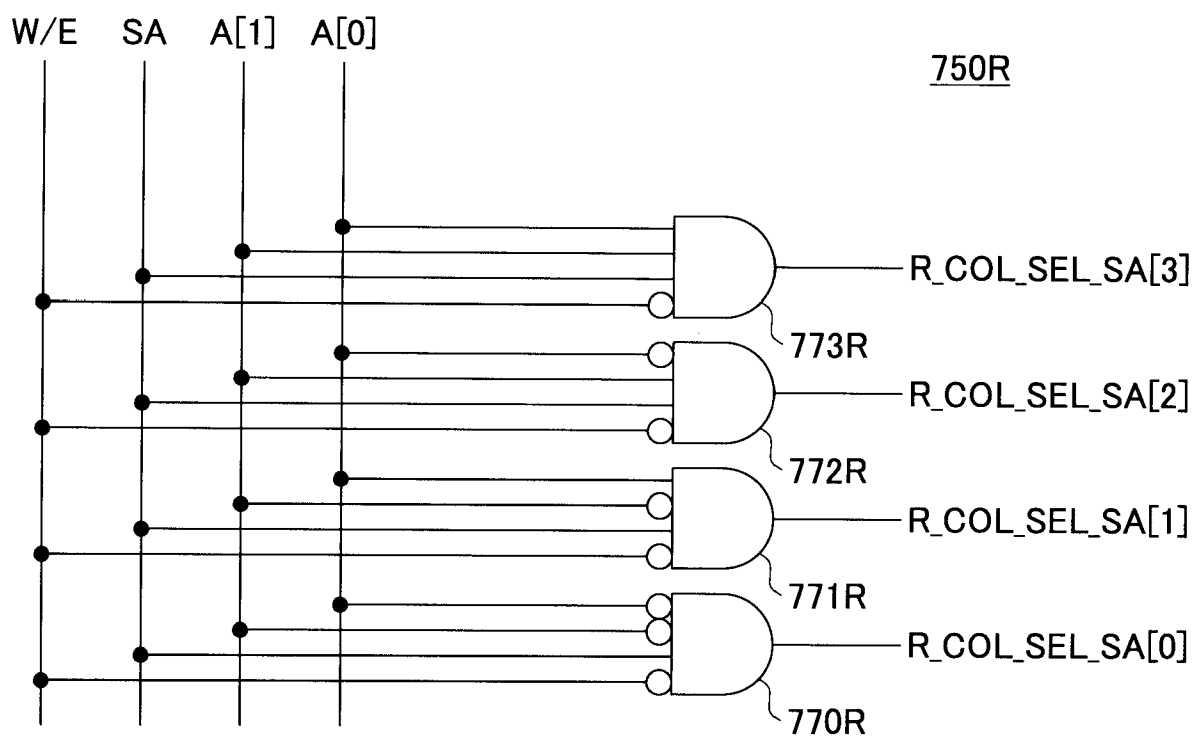
[図24F]



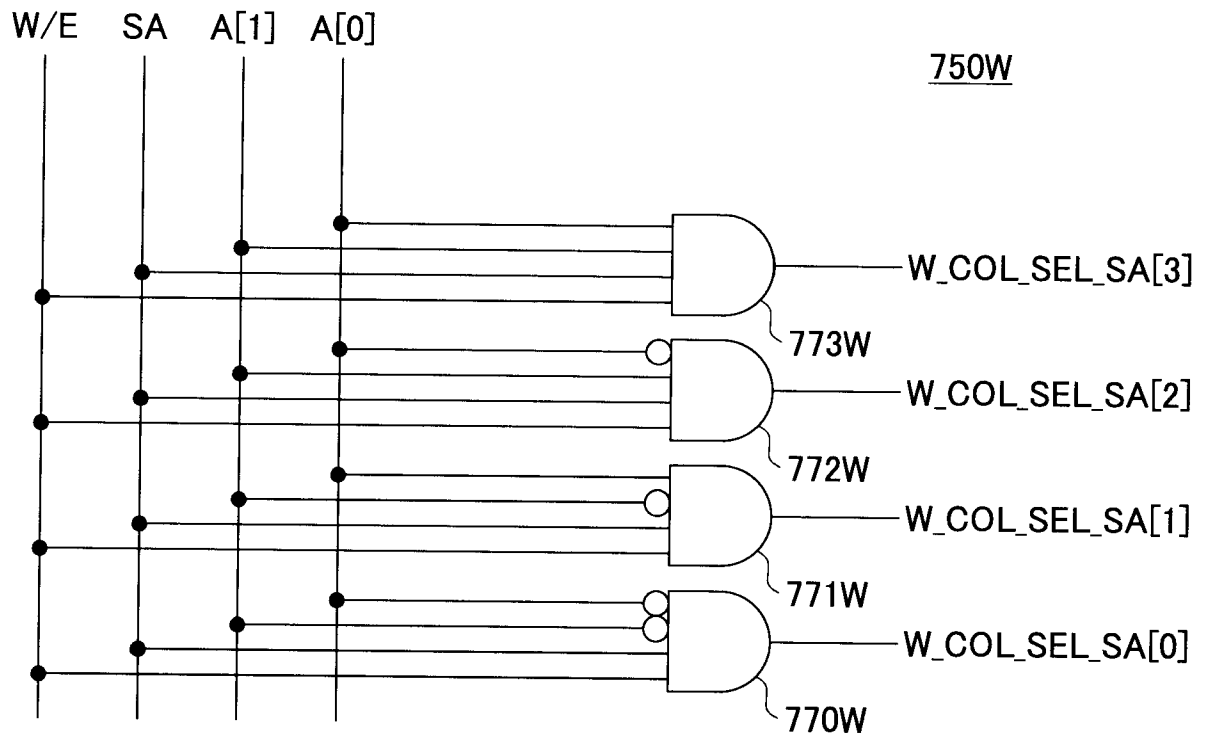
[図24G]



[図24H]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056109

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/413(2006.01)i, G11C11/401(2006.01)i, G11C11/41(2006.01)i,
G11C29/42(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/413, G11C11/401, G11C11/41, G11C29/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-004947 A (NEC Electronics Corp.), 06 January 2005 (06.01.2005), paragraphs [0099] to [0106]; fig. 8 & US 2004/0237023 A1	1, 7 2-6
Y	JP 2010-170641 A (Fujitsu Ltd.), 05 August 2010 (05.08.2010), paragraphs [0015] to [0025]; fig. 1, 2 & US 2010/0188912 A1 & EP 2211352 A2	2, 3, 6
Y	JP 2008-217916 A (Matsushita Electric Industrial Co., Ltd.), 18 September 2008 (18.09.2008), paragraphs [0033] to [0035]; fig. 11 (Family: none)	3, 5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 November, 2011 (25.11.11)

Date of mailing of the international search report
06 December, 2011 (06.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056109

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-100172 A (Mitsubishi Electric Corp.), 07 April 2000 (07.04.2000), paragraphs [0041] to [0053]; fig. 1 & US 2002/0001245 A1	4-6
A	JP 2003-077294 A (Mitsubishi Electric Corp.), 14 March 2003 (14.03.2003), entire text; all drawings & US 2003/0046632 A1	1-6
A	JP 2003-208795 A (Mitsubishi Electric Corp.), 25 July 2003 (25.07.2003), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C11/413(2006.01)i, G11C11/401(2006.01)i, G11C11/41(2006.01)i, G11C29/42(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/413, G11C11/401, G11C11/41, G11C29/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2005-004947 A（NECエレクトロニクス株式会社） 2005.01.06, 段落【0099】 - 【0106】, 第8図 & US 2004/0237023 A1	1, 7 2-6
Y	JP 2010-170641 A（富士通株式会社）2010.08.05, 段落【0015】 - 【0025】, 第1図, 第2図 & US 2010/0188912 A1 & EP 2211352 A2	2, 3, 6
Y	JP 2008-217916 A（松下電器産業株式会社）2008.09.18, 段落【0033】 - 【0035】, 第11図（ファミリーなし）	3, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 1 1 . 2 0 1 1

国際調査報告の発送日

0 6 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

園田 康弘

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

5 N

3 5 7 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-100172 A (三菱電機株式会社) 2000. 04. 07, 段落【0041】 - 【0053】, 第1図 & US 2002/0001245 A1	4-6
A	JP 2003-077294 A (三菱電機株式会社) 2003. 03. 14, 全文, 全図 & US 2003/0046632 A1	1-6
A	JP 2003-208795 A (三菱電機株式会社) 2003. 07. 25, 全文, 全図 (ファミリーなし)	1-6