

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-186771

(P2012-186771A)

(43) 公開日 平成24年9月27日(2012.9.27)

(51) Int.Cl.
H04L 25/03 (2006.01)F I
H04L 25/03テーマコード (参考)
5K029

審査請求 未請求 請求項の数 11 O L (全 26 頁)

(21) 出願番号 特願2011-50315 (P2011-50315)
(22) 出願日 平成23年3月8日 (2011.3.8)(71) 出願人 000004695
株式会社日本自動車部品総合研究所
愛知県西尾市下羽角町岩谷14番地
(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 110000578
名古屋国際特許業務法人
(72) 発明者 直井 孝
愛知県西尾市下羽角町岩谷14番地 株式
会社日本自動車部品総合研究所内
(72) 発明者 森 寛之
愛知県西尾市下羽角町岩谷14番地 株式
会社日本自動車部品総合研究所内

最終頁に続く

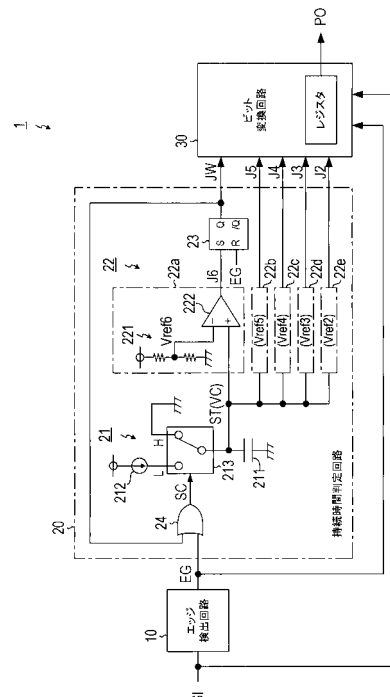
(54) 【発明の名称】 復号回路およびノード

(57) 【要約】

【課題】 2値符号で符号化されたシリアルデータを、クロック信号を用いることなく復号する復号回路およびその復号回路を用いて構成されたノードを提供する。

【解決手段】 エッジ検出回路10にてシリアル信号S Iのエッジを検出すると共に、計時信号発生回路21にて、エッジ検出後の経過時間に応じて信号レベルが増大する計時信号S Tを発生させ、その計時信号S Tの信号レベルと、基準電圧Vrefi (i = 2 ~ 6) とを比較することで判定信号J 2 ~ J 5、待機状態信号J Wを生成する。ビット変換回路30は、これらの信号J 2 ~ J 5、J Wに基づき、エッジ間隔が単位時間の何倍(何ビット分)に相当するかを判定し、判定対象となったエッジ間隔でのシリアル信号S Iの信号レベルを表す設定ビット値を、その判定結果のビット数だけ受信レジスタに順次書き込む動作を、エッジが検出される毎に繰り返すことで、シリアル信号S Iを復号したビット列を生成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

予め設定された単位時間を単位として信号レベルが変化する 2 値符号を用い、同一信号レベルが N (N は 3 以上の整数) 単位以上連続することがないように符号化されたシリアル信号の受信波形を復号する復号回路であって、

前記シリアル信号のエッジを検出するエッジ検出回路と、

前記エッジ検出回路にてエッジが検出される毎に値がリセットされ、且つ時間の経過と共に値が増大する計時信号を発生させる計時信号発生回路と、

前記計時信号発生回路が発生させた計時信号を、予め設定された一または複数の判定閾値と比較することにより、前記エッジ検出回路にて検出されるエッジの間隔が前記単位時間の何倍に相当するかを判定する判定回路と、

前記判定回路での判定対象となったエッジ間隔に対応する前記シリアル信号の信号レベルを取得するレベル取得回路と、

前記判定回路により前記エッジの間隔が前記単位時間の N 倍以上であると判定された状態を待機状態として、該待機状態の検出後に、前記エッジ検出回路にてエッジが検出されると、再び前記待機状態が検出されるまでの間、前記エッジ検出回路にてエッジが検出される毎に、前記レベル取得回路にて取得された信号レベルを有するビットデータを、前記判定回路で判定された倍数個だけ生成するビット変換回路と、

を備え、前記ビット変換回路によって生成されるデータ列を復号データとして出力することを特徴とする復号回路。

【請求項 2】

前記判定回路は、

前記単位時間の k ($2 \leq k \leq N$, k は整数) 倍に相当する期間だけ前記エッジ間隔が継続した時の前記計時信号の信号レベルの大きさにそれぞれ設定された $N - 1$ 個の判定閾値を生成する判定閾値生成回路と、

前記判定閾値生成回路にて生成された各判定閾値と、前記計時信号の信号レベルとを大小比較する比較回路と、

からなることを特徴とする請求項 1 に記載の復号回路。

【請求項 3】

前記比較回路は、前記計時信号の信号レベルを、前記判定閾値生成回路で生成される $N - 1$ 個の判定閾値と個別に大小比較する $N - 1$ 個の比較器からなることを特徴とする請求項 2 に記載の復号回路。

【請求項 4】

前記比較回路は、

前記判定閾値生成回路にて生成された $N - 1$ 個の判定閾値のいずれか一つを選択して出力する選択回路と、

前記選択回路の出力と前記計時信号の信号レベルとを大小比較する単一の比較器と、からなることを特徴とする請求項 2 に記載の復号回路。

【請求項 5】

前記判定回路は、

前記単位時間に相当する期間だけ前記エッジ間隔が継続した時の前記計時信号の信号レベルの大きさに設定された判定閾値を発生させる判定閾値生成回路と、

前記判定閾値生成回路にて生成された判定閾値と前記計時信号の信号レベルとを大小比較する比較回路と、

該比較回路により、前記計時信号の信号レベルが判定閾値より大きいと判定されると、前記計時信号発生回路が発生させる計時信号の値をリセットするリセット回路と、

前記計時信号の信号レベルが判定閾値より大きいと判定された回数をカウントし、前記エッジ検出回路にてエッジが検出される毎にカウント値がリセットされるカウンタと、

を備え、前記エッジ検出回路にて検出されたエッジによりリセットされる前の前記カウンタのカウント値を、判定結果の倍数として出力することを特徴とする請求項 1 に記載の

10

20

30

40

50

復号回路。

【請求項 6】

前記判定回路は、

前記単位時間の k ($1 < k < N$) 倍に相当する期間だけ前記エッジ間隔が継続した時の前記計時信号の信号レベルの大きさにそれぞれ設定された N 個の判定閾値を生成する判定閾値生成回路と、

前記判定閾値生成回路にて生成された N 個の判定閾値のうち、いずれか一つを選択して出力する選択回路と、

前記選択回路の出力と前記計時信号の信号レベルとを大小比較する単一の比較器と、

前記計時信号の信号レベルが判定閾値より大きいと判定された回数をカウントし、前記エッジ検出回路にてエッジが検出される毎にカウント値がリセットされるカウンタと、

を備え、

前記選択回路は、前記比較器にて選択回路の出力より計時信号の信号レベルの方が大きいと判定される毎に、値の小さい方から順に選択するように設定を切り替えると共に、前記エッジ検出回路にてエッジが検出される毎に選択の設定をリセットし、

前記エッジ検出回路にて検出されたエッジによりリセットされる前の前記カウンタのカウント値を、判定結果の倍数として出力することを特徴とする請求項 1 に記載の復号回路。

【請求項 7】

前記レベル取得回路は、前記エッジ検出回路にてエッジが検出された後、前記単位時間が経過するまでの間に検出した前記シリアル信号の信号レベルの反転値を、前記判定対象となったエッジ間隔での信号レベルとして取得することを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の復号回路。

【請求項 8】

前記レベル取得回路は、前記待機状態が検出されると予め設定された待機信号レベルに初期化され、且つ、前記待機状態から非待機状態への変化後は前記エッジ検出回路にてエッジが検出される毎に信号レベルが反転するように設定された記憶信号レベルを、前記判定対象となったエッジ間隔の信号レベルとして取得することを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の復号回路。

【請求項 9】

前記計時信号発生回路は、

電荷を充放電可能な容量性素子と、

前記容量性素子を一定電流で充電すると共に、前記エッジ検出回路にてエッジが検出される毎に充電電圧を初期電圧にリセットする充電回路と、

を備え、前記容量性素子の充電電圧を、前記計時信号として出力することを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の復号回路。

【請求項 10】

2 値符号を用いて通信を行う通信路からシリアル信号を受信するレシーバと、

前記レシーバを介して受信した信号を復号する請求項 1 乃至請求項 9 のいずれか一項に記載の復号回路と、

前記復号回路にて復号されたデータ列が、予め設定されたコマンドを表している場合に、該コマンドに対応付けられた特定処理を実行する処理実行手段と、

を備えることを特徴とするノード。

【請求項 11】

前記特定処理は、前記通信路を介した通信を停止して消費電力を抑制するための動作モードであるスリープモードから、前記通信路を介した通信を実行可能な動作モードである通常モードに遷移するための処理であることを特徴とする請求項 10 に記載のノード。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、2値符号で符号化されたシリアル信号の受信波形を復号する復号回路、およびその復号回路を用いて構成されたノードに関する。

【背景技術】

【0002】

従来、車両に搭載された複数のノード間の通信を実現する車載LANのprotocolsとして、CAN (Controller Area Network) が標準化されている (ISO 11898-1)。

【0003】

CANでは、通信路上の伝送符号として2値符号が用いられており、その2値符号の信号レベルとして、ドミナントとレセッシブとが定義されている。そして、いずれか一つのノードでもドミナントの信号を出力した場合には、通信路上の信号レベルはドミナントとなるようにされている。

【0004】

また、通信路を介して受信した信号からクロック誤差補正を可能とするために、同一の信号レベルが5ビット継続すると、反転した信号レベルを有するスタッフビットを挿入することも規定されている。

【0005】

更に、CANでは、スリープ/ウェイクアップ機能を有する物理層も定義 (ISO 11898-5) されている。具体的には、省電力のために通信機能を停止させる動作モードであるスリープモードにあるノードは、通信路上でドミナントを検出するとウェイクアップして、通信機能を利用可能な動作モードである通常モードに遷移するように規定されている。

【0006】

このようなウェイクアップ/スリープ機能を有する通信システムでは、スリープモードにあるノード (以下、休止ノードという) がある場合に、休止ノードをスリープ状態にしたまま、通常時の動作モードである通常モードにあるノード (以下、起動ノードという) 同士だけで通信を行ったり、必要なノードだけを選択的にウェイクアップしたりするという使い方をすることができないという問題があった。

【0007】

即ち、通信を行うということは、通信路上にドミナントが現れることを意味するため、起動ノード同士が通信を行うと、全ての休止ノードが起動してしまうからである。

これに対して、休止ノードのトランシーバにバスを監視させ、バスがアイドル状態ではないことをトランシーバが検出すると、受信したフレームを解析するプロトコルコントローラを限定的に起動 (電源供給を再開) し、受信したフレームが自ノードをウェイクアップさせるためのフレームであるとプロトコルコントローラが判断した場合に、ECU全体を起動 (ウェイクアップ) する技術が記載されている (例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2005-529393号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、プロトコルコントローラでは、受信信号の波形を復号することによって、フレームを構成する各ビットを個別に識別しなければならないため、通常、その復号動作のためには、高精度なクロック源からクロックの供給を受けることが必要となる。つまり、プロトコルコントローラを起動するには、高精度なクロック源も同時に起動しなければならない。

【0010】

そして、起動ノードと休止ノードとが混在する状況において、起動ノード間の通信 (即

10

20

30

40

50

ち、バスの非アイドル状態)が継続していると、その間、休止ノードでは、プロトコルコントローラや高精度なクロック源が動作し続けることになり、休止ノードである(ECUとしては機能していない)にも関わらず、無視できない電力を消費し続けてしまうことになるという問題があった。

【0011】

本発明は、上記問題点を解決するために、2値符号で符号化されたシリアルデータを、クロック信号を用いることなく復号する復号回路およびその復号回路を用いて構成されたノードを提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するためになされた発明である請求項1に記載の復号回路は、予め設定された単位時間を単位として信号レベルが変化する2値符号を用い、同一信号レベルがN(Nは3以上の整数)単位以上連続することがないように符号化されたシリアル信号を復号の対象とする。

【0013】

そして、本発明の復号回路では、エッジ検出回路がシリアル信号のエッジを検出し、計時信号発生回路が、エッジ検出回路にてエッジが検出される毎に値がリセットされ、且つ時間の経過と共に値が増大する計時信号を発生させる。

【0014】

また、判定回路が、計時信号発生回路が発生させた計時信号を、予め設定された一または複数の判定閾値と比較することにより、エッジ検出回路にて検出されるエッジの間隔が単位時間の何倍に相当するかを判定し、レベル取得回路が、判定回路での判定対象となったエッジ間隔に対応するシリアル信号の信号レベルを取得する。

【0015】

すると、ビット変換回路が、判定回路によりエッジの間隔が単位時間のN倍以上であると判定された状態を待機状態として、該待機状態の検出後に、エッジ検出回路にてエッジが検出されると、再び前記待機状態が検出されるまでの間、エッジ検出回路にてエッジが検出される毎に、レベル取得回路にて取得された信号レベルを有するビットデータを、判定回路で判定された倍数個だけ生成する。

【0016】

そして、このビット変換回路によって、非待機状態の間に生成されたデータ列を復号データとして出力する。

このように構成された本発明の復号回路では、エッジ間隔が単位時間の何倍、即ち何ビット分の長さに相当するかを、計時信号を用いて判定することにより、プロトコルコントローラを起動することなく2値符号で符号化されたシリアルデータを復号している。

【0017】

従って、本発明の復号回路によれば、シリアル信号の各ビットに同期した精度のよいクロック信号を用いることなく復号することができるため、消費電力を低減することができる。その結果、例えば、休止ノードが起動フレームを検出するために動作させる復号回路として、好適に用いることができる。

【0018】

なお、2値符号がNRZ符号である場合、単位時間は、その符号の1ビット幅の長さとして一致し、2値符号がビットの途中で信号レベルが変化するRZ符号である場合、単位時間は、その符号の1ビット幅の半分の長さとして一致するように設定すればよい。

【0019】

ところで、判定回路は、例えば、請求項2に記載のように、判定閾値生成回路が、単位時間の k ($2 \leq k \leq N$, k は整数)倍に相当する期間だけエッジ間隔が継続した時の計時信号の信号レベルの大きさにそれぞれ設定された $N-1$ 個の判定閾値を生成し、比較回路が、判定閾値生成回路にて生成された各判定閾値と、計時信号の信号レベルとを大小比較するように構成されていてもよい。

10

20

30

40

50

【 0 0 2 0 】

この場合、単位時間の k 倍に相当する判定閾値を k ビット判定閾値として、計時信号の信号レベルが k ビット判定閾値より大きく、 $k + 1$ ビット判定閾値より小さい場合に、判定対象となったエッジ間隔は、単位時間の k 倍であると判定すればよい。

【 0 0 2 1 】

更に、この場合、比較回路は、請求項 3 に記載のように、計時信号の信号レベルを、前記判定閾値生成回路で生成される $N - 1$ 個の判定閾値と個別に大小比較する $N - 1$ 個の比較器によって構成されていてもよいし、請求項 4 に記載のように、判定閾値生成回路にて生成された $N - 1$ 個の判定閾値のいずれか一つを選択して出力する選択回路と、選択回路の出力と計時信号の信号レベルとを大小比較する単一の比較器とによって構成されていてもよい。

10

【 0 0 2 2 】

前者（請求項 3）の場合、判定閾値毎の比較結果を同時に得られるため、後段の処理を簡略化することができ、後者（請求項 4）の場合、比較器の数を削減できるため、回路を簡略化でき安価に構成することができる。

【 0 0 2 3 】

また、判定回路は、請求項 5 に記載のように、判定閾値生成回路が、単位時間に相当する期間だけエッジ間隔が継続した時の計時信号の信号レベルの大きさに設定された判定閾値を発生させ、比較回路が、判定閾値生成回路にて生成された判定閾値と計時信号の信号レベルとを大小比較し、カウンタが、計時信号の信号レベルが判定閾値より大きいと判定された回数をカウントするように構成されていてもよい。

20

【 0 0 2 4 】

但し、計時信号発生回路は、比較回路により、計時信号の信号レベルが判定閾値より大きいと判定されると計時信号の値がリセットされ、また、カウンタは、エッジ検出回路にてエッジが検出される毎にカウント値がリセットされ、そのリセットされる前のカウント値を判定結果の倍数として出力する。

【 0 0 2 5 】

この場合、単位時間に相当する期間が経過する毎にカウンタによるカウント動作が実行され、そのカウント値は、エッジが検出される毎にリセットされることになる。

また、判定回路は、請求項 6 に記載のように、判定閾値生成回路が、単位時間の k （ $1 \leq k \leq N$ ）倍に相当する期間だけエッジ間隔が継続した時の計時信号の信号レベルの大きさにそれぞれ設定された N 個の判定閾値を生成し、選択回路が、判定閾値生成回路にて生成された N 個の判定閾値のうち、いずれか一つを選択して出力し、単一の比較器が、選択回路の出力と計時信号の信号レベルとを大小比較し、カウンタが、計時信号の信号レベルが判定閾値より大きいと判定された回数をカウントするように構成されていてもよい。

30

【 0 0 2 6 】

但し、選択回路は、比較器にて選択回路の出力より計時信号の信号レベルの方が大きいと判定される毎に、値の小さい方から順に判定閾値を選択するように設定を切り替えると共に、エッジ検出回路にてエッジが検出される毎に選択の設定をリセットする。また、カウンタは、エッジ検出回路にてエッジが検出される毎にカウント値がリセットされ、そのリセットされる前のカウンタのカウント値を、判定結果の倍数として出力する。

40

【 0 0 2 7 】

この場合、エッジ検出後の経過時間が単位時間の k （ $1, 2, \dots, N$ ）倍に相当する期間に達する毎に、カウンタによるカウント動作が実行され、そのカウント値は、エッジが検出される毎にリセットされることになる。

【 0 0 2 8 】

ところで、レベル取得回路は、請求項 7 に記載のように、エッジ検出回路にてエッジが検出された後、単位時間が経過するまでの間に検出したシリアル信号の信号レベルの反転値を、判定対象となったエッジ間隔での信号レベルとして取得するように構成されていてもよい。

50

【 0 0 2 9 】

つまり、判定対象となったエッジ間隔の信号レベルは、エッジ検出前の信号レベルであり、エッジ検出後（単位時間が経過するまでの間）に検出される信号レベルとは反転したものとなっているため、このような構成からシリアル信号の信号レベルを正しく把握することができる。

【 0 0 3 0 】

また、レベル取得回路は、請求項 8 に記載のように、待機状態が検出されると予め設定された待機信号レベルに初期化され、且つ、待機状態から非待機状態への変化後はエッジ検出回路にてエッジが検出される毎に信号レベルが反転するように設定された記憶信号レベルを、判定対象となったエッジ間隔の信号レベルとして取得するように構成されてい

10

【 0 0 3 1 】

つまり、待機状態の信号レベルは既知であり、また、2 値符号ではエッジが検出される毎に信号レベルが反転するため、これらの情報（待機状態か否か、エッジが検出されたか否か）が得られれば、信号レベルを直接検出しなくても、からシリアル信号の信号レベルを正しく把握することができる。

【 0 0 3 2 】

また、計時信号発生回路は、具体的には、請求項 9 に記載のように、電荷を充放電可能な容量性素子と、この容量性素子を一定電流で充電すると共に、エッジ検出回路にてエッジが検出される毎に充電電圧を初期電圧にリセットする充電回路とからなり、容量性素子の充電電圧を、計時信号として出力するように構成されてい

20

【 0 0 3 3 】

このように構成された計時信号発生回路では、クロック信号を用いることなく、アナログ回路によって計時信号を発生させることができる。

次に、請求項 10 に記載のノードは、2 値符号を用いて通信を行う通信路からシリアル信号を受信するレシーバと、レシーバを介して受信した信号を復号する請求項 1 乃至請求項 9 のいずれか一項に記載の復号回路と、復号回路にて復号されたデータ列が、予め設定されたコマンドを表している場合に、該コマンドに対応付けられた特定処理を実行する処理実行手段とによって構成されている。

【 0 0 3 4 】

30

このように構成されたノードでは、受信したシリアル信号からクロック信号を用いることなく、自ノード宛のコマンドを抽出することができるため、クロック信号を停止させた消費電力の低い状態でコマンドの受信を待つことができる。

【 0 0 3 5 】

なお、特定処理は、例えば請求項 11 に記載のように、通信路を介した通信を停止して消費電力を抑制するための動作モードであるスリープモードから、通信路を介した通信を実行可能な動作モードである通常モードに遷移するための処理であってもよい。但し、これに限らず、どのような処理を特定処理としてもよい。

【 図面の簡単な説明 】

【 0 0 3 6 】

40

【 図 1 】 第 1 実施形態の復号回路の構成を示す回路図を含んだブロック図。

【 図 2 】 エッジ検出回路の構成を示す回路図およびその動作を示すタイミング図。

【 図 3 】 持続時間判定回路の動作例を示すタイミング図。

【 図 4 】 ビット変換回路の動作により実現される処理の内容を示すフローチャート。

【 図 5 】 復号回路を用いて構成したノードの構成例を示すブロック図。

【 図 6 】 復号回路を用いて構成したノードの構成例を示すブロック図。

【 図 7 】 復号回路を用いて構成したノードの構成例を示すブロック図。

【 図 8 】 第 2 実施形態の復号回路の構成を示すブロック図。

【 図 9 】 ビット変換回路の動作により実現される処理の内容を示すフローチャート。

【 図 10 】 第 3 実施形態の復号回路の構成を示す回路図を含んだブロック図。

50

【図 1 1】ビット変換回路の動作により実現される処理の内容を示すフローチャート。

【図 1 2】第 4 実施形態の復号回路の構成を示す回路図を含んだブロック図。

【図 1 3】持続時間判定回路の動作例を示すタイミング図。

【図 1 4】ビット変換回路の動作により実現される処理の内容を示すフローチャート。

【図 1 5】第 5 実施形態の復号回路の構成を示す回路図を含んだブロック図。

【図 1 6】持続時間判定回路の動作例を示すタイミング図。

【発明を実施するための形態】

【0037】

以下に本発明の実施形態を図面と共に説明する。

[第 1 実施形態]

< 全体構成 >

図 1 は、2 値符号で符号化されたシリアル信号 S I の受信波形を復号する復号回路 1 の構成を示す回路図を含んだブロック図である。

【0038】

なお、復号回路 1 は、通信プロトコルとして C A N (Controller Area Network) が用いられた車載用の通信システムを構成するノードに用いることを前提とする。従って、2 値符号としては、N R Z 符号が用いられる。また、ここでは、通信路において優位な信号レベルであるドミナントを 0 (ロウレベル)、通信路において劣位な信号レベルであるレセッシブを 1 (ハイレベル) で表すものとする。そして、通信路ににおいて、レセッシブが 6 ビット以上継続した状態を待機状態と呼ぶ。また、通信フレームの先頭には、待機状態の後に現れる 1 ビットのドミナントからなる S O F が存在する。更に、通信フレーム中では、同一信号レベルが 6 ビット以上継続することがないように、同一信号レベルが 5 ビット継続すると信号レベルを反転させた 1 ビットのスタッフビットが挿入されるものとする。

【0039】

図 1 に示すように、復号回路 1 は、シリアル信号 S I の信号レベルが変化する立ち上がりエッジおよび立ち下がりエッジのタイミングを示すエッジ検出信号 E G を生成するエッジ検出回路 1 0 と、エッジ検出回路 1 0 にて検出されるエッジの間隔 (即ち、シリアル信号 S I における同一信号レベルの持続時間) が、予め設定された単位時間の何倍の長さを有しているかを判定するための判定信号 J 2 ~ J 5 , J W を生成する持続時間判定回路 2 0 と、シリアル信号 S I , エッジ検出信号 E G , 判定信号 J 2 ~ J 5 , J W に基づいて、シリアル信号 S I を、クロック信号を用いることなくビットデータ列に変換し、パラレルデータ P O として出力するビット変換回路 3 0 とを備えている。

【0040】

< エッジ検出回路 >

図 2 は、(a) がエッジ検出回路 1 0 の詳細な構成を示す回路図、(b) がエッジ検出回路 1 0 の各部の信号波形を示すタイミング図である。

【0041】

エッジ検出回路 1 0 は、図 2 (a) に示すように、シリアル信号 S I の信号レベルを反転させる反転回路 (N O T ゲート) 1 1 と、シリアル信号 S I および N O T ゲート 1 1 の出力、即ち、シリアル信号 S I の反転信号 D S I を入力とし、その両方がロウレベルの時に出力がハイレベルとなる否定論理和回路 (N O R ゲート) 1 2 と、シリアル信号 S I および反転信号 D S I を入力とし、その両方がハイレベルの時に出力がハイレベルとなる論理積回路 (A N D ゲート) 1 3 と、N O R ゲート 1 2 の出力である立ち下がりエッジ信号 D E および A N D ゲート 1 3 の出力である立ち上がりエッジ信号 U E を入力とし、少なくともいずれか一方がハイレベルの時に出力がハイレベルとなる論理和回路 (O R ゲート) 1 4 とを備え、O R ゲート 1 4 の出力をエッジ検出信号 E G として出力するように構成されている。

【0042】

このように構成されたエッジ検出回路 1 0 では、図 2 (b) に示すように、反転信号 D

10

20

30

40

50

S I は、N O T ゲート 1 1 での遅延分だけシリアル信号 S I より遅延するため、シリアル信号 S I の立ち下がりエッジでは、N O R ゲート 1 2 により、前記遅延分のパルス幅を有する立ち下がりエッジ信号 D E が生成され、また、シリアル信号 S I の立ち上がり一時では、A N D ゲート 1 3 により、前記遅延分のパルス幅を有する立ち上がりエッジ信号 U E が生成される。これにより、O R ゲート 1 4 からは、シリアル信号 S I の信号レベルが変化する毎に、前記遅延分だけハイレベルとなるエッジ検出信号 E G が生成されることになる。

【 0 0 4 3 】

< 持続時間判定回路の構成 >

図 1 に戻り、持続時間判定回路 2 0 は、電荷を充放電可能に構成され一端が接地されたコンデンサ 2 1 1、および後述するクリア信号 S C に従って、コンデンサ 2 1 1 の非接地端を、接地レベルまたは定電流源 2 1 2 のいずれかに接続するスイッチ 2 1 3 からなり、コンデンサ 2 1 1 の非接地端の電圧（以下「充電電圧」という）V C を信号レベルとした計時信号 S T を発生させる計時信号発生回路 2 1 を備えている。なお、スイッチ 2 1 3 は、クリア信号 S C がハイレベルであれば接地側に、クリア信号 S C がロウレベルであれば定電流源 2 1 2 側に、コンデンサ 2 1 1 の非接地端を接続するように構成されている。

10

【 0 0 4 4 】

また、持続時間判定回路 2 0 は、電源電圧 V D D を分圧する一対の抵抗からなり基準電圧 V r e f i (i = 2 , 3 , 4 , 5 , 6) を発生させる分圧回路 2 2 1 と、反転入力端子に基準電圧 V r e f i が印加され、非反転入力端子に計時信号 S T が印加されたコンパレータ 2 2 2 とからなり、コンパレータ 2 2 2 の出力を i ビット判定信号 J i としてそれぞれ出力するように構成された 5 個の倍数判定回路 2 2 (2 2 a ~ 2 2 e) を備えている。

20

【 0 0 4 5 】

なお、基準電圧 V r e f i は、シリアル信号 S I において信号レベルが変化する単位長さ（本実施形態では 1 ビット幅）を単位時間として、定電流源 2 1 2 が供給する電流の大きさ、コンデンサ 2 1 1 の容量に基づき、コンデンサ 2 1 1 を連続充電する期間が、単位時間の i - 1 倍となる期間以下の長さでは、充電電圧 V C が基準電圧 V r e f i に達することがなく、それを越えた長さ、即ち、i ビット目に掛かる長さになると、充電電圧 V C が基準電圧 V r e f i を超えるような大きさに設定されている。

【 0 0 4 6 】

更に、持続時間判定回路 2 0 は、倍数判定回路 2 2 a からの 6 ビット判定信号 J 6 をセット入力、エッジ検出回路 1 0 からのエッジ検出信号 E G をリセット入力として、6 ビット判定信号 J 6 がロウレベルからハイレベルに変化してから、エッジ検出信号 E G のパルスが入力されるまでの間、ハイレベルとなる待機状態信号 J W を発生させる S R フリップフロップ回路 2 3 と、エッジ検出信号 E G および待機状態信号 J W を入力として、少なくとも一方がハイレベルの時に、ハイレベルとなるクリア信号 S C を生成する論理和回路（O R ゲート）2 6 とを備えている。

30

【 0 0 4 7 】

< 持続時間判定回路の動作 >

図 3 は、持続時間判定回路 2 0 の動作例を示すタイミング図である。

40

図 3 に示すように、待機状態信号 J W がハイレベル（シリアル信号 S I を伝送する通信路が待機状態）の時に、シリアル信号 S I がロウレベルに変化し、エッジ検出信号 E G のパルスが発生すると（時刻 t 1）、待機状態信号 J W がロウレベル（通信路が非待機状態）に変化すると共に、計時信号 S T の値（充電電圧 V C）が一定の割合での増加を開始する。

【 0 0 4 8 】

その後、シリアル信号 S I が 1 ビット幅に相当する時間（単位時間の 1 倍）でハイレベルに変化すると（時刻 t 2）、この時点で充電電圧 V C は基準電圧 V r e f 2 より小さいため、時刻 t 1 ~ t 2 の間にいずれの判定信号 J 2 ~ J 6 もハイレベルに変化することなく、充電電圧 V C はエッジ検出信号 E G によってリセットされる。

50

【 0 0 4 9 】

その後、シリアル信号 S I が 4 ビット幅に相当する時間（単位時間の 4 倍）でハイレベルに変化すると（時刻 t 3）、この時点で充電電圧 V C は基準電圧 V ref4 より大きい（V ref5 より小さい）ため、時刻 t 2 ~ t 3 の間に、充電電圧 V C の増大に伴って判定信号 J 2, J 3, J 4 が順番にハイレベルに変化し、時刻 t 3 で、充電電圧 V C がエッジ検出信号 E G によってリセットされることにより、判定信号 J 2, J 3, J 4 もロウレベルに戻る。

【 0 0 5 0 】

また、シリアル信号 S I がロウレベルからハイレベルに変化してから（時刻 t 4）、6 ビット幅に相当する時間（単位時間の 6 倍）が経過し、充電電圧 V C が基準電圧 V ref6 に達すると（時刻 t 5）、判定信号 J 6 がハイレベルに変化することにより、待機状態信号 J W がハイレベルに変化し、ひいてはクリア信号 S C がハイレベルに変化することによって、充電電圧 V C はリセットされた状態に保持される。

10

【 0 0 5 1 】

このように持続時間判定回路 2 0 は、非待機状態（待機状態信号 J W がロウレベル）の間だけ、エッジが検出されたタイミングからの経過時間に応じた信号レベル（充電電圧 V C）を有する計時信号 S T を発生させ、その信号レベルに応じた i ビット判定信号 J i および待機状態信号 J W を、ビット変換回路 3 0 に供給する。

【 0 0 5 2 】

< ビット変換回路の動作 >

20

次に、ビット変換回路 3 0 の動作により実現される処理の内容を、図 4 に示すフローチャートに沿って説明する。

【 0 0 5 3 】

なお、ビット変換回路 3 0 は、論理回路の組み合わせによって構成されるものであるが、当業者であれば処理の内容から容易に実現可能なものであり、また、論理回路の組み合わせ方に特徴を有するわけでもないため、ここでは、回路の詳細についての説明は省略する。

【 0 0 5 4 】

但し、ビット変換回路 3 0 には、復号回路 1 を適用するシステムにおいて許容される最大長の送信フレームを格納することが可能な大きさの受信レジスタ、この受信レジスタの書き込み位置を指定するためのポインタ、後述する設定ビット値を記憶する記憶領域が少なくとも用意されているものとする。

30

【 0 0 5 5 】

ビット変換回路 3 0 では、まず、待機状態信号 J W がハイレベルであるか否かによって、シリアル信号 S I を伝送する通信路が待機状態にあるか否かを判断する（S 1 1 0）。

通信路が待機状態であれば（S 1 1 0 : Y E S）、次に、受信レジスタがクリア済みであるか否かを判断し（S 1 2 0）、クリア済みであれば（S 1 2 0 : Y E S）、S 1 1 0 に戻る。

【 0 0 5 6 】

なお、受信レジスタがクリア済みであるか否かの判断は、例えば、ポインタが、受信レジスタの先頭を示していればクリア済みであると判断してもよいし、受信レジスタがクリアされた時にセットされ、一度でも受信レジスタへの書き込みが行われるとリセットされるフラグを用いて判断してもよい。

40

【 0 0 5 7 】

一方、受信レジスタがクリア済みでなければ（S 1 2 0 : N O）、受信レジスタの内容を、予め設定されたビット数（例えば 8 ビット）ずつ、パラレルデータ P O として出力し（S 1 3 0）、その後、受信レジスタの内容と、ポインタの値をクリアして（S 1 4 0）、S 1 1 0 に戻る。なお、S 1 3 0 では、受信レジスタの内容を、パラレルデータ P O として出力する代わりに、ビット変換回路 3 0 の外部からアクセス可能な記憶領域に移動させるようにしてもよい。

50

【 0 0 5 8 】

先の S 1 1 0 にて、通信路は待機状態ではないと判断した場合は (S 1 1 0 : N O)、エッジ検出回路 1 0 にてエッジが検出されたか否かを判断し (S 1 5 0)、エッジが検出されていなければ (S 1 5 0 : N O)、S 1 1 0 に戻って、待機状態に変化するか、エッジが検出されるまで待機する。

【 0 0 5 9 】

一方、エッジが検出されると (S 1 5 0 : Y E S)、S 1 4 0 にて受信レジスタやポインタがクリアされた後に検出された最初のエッジであるか否かを判断し (S 1 6 0)、最初のエッジであれば (S 1 6 0 : Y E S)、まだ、エッジ間隔の判定結果が得られていないため、そのまま S 1 1 0 に戻る。

10

【 0 0 6 0 】

検出されたエッジが最初のエッジでなければ (S 1 6 0 : N O)、シリアル信号 S I の信号レベルを取得して、その反転値を設定ビット値として記憶する (S 1 7 0)。

そして、判定信号 J 5 がハイレベルであるか否かを判断し (S 1 8 0)、ハイレベルであれば (S 1 8 0 : Y E S)、ポインタが示す位置から 5 ビット分だけ設定ビット値を受信レジスタに書き込む (S 1 9 0)。

【 0 0 6 1 】

判定信号 J 5 がハイレベルではない場合 (S 1 8 0 : N O)、判定信号 J 4 がハイレベルであるか否かを判断し (S 2 0 0)、ハイレベルであれば (S 2 0 0 : Y E S)、ポインタが示す位置から 4 ビット分だけ設定ビット値を受信レジスタに書き込む (S 2 1 0)

20

【 0 0 6 2 】

判定信号 J 4 がハイレベルではない場合 (S 2 0 0 : N O)、判定信号 J 3 がハイレベルであるか否かを判断し (S 2 2 0)、ハイレベルであれば (S 2 2 0 : Y E S)、ポインタが示す位置から 3 ビット分だけ設定ビット値を受信レジスタに書き込む (S 2 3 0)

【 0 0 6 3 】

判定信号 J 3 がハイレベルではない場合 (S 2 2 0 : N O)、判定信号 J 2 がハイレベルであるか否かを判断し (S 2 4 0)、ハイレベルであれば (S 2 4 0 : Y E S)、ポインタが示す位置から 2 ビット分だけ設定ビット値を受信レジスタに書き込む (S 2 5 0)

30

【 0 0 6 4 】

判定信号 J 2 がハイレベルではない場合 (S 2 4 0 : N O)、ポインタが示す位置から 1 ビット分だけ設定ビット値を受信レジスタに書き込む (S 2 6 0)。

S 1 9 0 , S 2 1 0 , S 2 3 0 , S 2 5 0 , S 2 6 0 のいずれかで受信レジスタの書き込みが行われると、その書き込んだビット数だけポインタを進めて (S 2 7 0)、S 1 1 0 に戻る。

【 0 0 6 5 】

なお、ビット変換回路 3 0 は、S 1 6 0 ~ S 2 7 0 の処理を、想定されるエッジ間隔の最短時間 (即ち単位時間) より短い時間で実行するように構成される。

40

< 効果 >

以上説明したように、復号回路 1 では、エッジ検出後の経過時間に応じて信号レベルが増大する計時信号 S T を生成し、その計時信号 S T の信号レベル (充電電圧 V C) と予め設定された基準電圧 V ref2 ~ V ref6 とを比較することで、エッジ間隔が単位時間の何倍、即ち何ビット分の長さに相当するかを判定し、その判定結果のビット数 (倍数) だけ、設定ビット値を受信レジスタに順次書き込み、これをエッジが検出される毎に繰り返すことにより、シリアル信号 S I を復号したビット列を生成するようにされている。

【 0 0 6 6 】

従って、復号回路 1 によれば、2 値符号で符号化されたシリアル信号 S I の復号を、クロック信号を用いることなく実現しているため、クロック信号に従って動作するプロトコ

50

ルコントローラ等を用いて復号を行う場合と比較して、消費電力を大幅に低減することができる。

【 0 0 6 7 】

< ノードへの適用 >

ここで、図 5 ～ 7 は、復号回路 1 を用いて構成したノードの構成例を示すブロック図である。

【 0 0 6 8 】

< 適用例 1 >

図 5 (a) に示すノード 1 0 0 は、マイクロコンピュータ (マイコン) を中心に構成され、自ノードに割り当てられた制御処理、他のノードとの通信処理、自ノードの動作モードを制御する処理等を実行する主処理回路 2 と、CAN プロトコルに従った通信を行う通信路 L N に接続され、主処理回路 2 から与えられるデータ (送信フレーム) T x D を通信路 L N に適した伝送符号に符号化して出力すると共に、通信路 L N を介して受信し復号したデータ (受信フレーム) R x D を主処理回路 2 に供給するトランシーバ 3 とを備えている。

10

【 0 0 6 9 】

なお、ノード 1 0 0 の動作モードは、主処理回路 2 やトランシーバ 3 の動作を、クロック信号を止めることによって停止させることで消費電力を低減する動作モードであるスリープモードと、ノード 1 0 0 全体が通常通りに動作する動作モードである通常モードとが異なる。なお、トランシーバ 3 は、主処理回路 2 から供給される起動 / 停止信号によって起動 / 停止が制御されるように構成されている。

20

【 0 0 7 0 】

また、主処理回路 2 は、トランシーバ 3 を停止させた後、クロック信号の発生源の動作を停止させる処理を実行してマイコン自信の動作を停止することによってスリープモードに遷移する。また、スリープモードにある主処理回路 2 に、後述するウェイクアップ信号 W U が入力されると、クロック信号の発生源が起動されることでマイコンが起動し、起動したマイコンの処理によってトランシーバ 3 を起動することによって通常モードに遷移するように構成されている。

【 0 0 7 1 】

また、ノード 1 0 0 は、トランシーバ 3 の動作を停止させた時 (スリープモード時) に動作して、通信路 L N 上の信号を取り込むレシーバ 4 と、レシーバ 4 が取り込んだ信号 (シリアル信号 S I) を復号する復号回路 1 と、復号回路 1 での復号結果 (パラレルデータ P O) に基づき、取り込んだ信号が自ノードを起動するための起動フレームであるか否かを判断し、起動フレームであれば、主処理回路 2 に対してウェイクアップ信号 W U を出力するフレーム判定回路 5 と、主処理回路 2 , トランシーバ 3 , レシーバ 4 , 復号回路 1 , フレーム判定回路 5 に対して電源供給を行う電源回路 6 とを備えている。

30

【 0 0 7 2 】

このように構成されたノード 1 0 0 では、主処理回路 2 およびトランシーバ 3 が停止するスリープモード時には、レシーバ 4 を介して受信したシリアル信号 S I を、復号回路 1 が復号し、その復号結果に基づいて、フレーム判定回路 5 が、起動フレーム受信の有無を判断するようにされている。

40

【 0 0 7 3 】

従って、ノード 1 0 0 によれば、スリープモード時に、起動フレームの受信の有無を判定する際にクロック信号を必要としないため、スリープモード時の消費電力を低減することができる。

【 0 0 7 4 】

< 適用例 2 >

図 5 (b) に示すノード 1 0 1 は、図 5 (a) に示したノード 1 0 0 とは、一部の構成が異なるだけであるため、その構成の異なる部分を中心に説明する。

【 0 0 7 5 】

50

ノード１０１は、主処理回路２への電源供給ラインに挿入された電源スイッチ７と、トランシーバ３への電源供給ラインに挿入された電源スイッチ８とを備えており、これら電源スイッチ７，８は、フレーム判定回路５からの起動信号（ウェイクアップ信号ＷＵ）によってオンされ、主処理回路２からの停止信号によってオフするように構成されている。

【００７６】

なお、主処理回路２やへの電源供給が停止すると、マイコンと共にクロック信号の発生源も同時に停止するため、スリープモードに遷移する際に、主処理回路２は、停止信号を出力する処理のみを実行すればよく、クロック信号の発生源を停止する処理を行う必要がない。また、主処理回路２への電源供給が開始されると、クロック信号の発生源も起動するため、ウェイクアップ信号ＷＵを、主処理回路２に供給する必要がない。

10

【００７７】

このように構成されたノード１０１では、ノード１００と同様の効果が得られるだけでなく、動作モードを遷移させる時に、主処理回路２で実行すべき処理を簡略化することができる。

【００７８】

< 適用例３ >

図６（ａ）に示すノード１０２は、図５（ａ）に示したノード１００とは、一部の構成が異なるだけであるため、その構成の異なる部分を中心に説明する。

【００７９】

ノード１０２は、トランシーバ３の送信機能のみを用いると共に、レシーバ４，復号回路１は、スリープモードに限らず通常モードでも動作させ、更に、主処理回路２は、復号回路１での復号結果（即ち、受信フレーム）を取得できるように構成されている。

20

【００８０】

このように構成されたノード１０２では、ノード１００と同様の効果が得られるだけでなく、レシーバ４や復号回路１の受信機能を有効利用することにより、回路構成（特にトランシーバ３等）を、簡略化することができる。

【００８１】

< 適用例４ >

図６（ｂ）に示すノード１０３は、図５（ｂ）に示したノード１０１とは、一部の構成が異なるだけであるため、その構成の異なる部分を中心に説明する。

30

【００８２】

ノード１０３は、ノード１０２と同様に、トランシーバ３の送信機能のみを用いると共に、レシーバ４，復号回路１は、スリープモードに限らず通常モードでも動作させ、更に、主処理回路２は、復号回路１での復号結果（受信フレーム）を取得できるように構成されている。

【００８３】

このように構成されたノード１０３では、ノード１０１と同様の効果が得られるだけでなく、レシーバ４や復号回路１の受信機能を有効利用することにより、回路構成（特にトランシーバ３等）を、簡略化することができる。

【００８４】

40

< 適用例５ >

図７（ａ）に示すノード１０４は、自身が送信元となることがない受信専用ノードであり、図６（ａ）に示すノード１０２から、トランシーバ３を省略した構成を有している。但し、主処理回路２は、マイクロコンピュータを用いることなく構成されている。

【００８５】

< 適用例６ >

図７（ｂ）に示すノード１０５は、自身が送信元となることがない受信専用ノードであり、図６（ｂ）に示すノード１０３から、トランシーバ３および電源スイッチ８を省略した構成を有している。但し、主処理回路２は、ノード１０４と同様に、マイクロコンピュータを用いることなく構成されている。

50

【 0 0 8 6 】

< 適用例 7 >

図 7 (c) に示すノード 1 0 6 は、図 7 (a) に示したノード 1 0 4 において、フレーム判定回路 5 を、複数のコマンド (起動フレームを含んでもよい) を識別できるように構成し、識別したコマンドに対応する指令が、主処理回路 2 a に供給され、主処理回路 2 a は、指令に応じた複数種類の制御を実行するように構成されている。

【 0 0 8 7 】

< 適用例 8 >

図 7 (d) に示すノード 1 0 7 は、図 7 (b) に示したノード 1 0 5 において、フレーム判定回路 5 を、起動フレーム以外の複数のコマンドを識別できるように構成し、識別したコマンドに対応する指令が、主処理回路 2 a に供給され、主処理回路 2 a は、指令に応じた複数種類の制御を実行するように構成されている。

10

【 0 0 8 8 】

< 発明との対応 >

本実施形態において、倍数判定回路 2 2 が判定回路、各倍数判定回路 2 2 における分圧回路 2 2 1 が判定閾値生成回路、比較器 2 2 2 が比較回路、S 1 7 0 の処理を実現する回路がレベル取得回路、コンデンサ 2 1 1 が容量性素子、定電流回路 2 1 2 およびスイッチ 2 1 3 が充電回路に相当する。また、フレーム判定回路 5 および主処理回路 2 , 2 a が処理実行手段に相当する。

20

【 0 0 8 9 】

[第 2 実施形態]

次に、第 2 実施形態の復号回路 1 a について説明する。

本実施形態の復号回路 1 a は、構成の一部と、ビット変換回路 3 0 の動作により実現される処理の一部が異なるだけであるため、これら相違点を中心に説明する。

【 0 0 9 0 】

図 8 (a) は、復号回路 1 a の構成を示すブロック図であり、図 8 (b) は、第 1 実施形態の復号回路 1 を、持続時間判定回路 2 0 の詳細を省略して再掲したものである。

図 8 からわかるように、復号回路 1 a では、ビット変換回路 3 0 へのシリアル信号 S I の供給が省略されている以外は、復号回路 1 と同様に構成されている。

【 0 0 9 1 】

図 9 は、ビット変換回路 3 0 の動作により実現される処理の内容を示すフローチャートである。

30

図 9 に示すように、図 4 に示したフローチャートと比較して、S 1 4 0 の後に S 1 4 5 が追加されていると共に、S 1 7 0 の代わりに S 1 7 5 が設けられている以外は同様である。

【 0 0 9 2 】

即ち、通信路が待機状態であり (S 1 1 0 : Y E S) 、且つレジスタクリア済みではない (S 1 2 0 : N O) の場合に、受信レジスタの内容を出力して (S 1 3 0) 、受信レジスタおよびポインタをクリアする (S 1 4 0) ことに加えて、設定ビット値を待機状態の信号レベルを表す ' 1 ' に初期化する (S 1 4 5) 処理を実行して、S 1 1 0 に戻る。

40

【 0 0 9 3 】

また、待機状態ではなく (S 1 1 0 : N O) 、エッジが検出され (S 1 5 0 : Y E S) 、そのエッジがクリア後最初のエッジではない (S 1 6 0 : N O) 場合、設定ビット値を反転させ (S 1 7 5) 、以下、S 1 8 0 ~ S 2 7 0 の処理を実行する。

【 0 0 9 4 】

つまり、設定ビット値を、実際に検出したシリアル信号 S I の信号レベルに基づいて設定するのではなく、既知である待機状態の信号レベルを設定ビット値の初期値として設定し、以後、エッジが検出される毎に値を反転させて用いている。

【 0 0 9 5 】

< 効果 >

50

このように構成された復号回路 1 a は、復号回路 1 とは設定ビット値の取得方法が異なるだけであり、それ以外は、全く同様に動作するため、復号回路 1 と同様の効果を得ることができる。

【 0 0 9 6 】

しかも、シリアル信号 S I の信号レベルを検出する必要がない分だけ、回路構成を簡略化することができる。

[第 3 実施形態]

次に、第 3 実施形態の復号回路 1 b について説明する。

【 0 0 9 7 】

< 全体構成 >

図 1 0 は、復号回路 1 b の全体構成を示す回路図を含んだブロック図である。

本実施形態の復号回路 1 b は、第 1 実施形態の復号回路 1 とは、持続時間判定回路 2 0 a の構成、ビット変換回路 3 0 a に入出力される信号およびビット変換回路 3 0 a の動作により実現される処理の内容が異なるだけであるため、これら相違点を中心に説明する。

【 0 0 9 8 】

図 1 0 に示すように、持続時間判定回路 2 0 a は、持続時間判定回路 2 0 におけるものと同様の計時信号発生回路 2 1、S R フリップフロップ回路 2 3、O R ゲート 2 4 を備えている。但し、S R フリップフロップ回路 2 3 のセット入力となるパルス状の待機状態検出信号 D W は、ビット変換回路 3 0 a から供給されるように構成されている。

【 0 0 9 9 】

< 倍数判定回路 >

そして、持続時間判定回路 2 0 a において、倍数判定回路 2 2 の代わりに設けられた倍数判定回路 2 5 は、電源電圧 V D D を分圧する一対の抵抗からなり基準電圧 V r e f 2 ~ V r e f 6 を発生させる 5 個の分圧回路 2 5 1 ~ 2 5 5 と、選択信号 S E L に従って、基準電圧 V r e f 2 ~ V r e f 6 のいずれか一つを選択する選択回路 2 5 6 と、選択回路 2 5 6 で選択された基準電圧 V r e f k (k = 2 , 3 , 4 , 5 , 6) が反転入力端子に印加され、計時信号 S T が非反転入力端子に印加されたコンパレータ 2 5 7 とからなり、コンパレータ 2 5 7 の出力を k ビット判定信号 J k としてビット変換回路 3 0 a に供給するように構成されている。

【 0 1 0 0 】

< ビット変換回路 >

ビット変換回路 3 0 a には、シリアル信号 S I , エッジ検出信号 E G の他、判定信号 J 2 ~ J 5 , J W の代わりに k ビット判定信号 J k が入力される。そして、ビット変換回路 3 0 a は、選択信号 S E L や待機状態検出信号 D W によって持続時間判定回路 2 0 a の動作を制御することで取得される k ビット判定信号 J k や、シリアル信号 S I , エッジ検出信号 E G に基づいてシリアル信号 S I を復号し、パラレルデータ P O として出力する。

【 0 1 0 1 】

以下、ビット変換回路 3 0 a の動作により実現される処理の内容を、図 1 1 に示すフローチャートに沿って説明する。

ビット変換回路 3 0 a では、まず、選択回路 2 5 6 が判定閾値 V r e f 6 を選択するように選択信号 S E L 設定し (S 4 1 0)、k ビット判定信号 J k (ここでは 6 ビット判定信号 J 6 となる) がハイレベルであるか否かによって、シリアル信号 S I を伝送する通信路が待機状態にあるか否かを判断する (S 4 2 0) 。

【 0 1 0 2 】

通信路が待機状態であれば (S 4 1 0 : Y E S)、受信レジスタがクリア済みであるか否かを判断し (S 4 3 0)、クリア済みであれば (S 4 3 0 : Y E S)、S 4 2 0 に戻る。

【 0 1 0 3 】

一方、受信レジスタがクリア済みでなければ (S 4 3 0 : N O)、受信レジスタの内容を、予め設定されたビット数 (例えば 8 ビット) ずつ、パラレルデータ P O として出力する (S 4 4 0) 。

10

20

30

40

50

【 0 1 0 4 】

その後、受信レジスタの内容と、ポインタの値をクリアし (S 4 5 0)、更に、パルス状の待機状態検出信号 D W を出力して (S 4 6 0)、 S 4 2 0 に戻る。

この待機状態検出信号 D W の出力により、 S R フリップフロップ回路 2 3 の出力である待機状態信号 J W はハイレベルとなる。

【 0 1 0 5 】

先の S 4 2 0 にて、通信路は待機状態ではないと判断した場合は (S 4 2 0 : N O)、エッジ検出回路 1 0 にてエッジが検出されたか否かを判断し (S 4 7 0)、エッジが検出されていなければ (S 4 7 0 : N O)、 S 4 2 0 に戻って、待機状態に変化するか、エッジが検出されるまで待機する。

10

【 0 1 0 6 】

一方、エッジが検出されると (S 4 7 0 : Y E S)、 S 4 5 0 にて受信レジスタやポインタがクリアされた後に検出された最初のエッジであるか否かを判断し (S 4 8 0)、最初のエッジであれば (S 4 8 0 : Y E S)、まだ、エッジ間隔の判定結果が得られていないため、そのまま S 4 2 0 に戻る。

【 0 1 0 7 】

検出されたエッジが最初のエッジでなければ (S 4 8 0 : N O)、シリアル信号 S I の信号レベルを取得して、その反転値を設定ビット値として記憶し (S 4 9 0)、選択回路 2 5 6 に選択させる判定閾値を指定するためのパラメータである k を、 k = 5 に設定する (S 5 0 0)。

20

【 0 1 0 8 】

そして、パラメータ k に従って、選択回路 2 5 6 が判定閾値 V r e f k を選択するように選択信号 S E L を設定し (S 5 1 0)、 k ビット判定信号 J k がハイレベルであるか否かを判断する (S 5 2 0)。

【 0 1 0 9 】

k ビット判定信号 J k がハイレベルでなければ (S 5 2 0 : N O)、パラメータ k を 1 だけ減少させ (S 5 3 0)、パラメータ k が 1 であるか否かを判断し (S 5 4 0)、パラメータ k が 1 でなければ (S 5 4 0 : N O)、 S 5 1 0 に戻る。

【 0 1 1 0 】

一方、 k ビット判定信号 J k がハイレベルである場合 (S 5 2 0 : Y E S) またはパラメータ k が 1 である場合 (S 5 4 0 : Y E S) は、ポインタが示す位置から k ビット分だけ設定ビット値を受信レジスタに書き込み (S 5 5 0)、その書き込んだビット数だけポインタを進めて (S 5 6 0)、 S 4 1 0 に戻る。

30

【 0 1 1 1 】

なお、ビット変換回路 3 0 a は、 S 4 8 0 ~ S 5 6 0 の処理を、想定されるエッジ間隔の最短時間 (即ち単位時間) より短い時間で実行するように構成される。また、 S 4 2 0 ~ S 4 5 0、 S 4 7 0 ~ S 4 9 0 の処理は、ビット変換回路 3 0 における S 1 1 0 ~ S 1 7 0 の処理と同様のものである。

【 0 1 1 2 】

< 効果 >

40

このように構成された復号回路 1 b では、倍数判定回路 2 5 を構成する比較器 2 5 7 の数を、復号回路 1 における倍数判定回路 2 2 と比較して、削減することができるため、復号回路 1 b を小型化することができる。

【 0 1 1 3 】

[第 4 実施形態]

次に第 4 実施形態の復号回路 1 c について説明する。

< 全体構成 >

図 1 2 は、復号回路 1 c の全体構成を示す回路図を含んだブロック図である。

【 0 1 1 4 】

本実施形態の復号回路 1 c は、第 1 実施形態の復号回路 1 とは、持続時間判定回路 2 0

50

bの構成、ビット変換回路30bに入出力される信号およびビット変換回路30bの動作により実現される処理の内容が異なるだけであるため、これら相違点を中心に説明する。

【0115】

図12に示すように、持続時間判定回路20bは、持続時間判定回路20におけるものと同様の計時信号発生回路21、ORゲート24を備えている。但し、ORゲート24の入力には、待機状態信号JWの代わりに、後述する1ビット判定信号J1が入力されるように構成されている。

【0116】

< 倍数判定回路 >

そして、持続時間判定回路20bにおいて、倍数判定回路22の代わりに設けられた倍数判定回路26は、電源電圧VDDを分圧する一対の抵抗からなり基準電圧Vref1を発生させる分圧回路261と、分圧回路261が発生させた基準電圧Vref1が反転入力端子に印加され、計時信号STが非反転入力端子に印加されたコンパレータ262とからなり、コンパレータ262の出力を1ビット判定信号J1として出力するように構成されている。

10

【0117】

なお、基準電圧Vref1は、定電流源212が供給する電流の大きさ、コンデンサ211の容量に基づいて設定され、コンデンサ211を単位時間より所定時間だけ短い時間だけ連続充電すると、充電電圧VCが基準電圧Vref1に達するような大きさに設定されている。そして、所定時間は、少なくとも、待機時間の判定に用いるビット数をN（ここでは6

20

【0118】

また、持続時間判定回路20bは、複数の否定論理回路（NOTゲート）からなりエッジ検出信号EGを遅延させる遅延回路27と、1ビット判定信号J1をクロック入力、遅延回路27が出力する遅延エッジ検出信号DEGをクリア入力として動作する3ビットの同期カウンタからなるカウント回路28とを備え、カウント回路28の出力（カウント値）Q0～Q2を、ビット変換回路に供給するように構成されている。

【0119】

なお、カウント回路28は、カウント値が上限値（ $Q0 = Q1 = Q2 = 1$ 、即ち‘7’）に達すると、以後、遅延エッジ検出信号DEGによって値がクリアされるまでの間、その上限値を保持（或いはカウント動作を停止）するように構成されている。また、遅延回路27は、1ビット判定信号J1がハイレベルに変化するタイミングと、エッジ検出信号EGがハイレベルになるタイミングが接近している場合に、カウント回路28を確実に動作させるためのものであり、カウント値が確定してからクリアされるまでの時間は、ビット変換回路30bにてカウント値を確実に認識できる時間が確保されるように設定される。

30

【0120】

< 持続時間判定回路の動作 >

図13は、持続時間判定回路20bの動作例を示すタイミング図である。

図13に示すように、カウント値Q0～Q1が6以上を示す待機状態の時に、シリアル信号SIがロウレベルに変化し、エッジ検出信号EGのパルスが発生すると（時刻t11）、カウント値Q0～Q1がクリアされると共に、充電電圧VCも接地レベルにリセットされる。

40

【0121】

その後、時間の経過と共に充電電圧VCは増大して、基準電圧Vref1に達すると（時刻t12）、1ビット判定信号J1がハイレベルとなり、これによりカウント値Q0～Q1がカウントアップされると共に充電電圧VCがリセットされる。また、充電電圧VCがリセットされることにより、1ビット判定信号J1がロウレベルに戻る。このため、1ビット判定信号J1はパルス状の信号となる。

【0122】

50

その後、シリアル信号 S I が 1 ビット幅に相当する時間（単位時間の 1 倍）でハイレベルに変化すると（時刻 t 1 3）、カウント値 Q 0 ~ Q 1 がクリアされると共に、充電電圧 V C がリセットされる。この時、ビット変換回路 3 0 b では、エッジ検出信号 E G のタイミングで、このタイミングより遅延回路 2 7 での遅延時間分だけ長く保持されるカウント値 Q 0 ~ Q 2（ここでは 1）を取り込む。

【 0 1 2 3 】

その後、シリアル信号 S I が 4 ビット幅に相当する時間（単位時間の 4 倍）でハイレベルに変化した時には（時刻 t 1 4）、基準電圧 V ref1 に達する毎にリセットされる充電電圧 V C は、時刻 t 1 3 ~ t 1 4 の間に、4 回基準電圧 V ref1 に達しているため、カウント値 Q 0 ~ Q 2 は 4 になっており、この値が、ビット変換回路 3 0 b に取り込まれると共に、カウント値 Q 0 ~ Q 2 のクリア，充電電圧 V C のリセットが行われる。

10

【 0 1 2 4 】

また、シリアル信号 S I がロウレベルからハイレベルに変化してから（時刻 t 1 5）、ハイレベルが保持され状態が継続し、充電電圧 V C が基準電圧 V ref1 に 7 回到達すると（t 1 6）、以後、シリアル信号 S I のハイレベルが保持されている限り、カウント値 Q 0 ~ Q 2 も上限値である 7 のまま保持される。

【 0 1 2 5 】

< ビット変換回路 >

図 1 2 に戻り、ビット変換回路 3 0 b には、シリアル信号 S I，エッジ検出信号 E G の他、判定信号 J 2 ~ J 5，J W の代わりに、カウント回路 2 8 のカウント値 Q 0 ~ Q 2 が入力される。そして、ビット変換回路 3 0 b は、これらシリアル信号 S I，エッジ検出信号 E G，に基づいて、シリアル信号 S I を復号し、パラレルデータ P O として出力する。

20

【 0 1 2 6 】

以下、ビット変換回路 3 0 b の動作により実現される処理の内容を、図 1 4 に示すフローチャートに沿って説明する。

ビット変換回路 3 0 b では、まず、カウント値 Q 0 ~ Q 2 が 6 以上であるか否かによって、シリアル信号 S I を伝送する通信路が待機状態にあるか否かを判断する（S 6 1 0）。

【 0 1 2 7 】

通信路 L N が待機状態であれば（S 6 1 0 : Y E S）、受信レジスタがクリア済みであるか否かを判断し（S 6 2 0）、クリア済みであれば（S 6 2 0 : Y E S）、S 6 1 0 に戻る。

30

【 0 1 2 8 】

一方、受信レジスタがクリア済みでなければ（S 6 2 0 : N O）、受信レジスタの内容を、予め設定されたビット数（例えば 8 ビット）ずつ、パラレルデータ P O として出力し（S 6 3 0）、その後、受信レジスタの内容と、ポインタの値をクリアして（S 6 4 0）、S 6 1 0 に戻る。

【 0 1 2 9 】

先の S 6 1 0 にて、通信路は待機状態ではないと判断した場合は（S 6 1 0 : N O）、エッジ検出回路 1 0 にてエッジが検出されたか否かを判断し（S 6 5 0）、エッジが検出されていなければ（S 6 5 0 : N O）、S 6 1 0 に戻って、待機状態に変化するが、エッジが検出されるまで待機する。

40

【 0 1 3 0 】

一方、エッジが検出されると（S 6 5 0 : Y E S）、カウント値 Q 0 ~ Q 2 がクリアされる前に取り込んだカウント値 Q 0 ~ Q 2 を設定ビット数として記憶する（S 6 6 0）。

そして、S 6 4 0 にて受信レジスタやポインタがクリアされた後に検出された最初のエッジであるか否かを判断し（S 6 7 0）、最初のエッジであれば（S 6 7 0 : Y E S）、まだエッジ間隔の判定結果が得られていないため、そのまま S 6 1 0 に戻る。

【 0 1 3 1 】

検出されたエッジが最初のエッジでなければ（S 6 7 0 : N O）、シリアル信号 S I の

50

信号レベルを取得して、その反転値を設定ビット値として記憶する（S 6 8 0）。

そして、設定ビット数だけ、設定ビット値を受信レジスタに書き込み（S 6 9 0）、その設定ビット数だけポインタを進めて（S 7 0 0）、S 6 1 0に戻る。

【 0 1 3 2 】

< 効果 >

以上説明したように復号回路 1 c によれば、持続時間判定回路 2 0 b から供給されるカウント値 $Q_0 \sim Q_2$ を、そのままエッジ間隔のビット数として用いることができるため、ビット変換回路 3 0 b の構成を簡略化することができる。

【 0 1 3 3 】

なお、本実施形態において、1 ビット判定信号 J_1 に基づいてクリア信号 SC を生成する OR ゲート 2 4 がリセット回路に相当する。

10

[第 5 実施形態]

次に第 5 実施形態の復号回路 1 d について説明する。

【 0 1 3 4 】

< 全体構成 >

図 1 5 は、復号回路 1 d の全体構成を示すブロック図である。

本実施形態の復号回路 1 d は、第 4 実施形態の復号回路 1 c とは、持続時間判定回路 2 0 b の構成が異なるだけであるため、この相違点を中心に説明する。

【 0 1 3 5 】

図 1 5 に示すように、持続時間判定回路 2 0 c は、持続時間判定回路 2 0 におけるものと同様の計時信号発生回路 2 1、遅延回路 2 7、カウント回路 2 8 を備えている。

20

但し、OR ゲート 2 4 が省略され、計時信号発生回路 2 1 のスイッチ 2 1 3 は、エッジ検出信号 EG のみによって動作するように構成されている。

【 0 1 3 6 】

< 倍数判定回路 >

そして、持続時間判定回路 2 0 c において、倍数判定回路 2 6 の代わりに設けられた倍数判定回路 2 9 は、電源電圧 V_{DD} を分圧する一対の抵抗からなり基準電圧 $V_{ref1} \sim V_{ref6}$ を発生させる 6 個の分圧回路 2 9 1 ~ 2 9 6 と、基準電圧 $V_{ref1} \sim V_{ref6}$ のいずれか一つを選択する選択回路 2 9 7 と、選択回路 2 9 7 で選択された基準電圧 V_{refk} ($k = 1, 2, 3, 4, 5, 6$) が反転入力端子に印加され、計時信号 ST が非反転入力端子に印加されたコンパレータ 2 9 8 とからなり、コンパレータ 2 9 8 の出力である判定信号 J_x を、カウント回路 2 8 のクロックおよび選択回路 2 9 7 の選択信号として供給するように構成されている。

30

【 0 1 3 7 】

また、選択回路 2 9 7 は、判定信号 J_x がロウレベルからハイレベルに変化する毎に、値の小さい基準電圧 V_{ref1} から値の大きい基準電圧 V_{ref6} に向けて順番に設定を切り替えると共に、エッジ検出信号 EG がハイレベルになると、基準電圧 V_{ref1} に設定を初期化するように構成されている。

【 0 1 3 8 】

< 持続時間判定回路の動作 >

40

図 1 6 は、持続時間判定回路 2 0 c の動作例を示すタイミング図である。

図 1 6 に示すように、カウント値 $Q_0 \sim Q_1$ が 6 を示す待機状態の時に、シリアル信号 SI がロウレベルに変化し、エッジ検出信号 EG のパルスが発生すると（時刻 t_{21} ）、カウント値 $Q_0 \sim Q_1$ がクリアされると共に、充電電圧 VC も接地レベルにリセットされ、更に、選択回路 2 9 7 が基準電圧 V_{ref1} を選択する設定に初期化される。

【 0 1 3 9 】

その後、時間の経過と共に充電電圧 VC が増大して、基準電圧 V_{ref1} に達すると（時刻 t_{22} ）、判定信号 J_x がハイレベルとなり、これによりカウント値 $Q_0 \sim Q_1$ がカウントアップされると共に、選択回路 2 9 7 の設定が、一つ大きい基準電圧 V_{ref2} に切り替わり、これに伴って判定信号 J_x はロウレベルに戻る。このため判定信号 J_x はパルス状の

50

信号となる。

【 0 1 4 0 】

その後、シリアル信号 S I が 1 ビット幅に相当する時間（単位時間の 1 倍）でハイレベルに変化すると（時刻 t 2 3）、ビット変換回路 3 0 b にカウント値 Q 0 ~ Q 1 が取り込まれると共に、充電電圧 V C のリセット、選択回路 2 9 7 の設定の初期化が行われ、更に、遅延回路 2 7 での遅延時間だけ遅延したタイミングでカウント値 Q 0 ~ Q 1 がクリアされる。

【 0 1 4 1 】

その後、シリアル信号 S I が 4 ビット幅に相当する時間（単位時間の 4 倍）でハイレベルに変化した時には（時刻 t 2 4）、充電電圧 V C は、基準電圧 V ref4 を超える大きさとなっている。つまり、時刻 t 2 3 ~ t 2 4 の間に、充電電圧 V C が基準電圧 V ref1, V ref2, V ref3, V ref4 に達する毎に、パルス状の判定信号 J x が出力されるため、カウント値 Q 0 ~ Q 2 は 4 になり、この値が、時刻 t 2 4 にてビット変換回路 3 0 b に取り込まれることになる。

10

【 0 1 4 2 】

また、シリアル信号 S I がロウレベルからハイレベルに変化してから（時刻 t 2 5）、ハイレベルが保持され状態が継続し、充電電圧 V C が基準電圧 V ref6 に到達すると（t 2 6）、この時点でカウント値 Q 0 ~ Q 2 は 6 となり、以後、シリアル信号 S I のハイレベルが保持されている限り、カウント値 Q 0 ~ Q 2 は 6 のまま保持される。

20

【 0 1 4 3 】

< 効果 >

以上説明したように、復号回路 1 d によれば、判定の対象となるビット幅毎に、異なる基準電圧 V ref1 ~ V ref6 を用いて判定しているため、どのビット幅も安定した判定結果を得ることができる。

【 0 1 4 4 】

即ち、復号回路 1 c のように、基準電圧 V ref1 だけを用いてビット幅を判定する場合、基準電圧 V ref1 は、コンデンサ 2 1 1 を単位時間より所定時間だけ短い時間だけ連続充電した時に充電電圧 V C が達するような大きさに設定されているため、これを繰り返し用いるほど（即ち、エッジ間隔が広いほど）、所定時間分の誤差が蓄積されてしまい、判定信号 J x がハイレベルになるタイミング、即ち、カウント値 Q 0 ~ Q 2 をカウントアップするタイミングがずれてしまうが、復号回路 1 d ではこのような不都合を解消できるのである。

30

【 0 1 4 5 】

[他の実施形態]

以上、本発明のいくつかの実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において様々な態様にて実施することが可能である。

【 0 1 4 6 】

例えば、第 1 実施形態にて記載したノード 1 0 0 ~ 1 0 7 を構成する復号回路 1 は、第 2 ~ 第 5 実施形態の復号回路 1 a ~ 1 d のいずれかに置き換えてもよい。

40

第 3 ~ 第 5 実施形態の復号回路 1 b ~ 1 d では、設定ビット値をシリアル信号 S I の信号レベルを検出して設定する代わりに、第 2 実施形態の復号回路 1 a の場合と同様に、待機状態における既知の信号レベルと、エッジの検出結果から設定するように構成してもよい。

【 0 1 4 7 】

第 4 および第 5 実施形態の復号回路 1 c, 1 d では、待機状態の時にも、計時信号発生回路 2 1 が充電動作を行うように構成されているが、第 2 実施形態の復号回路 1 a のように、ビット変換回路 3 0 b から、待機状態を検出したことを示す信号を出力させ、その信号によって、待機状態の間は、ビット変換回路 2 1 のスイッチ 2 1 3 を接地側に保持するように構成してもよい。

50

【 0 1 4 8 】

また、上記実施形態は、シリアル信号 S I においては 6 ビット以上同一レベルが継続することがないことを前提として、基準電圧 V_{refk} の数や、カウント回路 2 8 のビット数を設定したが、これらの数は、シリアル信号 S I の規定に従って変化させてもよいことは言うまでもない。

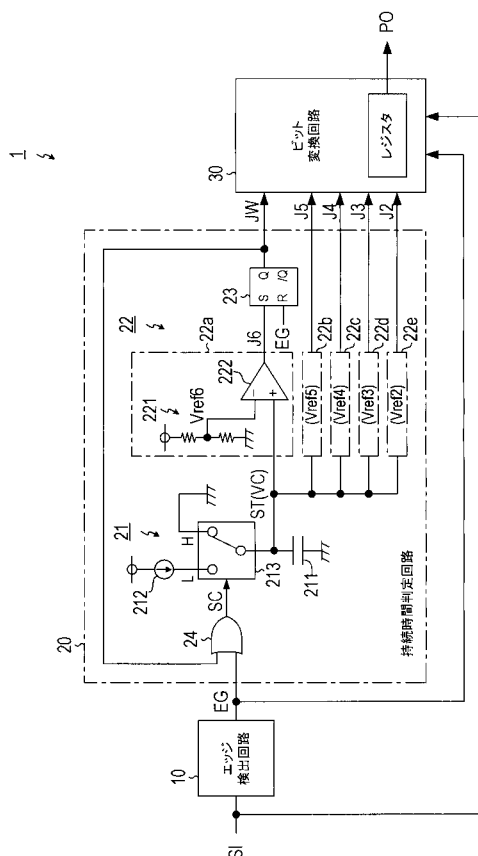
【 符号の説明 】

【 0 1 4 9 】

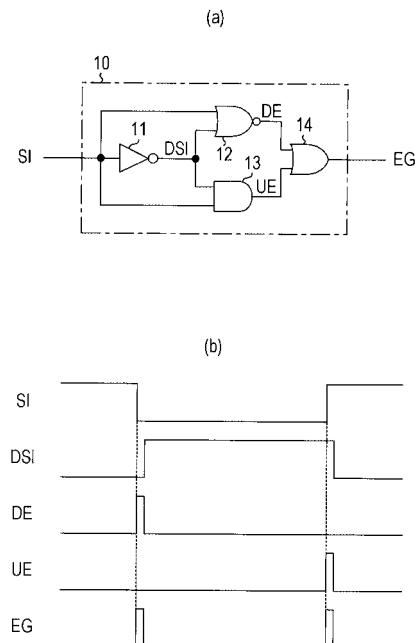
1, 1 a ~ 1 d ... 復号回路 2, 2 a ... 主処理回路 3 ... トランシーバ 4 ... レシーバ
5 ... フレーム判定回路 6 ... 電源回路 7, 8 ... 電源スイッチ 1 0 ... エッジ検出回路
2 0, 2 0 a ~ 2 0 c ... 持続時間判定回路 2 1 ... 計時信号発生回路 2 2, 2 2 a ...
倍数判定回路 2 3 ... S R フリップフロップ回路 2 4 ... O R ゲート 2 5, 2 6, 2 9
... 倍数判定回路 2 7 ... 遅延回路 2 8 ... カウント回路 3 0, 3 0 a, 3 0 b ... ビット
変換回路 1 0 0 ~ 1 0 7 ... ノード

10

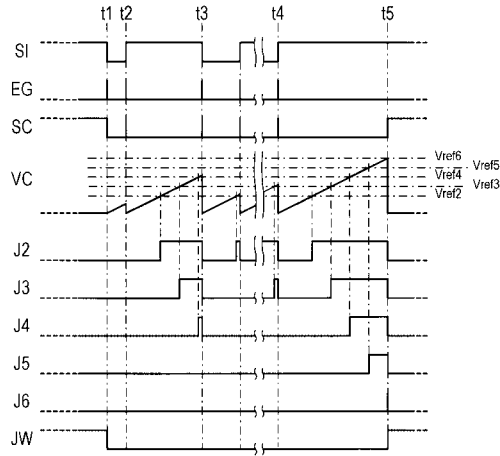
【 図 1 】



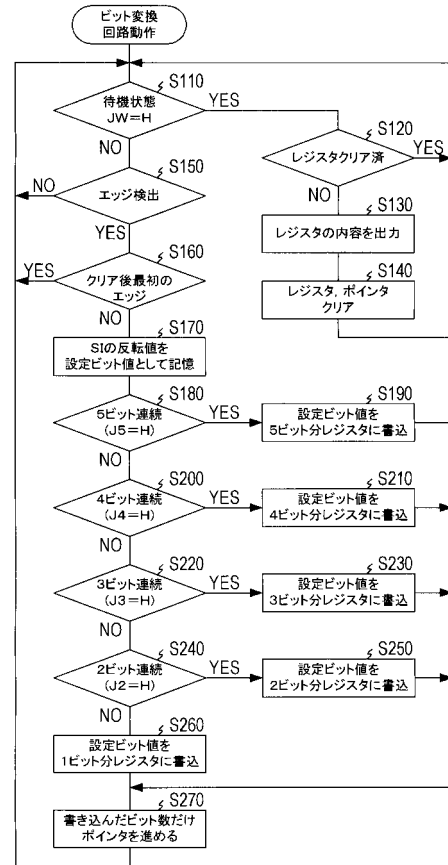
【 図 2 】



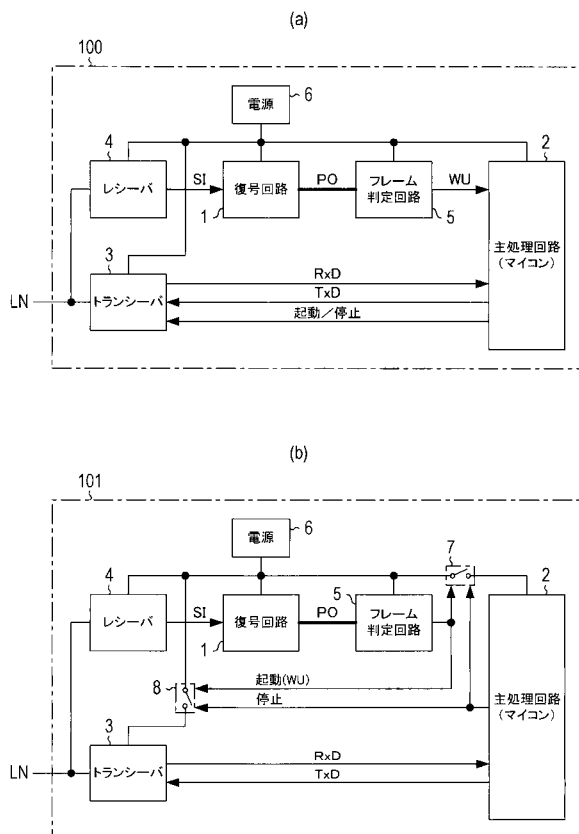
【図3】



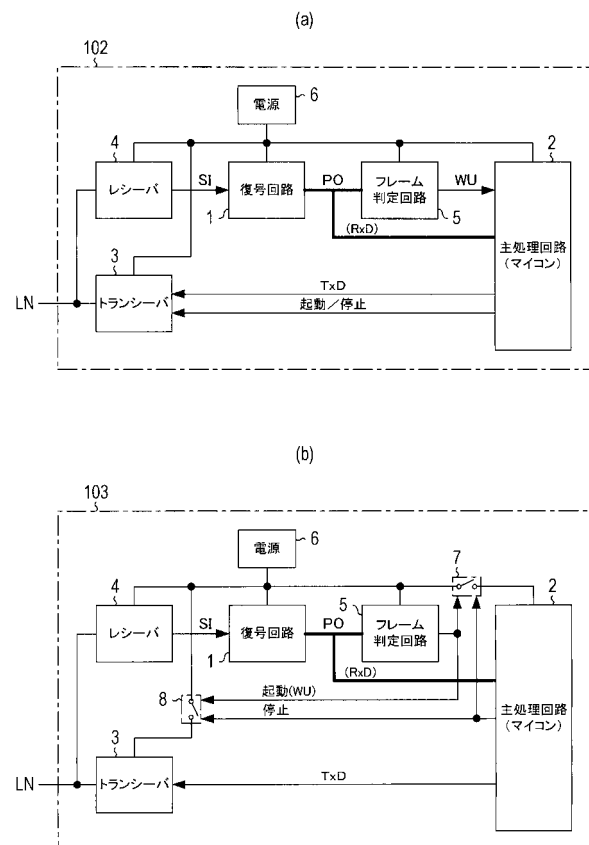
【図4】



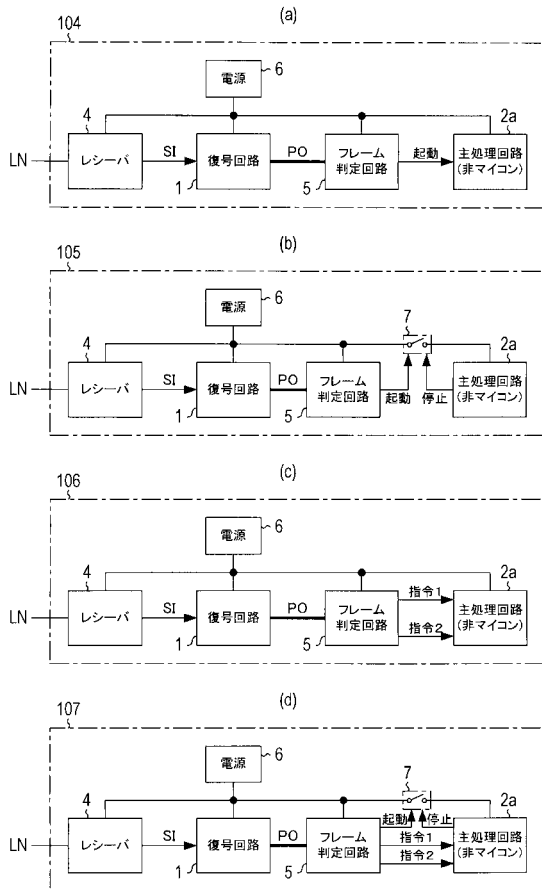
【図5】



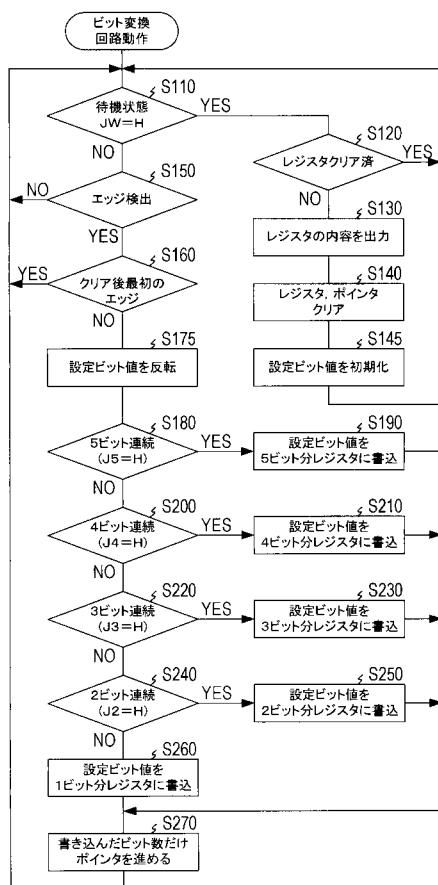
【図6】



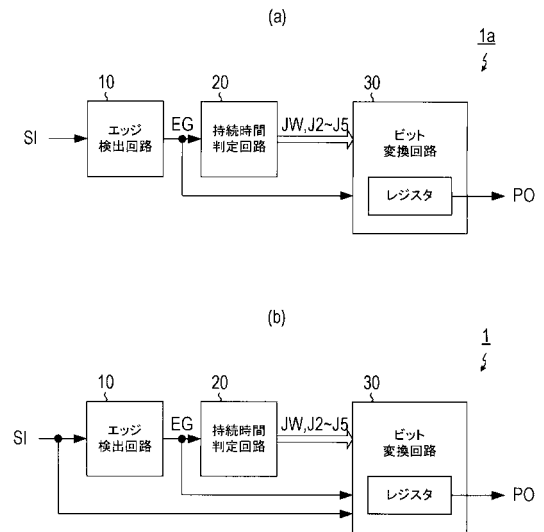
【図 7】



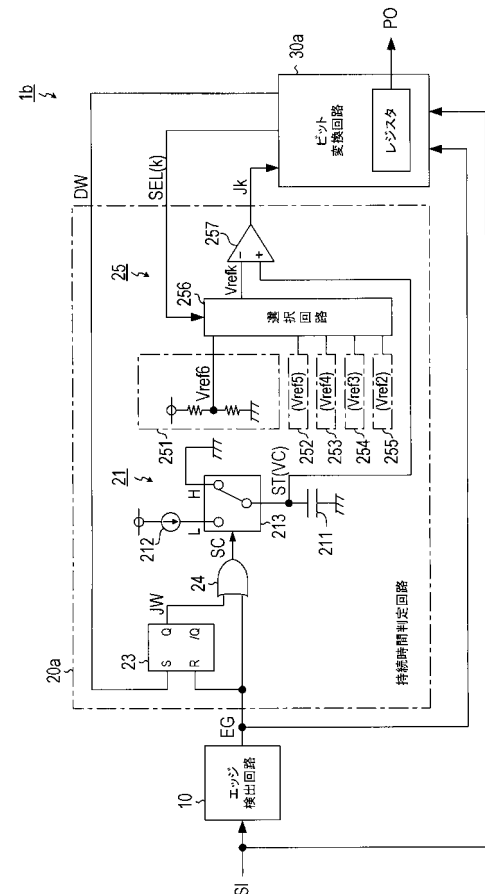
【図 9】



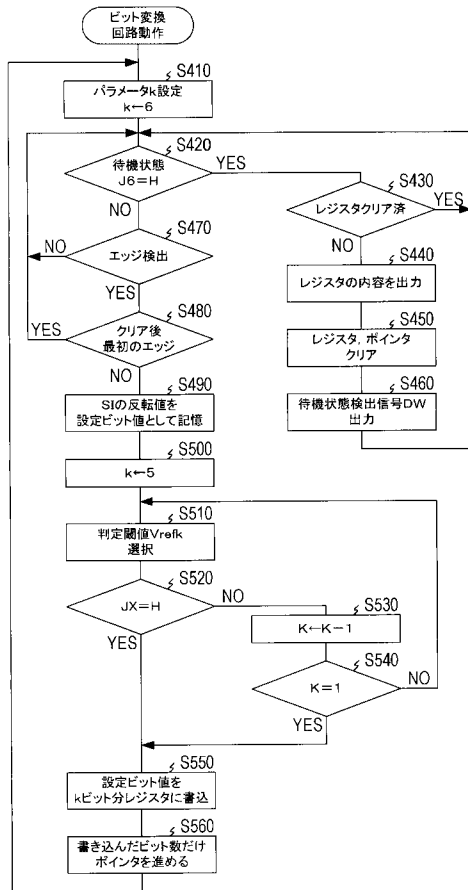
【図 8】



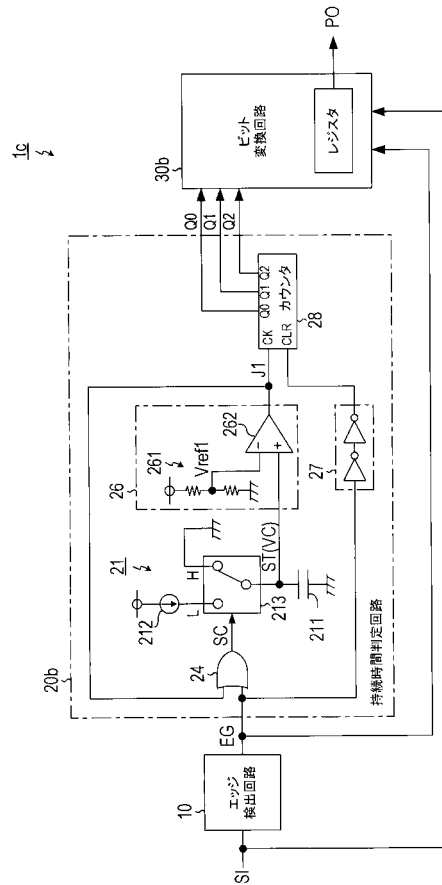
【図 10】



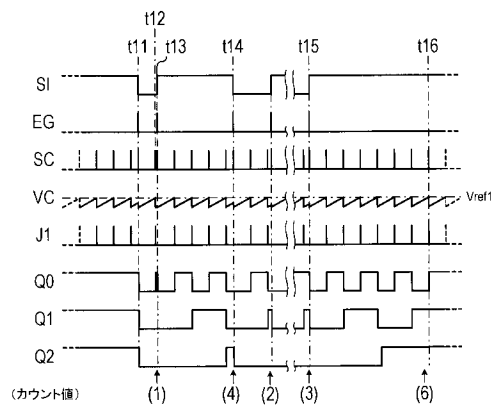
【図 1 1】



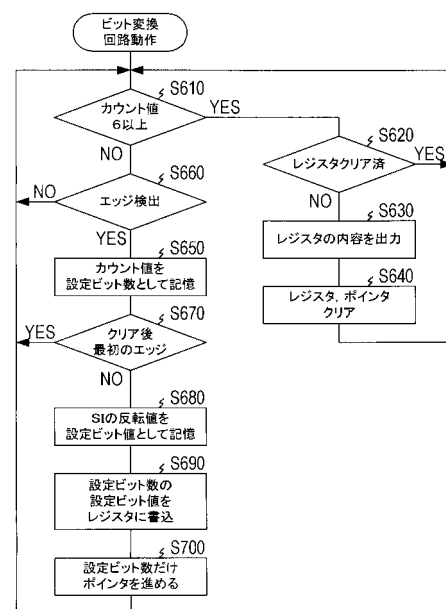
【図 1 2】



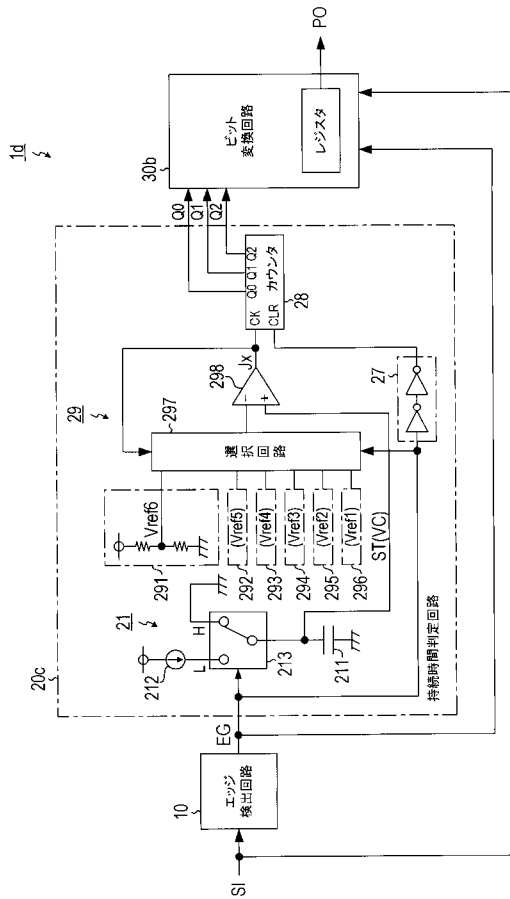
【図 1 3】



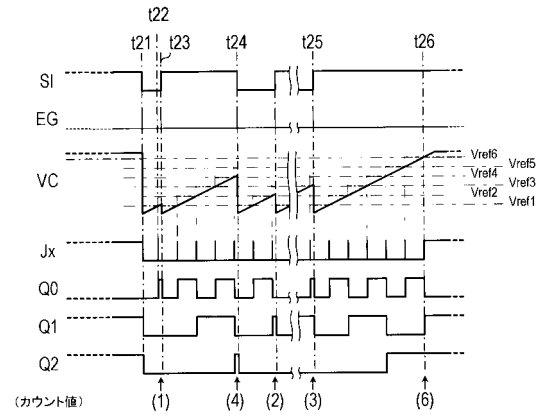
【図 1 4】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(72)発明者 佐竹 正義

愛知県西尾市下羽角町岩谷 1 4 番地 株式会社日本自動車部品総合研究所内

(72)発明者 深川 康弘

愛知県西尾市下羽角町岩谷 1 4 番地 株式会社日本自動車部品総合研究所内

(72)発明者 岸上 友久

愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

Fターム(参考) 5K029 AA13 HH10 HH11