

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4700160号
(P4700160)

(45) 発行日 平成23年6月15日 (2011. 6. 15)

(24) 登録日 平成23年3月11日 (2011. 3. 11)

(51) Int. Cl.

F I

G O 2 F 1/1345 (2006. 01)

G O 2 F 1/1345

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 2 D

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 2 7 C

請求項の数 9 (全 43 頁)

(21) 出願番号 特願2000-69563 (P2000-69563)
 (22) 出願日 平成12年3月13日 (2000. 3. 13)
 (65) 公開番号 特開2001-255560 (P2001-255560A)
 (43) 公開日 平成13年9月21日 (2001. 9. 21)
 審査請求日 平成19年1月18日 (2007. 1. 18)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 荒井 康行
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 桑原 秀明
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線と、複数のソース線が絶縁層を介して交差するように設けられ、前記交差部に非晶質半導体を有する逆スタガ型薄膜トランジスタがマトリクス状に設けられた画素領域を有する第 1 の基板と、

前記画素領域に対向して対向電極が設けられた第 2 の基板と、

前記画素領域の外側に設けられた走査線側スティックドライバ及びソース線側スティックドライバと、を有し、

前記第 1 の基板と前記第 2 の基板との間に液晶層を挟持した半導体装置において、

前記複数の走査線のそれぞれが複数の第 1 の配線のいずれかーに電気的に接続され、前記複数の第 1 の配線は前記走査線側スティックドライバの出力端子のピッチに合わせて集められた状態で設けられ、

前記複数のソース線のそれぞれが複数の第 2 の配線のいずれかーに電気的に接続され、前記複数の第 2 の配線は前記ソース線側スティックドライバの出力端子のピッチに合わせて集められた状態で設けられ、

前記ソース線側スティックドライバは前記走査線側スティックドライバより多く設けられ、かつ前記走査線側スティックドライバよりデザインルールが縮小され、

前記走査線側スティックドライバは、第 1 の薄膜トランジスタを含むバッファ回路及び第 2 の薄膜トランジスタを含む第 1 のシフトレジスタ回路を有し、

前記第 1 の薄膜トランジスタのゲート絶縁膜は前記第 2 の薄膜トランジスタのゲート絶

10

20

縁膜よりも厚く、

前記ソース線側スティックドライバは、第3の薄膜トランジスタを含む第2のシフトレジスタ回路及び第4の薄膜トランジスタを含むラッチ回路を有し、

前記第3の薄膜トランジスタのゲート絶縁膜は前記第4の薄膜トランジスタのゲート絶縁膜よりも厚いことを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1の薄膜トランジスタのゲート絶縁膜は、第1の絶縁膜及び第2の絶縁膜の積層からなり、

前記第2の薄膜トランジスタのゲート絶縁膜は、前記第2の絶縁膜からなり、

前記第3の薄膜トランジスタのゲート絶縁膜は、第3の絶縁膜及び第4の絶縁膜の積層からなり、

前記第4の薄膜トランジスタのゲート絶縁膜は、前記第4の絶縁膜からなることを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記ソース線側スティックドライバに入力するデータ信号の周波数を落とす手段を有することを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれかーにおいて、

前記走査線側スティックドライバは、導電性粒子を介して、前記第1の配線に電氣的に接続され、

前記第1の配線は前記画素領域のゲート電極と同一材料からなる第1の導電膜、及び前記第1の導電膜上に設けられた前記画素領域の画素電極と同一材料からなる第2の導電膜を有し、

前記導電性粒子には前記第2の導電膜が接することを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項3のいずれかーにおいて、

前記ソース線側スティックドライバは、導電性粒子を介して、前記第2の配線に電氣的に接続され、

前記第2の配線は前記画素領域のゲート電極と同一材料からなる第1の導電膜、及び前記第1の導電膜上に設けられた前記画素領域の画素電極と同一材料からなる第2の導電膜を有し、

前記導電性粒子には前記第2の導電膜が接することを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項3のいずれかーにおいて、

前記走査線側スティックドライバは、第1の導電性粒子を介して、前記第1の配線に電氣的に接続され、

前記ソース線側スティックドライバは、第2の導電性粒子を介して、前記第2の配線に電氣的に接続され、

前記第1の配線は前記画素領域のゲート電極と同一材料からなる第1の導電膜、及び前記第1の導電膜上に設けられた前記画素領域の画素電極と同一材料からなる第2の導電膜を有し、

前記第2の配線は前記画素領域のゲート電極と同一材料からなる第3の導電膜、及び前記第3の導電膜上に設けられた前記画素領域の画素電極と同一材料からなる第4の導電膜を有し、

前記第1の導電性粒子には前記第2の導電膜が接し、

前記第2の導電性粒子には前記第4の導電膜が接することを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれかーにおいて、

前記走査線側スティックドライバ及び前記ソース線側スティックドライバは、結晶質半導体層を有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記走査線側スティックドライバ及び前記ソース線側スティックドライバは、単結晶半導体層を有することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーにおいて、

前記半導体装置は、携帯電話、ビデオカメラ、モバイルコンピュータ、携帯書籍、デジタルカメラ、パーソナルコンピュータ、DVDプレーヤー、テレビから選ばれた一つであることを特徴とする半導体装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。特に、表示部を形成する画素領域における各画素の構成と、該画素に信号伝達する駆動回路の構成に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器をその範疇に含むものとする。

20

【0003】

【従来の技術】

画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになっている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素に電圧を印加することにより液晶の配向を制御して、画面上に画像情報を表示する仕組みになっている。

【0004】

このようなアクティブマトリクス型液晶表示装置は、ノート型パーソナルコンピュータ（ノートパソコン）やモバイルコンピュータ、携帯電話などの携帯型情報端末をはじめ、液晶テレビなどの様々な電子機器に利用され広く普及している。このような表示装置はCRTと比較して軽量薄型化が可能であり、用途によっては画面の面積化や画素数の高密度化が要求されている。

30

【0005】

非晶質シリコンに代表される非晶質半導体膜でTFTのチャネル形成領域などを形成する技術は生産性に優れている。非晶質半導体膜は、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどの比較的安価で大面積の基板に形成できる特徴を有している。しかしながら、非晶質シリコン膜でチャネル形成領域を形成したTFTの電界効果移動度は、大きくとも $1\text{ cm}^2/\text{Vsec}$ 程度しか得ることができない。そのため、画素領域に設けるスイッチング用のTFT（画素TFT）としては利用できるが、駆動回路を形成して所望の動作をさせることはできなかった。従って、画素に印加する電圧を信号に応じて制御する駆動回路は、単結晶シリコン基板で作製したICチップ（ドライバIC）を用い、画素領域の周辺にTAB（Tape Automated bonding）方式やCOG（Chip on Glass）方式で実装されている。

40

【0006】

TAB方式は可撓性の絶縁基板上に銅箔などで配線を形成し、その上にICチップを直接装着したものであり、可撓性基板の一方の端が表示装置の入力端子に接続して実装する方法である。一方、COG方式はICチップを表示装置の基板上に形成した配線のパターンに合わせて直接貼り合わせて接続する方式である。

50

【 0 0 0 7 】

また、駆動回路を実装するその他の方法として、特開平 7 - 0 1 4 8 8 0 号公報や特開平 1 1 - 1 6 0 7 3 4 号公報にはガラスや石英などの基板上に非単結晶半導体材料で作製した T F T で駆動回路を形成し、短冊状に分割して（以下、このように短冊状に切り出された駆動回路を有する基板をスティックドライバという）、表示装置の基板上に実装する技術が開示されている。

【 0 0 0 8 】

いずれにしても、画素領域が形成された基板に駆動回路を実装する領域は可能な限り小さい方が好ましく、駆動回路の実装方法には配線のレイアウトなどを含め様々な工夫が凝らされている。

【 0 0 0 9 】

【発明が解決しようとする課題】

テレビやパーソナルコンピュータのモニタとして、これまでは C R T が最も使用されてきた。しかし、省スペースや低消費電力化の観点から、それが液晶表示装置に置き換えられていくにつれ、液晶表示装置に対しては画面の面積化や高精細化が推進される一方で製造コストの削減が求められてきた。

【 0 0 1 0 】

アクティブマトリクス型の表示装置は、画素 T F T の作製に写真蝕刻（フォトリソグラフィ）技術を用い、少なくとも 5 枚のフォトマスクを使用している。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いている。このフォトマスクを 1 枚使用することによって、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、製造に係わる作業は煩雑なものとなり問題となっていた。

【 0 0 1 1 】

生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。しかし、フォトマスクの数を減らさない限りは、製造コストの削減にも限界があった。

【 0 0 1 2 】

また、基板が絶縁体であるために製造工程中における摩擦などによって静電気が発生していた。この静電気が発生すると基板上に設けられた配線の交差部でショートしたり、静電気によって T F T が劣化または破壊されて電気光学装置に表示欠陥や画質の劣化が生じていた。特に、製造工程で行われる液晶配向処理のラビング時に静電気が発生し問題となっていた。

【 0 0 1 3 】

その他に、画素数が増加すると実装する I C チップの数も必然的に多くなる。R G B フルカラー表示の X G A パネルでは、画素領域のソース線側の端子数だけで約 3 0 0 0 個となり、それが U X G A では 4 8 0 0 個必要となる。I C チップのサイズは製造プロセスにおけるウエハーサイズで限定され、実用的なサイズとして長辺が 2 0 mm 程度のものが限度となる。この I C チップは出力端子のピッチを 5 0 μ m としても、1 個の I C チップで 4 0 0 個の接続端子しか賄うことができない。上述の X G A パネルではソース線側だけで I C チップが 8 個程度、U X G A パネルでは 1 2 個が必要となる。

【 0 0 1 4 】

長尺の I C チップを作製する方法も考えられるが、短冊状の I C チップは円形のシリコンウエハーから取り出すことのできる数が必然的に減ってしまい実用に即さない。さらに、シリコンウエハー自体が脆い性質なので、あまり長尺のものを作製すると破損してしまう確率が増大する。また、I C チップの実装には位置合わせの精度や、端子部のコンタクト抵抗を低くする必要がある。1 枚のパネルに貼り付ける I C チップの数が増え、不良の発生率が増え、その工程における歩留まりを低下させる懸念がある。その他にも、I C チップの基体となっているシリコンと画素領域が形成されているガラス基板との温度係数

10

20

30

40

50

か異なるため、貼り合わせた後にたわみなどが発生し、コンタクト抵抗の増大といった直接的な不良の他に、発生する応力によって素子の信頼性が低下する要因になる。

【 0 0 1 5 】

一方、スティックドライバは画素領域と同等の長さの駆動回路を形成することも可能であり、一つのスティックドライバで駆動回路を形成して実装することもできる。しかしながら、回路部の面積が増えると、一つの点欠陥で不良となってしまうスティックドライバの数が増加するので、1枚の基板から取り出すことのできる数が減少し、工程歩留まりが低下を招いてしまう。

【 0 0 1 6 】

生産性の観点からは、大面積のガラス基板や石英基板上に結晶質半導体膜から作製するTFTで多数のスティックドライバを形成する方法は優れていると考えられる。しかし、走査線側とソース線側では回路の駆動周波数が異なり、また、印加する駆動電圧の値も異なっている。具体的には、走査線側のスティックドライバのTFTには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり高速性は要求されない。ソース線側のスティックドライバのTFTの耐圧は12V程度あれば十分であるが、駆動周波数は3Vにて65MHz程度であり高速動作が要求される。このように、要求される仕様の違いによりスティックドライバおよび該ドライバ内のTFTの構造を適切に作り分ける必要がある。

【 0 0 1 7 】

このような背景を基にして、本発明は液晶表示装置の画素TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを第1の課題とする。また、各回路が要求する特性を満たすTFTで形成した駆動回路をガラス基板などの大面積基板に一括に形成する方法と、そのような駆動回路を実装した表示装置を提供し、信頼性と生産性を向上させる技術を提供することを第2の課題とする。

【 0 0 1 8 】

【課題を解決するための手段】

上記課題を解決するための第1の手段は、画素領域に形成する画素TFTをチャンネルエッチ型の逆スタガ型TFTで形成し、ソース領域及びドレイン領域のパターニングと画素電極のパターニングを同じフォトリソで行うことを特徴とする。

【 0 0 1 9 】

本発明の画素TFTの作製方法を図1を参照して簡略に説明する。まず、第1のマスク（フォトリソ1枚目）でゲート配線102と容量配線103のパターンを形成する。次いで、絶縁膜（ゲート絶縁膜）、第1の半導体膜、一導電型の第2の半導体膜、第1の導電膜を順次積層形成する。

【 0 0 2 0 】

第2のマスク（フォトリソ2枚目）で第1の導電膜、一導電型の第2の半導体膜、第1の半導体膜を所定の形状にエッチングして、画素TFTのチャンネル形成領域やソースまたはドレイン領域を確定すると共に、ソース配線やドレイン電極のパターンを形成する。その後、画素電極を形成するための第2の導電膜を形成する。

【 0 0 2 1 】

第3のマスク（フォトリソ3枚目）で第2の導電膜をエッチングして画素電極119を形成する。さらに、画素TFTのチャンネル形成領域上に残存する第1の導電膜と一導電型の第2の半導体膜をエッチングして除去する。このエッチング処理では、エッチングの選択比が大きくとれないので第1の半導体膜も一部がエッチングされる。

【 0 0 2 2 】

このような工程により、画素TFTの作製に必要なフォトリソの数を3枚とすることができる。画素TFT上に保護絶縁膜を形成する場合には、画素電極に開口を設ける必要から、もう1枚フォトリソが必要となる。ソース配線は画素電極と同じ材料である第2の導電膜で覆い、基板全体を外部の静電気等から保護する構造とすることもできる。また、この第2の導電膜を用いて画素TFT部以外の領域に保護回路を形成する構造としてもよ

10

20

30

40

50

い。このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からＴＦＴ等を保護することができる。

【００２３】

反射型の液晶表示装置では、明るい表示を得るために画素電極の表面を凹凸化して、最適な反射特性を有する画素電極を形成する方法がある。本発明はこのような反射型の液晶表示装置にも適用し得るものであり、そのためにフォトリソマスクを増やすことを必要としない。画素電極の表面を凹凸化する方法として、ゲート配線を形成するときに、画素電極の下方の領域に島状に分離されたパターンを形成しておく手法を用いる。そのパターン上にはゲート絶縁膜と画素電極の層が形成されるのみであるので、パターンに対応した凹凸形状を画素電極の表面に形成することができる。

10

【００２４】

上記課題を解決するための第２の手段は、画素領域が形成された第１の基板と、対向電極が形成された第２の基板とを有する表示装置において、結晶質半導体層を有するＴＦＴを用いて形成される駆動回路と該駆動回路に従属する入出力端子を一つのユニットとしたものを、第３の基板上に複数個形成し、その後第３の基板を個々のユニット毎に分割して得られるスティックドライバを、第１の基板に実装することを特徴とする。

【００２５】

スティックドライバの各回路の構成は、走査線側とソース線側で異なるものとし、要求される回路特性に応じてＴＦＴのゲート絶縁膜の厚さやチャネル長などを異ならせたものとする。例えば、シフトレジスタ回路、レベルシフタ回路、バッファ回路から構成する走査線のスティックドライバでは、３０Ｖの耐圧が要求されるバッファ回路のＴＦＴはシフトレジスタ回路のＴＦＴよりもゲート絶縁膜を厚く形成する。また、シフトレジスタ回路、ラッチ回路、レベルシフタ回路、Ｄ／Ａ変換回路から構成されるソース線側のスティックドライバは、高周波数で駆動するためにシフトレジスタ回路やラッチ回路のゲート絶縁膜の厚さを薄くし、チャネル長も他のＴＦＴよりも短く形成する。

20

【００２６】

また、高い周波数の入力デジタル信号を必要とするソース線側には信号分割回路を設け、スティックドライバに入力するデータ信号の周波数を落とす手段を設ける。これにより、スティックドライバのＴＦＴの負担を軽減し、駆動回路の信頼性を向上させる。信号分割回路は、 n 個の入力部と $m \times n$ 個の出力部とを備え、 n 個の入力部のそれぞれより入力信号の供給を受け、入力デジタル信号のパルスの長さを時間伸長した修正デジタル信号を、 $m \times n$ 個ある出力部より送り出すことにより、入力デジタル信号の周波数を落としている。修正デジタル信号は、入力デジタル信号のパルスの長さを何倍に時間伸長したものであっても良い。

30

【００２７】

本発明の基本的な概念を図３２に示す。表示領域３２０２が形成された第１の基板３２０１と、第３の基板３２０６上に複数の駆動回路を形成し、第３の基板３２０６を各駆動回路毎に、短冊状または矩形状に分断することによって取り出されるスティックドライバを第１の基板に貼り合わせる。駆動回路の構成は走査線側とソース線側で異なるが、いずれにしてもそれぞれの側で複数個のスティックドライバを実装する。図３２では、走査線駆動回路が形成されたスティックドライバ３２０３、３２０４及びソース線駆動回路が形成されたスティックドライバ３２０７、３２０８が実装される形態を示している。

40

【００２８】

スティックドライバは大面積の第３の基板上に複数個作り込むことが生産性を向上させる観点から適している。例えば、 300×400 mmや 550×650 mmの大面積の基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出すと良い。スティックドライバの短辺の長さは１～６ mm、長辺の長さは１５～８０ mmとする。このようなサイズで分割するには、ダイヤモンド片などを利用してガラス基板の表面に罫書き線を形成し、外力を作用させて罫書き線に沿って分断する方法で行

50

うことができる。この加工を行う機械はガラススクライバーとも呼ばれるが、分断加工するのに必要な刃の加工幅は $100\text{ }\mu\text{m}$ を下らず、 $100\sim500\text{ }\mu\text{m}$ は余裕を見込む必要があった。また、基板上に形成したマーカーとの位置合わせ精度も $\pm 100\text{ }\mu\text{m}$ の誤差がある。従って、ガラススクライバーで短辺が 2 mm のスティックドライバを切り出すには切りしろを $1\sim5\text{ mm}$ 見込む必要があり、そのために1枚の基板からの取り数が制限されてしまう。一方、シリコンウェハーを個々のダイに切断するプレートダイシング法を用いたダイシング装置は、ブレード(刃)の幅が $0.02\sim0.05\text{ mm}$ であり、位置合わせ精度を考慮しても $100\text{ }\mu\text{m}$ 以下の精度で基板を分割することができる。

【0029】

従って、1枚の基板からスティックドライバを効率的に取出す方法は、加工精度の低いガラススクライバーで分断する加工領域と、加工精度の高いダイシング装置で分断する加工領域とを分けて配置する。具体的には、一辺が $100\sim200\text{ mm}$ の領域から成る群を作り、その群の中に短辺の長さ $1\sim6\text{ mm}$ のスティックドライバを複数個配置する。そして、群と群との分割はガラススクライバーで行い、分割された群からスティックドライバを取り出すにはダイシング装置で行う。

【0030】

また、ソース線側のスティックドライバは、チャンネル長を $0.3\sim1\text{ }\mu\text{m}$ とし、さらに上記のような限られた面積内に必要な回路を形成するために、走査線側のスティックドライバよりもデザインルールを縮小して形成する。その好ましい方法として、ステッパ方式を用いた露光技術を採用する。

【0031】

【発明の実施の形態】

【実施形態1】

本願発明の液晶表示装置における画素領域の画素の構成について説明する。図1はその平面図の一例であり、ここでは簡略化のため、マトリクス状に配置された複数の画素の1つの画素構成を示している。また、図2及び図3は作製工程を示す図である。

【0032】

図1に示すように、画素領域は互いに平行に配置された複数のゲート配線と、各ゲート配線と交差するソース配線を複数有している。ゲート配線とソース配線とで囲まれた領域には画素電極119が設けられている。また、この画素電極119と重ならないように、画素電極と同じ材料からなる配線120がソース配線117と重なっている。ゲート配線102とソース配線117の交差部近傍にはスイッチング素子としてのTFTが設けられている。このTFTは非晶質構造を有する半導体膜(以下、第1の半導体膜と呼ぶ)で形成されたチャンネル形成領域を有する逆スタガ型(若しくはボトムゲート型ともいう)のTFTである。

【0033】

さらに、画素電極119の下方で隣り合う2本のゲート配線の間には、ゲート配線102と平行に容量配線103が配置されている。この容量配線103は全画素に設けられており、画素電極119との間に存在する絶縁膜104bを誘電体として保持容量を形成している。

【0034】

本発明の逆スタガ型TFTは、絶縁性基板上に順次、ゲート電極(ゲート配線102と同じ層で一体形成され、ゲート配線に接続する電極)と、ゲート絶縁膜と、第1の半導体膜と、一導電型(通常はn型を用いる)の不純物元素を含む第2の半導体膜からなるソース領域及びドレイン領域と、ソース電極(ソース配線117と一体形成された)及び電極118(以下、ドレイン電極とも呼ぶ)とが積層形成されている。

【0035】

ソース配線(ソース電極含む)及びドレイン電極118の下方には、絶縁性基板上に順次、ゲート絶縁膜と、第1の半導体膜と、n型を付与する不純物元素を含む第2の半導体膜とが積層形成されている。

10

20

30

40

50

【 0 0 3 6 】

第 1 の半導体膜のうち、ソース領域と接する領域とドレイン領域との間の領域は、他の領域と比べ膜厚が薄くなっている。膜厚が薄くなったのは、n 型を付与する不純物元素を含む第 2 の半導体膜をエッチングにより分離してソース領域とドレイン領域とを形成する際、第 1 の半導体膜の一部が除去されたためである。また、このエッチングによって画素電極の端面、ドレイン電極の端面、及びドレイン領域の端面が一致している。このような逆スタガ型の T F T はチャンネルエッチ型と呼ばれている。また、本発明における逆スタガ型 T F T の特徴は、ソース電極を覆う配線 1 2 0 の端面、ソース領域の端面、及びソース配線の端面が一致している。

【 0 0 3 7 】

10

[実施形態 2]

図 6 は本発明の表示装置の構成を示す図である。基板 6 5 1 上には画素領域 6 5 2 が形成されている。その画素領域 6 5 2 が形成された領域上には対向電極が形成された第 2 の基板 6 6 0 が液晶層（図示せず）を介して貼り合わされている。第 1 の基板と第 2 の基板との間隔、即ち液晶層の厚さはスペーサによって決定付けられるが、ネマチック液晶の場合には 3 ~ 8 μm 、スメチック液晶の場合には 1 ~ 4 μm とする。第 1 及び第 2 の基板にはアルミノホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラスを用いることが好ましく、その厚さは 0 . 3 ~ 1 . 1 mm（代表的には 0 . 7 mm）が用いられるので、相対的に液晶層の厚さは外観上無視できるものである。

【 0 0 3 8 】

20

画素領域 6 5 2 は走査線（ゲート配線に対応する）群 6 5 8 とソース線群 6 5 9 が交差してマトリクスを形成し、各交差部に対応して T F T が配置されている。ここで配置される T F T は実施形態 1 で説明した逆スタガ型の T F T を用いる。非晶質シリコン層はプラズマ C V D 法で 3 0 0 以下の温度で形成することが可能であり、例えば、外寸 5 5 0 × 6 5 0 mm の無アルカリガラス基板であっても、T F T を形成するのに必要な膜厚を数十秒で形成することができる。このような製造技術の特徴は、大画面の表示装置を作製する上で非常に有用に活用することができる。

【 0 0 3 9 】

画素領域 6 5 2 の外側の領域には、駆動回路が形成されたスティックドライバ 6 5 3、6 5 4 が実装されている。6 5 3 はソース線側の駆動回路であり、6 5 4 は走査線側の駆動回路であるが、いずれも複数個に分割して実装する。R G B フルカラーに対応した画素領域を形成するためには、X G A クラスでソース線の本数が 3 0 7 2 本であり走査線側が 7 6 8 本必要となる。また、U X G A ではそれぞれ 4 8 0 0 本と 1 2 0 0 本が必要となる。このような数で形成されたソース線及び走査線は画素領域 6 5 2 の端部で数ブロック毎に区分して引出線 6 5 7 を形成し、スティックドライバ 6 5 3、6 5 4 の出力端子のピッチに合わせて集められている。

30

【 0 0 4 0 】

一方、基板 6 5 1 の端部には外部入力端子 6 5 5 が形成され、この部分で外部回路と接続する F P C（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り合わせる。そして、外部入力端子 6 5 5 とスティックドライバとの間は基板 6 5 1 上に形成した接続配線 6 5 6 によって結ばれ、最終的にはスティックドライバの入力端子のピッチに合わせて集められる。

40

【 0 0 4 1 】

スティックドライバの回路構成は、走査線側とソース線側とで異なっている。図 7 はその一例を示し、図 6 と同様に画素領域 6 7 0 の外側に走査線側のスティックドライバ 6 7 1 と、ソース線側のスティックドライバ 6 7 2 が設けられる様子を示している。スティックドライバは画素密度にもよるが、走査線側で 1 ~ 2 個、データ線側で 2 ~ 1 0 個程度が実装される。走査線側のスティックドライバ 6 7 1 の構成は、シフトレジスタ回路 6 7 3、レベルシフタ回路 6 7 4、バッファ回路 6 7 5 から成っている。この内、バッファ回路 6 7 5 は 3 0 V 程度の耐圧が要求されるものの、動作周波数は 1 0 0 kHz 程度であるので、

50

特にこの回路を形成するTFTはゲート絶縁膜の厚さは150～250nm、チャネル長は1～2μmで形成する。一方、ソース線側のスティックドライバは、シフトレジスタ回路676、ラッチ回路677、レベルシフト回路678、D/A変換回路679から構成される。シフトレジスタ回路676やラッチ回路677は駆動電圧3Vで周波数50MHz以上(例えば65MHz)で駆動するために、特にこの回路を形成するTFTはゲート絶縁膜の厚さは20～70nm、チャネル長は0.3～1μmで形成する。

【0042】

このような駆動回路が形成されたスティックドライバは図8(A)に示すように、第3の基板811上に形成され、TFTで形成された回路部812、入力端子813、出力端子814が設けられている。駆動回路部812のTFTのチャネル形成領域やソース及びドレイン領域は結晶質半導体膜で形成する。結晶質半導体膜には非晶質半導体膜をレーザー結晶化法や熱結晶化法で結晶化させた膜を適用することが可能であり、その他のもSOI技術を用いて形成された単結晶半導体層で形成することも可能である。

【0043】

図8(B)はスティックドライバの上面図であり、図8(A)の断面図はA-A'線に対応している。画素領域のソース線または走査線に接続する出力端子のピッチは40～100μmで複数個形成する。また、同様に入力端子813も必要な数に応じて形成する。これらの入力端子813及び出力端子814は一辺の長さを30～100μmとした正方形または長方形に形成する。図6で示したように、スティックドライバは画素領域の一辺の長さに合わせて形成するものではなく、長辺が15～80mm、短辺が1～6mmの矩形または短冊状に形成する。画素領域のサイズ、即ち画面サイズが大型化すると、その一例として、20型では画面の一方の辺の長さは443mmとなる。勿論、この長さに対応してスティックドライバを形成することは可能であるが、基板の強度を確保するには実用的な形状とはなり得ない。むしろ、15～80mmの長さとして複数個にスティックドライバを分割する方が取り扱いが容易となり、製造上の歩留まりも向上する。

【0044】

スティックドライバのICチップに対する外形寸法の優位性はこの長辺の長にあり、ICチップを15～80mmという長さで形成することは生産性の観点から適していない。不可能ではないにしても、円形のシリコンウエハーから取出すICチップの取り数を減少させるので現実的な選択とはなり得ない。一方、スティックドライバの駆動回路はガラス基板上に形成するものであり、母体として用いる基板の形状に限定されないので生産性を損なうことがない。このように、長辺が15～80mmで形成されたスティックドライバを用いることにより、画素領域に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済むので、製造上の歩留まりを向上させることができる。

【0045】

第3の基板を用いて作製されたスティックドライバを第1の基板上に実装する方法はCOG方式と同様なものであり、異方性導電材を用いた接続方法やワイヤボンディング方式などを採用することができる。図9にその一例を示す。図9(A)は第1の基板201にスティックドライバ208が異方性導電材を用いて実装する例を示している。第1の基板210上には画素領域202、引出線206、接続配線及び入出力端子207が設けられている。第2の基板はシール材204で第1の基板201と接着されており、その間に液晶層205が設けられている。また、接続配線及び入出力端子207の一方の端にはFPC212が異方性導電材で接着されている。異方性導電材は樹脂215と表面にAuなどがメッキされた数十～数百μm径の導電性粒子214から成り、導電性粒子214により接続配線及び入出力端子207とFPC212に形成された配線213とが電氣的に接続されている。スティックドライバ208も同様に異方性導電材で第1の基板に接着され、樹脂211中に混入された導電性粒子210により、スティックドライバ208に設けられた入出力端子209と引出線206または接続配線及び入出力端子207と電氣的に接続されている。

【0046】

図10(A)はこの方式によるスティックドライバ224の実装方法を詳細に説明する部分断面図である。スティックドライバ224には入出力端子225が設けられ、その周辺部には保護絶縁膜226が形成されていることが望ましい。第1の基板220には第1の導電層221と第2の導電層223、及び絶縁層222が図で示すように形成され、ここでは第1の導電層221と第2の導電層223とで引出線または接続配線を形成している。第1の基板に形成されるこれらの導電層及び絶縁層は画素領域の画素TFTと同じ工程で形成されるものである。例えば、画素TFTが逆スタガ型で形成される場合、第1の導電層221はゲート電極と同じ層に形成され、Ta、Cr、Ti、Alなどの材料で形成される。通常ゲート電極上にはゲート絶縁膜が形成され、絶縁層222はこれと同じ層で形成されるものである。第1の導電層221上に重ねて設ける第2の導電層223は画素電極と同じ透明導電膜で形成されるものであり、導電性粒子227との接触を良好なものとするために設けられている。樹脂228中に混入させる導電性粒子227の大きさと密度を適したものとすることにより、このような形態でスティックドライバと第1の基板とは電氣的接続構造を形成することができる。

【0047】

図10(B)は樹脂の収縮力を用いたCOG方式の例であり、スティックドライバ側にTaやTiなどでバリア層229を形成し、その上に無電解メッキ法などによりAuを約20μm形成しパンプ230とする。そして、スティックドライバと第1の基板との間に光硬化性絶縁樹脂231を介在させ、光硬化して固まる樹脂の収縮力を利用して電極間を圧接して電氣的な接続を形成する。

【0048】

また、図9(B)で示すように第1の基板にスティックドライバを接着材216で固定して、Auワイヤ217によりスティックドライバの入出力端子と引出線または接続配線とを接続しても良い。そして樹脂218で封止する。

【0049】

スティックドライバの実装方法は図9及び図10を基にした方法に限定されるものではなく、ここで説明した以外にも公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることが可能である。

【0050】

スティックドライバの厚さは、対向電極が形成された第2の基板と同じ厚さとすることにより、この両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与することができる。また、それぞれの基板を同じ材質のもので作製することにより、この液晶表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはない。その他にも、本実施形態で示すようにICチップよりも長尺のスティックドライバで駆動回路を実装することにより、一つの画素領域に対して必要な数を減らすことができる。

【0051】

【実施例】

[実施例1]

本実施例は液晶表示装置の作製方法を示し、基板上に画素部のTFTを逆スタガ型で形成し、該TFTに接続する保持容量を作製する方法について図1～図5を用い工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電氣的に接続するための端子部の作製工程を同時に示す。

【0052】

図2(A)において、基板100にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いる。その他に、石英基板、プラスチック基板などの基板を使用することができる。

【0053】

この基板100上に導電層を全面に形成した後、第1のフォトリソを用いるフォトリソ

10

20

30

40

50

工程を行い、エッチング処理をしてゲート電極 102' 及びゲート配線（図示せず）、容量配線 103、端子 101 を形成する。このとき少なくともゲート電極 102' の端部にテーパ部が形成されるようにエッチングする。また、この段階での上面図を図 4 に示す。

【0054】

ゲート電極 102 及びゲート配線と容量配線 103、端子部の端子 101 は、アルミニウム（Al）や銅（Cu）などの低抵抗導電性材料で形成することが望ましいが、Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせ形成する。また、低抵抗導電性材料として AgPdCu 合金を用いてもよい。耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。例えば、Ti と Cu の積層、Ta と Cu との積層が挙げられる。また、Ti、Si、Cr、Nd 等の耐熱性導電性材料と組み合わせ形成した場合、平坦性が向上するため好ましい。その他に、耐熱性導電性材料の単層や Mo と W、或いは Mo と Ta の合金を用いても良い。

10

【0055】

液晶表示装置を作製するには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせ形成することが望ましい。画面サイズが 4 型程度までなら耐熱性導電性材料の窒化物から成る導電層（A）と耐熱性導電性材料から成る導電層（B）とを積層した二層構造とする。導電層（B）は Al、Cu、Ta、Ti、W、Nd、Cr から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層（A）は窒化タンタル（Ta₂N₅）膜、窒化タングステン（WN）膜、窒化チタン（TiN）膜などで形成する。例えば、導電層（A）として Cr、導電層（B）として Nd を含有する Al とを積層した二層構造とすることが好ましい。導電層（A）は 10 ~ 100 nm（好ましくは 20 ~ 50 nm）とし、導電層（B）は 200 ~ 400 nm（好ましくは 250 ~ 350 nm）とする。

20

【0056】

一方、4 型クラス以上の大画面に適用するには耐熱性導電性材料から成る導電層（A）と低抵抗導電性材料から成る導電層（B）と耐熱性導電性材料から成る導電層（C）とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層（B）は、アルミニウム（Al）を成分とする材料で形成し、純 Al の他に、0.01 ~ 5 atomic% のスカンジウム（Sc）、Ti、Nd、シリコン（Si）等を含有する Al を使用する。導電層（C）は導電層（B）の Al にヒロックが発生するのを防ぐ効果がある。導電層（A）は 10 ~ 100 nm（好ましくは 20 ~ 50 nm）とし、導電層（B）は 200 ~ 400 nm（好ましくは 250 ~ 350 nm）とし、導電層（C）は 10 ~ 100 nm（好ましくは 20 ~ 50 nm）とする。本実施例では、Ti をターゲットとしたスパッタ法により導電層（A）を Ti 膜で 50 nm の厚さに形成し、Al をターゲットとしたスパッタ法により導電層（B）を Al 膜で 200 nm の厚さに形成し、Ti をターゲットとしたスパッタ法により導電層（C）を Ti 膜で 50 nm の厚さに形成する。

30

40

【0057】

次いで、絶縁膜 104a を全面に成膜する。絶縁膜 104a はスパッタ法を用い、膜厚を 50 ~ 200 nm とする。例えば、絶縁膜 104a として窒化シリコン膜を用い、150 nm の厚さで形成する。勿論、ゲート絶縁膜はこのような窒化シリコン膜に限定されるものでなく、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0058】

絶縁膜 104a 上に 50 ~ 200 nm（好ましくは 100 ~ 150 nm）の厚さで第 1 の半導体膜 105 を、プラズマ CVD 法やスパッタ法などの公知の方法で全面に形成する。

50

例えば、シリコンのターゲットを用いたスパッタ法で非晶質シリコン (a-Si) 膜を 150 nm の厚さに形成する。その他、この第 1 の半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜 ($\text{Si}_x\text{Ge}_{(1-x)}$)、($0 < x < 1$)、非晶質シリコンカーバイド (Si_xC_y) などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0059】

次に、一導電型 (n 型または p 型の不純物元素を含有する) の第 2 の半導体膜を 20 ~ 80 nm の厚さで形成する。一導電型の第 2 の半導体膜は、プラズマ CVD 法やスパッタ法などの公知の方法で全面に形成する。本実施例では、リン (P) が添加されたシリコンターゲットを用いて一導電型の第 2 の半導体膜 106 を形成する。或いは、シリコンターゲットを用い、リンを含む雰囲気中でスパッタリングを行い成膜してもよい。その他にも、第 2 の半導体膜を水素化微結晶シリコン膜 ($\mu\text{c-Si:H}$) で形成しても良い。

10

【0060】

金属材料からなる第 1 の導電膜 107 はスパッタ法や真空蒸着法で形成する。第 1 の導電膜 107 の材料としては、第 2 の半導体膜 106 とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Ti から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。本実施例ではスパッタ法を用い、第 1 の導電膜 107 として、50 ~ 150 nm の厚さの Ti 膜と、その Ti 膜上に重ねてアルミニウム (Al) を 300 ~ 400 nm の厚さで形成し、さらにその上に Ti 膜を 100 ~ 150 nm の厚さで形成する 3 層構造で形成する (図 2 (A))。

【0061】

20

絶縁膜 104 a、第 1 の半導体膜 105、一導電型の第 2 の半導体膜 106、及び第 1 の導電膜 107 はいずれも公知の方法で作製するものであり、プラズマ CVD 法やスパッタ法で作製することができる。本実施例では、これらの膜 (104 a、105、106、107) をスパッタ法で、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

【0062】

そして、第 2 のフォトリソグラフィ工程を行い、レジストマスク 108 を形成し、エッチングにより不要な部分を除去して配線 (後の工程によりソース配線及びドレイン電極) 111 を形成する。この際のエッチング方法としてウエットエッチングまたはドライエッチングを用いる。この時、第 1 の導電膜 107、一導電型の第 2 の半導体膜 106、及び第 1 の半導体膜 105 が順次、レジストマスク 108 のパターンに従ってエッチングとなす。この工程では配線の形成のみならず、TFT を形成する半導体層のパターンまでも同時に形成する。TFT の形成部においては、第 1 の導電膜からなる配線 111、n 型を付与する不純物元素を含む第 2 の半導体膜 110、及び第 1 の半導体膜 109 がそれぞれ形成される。本実施例では、 SiCl_4 と Cl_2 と BCl_3 の混合ガスを反応ガスとしたドライエッチングにより、Ti 膜と Al 膜と Ti 膜を順次積層した第 1 の導電膜 107 をエッチングし、反応ガスを CF_4 と O_2 の混合ガスに代えて第 1 の半導体膜 105 及び n 型を付与する不純物元素を含む第 2 の半導体膜 106 を選択的に除去する (図 2 (B))。また、容量部においては容量配線 103 と絶縁膜 104 a を残し、同様に端子部においても、端子 101 と絶縁膜 104 a が残る。この状態の上面図を図 5 に示す。但し、簡略化のため図 5 では全面に成膜された第 2 の導電膜 112 は図示していない。

30

40

【0063】

次に、レジストマスク 108 を除去した後、スクリーン印刷で画素領域の全面を覆うマスクを形成し、端子部のパッド部分を覆っている絶縁膜 104 a を選択的に除去する。この処理は高い位置合わせ精度を要求しないので、スクリーン印刷やシャドーマスクを用いて行うことができる。こうして絶縁膜 104 b を形成する (図 2 (C))。

【0064】

50

そして、全面に透明導電膜からなる第2の導電膜112を成膜する(図2(D))。この第2の導電膜112の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金(In_2O_3 、 SnO_2 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3 、 ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOと比較して熱安定性にも優れているので、第2の導電膜112と接触する配線111をAl膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($\text{ZnO}:\text{Ga}$)などを用いることができる。

10

【0065】

次に、第3のフォトマスクを用い、フォトリソグラフィ工程によりレジストマスク113a~113cを形成する。そして、エッチングにより不要な部分を除去して第1の半導体膜114、ソース領域115及びドレイン領域116、ソース電極117及びドレイン電極118、画素電極119を形成する(図3(A))。このフォトリソグラフィ工程は、第2の導電膜112をパターンニングすると同時に配線111と、一導電型の第2の半導体膜110と第1の半導体膜109の一部をエッチングにより除去して開孔を形成する。本実施例では、まず、ITOからなる第2の導電膜112を硝酸と塩酸の混合溶液または塩化系第2鉄系の溶液を用いたウエットエッチングにより選択的に除去し、ウエットエッチングにより配線111を選択的に除去した後、ドライエッチングによりn型を付与する不純物元素を含む第2の半導体膜110と第1の半導体膜109の一部をエッチングした。なお、本実施例では、ウエットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウエットエッチングのみで行ってもよい。

20

【0066】

また、開孔の底部は第1の半導体膜に達しており、凹部を有する第1の半導体膜114が形成される。この開孔によって配線111はソース配線117とドレイン電極118に分離され、一導電型の第2の半導体膜110はソース領域115とドレイン領域116に分離される。また、ソース配線と接する第2の導電膜120は、ソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。本実施例では、ソース配線上に第2の導電膜120を形成した例を示したが、第2の導電膜120を除去してもよい。また、このフォトリソグラフィ工程において、容量部における絶縁膜104bを誘電体として、容量配線103と画素電極119とで保持容量が形成される。その他に、このフォトリソグラフィ工程において、レジストマスク113cで覆い端子部に形成された透明導電膜からなる第2の導電膜を残す。

30

【0067】

次に、レジストマスク113a~113cを除去した。この状態の断面図を図3(B)に示す。尚、図1は1つの画素の上面図であり、A-A'線及びB-B'線に沿った断面図がそれぞれ図3(B)に相当する。

40

【0068】

また、図11(A)は、この状態のゲート配線端子部501、及びソース配線端子部502の上面図をそれぞれ図示している。なお、図1~図3と対応する箇所には同じ符号を用いている。また、図11(B)は図11(A)中のE-E'線及びF-F'線に沿った断面図に相当する。図11(A)において、透明導電膜からなる503は入力端子として機能する接続用の電極である。また、図11(B)において、504は絶縁膜(104bから延在する)、505は第1の非晶質半導体膜(114から延在する)、506はn型を付与する不純物元素を含む第2の非晶質半導体膜(115から延在する)である。

【0069】

こうして3枚のフォトマスクを使用して、3回のフォトリソグラフィ工程により、逆ス

50

タガ型のnチャネル型TF T 2 0 1を有する画素TF T、保持容量2 0 2を完成させることができる。これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0070】

次に、アクティブマトリクス基板の画素部のみに配向膜1 2 1を選択的に形成する。配向膜1 2 1を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。そして、配向膜1 2 1にラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するよう

10

【0071】

次いで、アクティブマトリクス基板と、対向電極1 2 2と配向膜1 2 3とが設けられた対向基板1 2 4とをスペーサで基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料1 2 5を注入する。液晶材料1 2 5は公知のものを適用すれば良く代表的にはTN液晶を用いる。液晶材料を注入した後、注入口は樹脂材料で封止する(図3(C))。

【0072】

端子部には、実施形態2で示すように駆動回路が形成されたスティックドライバを取り付ける。スティックドライバは走査線側とソース線側で異なる駆動回路が用いられる。こうして、画素領域を3枚のフォトマスクで作製したアクティブマトリクス型液晶表示装置を完成させることができる。

20

【0073】

[実施例2]

本実施例では、実施例1で作製した画素TF T上に保護膜を形成した例を図12に示す。なお、本実施例は、実施例1の図3(B)の状態まで同一であるので異なる点について以下に説明する。また、図3(B)に対応する箇所は同一の符号を用いている。

【0074】

まず、実施例1に従って図3(B)の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

30

【0075】

次いで、第4のフォトマスクを用い、フォトリソグラフィー工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素TF T部においては絶縁膜4 0 2、端子部においては無機絶縁膜4 0 1をそれぞれ形成する。この無機絶縁膜4 0 1、4 0 2は、パッシベーション膜として機能する。また、端子部においては、第4のフォトリソグラフィー工程により薄い無機絶縁膜4 0 1を除去して、端子部の端子1 0 1上に形成された透明導電膜からなる第2の導電膜を露呈させる。

【0076】

こうして本実施例では、4枚のフォトマスクを使用して、4回のフォトリソグラフィー工程により、無機絶縁膜で保護された逆スタガ型のnチャネル型TF T、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。なお、本実施例は、実施例1の構成と組み合わせることが可能である。

40

【0077】

[実施例3]

実施例1では、絶縁膜、第1の非晶質半導体膜、一導電型の第2の非晶質半導体膜及び第1の導電膜をスパッタ法で形成する例を中心として示しが、本実施例ではプラズマCVD

50

法を用いる例を示す。具体的には、絶縁膜、第1の非晶質半導体膜、及び一導電型の第2の半導体膜をプラズマCVD法で形成する。

【0078】

本実施例においては絶縁膜として酸化窒化シリコン膜を用い、プラズマCVD法により150nmの厚さで形成する。この時、プラズマCVD装置において、電源周波数を13~70MHz、好ましくは27~60MHzで行う。特に、電源周波数27~60MHzを使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、 SiH_4 と NH_3 に N_2O を添加させて作製された酸化窒化シリコン膜は、膜の内部応力が緩和されるので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。も良い。その一例を示せば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造はゲート絶縁膜として好ましい形態である。

【0079】

酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Orthosilicate: TEOS)と O_2 とを混合し、反応圧力40Pa、基板温度250~350とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後300~400の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0080】

第1の半導体膜として、代表的には、プラズマCVD法で水素化非晶質シリコン(a-Si:H)膜を100nmの厚さに形成する。この時、プラズマCVD装置において、電源周波数13~70MHz、好ましくは27~60MHzで行えばよい。電源周波数27~60MHzを使うことにより成膜速度を向上することが可能となり、成膜された膜は、欠陥密度の少ないa-Si膜となるため好ましい。その他、この第1の非晶質半導体膜には、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。非晶質半導体膜のプラズマCVD法による成膜において、100~100kHzのパルス変調放電を行えば、プラズマCVD法の気相反応によるパーティクルの発生を防ぐことができ、成膜においてピンホールの発生を防ぐことができるため好ましい。

【0081】

また、本実施例では、一導電型の不純物元素を含有する半導体膜として、一導電型の第2の非晶質半導体膜を20~80nmの厚さで形成する。例えば、n型の不純物元素を含有するa-Si:H膜を形成すれば良く、そのためにシラン(SiH_4)に対して0.1~5%の濃度でフォスフィン(PH_3)を添加する。或いは、n型を付与する不純物元素を含む第2の非晶質半導体膜106に代えて水素化微結晶シリコン膜($\mu\text{c-Si:H}$)を用いても良い。

【0082】

これらの膜は、反応ガスを適宜切り替えることにより、連続的に形成することができる。また、プラズマCVD装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。このように、大気に曝さないで連続成膜することで特に、第1の半導体膜への不純物の混入を防止することができる。

【0083】

[実施例4]

図2において示すように、絶縁膜、第1の非晶質半導体膜、一導電型の第2の非晶質半導体膜、第1の導電膜を順次、連続的に積層する工程では、スパッタ装置やプラズマCVD装置の一つの形態として、複数の反応室を備えたマルチチャンバー型の装置が適用できる。

【0084】

図13はマルチチャンバー型の装置(連続成膜システム)の上面からみた概要を示す。装

10

20

30

40

50

置の構成は、ロード・アンロード室10、15、皮膜を形成するチャンバー11～14が備えられ、各チャンバーは共通室20に連結されている。ロード・アンロード室、共通室及び各チャンバーには、真空排気ポンプ、ガス導入系が配置されている。

【0085】

ロード・アンロード室10、15は、処理基板30をチャンバーに搬入するためのロードロック室である。第1のチャンバー11は絶縁膜104を成膜するための反応室である。第2のチャンバー12は第1の非晶質半導体膜105を成膜するための反応室である。第3のチャンバー13は一導電型の非晶質半導体膜106を成膜するための反応室である。第4のチャンバー14は第1の導電膜107を成膜するための反応室である。

【0086】

このようなマルチチャンバー型の装置の動作の一例を示す。最初、全てのチャンバーは、一度高真空状態に真空引きされた後、窒素またはアルゴンなどのガスを流し、チャンバー内を0.01～5 Pa程度の圧力に保持することにより、排気口からの逆拡散やチャンバー内壁からの脱ガスによる汚染を防いでいる。

【0087】

処理基板は多数枚が収納されたカセット28ごとロード・アンロード室10にセットされる。処理基板はゲート弁22を開けてカセットから取り出し、ロボットアーム21によって共通室20に移される。この際、共通室において位置合わせが行われる。なお、この基板30は実施例1に従って得られた配線101、102、103が形成されたものを用いた。

【0088】

ここでゲート弁22を閉鎖し、次いでゲート弁23を開ける。そして第1のチャンバー11へ処理基板30を移送する。第1のチャンバー内では150 から300 の温度で成膜処理を行い、絶縁膜104を得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施例では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0089】

絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第2のチャンバー12に移送される。第2のチャンバー内では第1のチャンバーと同様に150 ～300 の温度で成膜処理を行い、プラズマCVD法で第1の半導体膜105を得る。なお、第1の非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコン・ゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、第1の半導体膜の形成温度を350 ～500 として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0090】

第1の半導体膜の成膜終了後、処理基板は共通室に引き出され、第3のチャンバー13に移送される。第3のチャンバー内では第2のチャンバーと同様に150 ～300 の温度で成膜処理を行い、プラズマCVD法でn型を付与する不純物元素(PまたはAs)を含む一導電型の第2の半導体膜106を得る。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0091】

一導電型の第2の半導体膜の成膜終了後、処理基板は共通室に引き出され、第4のチャンバー14に移送される。第4のチャンバー内では金属ターゲットを用いたスパッタ法で第1の導電膜107を得る。

【0092】

このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロ

10

20

30

40

50

ック室 15 に移送されカセット 29 に収納される。

【0093】

[実施例 5]

実施例 4 では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施例では図 14 に示す装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層する方法を採用することもできる。

【0094】

本実施例では図 14 に示した装置システムを用いた。図 14 において、40 は処理基板、50 は共通室、44、46 はロードロック室、45 はチャンバー、42、43 はカセットである。本実施例では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

10

【0095】

図 14 で示す装置を実施例 1 に適用する場合には、チャンバー 45 に複数のターゲットを用意し、順次、反応ガスを入れ替えて絶縁膜 104、第 1 の半導体膜 105、一導電型の第 2 の半導体膜 106、第 1 の導電膜 107 を積層形成すればよい。

【0096】

また、実施例 4 に適用する場合には、順次、反応ガスを入れ替えて絶縁膜 104、第 1 の非晶質半導体膜 105、一導電型の第 2 の半導体膜 106 を積層形成すればよい。

【0097】

[実施例 6]

実施例 4 で示すように、プラズマ CVD 法を用いる TFT の作製工程では、一導電型の第 2 の半導体膜を微結晶半導体膜で形成することができる。成膜時の基板加熱温度を 80 ~ 300、好ましくは 140 ~ 200 とし、水素で希釈したシランガス (SiH_4 : H_2 = 1:10 ~ 100) とフォスフィン (PH_3) との混合ガスを反応ガスとし、ガス圧を 0.1 ~ 10 Torr、放電電力を 10 ~ 300 mW/cm² とすることで微結晶シリコン膜を得ることができる。また、この微結晶珪素膜成膜後にリン (P) をプラズマドーピングして形成してもよい。一導電型の第 2 の半導体膜を微結晶半導体膜で形成することで、ソース及びドレイン領域の低抵抗化が図られ、TFT の特性を向上させることができる。

20

【0098】

[実施例 7]

実施例 1 ~ 3 では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法を示したが、本実施例では図 15、16 を用いて、反射型の液晶表示装置に適用する例について示す。図 15 は断面図、図 16 は上面図を示し、図 16 中の鎖線 G-G' で切断した面での断面構造と H-H' で切断した面に対応する断面構造を図 15 に示している。

30

【0099】

まず、絶縁表面を有する基板を用意する。本実施例は、基板としてガラス基板、石英基板、プラスチック基板のような透光性を有する基板の他に、反射型であるため、半導体基板、ステンレス基板、セラミック基板などに絶縁膜を形成したものでよい。

【0100】

次いで、基板上に金属材料からなる導電膜を形成した後、第 1 のフォトマスクを用いレジストパターンを形成した後、エッチング処理でゲート配線 750 及び凸部 751 を形成する。この凸部は、ゲート配線とソース配線とで囲まれた領域、即ち画素電極が形成されて表示領域となる領域に配置する。なお、凸部 751 の形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、凸部 751 の形状は円柱状や角柱状であってもよいし、円錐状や角錐状であってもよい。また、凸部 751 を規則的に配置しても不規則に配置してもよい。本実施例ではゲート配線がテーパ形状であることが望ましいため、凸部 751 もテーパ形状を有する角錐形状となる。テーパ部の角度は 5 ~ 45 度、好ましくは 5 ~ 25 度とする。

40

【0101】

次いで、絶縁膜 (ゲート絶縁膜) 752、第 1 の半導体膜、一導電型の第 2 の半導体膜及

50

び第1の導電膜を順次積層形成する。尚、第1の半導体膜は非晶質半導体、微結晶半導体のいずれを適用しても良い。一導電型の第2の半導体膜も実施例6で示すように微結晶半導体を用いてもよい。さらに、これらの膜はスパッタ法やプラズマCVD法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。上記絶縁膜752は、凸部751が形成された基板上に形成され、表面に凸凹を有している。

【0102】

次いで、第2のフォトリソマスクを用いレジストパターンを形成した後、エッチング処理で上記第1の導電膜、第2の半導体膜、第1の半導体膜をエッチングする。こうしてソース配線608及び電極（ドレイン電極）609を形成し、第1の半導体膜605を形成する。このエッチング処理により、ソース配線、ドレイン電極、TFTを形成する半導体層が所定のパターンに形成される。

【0103】

その後、全面に第2の導電膜を成膜する。なお、第2の導電膜としては、反射性を有する導電膜を用いる。このような導電膜としてAlやAgなどを適用することが望ましいが、耐熱性が劣るため下層に対するバリアメタル層としてTi、Taなどの層を形成しておいても良い。

【0104】

次いで、第3のフォトリソマスクを用い、レジストパターンを形成した後、エッチング処理をして、第2の導電膜からなる画素電極604を形成する。こうして、凸部601上に形成された絶縁膜の表面は凸凹を有し、この凸凹を表面に有する絶縁膜602上に画素電極604が形成されるので、画素電極604の表面に凹凸を持たせて光散乱性を図ることができる。

【0105】

また、本実施例の構成とすることで、画素TFT部の作製する際、フォトリソグラフィ技術で使用するフォトリソマスクの数を3枚とすることができる。従来では、凸凹部を形成する工程を増やす必要があったが、本実施例はゲート配線と同時に凸部を作製するため、全く工程を増やすことなく画素電極に凸凹部を形成することができる。

【0106】

[実施例8]

本実施形態では主に走査線側のスティックドライバに適したTFTの作製方法について説明する。走査線側のスティックドライバには、シフトレジスタ回路やバッファ回路などを形成する。ここでは、シフトレジスタ回路は3～5V駆動とし、バッファ回路は3.3V駆動を前提とする。バッファ回路を構成するTFTは高耐圧が要求されるため、他の回路のTFTよりもゲート絶縁膜の膜厚を厚くする必要がある。その作製方法を図17と図18を用いて説明する。

【0107】

図17(A)において、基板301にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。このようなガラス基板は加熱温度により僅かながら収縮するので、ガラス歪み点よりも500～650℃の温度で熱処理を施したものをを用いると基板の収縮率を低減させることができる。

【0108】

ブロッキング層302は基板301に微量に含まれるアルカリ金属などが半導体層に拡散するのを防ぐために設け、酸化シリコン膜や窒化シリコン膜、または酸化窒化シリコン膜などの絶縁膜で形成する。また、TFTのしきい値電圧(V_{th})を安定化させるために、ブロッキング層の応力を引張り応力とすることが望ましい。応力の制御は上記絶縁膜の作製条件により制御する。その目的のために、ブロッキング層は単層に限らず、組成の異なる複数の絶縁膜を積層して形成しても良い。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を10～200nm（好ましくは50～100nm）

m) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を $50 \sim 200 \text{ nm}$ (好ましくは $100 \sim 150 \text{ nm}$) の厚さに積層形成してブロッキング層とすることができる。

【0109】

非晶質構造を有する半導体膜 303 は、 $25 \sim 100 \text{ nm}$ の膜厚で形成する。非晶質構造を有する半導体膜の代表例としては非晶質シリコン (a-Si) 膜、非晶質シリコン・ゲルマニウム (a-SiGe) 膜、非晶質炭化シリコン (a-SiC) 膜、非晶質シリコン・スズ (a-SiSn) 膜などがあり、そのいずれでも適用できる。これらの非晶質構造を有する半導体膜はプラズマ CVD 法やスパッタ法、或いは減圧 CVD 法などにより形成されるもので、膜中に水素を $0.1 \sim 40 \text{ atomic\%}$ 程度含有するようにして形成する。好適な一例は、プラズマ CVD 法で SiH_4 または SiH_4 と H_2 から作製される非晶質シリコン膜であり、膜厚は 55 nm とする。尚、 SiH_4 の代わりに Si_2H_6 を使用しても良い。

10

【0110】

そして、非晶質半導体膜の結晶化温度を低温化することのできる触媒元素を添加する。触媒元素は非晶質半導体膜中に直接注入する方法も可能であるが、スピコート法、印刷法、スプレー法、バーコーター法、スパッタ法または真空蒸着法によって触媒元素が含有する層 304 を $1 \sim 5 \text{ nm}$ の厚さに形成しても良い。このような触媒元素の一例は、非晶質シリコンに対してニッケル (Ni)、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) が有効であることが知られている。スピコート法で触媒元素を含有する層 304 を形成するには、重量換算で $1 \sim 100 \text{ ppm}$ (好ましくは 10 ppm) の触媒元素を含む水溶液をスピナーで基板を回転させて塗布する。

20

【0111】

図 17 (B) で示す結晶化の工程では、まず $400 \sim 500$ で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 atom\% 以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中において $550 \sim 600$ で $1 \sim 8$ 時間の熱処理を行う。好適には、 550 で 4 時間の熱処理を行う。こうして結晶質半導体膜 305 を得ることができる。このような熱結晶化法により、非晶質シリコン膜からは結晶構造を有する結晶質シリコン膜が形成される。

【0112】

しかし、この熱結晶化法によって作製された結晶質半導体膜 305 は、局所的に非晶質領域が残存していることがある。このような場合、ラマン分光法では 480 cm^{-1} にブロードなピークを持つ非晶質成分の存在を確認することができる。レーザー結晶化法はこのようなに残存する非晶質領域を結晶化させる目的において適した方法である。

30

【0113】

レーザー結晶化法において用いるレーザー光源にはエキシマレーザー、YAG レーザー、YVO₄ レーザー、YAlO₃ レーザー、YLF レーザーなどを用いることができる。エキシマレーザーでは 400 nm 以下の波長の光を高出力で放射させることができるので半導体膜の結晶化に好適に用いることができる。一方、YAG レーザー、YVO₄ レーザー、YAlO₃ レーザー、YLF レーザーなどの固体レーザーではその第 2 高調波 (532 nm)、第 3 高調波 (355 nm)、第 4 高調波 (266 nm) を用いる。光の侵入長により、第 2 高調波 (532 nm) を用いる場合には半導体膜の表面及び内部から、第 3 高調波 (355 nm) や第 4 高調波 (266 nm) の場合にはエキシマレーザーと同様に半導体膜の表面から加熱して結晶化を行うことができる。

40

【0114】

図 17 (C) はその様子を示すものであり、例えば、Nd:YAG レーザーを用い、そのパルス発振周波数を $1 \sim 10 \text{ kHz}$ とし、レーザーエネルギー密度を $100 \sim 500 \text{ mJ/cm}^2$ (代表的には $100 \sim 400 \text{ mJ/cm}^2$) とし、シリンドリカルレンズなどを含む光学系にて形成した線状レーザー光 306 をその長手方向に対し垂直な方向に走査して (或いは、相対的に基板を移動させて) する。線状レーザー光 306 の線幅は $100 \sim 1000 \text{ }\mu\text{m}$ 、

50

例えば $400\text{ }\mu\text{m}$ とする。このようにして熱結晶化法とレーザー結晶化法を併用することにより、結晶性の高い結晶質半導体膜 307 を形成することができる。

【0115】

以上のようにして形成される結晶質半導体膜 307 は、TFT の能動層としてチャネル形成領域をはじめ、ソース領域、ドレイン領域、LDD 領域などを形成するのに適している。ニッケルなどの触媒元素を用いた熱結晶化法で作製される結晶質シリコン膜は、微視的に見れば複数の針状または棒状の結晶が集合した構造を有している。しかし、隣接する結晶粒の連続性が高く不對結合手（ダングリングボンド）が殆ど形成されないことが見込まれている。また、その結晶粒の大部分は $\langle 110 \rangle$ に配向している。その理由の一つとして、ニッケルなどの触媒元素を用いた場合の結晶成長過程は、触媒元素のシリサイド化物が関与しているものと考えられ、半導体膜の膜厚が $25 \sim 100\text{ nm}$ と薄いのでその初期核のうち (111) 面が基板表面とほぼ垂直なものが優先的に成長するため実質的に $\langle 110 \rangle$ の配向性が高くなると考えられる。

10

【0116】

その後、結晶質半導体膜 307 はエッチング処理により島状の半導体層 308 ~ 311 を形成する。図 17 (D) では便宜上 4 つの半導体層を示している。以降の説明は、半導体層 308、309 にはシフトレジスタ回路など低電圧で駆動する回路の TFT を、半導体層 310、311 にはバッファ回路など高電圧で駆動する回路の TFT をそれぞれ作製することを前提として説明する。

【0117】

20

半導体層上に形成するゲート絶縁膜は、回路の駆動電圧を考慮して、同一基板上に形成する TFT であってもその膜厚を異ならせて形成する。そのために 2 段階の成膜プロセスを必要とする。最初に、ゲート絶縁膜第 1 層目 312 を $40 \sim 200\text{ nm}$ （好ましくは $70 \sim 90\text{ nm}$ ）の厚さで形成する。そして、半導体層 308、309 上のゲート絶縁膜第 1 層目を選択的にエッチングして除去することにより図 17 (E) の様な状態を形成する。

【0118】

続いて、図 17 (F) に示すようにゲート絶縁膜第 2 層目 313 を同様に形成する。その結果、ゲート絶縁膜第 1 層目 312 とゲート絶縁膜第 2 層目 313 とをそれぞれ 80 nm の厚さで成膜した場合には、半導体層 308、309 上のゲート絶縁膜の厚さは 80 nm となり、半導体層 310、311 のゲート絶縁膜の厚さは 160 nm とすることができる。

30

【0119】

ゲート絶縁膜はプラズマ CVD 法またはスパッタ法を用いシリコンを含む絶縁膜で形成する。プラズマ CVD 法で SiH_4 と N_2O の混合ガスから作製される酸化窒化シリコン膜はゲート絶縁膜として適した材料である。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜をで形成しても良い。酸化シリコン膜を適用する場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 40 Pa 、基板温度 $300 \sim 400$ とし、高周波 (13.56 MHz) 電力密度 $0.5 \sim 0.8\text{ W/cm}^2$ で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後 $400 \sim 500$ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

40

【0120】

こうして作製されたゲート絶縁膜上にゲート電極を形成するための導電膜を形成する。本実施形態で示す TFT のゲート電極はドライエッチング法で選択比が $5 \sim 20$ （好ましくは、 $10 \sim 13$ ）以上の 2 種類の導電性材料を積層して形成する。例えば、窒化物導電性材料から成る第 1 の導電膜と、 $400 \sim 650$ の熱処理に耐え得る耐熱性導電性材料から成る第 2 の導電膜とから形成する。その具体的な一例として、第 1 の導電膜を窒化タンタル (Ta_N)、窒化チタン (Ti_N)、窒化タングステン (WN) から選ばれた材料で形成し、第 2 の導電膜をタンタル (Ta)、チタン (Ti)、タングステン (W)、モリブデン (Mo) から選ばれた一種または複数種からなる合金材料で形成する。勿論、適用可能なゲート電極材料はここで記載した材料に限定されるものではなく、上記仕様を満た

50

す導電性材料の組み合わせであれば、他の導電性材料を選択することも可能である。尚、ここでいう選択比とは、第1の導電膜に対する第2の導電膜のエッチング速度の割合をいう。

【0121】

本実施形態では、図示はしないが、第1の導電膜をTa₂N膜で50～100nmの厚さに形成し、第2の導電膜をW膜で100～400nmの厚さに形成する。Ta₂N膜はスパッタ法でTaのターゲットを用い、Arと窒素の混合ガスでスパッタして形成する。W膜はWをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要がある。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。Wのターゲットには純度99.9999%のものをを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μcmを実現することができる。

【0122】

ゲート電極は2段階のエッチング処理により形成する。図18(A)に示すようにレジストによるマスク314を形成し、第1のエッチング処理を行う。エッチング方法に限定はないが、好適にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング装置を用い、エッチング用ガスにCF₄とCl₂を用い、0.5～2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成し
20
て行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度の速度でエッチングすることができる。

【0123】

第1のエッチング処理では、第1の導電膜及び第2の導電膜の端部がテーパ形状となるように加工する。テーパ部の角度は15～45°とする。しかし、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させるオーバーエッチング処理をすると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされる。こうして、第1のエッチング処理により第1の導電膜と第2の導電膜から成る第1の形状の導電層315～318(第1の導電層315a～318aと第2の導電層315b～318b)を形成する。
30

【0124】

次に図18(B)に示すように第2のエッチング処理を行う。ICPエッチング装置を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給してプラズマを生成する。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧となるようにする。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度でTa膜を異方性エッチングして第2の形状の導電膜319～322(第1の導電層319a～322aと第2の導電層319b～322b)を形成する
40
。ゲート絶縁膜は図では詳細に示さないが、第2の形状の導電層315～318で覆われない領域は20～50nm程度エッチングされ薄くなる。

【0125】

そして、図18(C)で示すように、濃度の異なる2種類の不純物領域を形成する。この不純物領域はいずれもn型であり、リン(P)、砒素(As)などのn型を付与する不純物元素をイオンドープ法やイオン注入法で添加する。第1のドーピング処理は、第2の導電層319b～322bをマスクとして自己整合的に第1の不純物領域323～326を形成する。概念的には高加速電圧低ドーズ量の条件を選択し、第1の不純物領域323～326には、添加されるn型を付与する不純物元素の濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにする。例えば、イオンドープ法でフォスフィン(PH₃)を用
50

い、加速電圧を $70 \sim 120 \text{ keV}$ とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行う。

【0126】

次いで行う第2のドーピング処理は、低加速高ドーズ量の条件を選択し、不純物領域327～330の形成を行う。第2の不純物領域327～330の不純物濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の範囲となるようにする。その為に、イオンドープ法における条件の一例は、ドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を $30 \sim 70 \text{ keV}$ として行う。こうして半導体層に形成される第1の不純物領域323～326は第1の導電層319a～322aと重なるように形成され、第2の不純物領域327～330は、第2の形状の導電層315～318の外側に形成される。

【0127】

そして図18(D)に示すように、pチャネル型TFETを形成する半導体層308、310にp型を付与する不純物元素が添加された第3の不純物領域332～335を形成する。このとき、nチャネル型TFETを形成する島状半導体層309、311はレジストのマスク331で全面を被覆しておく。不純物領域332～335にはそれぞれ異なる濃度でリン(P)が添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法でp型を付与する不純物元素を添加して、ずれの領域においてもp型を付与する不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるように形成する。

【0128】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。第2の導電層319～322がゲート電極として機能する。そして、図18(E)で示す第1の層間絶縁膜336を形成する。第1の層間絶縁膜336は酸化窒化シリコン膜で $100 \sim 200 \text{ nm}$ の厚さで形成する。その後、導電型の制御を目的としてそれぞれの半導体層に添加された不純物元素を活性化処理を行う。この工程はファーンズアニール炉を用いる熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で $400 \sim 700$ 、代表的には $500 \sim 600$ で行う。

【0129】

レーザーアニール法では波長 400 nm 以下のエキシマレーザー光やYAGレーザー、YVO₄レーザーの第2高調波(532 nm)を用いる。活性化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 30 Hz とし、レーザーエネルギー密度を $100 \sim 300 \text{ mJ/cm}^2$ とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数 $1 \sim 10 \text{ kHz}$ とし、レーザーエネルギー密度を $200 \sim 400 \text{ mJ/cm}^2$ とすると良い。そして幅 $100 \sim 1000 \mu\text{m}$ 、例えば $400 \mu\text{m}$ で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を $80 \sim 98\%$ として行う。

【0130】

さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450$ で $1 \sim 12$ 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0131】

第2の層間絶縁膜337は、酸化シリコンや酸化窒化シリコンなどの無機絶縁物材料、または有機絶縁物材料を用い $1.0 \sim 2.0 \mu\text{m}$ の平均膜厚で形成する。有機絶縁物材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで 300 で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで 80 で 60 秒の予備加熱を行い、さらにクリーンオープンを用い、 250 で 60 分焼成して形成する。

【0132】

10

20

30

40

50

そして、半導体層に形成した第2の不純物領域または第3の不純物領域とコンタクトをする配線338～345を形成する。この配線は50～200nmのTi膜768a、100～300nmのAl膜768b、50～200nmのスズ(Sn)膜またはTi膜で形成する。このような構成で形成された配線338～345は、最初に形成するTi膜が半導体層と接触をし、コンタクト部分の耐熱性を高めている。

【0133】

以上の様にして、pチャネル型TFET346、348、nチャネル型TFET347、349を有する駆動回路が形成することができる。pチャネル型TFET348とnチャネル型TFET349のゲート絶縁膜は、pチャネル型TFET346とnチャネル型TFET347のゲート絶縁膜よりも厚く形成され、耐圧を高める構造となっている。

10

【0134】

pチャネル型TFET346にはチャネル形成領域350、ゲート電極である第2の導電層319と重なる第3の不純物領域351、ゲート電極の外側に形成される第3の不純物領域352を有している。また、pチャネル型TFET348にはチャネル形成領域356、ゲート電極である第2の導電層321と重なる第3の不純物領域357、ゲート電極の外側に形成される第3の不純物領域358を有している。pチャネル型TFETはシングルドレインの構造であり、第3の不純物領域は、ソースまたはドレインとして機能するものである。

【0135】

nチャネル型TFET347はチャネル形成領域353、ゲート電極である第2の導電層320と重なる第1の不純物領域354、ゲート電極の外側に形成される第2の不純物領域355が形成されている。また、nチャネル型TFET349はチャネル形成領域359、ゲート電極である第2の導電層322と重なる第1の不純物領域360、ゲート電極の外側に形成される第2の不純物領域361が形成されている。第1の不純物領域354、360はLDD(Lightly Doped Drain)領域であり、第2の不純物領域355、361はソース領域またはドレイン領域として機能する領域である。特に、第1の不純物領域はゲート電極とオーバーラップして形成されるGOLD(Gate Overlapped Drain)構造であるため、ホットキャリア効果によるTFETの劣化を防止することができ、10V以上の高い電圧を印加しても、きわめて安定した動作を得ることができる。

20

【0136】

いずれにしても、これらのTFETはチャネル長1～5μm、好ましくは1.5～2.5μmで形成すれば良い。従って、適用すべきデザインルールもライン・アンド・スペース(線幅と隣接する線との間隔)で1～1.5μm、コンタクトホールで2μm程度を採用すれば良い。

30

【0137】

本実施形態で作製されるTFETは走査線側のスティックドライバを形成するのに適している。特に、30V系の高電圧が印加されるバッファ回路などには、図18(E)で示すpチャネル型TFET348、nチャネル型TFET349を適用して形成する。また、シフトレジスタ回路などにはpチャネル型TFET346、nチャネル型TFET347を適用して形成すると良い。ここでは、nチャネル型TFETとpチャネル型TFETを形成する工程を示したが、同工程により容量素子や抵抗素子を形成することは容易に想定できるものであり省略されている。また、回路形成に必要なTFETのサイズ(チャネル長/チャネル幅)やそのレイアウトは実施者が適宜考慮すれば良いものである。

40

【0138】

[実施例9]

ソース線側に設けるスティックドライバのTFETに要求される耐圧は12V程度であるが、動作周波数は3Vにて50MHz以上(例えば65MHz)が要求される。本実施形態ではそのために適したTFETの作製方法を説明する。

【0139】

TFETのチャネル形成領域を形成する結晶質半導体膜には、高い電界効果移動度と低いサ

50

ブスレッシュヨルド係数（ S 値）実現可能な品質が要求される。即ち、捕獲中心や再結合中心となる欠陥準位や、粒界ポテンシャルが低いといった性質を有する結晶質半導体膜が求められる。図 19 はそのような結晶質半導体膜を作製する方法の一例を示す。

【0140】

図 19（A）において基板 401 として適用し得るものは、600（好適には 950）の熱処理に耐え、絶縁表面を有する基板であれば良い。品質、表面仕上げの精度から言えば石英基板が適している。そのような基板 401 に密接して形成する非晶質構造を有する半導体膜 402 は、プラズマ CVD 法や減圧 CVD 法で 25 ~ 100 nm の厚さで形成する。非晶質構造を有する半導体膜の代表例としては非晶質シリコン（ $a\text{-Si}$ ）膜、非晶質シリコン・ゲルマニウム（ $a\text{-SiGe}$ ）膜、非晶質炭化シリコン（ $a\text{-SiC}$ ）膜、非晶質シリコン・スズ（ $a\text{-SiSn}$ ）膜などがあり、そのいずれでも適用できる。そして、非晶質半導体膜の結晶化温度を低温化することのできる触媒元素を含有する層を形成する。図 19（A）では非晶質構造を有する半導体膜 402 上に形成しているが、基板側に形成されていても構わない。ここで適用可能な触媒元素は実施形態 2 と同じであり、同様な方法で形成する。

10

【0141】

そして、窒素またはアルゴンなどの雰囲気中で 500 ~ 600 で 1 ~ 12 時間の熱処理を行い非晶質構造を有する半導体膜の結晶化を行う。この温度の結晶化に先立っては、400 ~ 500 で 1 時間程度の熱処理を行い、膜中の含有水素を放出させておくことも必要である。代表的な条件として、450 で 1 時間の脱水素処理をした後、続いて 570 で 8 時間の熱処理を行う。このような熱結晶化法により、非晶質シリコン膜からは結晶構造を有する結晶質半導体膜 404 が形成される（図 19（B））。

20

【0142】

しかし、結晶質半導体膜 404 に残存する触媒元素の濃度はおよそ $5 \times 10^{16} \sim 2 \times 10^{18} \text{atoms/cm}^2$ である。触媒元素は半導体膜の結晶化には有効であるが、その後 TFT を形成するための機能材料として使用する目的においては不要な存在となる。結晶質半導体膜中に残存する触媒元素は不純物として欠陥準位などを形成し、捕獲中心や再結合中心を形成したり、半導体接合の不良をもたらす。図 19（B）は触媒元素を除去するためのゲッタリング処理を説明するものであり、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することを目的としている。

30

【0143】

まず、結晶質半導体膜 404 の表面に酸化シリコン膜などでマスク用絶縁膜 405 を 150 nm の厚さに形成する。そして、能動層を形成する領域の外側に開口部 406 を設け、結晶質半導体膜の表面が露出した領域を形成する。そして、イオンドープ法やイオン注入法でリン（P）を添加して、結晶質半導体膜に選択的にリン（P）添加領域 407 を形成する。この状態で、窒素雰囲気中で 550 ~ 800、5 ~ 24 時間、例えば 600、12 時間の熱処理を行うと、リン（P）添加領域 407 がゲッタリングサイトとして働き、結晶質半導体膜 404 に残存していた触媒元素をリン（P）添加領域 407 に偏析させることができる。

【0144】

その後、マスク用絶縁膜 405 と、リン（P）添加領域 407 とをエッチングして除去することにより、触媒元素の濃度が $1 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減された結晶質半導体膜 408 を得ることができる（図 19（C））。

40

【0145】

また、図 20 は結晶質半導体膜を形成する方法の他の一例を示す。図 20（A）において基板 410、非晶質構造を有する半導体膜 411 は図 19（A）の説明と同様なものを用いる。非晶質構造を有する半導体膜 411 上にはマスク用絶縁膜 412 を形成し、選択的に開口部 414 を形成する。その後、重量換算で 1 ~ 100 ppm の触媒元素を含む溶液を塗布して、触媒元素含有層 413 を形成する。触媒元素含有層 413 は開口部 414 のみで非晶質構造を有する半導体膜 411 と接触する構造が形成される。

50

【0146】

次に、500～650 で1～24時間、例えば600、12時間の熱処理を行い、結晶質半導体膜を形成する。この結晶化の過程では、触媒元素が接した半導体膜415から結晶化が進行し、基板410の表面と平行な方向（横方向）へ結晶化が進行する。こうして形成された結晶質半導体膜は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0147】

結晶質半導体膜が形成された後、図19（B）と同様に触媒元素を結晶質半導体膜から除去するゲッタリング処理を行う。先に形成された開口部414からリン（P）を添加して、結晶質半導体膜にリン（P）添加領域416を形成する。この状態で、窒素雰囲気中で550～800、5～24時間、例えば600、12時間の熱処理を行い、結晶質半導体膜に残存する触媒元素をリン（P）添加領域416に偏析させる（図20（C））。

【0148】

その後、マスク用絶縁膜412と、リン（P）添加領域416とをエッチングして除去することにより、触媒元素の濃度が $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶質半導体膜417を得ることができる（図20（D））。

【0149】

図19（C）で示す結晶質半導体膜408及び図20（D）で示す結晶質半導体膜417は、いずれもTFTの能動層を形成する用途において適したものである。図21（A）ではこのような結晶質半導体膜から島状に分離形成した半導体膜420～423を形成する。図21（A）では便宜上4つの半導体層を示している。以降の説明は、半導体層420、421にはシフトレジスタ回路など低電圧で駆動する回路のTFTを、半導体層422、423にはラッチ回路など高周波数で駆動するTFTをそれぞれ作製することを前提として説明する。後者は高速駆動を可能とするために、ゲート絶縁膜の厚さが薄く形成する。そのために2段階の成膜プロセスを行う。

【0150】

半導体層上に形成するゲート絶縁膜は、回路の駆動電圧を考慮して、同一基板上に形成するTFTであってもその膜厚を異ならせて形成する。そのために2段階の成膜プロセスを必要とする。最初に20～50nm、例えば40nmの厚さで酸化シリコン膜または酸化窒化シリコン膜などの絶縁膜を形成する。このような絶縁膜はプラズマCVD法や熱CVD法で形成する。熱CVD法における作製条件の一例は、 SiH_4 と N_2O を用い、800、40Paであり、ガスの混合比を適当なものとするにより緻密な膜を形成することができる。その後、半導体層422、423上に形成された絶縁膜をフッ酸などでエッチングして除去して第1の絶縁膜424を形成する。さらに、表面を清浄に洗浄し、800～1000（好ましくは950）でハロゲン（代表的には塩素）を含む雰囲気中で酸化膜の形成を行う。

酸化膜は半導体層422、423において30～50nm（例えば40nm）の厚さとなるように形成する。その結果、半導体層420、421では80nmの厚さの絶縁膜が形成される。ハロゲン雰囲気での酸化膜形成により、微量の金属不純物などが除去され、半導体膜との界面準位密度が低減された良好な絶縁膜を形成することができる。こうして、半導体層420、421と半導体層422、423との間で厚さの異なる第2の絶縁膜425が形成され、この絶縁膜をゲート絶縁膜として利用する（図21（B））。

【0151】

さらに、図21（B）では第2の絶縁膜425上にゲート電極を形成するための第1の導電膜426と第2の導電膜427とを形成する。これらの導電膜は実施形態1と同様にして作製するものであり、第1の導電膜426をTa-N膜で50～100nmの厚さに形成し、第2の導電膜427をW膜で100～300nmの厚さに形成する。

【0152】

以降の行程は実施形態2と同様にして行い、nチャネル型TFTとpチャネル型TFTを

10

20

30

40

50

形成する。ゲート電極の形成は２段階のエッチング処理により行う。図２１（Ｃ）はレジストマスク４２８を形成し、テーパーエッチング処理を行う第１のエッチング処理により第１の形状の導電層４２９～４３２（第１の導電層４２９ａ～４３２ａと第２の導電層４２９ｂ～４３２ｂ）が形成された状態を示している。また、図２１（Ｄ）は異方性エッチングによる第２のエッチング処理により第２の形状の導電層４３３～４３６（第１の導電層４３３ａ～４３６ａと第２の導電層４３３ｂ～４３６ｂ）が形成された状態を示している。

【０１５３】

nチャネル型ＴＦＴおよびpチャネル型ＴＦＴの不純物領域の形成は、第２の形状の導電層を利用して自己整合的に形成する。nチャネル型ＴＦＴには濃度の異なる２種類の不純物領域を形成する。図２１（Ｅ）は第１のドーピング処理（高加速電圧低ドーズ量の条件）で形成される第１の不純物領域４３７～４４０と、第２のドーピング処理（低加速電圧高ドーズ量）の条件で形成される第２の不純物領域４４１～４４とを示している。pチャネル型ＴＦＴの不純物領域は、図２１（Ｆ）で示す様に、レジストのマスク４４５をnチャネル型ＴＦＴが形成される領域を保護するように形成し、第３のドーピング処理によりp型を付与する不純物元素が添加された領域４４６～４４９を形成する。

【０１５４】

これらの不純物領域を形成した後、第１の層間絶縁膜４５０を形成し、４００～７００の熱処理を施して不純物元素の活性化を行う。さらに、３～１００％の水素を含む雰囲気中で３００～４５０で１～１２時間の熱処理を行い、半導体層を水素化して欠陥準位密度を低減する処理を行う。第２の層間絶縁膜４５１は、酸化シリコンや酸化窒化シリコンなどの無機絶縁物材料、または有機絶縁物材料を用い１．０～２．０μmの平均膜厚で形成する。配線４５２～４５９はAl、Tiなどで形成する。

【０１５５】

以上の様にして、pチャネル型ＴＦＴ４６０、４６２、nチャネル型ＴＦＴ４６１、４６３を有する駆動回路が形成することができる。pチャネル型ＴＦＴ４６２とnチャネル型ＴＦＴ４６３のゲート絶縁膜は、pチャネル型ＴＦＴ４６０とnチャネル型ＴＦＴ４６１のゲート絶縁膜よりも薄く形成され、低電圧で高速に駆動する構造となっている。前者のＴＦＴは３～５Ｖの低電圧で駆動するラッチ回路などを形成し、後者のＴＦＴは５～１２Ｖで駆動するシフトレジスタ回路などを形成するのに適している。

【０１５６】

これらのＴＦＴのチャネル長は低電圧部で０．３～１μm（好ましくは０．６μm）、中電圧部で０．６～１．５μm（好ましくは０．９μm）で形成する。従って、適用すべきデザインルールもライン・アンド・スペース（線幅と隣接する線との間隔）で０．３～１．５μm、コンタクトホールで０．９μm程度の精度が要求される。

【０１５７】

本実施形態で作製されるＴＦＴはソース線側のスティックドライバを形成するのに適している。特に、３Ｖで数十MHzの周波数で駆動するラッチ回路などは、図２１（Ｅ）で示すpチャネル型ＴＦＴ４６２とnチャネル型ＴＦＴ４６３を用いて形成する。また、シフトレジスタ回路などにはpチャネル型ＴＦＴ４６０、nチャネル型ＴＦＴ４６１を適用して形成すると良い。ここでは、nチャネル型ＴＦＴとpチャネル型ＴＦＴを形成する工程を示したが、同工程により容量素子や抵抗素子を形成することは容易に想定できるものであり省略されている。また、回路形成に必要なＴＦＴのサイズ（チャネル長／チャネル幅）やそのレイアウトは実施者が適宜考慮すれば良いものである。

【０１５８】

[実施例１０]

ソース線側に設けるスティックドライバに適したＴＦＴの作製方法について他の一例を示す。ＴＦＴの能動層を形成するための結晶質半導体膜を形成する工程は実施形態３と同じである。図２２（Ａ）において、基板９０１として適用し得るものは、６００（好適には９５０）の熱処理に耐え、絶縁表面を有する石英基板が望ましい。そのような基板４

10

20

30

40

50

01に密接して形成する非晶質構造を有する半導体膜902は、プラズマCVD法や減圧CVD法で40~100nm、一例として70nmの厚さで形成する。石英基板上に良質な結晶質半導体膜を形成するには、スタート膜として形成する非晶質半導体膜の膜厚をある程度厚くしておく必要がある。膜厚が30nm以下であると、下地の基板との間で格子不整合などの影響で結晶化が十分成し遂げることができない懸念がある。非晶質構造を有する半導体膜は実施形態2または3で示す材料と同じであり、代表的には非晶質シリコンを用いる。そして、非晶質半導体膜の結晶化温度を低温化することのできる触媒元素を含有する層903を形成する。

【0159】

結晶化は450℃で1時間の熱処理で脱水素処理を行い、続いて600℃で12時間の熱処理を行う。図22(B)で示すように、こうして得られる結晶質半導体膜904上にはマスク用絶縁膜905を形成し、その開口部906からリン(P)を添加して、リン(P)添加領域907を形成する。触媒元素を除去するためのゲッターリング処理は、窒素雰囲気中で550~800℃、5~24時間、例えば600℃で12時間の熱処理を行い、結晶質半導体膜904に残存していた触媒元素をリン(P)添加領域907に偏析させる。その後、マスク用絶縁膜905と、リン(P)添加領域907とをエッチングして除去することにより、触媒元素の濃度が $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶質半導体膜908を得る。結晶化により、非晶質半導体膜は緻密化するのでその体積は1~10%程度収縮し、膜厚は僅かであるが減少する。

【0160】

図22(C)は、こうして形成された結晶質半導体膜を熱処理により酸化する工程を示している。熱酸化は800~1000℃(好ましくは950℃)でハロゲン(代表的には塩素)を含む雰囲気中で酸化膜の形成を行う。この処理により結晶質半導体膜908は酸化膜909の形成で薄くなり、当初の厚さよりも減少する。例えば、酸化膜を60nmの厚さに形成することにより半導体膜はおよそ30nm減少し、40nmの結晶質半導体膜を残すことができる(図22(C))。

【0161】

こうして形成された結晶質半導体膜908をエッチング処理してから島状に分離形成した半導体膜911~914を形成する。半導体膜上に形成するゲート絶縁膜は、回路の駆動電圧を考慮して、同一基板上に形成するTFETであってもその膜厚を異ならせて形成する。図22(D)と(E)はその工程を示し、最初に20~50nm、例えば40nmの厚さで酸化シリコン膜または酸化窒化シリコン膜などの絶縁膜を形成する。これらの絶縁膜はプラズマCVD法や熱CVD法で形成する。熱CVD法における作製条件の一例は、 SiH_4 と N_2O を用い、800℃、40Paであり、ガスの混合比を適当なものとするにより緻密な膜を形成することができる。その後、半導体層913、914上に形成された絶縁膜はフッ酸などでエッチングして除去して第1の絶縁膜915を形成する。さらに、表面を清浄に洗浄し、800~1000℃(好ましくは950℃)でハロゲン(代表的には塩素)を含む雰囲気中で酸化膜の形成を行う。酸化膜は半導体層913、914において30~50nm(例えば40nm)の厚さとなるように形成する。一方、半導体層911、912では80nmの厚さの絶縁膜が形成される。ハロゲン雰囲気での酸化膜形成により、微量の金属不純物などが除去され、半導体膜との界面準位密度が低減された良好な絶縁膜を形成することができる。こうして、半導体層911、912と半導体層913、914との間で厚さの異なる第2の絶縁膜916が形成され、この絶縁膜をゲート絶縁膜として利用する。

【0162】

ゲート絶縁膜上に形成するゲート電極は、ゲート絶縁膜が薄く形成されているので注意を要する。勿論、スパッタ法や蒸着法で形成する金属導電膜材料を用いることも可能であるが、より好ましくはゲート絶縁膜に接する第1層目は減圧CVD法で作製するリン(P)ドーパされた多結晶シリコン膜であることが望ましい。リン(P)ドーパ多結晶シリコン膜は、 SiH_4 と PH_3 と希釈ガスとしてHe、 H_2 を用い450~500℃に加熱して1

10

20

30

40

50

00 ~ 200 nm、好ましくは150 nmの厚さで形成する。さらにその上層にはゲート電極の抵抗値を下げるために、シリサイド金属などを形成する。タングステンシリサイド (W Si x)、チタンシリサイド (Ti) など適用し得るシリサイド金属に限定はなく、スパッタ法などで100 ~ 200 nm、好ましくは150 nmの厚さに形成する。

【0163】

このように第1の導電層、第2の導電層として2層に分けて形成された状態から、図22 (F) に示すようにゲート電極917 ~ 920 (第1の導電層917a ~ 920aと第2の導電層917b ~ 920b) を形成する。

【0164】

次に、nチャネル型TFETのLDD領域を形成するための第1のドーピング処理を行う。ドーピングは、代表的な方法としてフォスフィン (PH₃) を用いたイオンドープ法で行い、ゲート電極をマスクとして利用して自己整合的に第1の不純物領域921 ~ 924を形成する。この領域のリン (P) 濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とする (図23 (A))。

【0165】

さらに、第2のドーピング処理を行い、n型不純物が添加される第2の不純物領域927、928の形成を行う。この不純物領域はnチャネル型TFETのソース領域およびドレイン領域を形成するものであり、ゲート電極の外側の領域に形成するためにレジストマスク926を形成する。また、pチャネル型TFETを形成する半導体層にリン (P) が添加されないようにレジストマスク925を形成しておく。n型を付与する不純物元素にはリン (P) を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン (PH₃) を用いたイオンドープ法で行う (図23 (B))。

【0166】

そして図23 (C) に示すように、pチャネル型TFETを形成する半導体層にソース領域およびドレイン領域を形成する第3の不純物領域930、931を形成する。ゲート電極612をマスクとしてジボラン (B₂H₆) を用いたイオンドープ法で行い、自己整合的に第3の不純物領域を形成する。このときnチャネル型TFETを形成する半導体層はレジストマスク929で全面を被覆しておく。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0167】

これらの不純物領域を形成した後、窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜などから成る第1の層間絶縁膜932を形成し、400 ~ 950 °C、好ましくは800 ~ 900 °Cで10 ~ 60分の熱処理を施して不純物元素の活性化を行う。この熱処理でゲート電極側に不純物元素が拡散し、オーバーラップ領域533 ~ 536が形成される (図23 (D))。第2の層間絶縁膜937は、酸化シリコンや酸化窒化シリコンなどの無機絶縁物材料、または有機絶縁物材料を用い1.0 ~ 2.0 μmの平均膜厚で形成する。配線938 ~ 945はAl、Tiなどで形成する。さらに、3 ~ 100%の水素を含む雰囲気中で300 ~ 450 °Cで1 ~ 12時間の熱処理を行い、半導体層を水素化して欠陥準位密度を低減する処理を行う (図23 (E))。

【0168】

以上の様にして、pチャネル型TFET 946、948、nチャネル型TFET 947、949を有する駆動回路が形成することができる。pチャネル型TFET 948とnチャネル型TFET 949のゲート絶縁膜は、pチャネル型TFET 946とnチャネル型TFET 947のゲート絶縁膜よりも薄く形成され、低電圧で高速に駆動する構造となっている。前者のTFETは3 ~ 5 Vの低電圧で駆動するラッチ回路などを形成し、後者のTFETは5 ~ 12 Vで駆動するシフトレジスタ回路などを形成するのに適している。

【0169】

pチャネル型TFET 946、948には、チャネル形成領域950、955、第3の不純物領域から成るソースまたはドレイン領域946、956が形成されたシングルドレインの構造である。nチャネル型TFET 947、949には、チャネル形成領域952、95

10

20

30

40

50

7、第1の不純物領域で形成されるLDD領域953、958、第2の不純物領域から形成されるソースまたはドレイン領域954、959が形成されている。nチャネル型TFTに形成されるLDD領域は0.2~1μmの長さで形成され、0.1程度は活性化の熱処理によりゲート電極の内側に拡散して、ゲート電極とオーバーラップする構造となっている。この構造により、ホットキャリア効果による特性の劣化を防ぎ、また寄生容量を最低限度に抑えて高速動作を可能とする。

【0170】

これらのTFTのチャネル長は低電圧部で0.3~1μm(好ましくは0.6μm)、中電圧部で0.6~1.5μm(好ましくは0.9μm)で形成する。従って、適用すべきデザインルールもライン・アンド・スペース(線幅と隣接する線との間隔)で0.3~1.5μm、コンタクトホールで0.9μm程度の精度が要求される。

10

【0171】

本実施形態で作製されるTFTはソース線側のスティックドライバを形成するのに適している。特に、3Vで数十MHzの周波数で駆動するラッチ回路などは、図23(E)で示すpチャネル型TFT948とnチャネル型TFT949を用いて形成する。また、シフトレジスタ回路などにはpチャネル型TFT946、nチャネル型TFT947を適用して形成すると良い。ここでは、nチャネル型TFTとpチャネル型TFTを形成する工程を示したが、同工程により容量素子や抵抗素子を形成することは容易に想定できるものであり省略されている。また、回路形成に必要なTFTのサイズ(チャネル長/チャネル幅)やそのレイアウトは実施者が適宜考慮すれば良いものである。

20

【0172】

[実施例11]

実施例8~10のいずれかの方法により作製されるTFTで走査線側またはソース線側のスティックドライバの駆動回路を形成することができる。このようなスティックドライバに設けられる入出力端子は図24で示すようにソースまたはドレイン配線と同じ層上に形成される。図24では入出力端子2400、2401がスティック基板の端部に形成される様子を示している。画素領域が形成される第1の基板にフェースダウンのCOG法で実装するには表面パッシベーションが必要であるので、絶縁層2402により表面をパッシベーションする。このような入出力端子部の形態は実施形態2~4で作製したスティック基板にも適用できる。

30

【0173】

また、COGでスティックドライバを実装するには入出力端子にバンパを形成する必要がある。バンパは公知の方法で形成すれば良いが、その一例を図25で説明する。図25(A)において、2403はソースまたはドレイン配線と同じ層上に形成される入出力端子であり、その上にTiとPdまたは、CrとCuを積層したバリアメタル層2405を形成する。バリアメタル層の形成はスパッタ法や蒸着法などを適用する。そして、メッキ用のレジストマスク2406を形成する。

【0174】

そして、図25(B)で示すように、Auで形成されるバンパ2407を電解メッキで5~20μmの厚さに形成する。そして、不要となったレジストマスク2406を除去して、新たにバンパの上からレジストを塗布してバリアメタル層2405をエッチングするためのレジストマスク2408を形成する。このレジストマスクを形成するためのフォトリソ工程は、バンパを介して行うため高い解像度を得ることができない。レジストマスク2408はバンパとその周辺を覆うように形成する。このレジストマスク2408を利用してバリアメタル層をエッチングすることにより、図25(D)で示すようなバリアメタル層2409が形成される。その後、バンパとバリアメタル層との密着性を高めるために200~300℃で熱処理を行う。このようにして、他の基板に実装することができるスティックドライバを完成させることができる。

40

【0175】

[実施例12]

50

以上説明したようにスティックドライバは液晶表示装置の駆動回路を実装する方法として利用することができる。図 26 はそのような表示装置のブロック構成図を示す。画素領域 1601 は複数の走査線とソース線が交差して形成され、実施例 1 ~ 7 で示されるような逆スタガ型の TFT が設けられたアクティブマトリクス型の構成である。その周辺の領域には走査線スティックドライバ 1602 及びソース線スティックドライバ 1603 が設けられている。外部から入力されるクロック信号及びデータ信号 1607 と画質信号 1608 は、スティックドライバの入力仕様に変換するためのコントロール回路 1605 に入力され、それぞれのタイミング仕様に変換される。また、電源 1609、オペアンプから成る電源回路 1606 は外付けの回路で賄われる。このようなコントロール回路 1605 や電源回路 1606 は TAB 方式で実装すると表示装置を小型化できる。

10

【0176】

コントロール回路 1605 からは走査線側とソース線側にそれぞれ信号が出力されるが、ソース線側には信号分割回路 1604 が設けられ、入力デジタル信号を m 個に分割して供給する。分割数 m は 2 以上の自然数で、実際的には 2 ~ 16 分割にするのが適当である。この場合、入力デジタル信号線 1610 の本数が n 本であれば、修正デジタル信号線 1620 の本数は $n \times m$ 本となる。画素密度にもよるが、少なくともソース線側のスティックドライバは複数個設けられて、信号分割回路により入力デジタル信号の周波数が $1/m$ に落とされることによりスティックドライバの負荷を軽減している。信号分割回路は半導体集積回路で形成される IC チップを実装しても良いし、実施形態 3 または 4 で示すような TFT で集積回路を形成したスティックドライバと同様のチップで形成することも可能である。

20

【0177】

[実施例 13]

図 27 は信号分割回路の一例を示す。本実施例では便宜上入力デジタル信号線の本数 n は 1、信号分割数 m は 4 として説明する。ラッチ回路前段 1301 ~ 1304 及びラッチ後段 1305 ~ 1308 は、各々図 27 (B) のように 2 個のインバータ 1372、1374 と 4 個のクロックドインバータ 1371、1373、1375、1376 により構成されている。信号入力部 1381 は 1361 に、信号出力部 1382 は 1362 に、クロック信号入力部 1383、1384 はそれぞれ 1363、1364 に対応している。

【0178】

クロック信号線 1322 及び反転クロック信号線 1323 のクロック信号はカウンタ回路 1309 に入力し、リセット信号 1326 からの入力を受けて出力を修正クロック信号線 1324 及び反転修正クロック信号線 1325 に送る。入力デジタル信号は 1321 から入力し、クロック信号の周期毎にラッチ回路前段 1301 から 1302 へと順次移送されていく。そして、修正クロック信号が反転するときにラッチ回路前段に保持されている入力デジタル信号の電位情報はラッチ回路後段に移される。例えば、ラッチ回路前段 1301 の電位情報はラッチ回路後段 1305 に移される。このような動作により、ラッチ回路後段 1305 ~ 1308 の出力部に接続する各修正デジタル信号線 1331 ~ 1334 から修正デジタル信号が送出される。ここでは、分割数 $m = 4$ で説明したため、この場合には修正デジタル信号の周波数は入力デジタル信号の周波数の $1/4$ になる。勿論、分割数は 4 に限定される訳ではなく、2 ~ 32 (実用的には 4 ~ 16) の範囲で自由に選択することができる。

30

40

【0179】

[実施例 14]

図 26 で示すソース線側に設けるスティックドライバの回路構成の一例を図 28 に示す。回路構成は、入力側からシフトレジスタ回路 1801、ラッチ回路 1804、1805、レベルシフタ回路 1806、D/A 変換回路 1807 が設けられている。入力デジタル信号が n ビットで一画素の情報を表現し RGB 表示をする場合、この入力デジタル信号を m 分割されていると、ラッチ回路 1804、1805 はそれぞれ、 $m \times 3 \times n$ 個必要であり、レベルシフタ回路 1806、D/A 変換回路 1807 はそれぞれ $m \times 3$ 個が必要となる

50

。

【0180】

図21はラッチ回路の代表例であり、図29(A)はクロックインバータを用いた例であり、図29(B)はSRAM型のものであり、図29(C)はDRAM型のものである。これらは代表例であり、その他の構成をとることも可能である。

【0181】

シフトレジスタ回路、ラッチ回路は駆動電圧3Vであり、レベルシフト回路により10Vに昇圧してD/A変換回路に信号を送る。D/A変換回路は抵抗分割型やスイッチドキャパシタ型のものを採用することができる。

【0182】

シフトレジスタ回路、ラッチ回路を形成するTFTは実施形態3において図21(G)で示したpチャネル型TFT462、nチャネル型TFT463、または実施形態4において図23(E)で示したpチャネル型TFT548、nチャネル型TFT549を用いて作製すると良い。

【0183】

[実施例15]

図30は本発明のスティックドライバを用いて液晶表示装置の組み立てる様子を模式的に示す図である。第1の基板には画素領域803、外部入出力端子804、接続配線805が形成されている。画素領域803は実施形態1で示す逆スタガ型のTFTで作製されたものである。点線で囲まれた領域は、走査線側のスティックドライバ貼り合わせ領域801とソース線側のスティックドライバ貼り合わせ領域802である。第2の基板808には対向電極809が形成され、シール材810で第1の基板800と貼り合わせる。シール材810の内側には液晶が封入され液晶層811を形成する。第1の基板と第2の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には3~8μm、スメチック液晶の場合には1~4μmとする。

【0184】

スティックドライバ806、807は実施形態2で説明したように、ソース線側と走査線側とで回路構成が異なる。第3の基板814は特にその区別をしていないが、いずれにしても走査線側、またはソース線側の駆動回路に適応したスティックドライバであるものとする。スティックドライバは第1の基板に実装するが、その方法は実施形態1において図2及び3で説明されている。走査線側に実装するスティックドライバは実施例8で示すものが適しており、ガラス基板上に駆動回路が形成されている。データ線側に実装するスティックドライバは、分割駆動を前提にするにしても高い信号周波数に対応できるTFT特性が要求されるので、実施例9または10で示す石英基板上に形成したスティックドライバが適している。外部入出力端子804には、外部から電源及び制御信号を入力するためのFPC(フレキシブルプリント配線板:Flexible Printed Circuit)812を貼り付ける。FPC812の接着強度を高めるために補強板813を設けても良い。こうして液晶表示装置を完成させることができる。スティックドライバは第1の基板に実装する前に電気検査を行えば液晶表示装置の最終工程での歩留まりを向上させることができ、また、信頼性を高めることができる。

【0185】

[実施例16]

実施例15で示すようにスティックドライバが実装された表示装置を電気光学装置に搭載する方法の一例を図31に示す。表示装置は画素領域702が実装された基板701の端部にスティックドライバ710が実装されている。そして、スペーサ706を内包するシール剤707により対向基板703と貼り合わせられ、さらに偏光版708、709が設けられている。そして、接続部材723によって筐体724に固定される。

【0186】

スティックドライバ710は、その入出力端子711において導電性粒子712を含む樹脂713で基板701上に形成された入力配線714と接続している。入出力配線714

10

20

30

40

50

の一方の端はフレキシブルプリント配線板 (Flexible Printed Circuit: FPC) が導電性粒子 715 を含む樹脂 716 で接着されている。FPC は、信号処理回路、増幅回路、電源回路などが設けられたプリント基板 719 にやはり同様な手法 (導電性粒子 721 を含む樹脂 722) で接続し、画像表示に必要な信号をスティックドライバが実装された表示装置に伝達するようになっている。そして、表示装置が透過型の液晶表示装置であれば、対向基板 703 側に光源と光導光体が設けられてバックライト 718 が設けられている。

【0187】

ここで示す表示装置の実装方法は一例であり、電気光学装置の形態に合わせて適宜組み立てられるものである。

【0188】

[実施例 17]

スティックドライバの生産性を観点からは、大面積の基板を使用して 1 回のプロセスで 1 枚の基板からできるだけ多数個取り出す方法が適している。基板はガラス基板または石英基板を使用するが、いずれにしても大面積基板を分割するときに、いかに加工ロス無くすかが第 1 の課題となる。加工精度から言えばダイシング装置が適しているが、 $300 \times 400 \text{ mm}$ や $550 \times 650 \text{ mm}$ 、さらには $960 \times 1000 \text{ mm}$ といった液晶ラインで使用される基板を直接加工するには、装置の規模が大型化してしまう。むしろ、加工精度は劣るものの大面積基板を容易に切断できるガラススクライパーを用い、これにより大面積基板を複数個に分割する第 1 の段階と、複数個に分割された基板からダイシング装置を用いて個々のスティックドライバに分割する第 2 の段階とに分けて行う方が適している。

【0189】

例えば、液晶第 1 期ラインで採用された $300 \times 400 \text{ mm}$ の大面積の基板上に一辺が $100 \sim 200 \text{ mm}$ の領域から成る群 902 を複数個作り、その中に短辺の長さ $1 \sim 6 \text{ mm}$ のスティックドライバを複数個配置する。各群の間隔は $3 \sim 10 \text{ mm}$ として配置して、ガラススクライパーで加工線 904 に沿って大面積基板から分割する。群の中のスティックドライバは切りしろ $0.5 \sim 1 \text{ mm}$ で配置しダイシング装置で分割するという方法を採用することができる。このような加工方法を用いると、 $2 \times 20 \text{ mm}$ のスティックドライバを $127 \times 127 \text{ mm}$ の群の中に 360 個作り込むことができ、1 枚の基板からは 2160 個のスティックドライバを取り出すことができる。

【0190】

また、大面積基板上に多数のスティックドライバを形成するための第 2 の課題は露光技術である。スティックドライバのデザインルールは $0.3 \sim 2 \mu\text{m}$ 、好ましくは $0.35 \sim 1 \mu\text{m}$ である。このようなデザインルールで、やはりスループット良く露光を行う必要がある。露光方式において、プロキシミティ方式やプロジェクション方式はスループット向上には有利であるが、大型の高精細マスクが必要であり、高い解像度や重ね合わせ精度が得られにくいなどの欠点がある。一方、ステッパ方式では、その一例として i 線 (365 nm) を使って $0.7 \mu\text{m}$ の解像度で 44 mm 角の領域、または $54 \times 30 \text{ mm}$ の領域を一度に露光することができる。これに対応して、スティックドライバの長辺の長さをこの露光範囲内とせばサブミクロンパターンであっても効率よく露光することが可能となる。

【0191】

液晶表示装置などの画素領域は必ずしもサブミクロンのデザインルールを必要としないので、大面積を一度に露光できるプロキシミティ方式やプロジェクション方式が適した方式であると考えられている。従って、駆動回路部と画素領域とを別の露光方式で行うことは生産性を向上させるばかりでなく、本発明のようにスティックドライバを実装することで大画面の表示装置の周辺部 (額縁領域) の面積を小さくすることを可能にする。

【0192】

[実施例 18]

本実施例では、実施例 8 のような構成の表示装置を組み込んだ半導体装置について示す。このような半導体装置には、携帯情報端末 (電子手帳、モバイルコンピュータ、携帯電話

10

20

30

40

50

等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図33と図34に示す。

【0193】

図33(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。表示装置9004は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【0194】

図33(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。表示装置9102は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

10

【0195】

図33(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。表示装置9205は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【0196】

図33(D)はテレビであり、本体9401、スピーカー9402、表示装置9403、受信装置9404、増幅装置9405等で構成される。表示装置9403は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

20

【0197】

図33(E)は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。直視型の表示装置9502、9503は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【0198】

図34(A)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。表示装置9603は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

30

【0199】

図34(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。表示装置9702は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

40

【0200】

図34(C)はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。表示装置9802は本発明の逆スタガ型TF Tによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【0201】

【発明の効果】

以上説明したとおり、本発明により、3枚のフォトマスクにより逆スタガ型のnチャンネル型TF Tを有する画素TF T及び、保持容量を備えた液晶表示装置の画素領域を形成する

50

ことができる。そのことにより製造工程を簡略化することができる。同様に、３枚のフォトマスクで画素電極の表面を凹凸化した反射型の液晶表示装置を作製することができる。

【０２０２】

また、スティックドライバを、３枚のフォトマスクにより作製された逆スタガ型の画素ＴＦＴ及び保持容量を備えた液晶表示装置に実装するに際し、従来のＩＣチップよりも長尺のスティックドライバで駆動回路を実装することにより、一つの画素領域に対して必要な数を減らすことができる。その結果、液晶表示装置の製造歩留まりを向上させ、製造コストを低減させることを可能とする。

【０２０３】

一方、製造工程からみたスティックドライバの利点は、必ずしもサブミクロンのデザインルールを必要としない画素領域は、大面積を一度に露光できるプロキシミティ方式やプロジェクション方式が適した方式で行い、サブミクロンのデザインルールが要求されるスティックドライバはステッパ方式で露光するといった生産手段の住分けを可能とする。このような手段を用いることにより生産性を高めることができる。

【０２０４】

【図面の簡単な説明】

【図１】 本発明の画素構造を示す上面図。

【図２】 画素ＴＦＴ、保持容量、端子部の作製工程を説明する断面図。

【図３】 画素ＴＦＴ、保持容量、端子部の作製工程を説明する断面図。

【図４】 画素ＴＦＴ、保持容量の作製工程を説明する上面図。

【図５】 画素ＴＦＴ、保持容量の作製工程を説明する上面図。

【図６】 画素領域とスティックドライバの配置を説明する図。

【図７】 画素領域とスティックドライバの回路構成を説明するブロック図。

【図８】 スティックドライバの構成を説明する断面図。

【図９】 スティックドライバの実装方法の一例を説明する図。

【図１０】 スティックドライバの実装方法の一例を説明する図。

【図１１】 入力端子部の上面図及び断面図。

【図１２】 画素ＴＦＴ、保持容量、端子部の構成を説明する断面図。

【図１３】 マルチチャンバ方式の製造装置の構成を説明する図。

【図１４】 単室連続成膜方式の製造装置の構成を説明する図。

【図１５】 反射型の液晶表示装置の断面構造図。

【図１６】 反射型の液晶表示装置の画素の上面図。

【図１７】 スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。

【図１８】 スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。

【図１９】 スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。

【図２０】 スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。

【図２１】 スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。

【図２２】 スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。

【図２３】 スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。

【図２４】 スティックドライバの端子部の構成を説明する断面図。

【図２５】 スティックドライバの入出力端子部に形成するパンプの作製工程図。

【図２６】 表示装置の回路構成を説明するブロック構成図。

【図２７】 信号分割回路の構成を説明する図。

【図２８】 ソース線に接続するスティックドライバの駆動回路の構成を説明する図。

【図２９】 ラッチ回路の具体例を説明する図。

【図３０】 スティックドライバを実装する液晶表示装置の組み立て図。

【図３１】 表示装置を電気光学装置の筐体に装着する一例を説明する図。

【図３２】 スティックドライバを実装するアクティブマトリクス型表示装置の概念図。

【図３３】 半導体装置の一例を説明する図。

【図３４】 半導体装置の一例を説明する図。

10

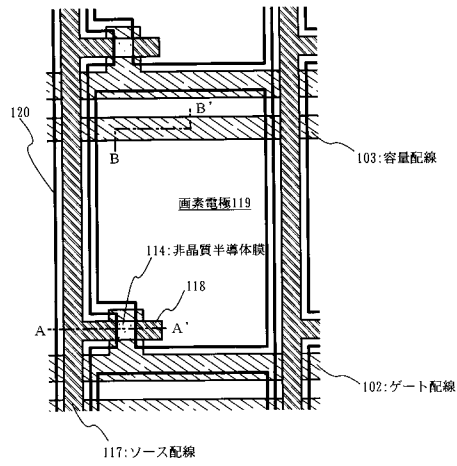
20

30

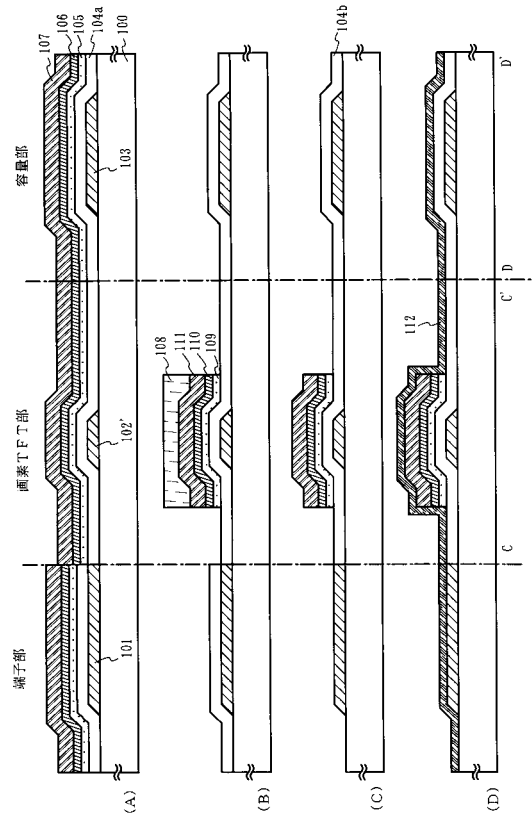
40

50

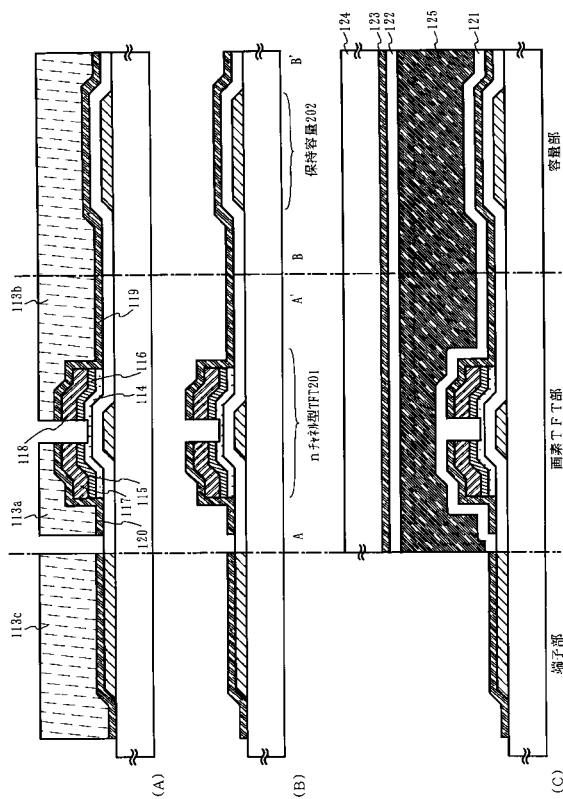
【図 1】



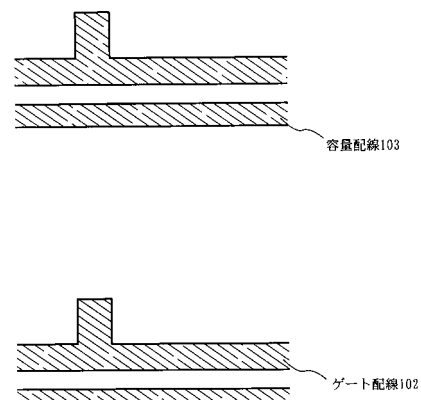
【図 2】



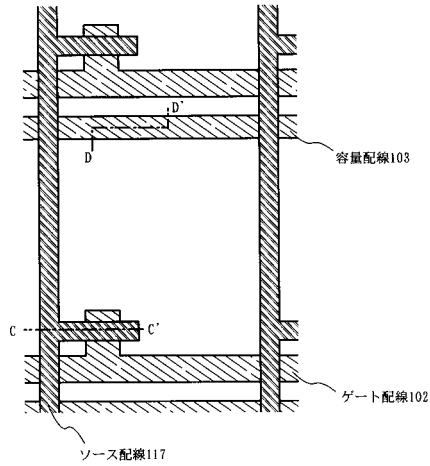
【図 3】



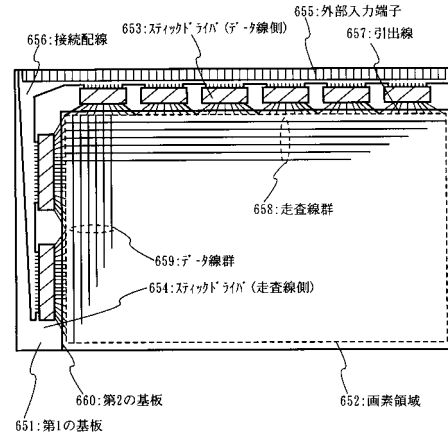
【図 4】



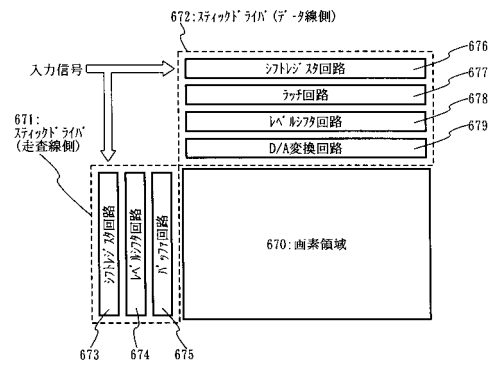
【図 5】



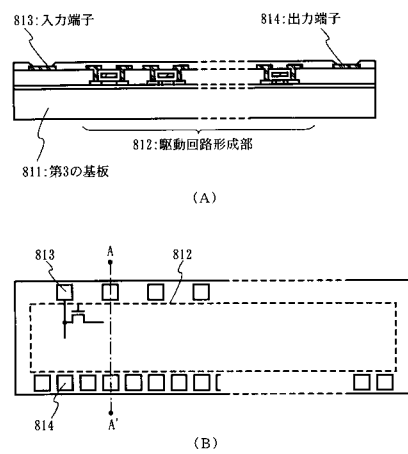
【図 6】



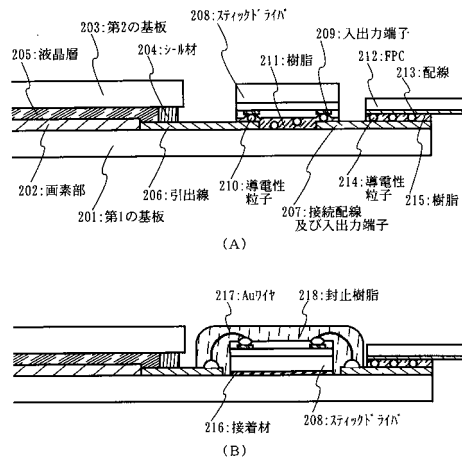
【図 7】



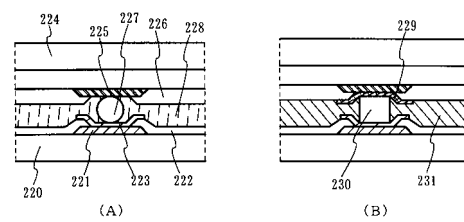
【図 8】



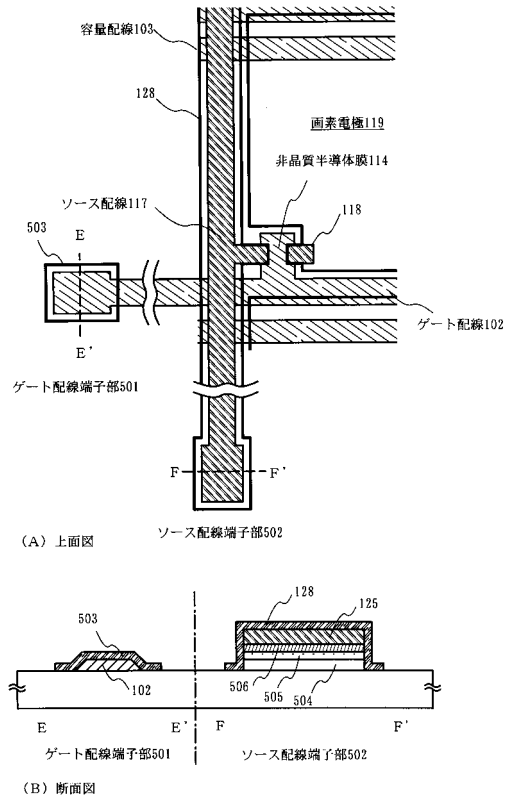
【図 9】



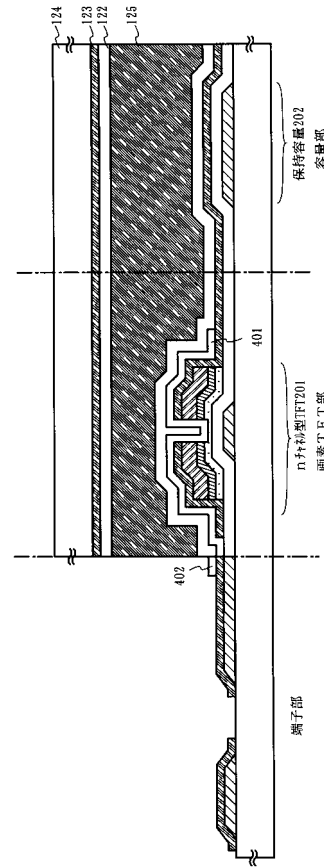
【図 10】



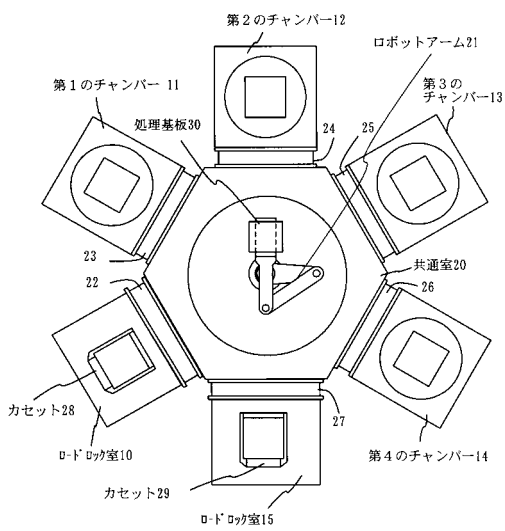
【図 1 1】



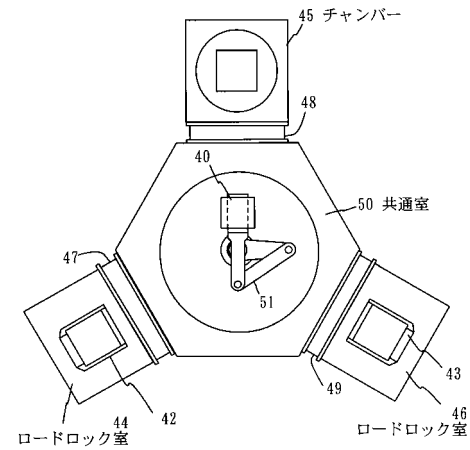
【図 1 2】



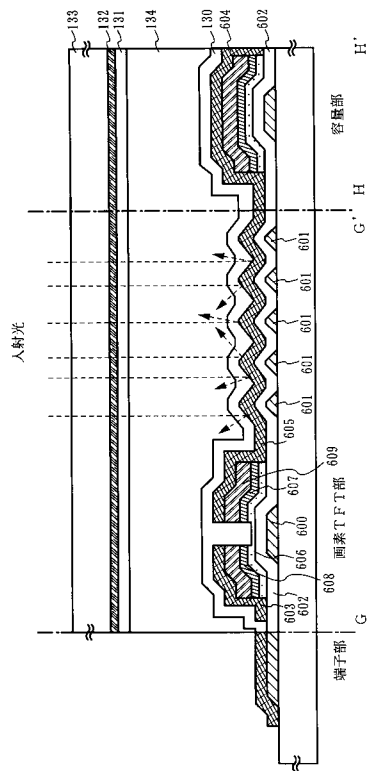
【図 1 3】



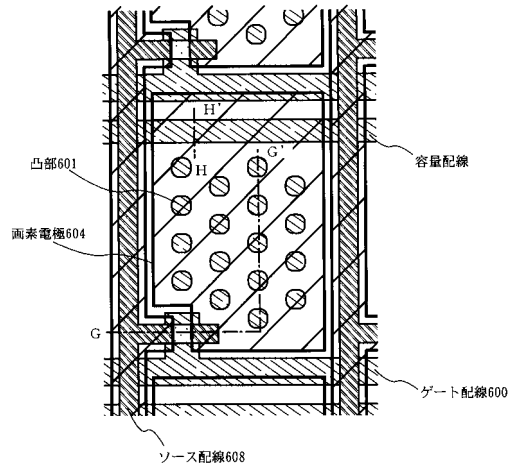
【図 1 4】



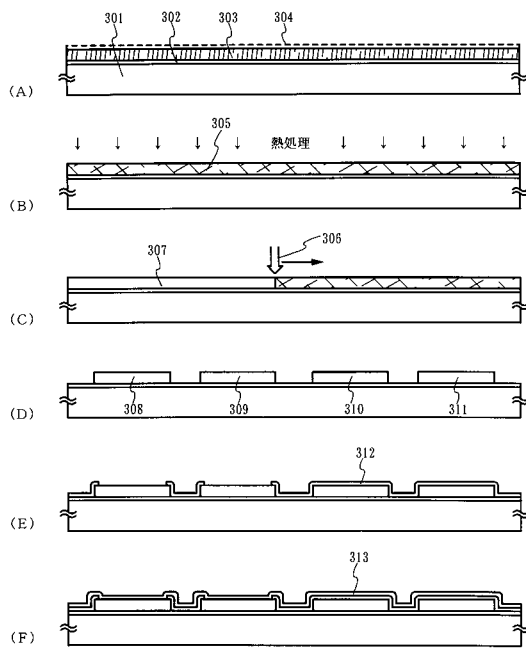
【図 15】



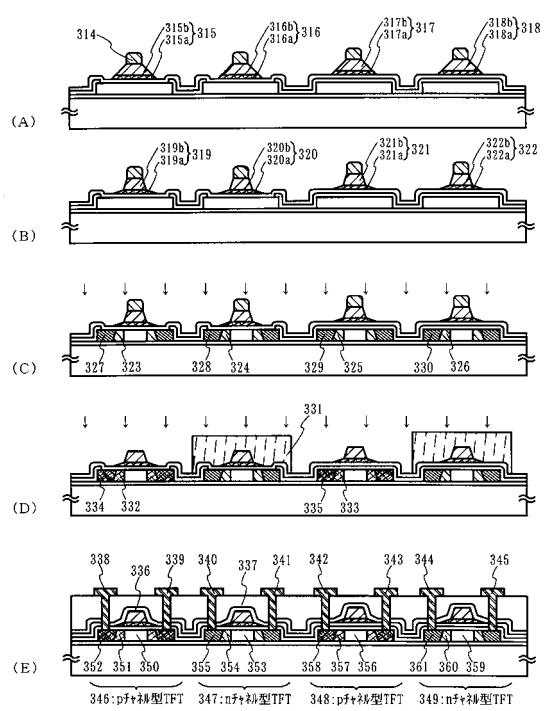
【図 16】



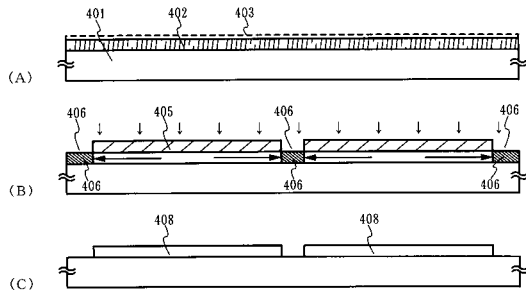
【図 17】



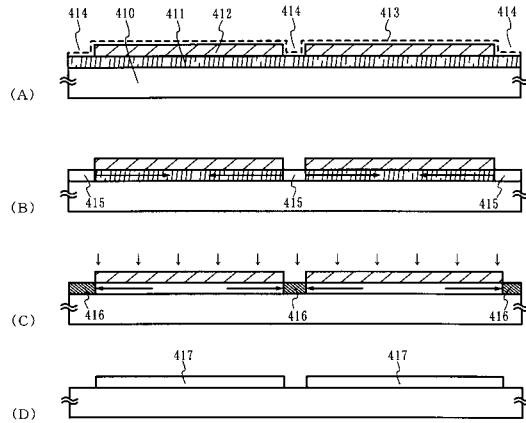
【図 18】



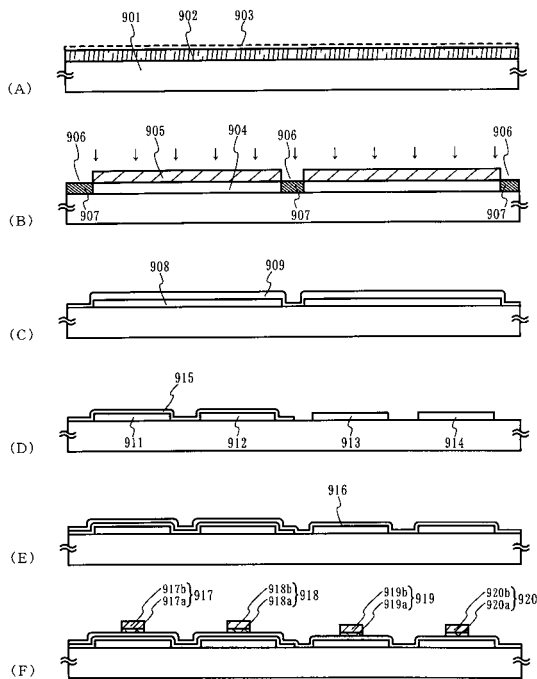
【図 19】



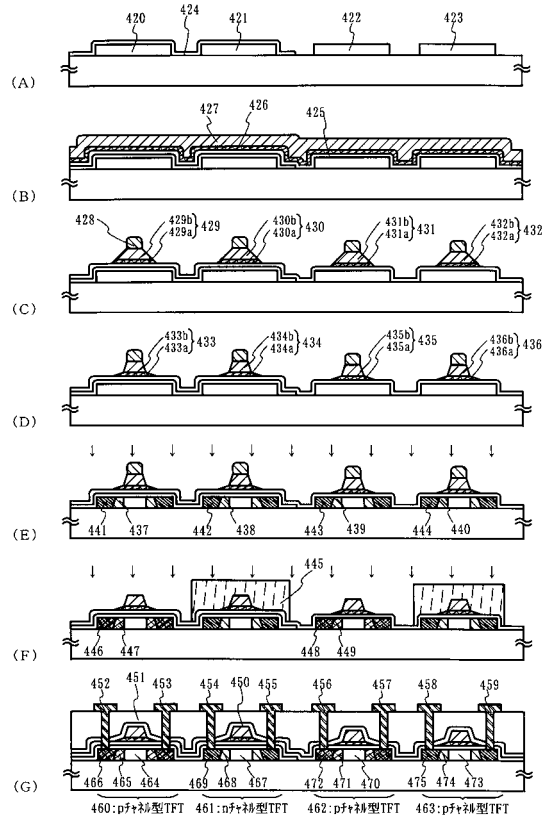
【図 20】



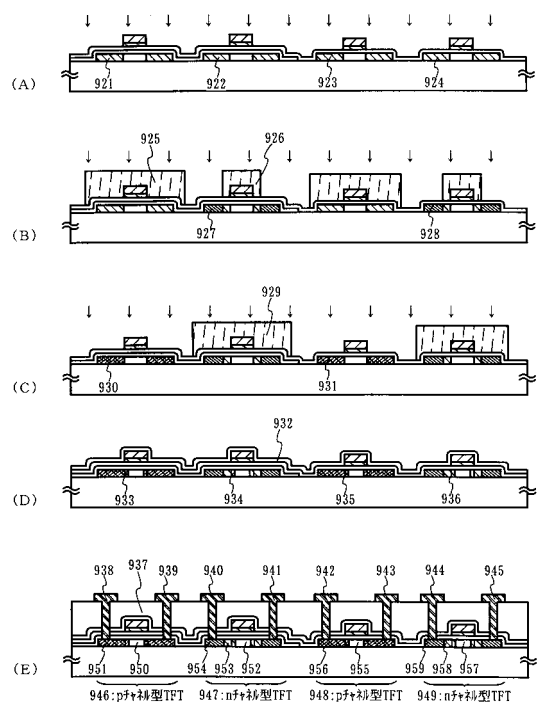
【図 22】



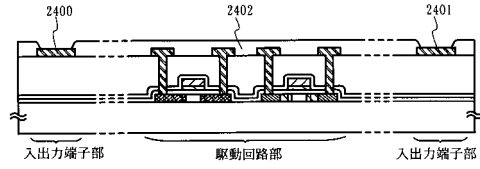
【図 21】



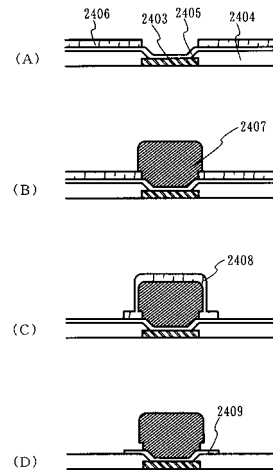
【図 23】



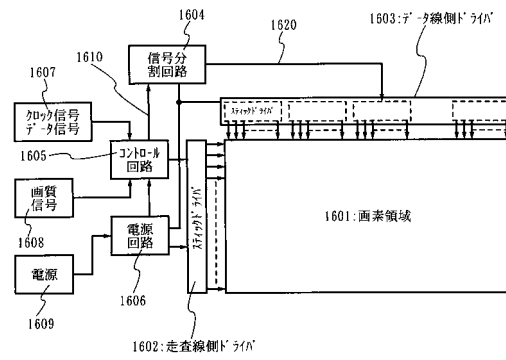
【図 24】



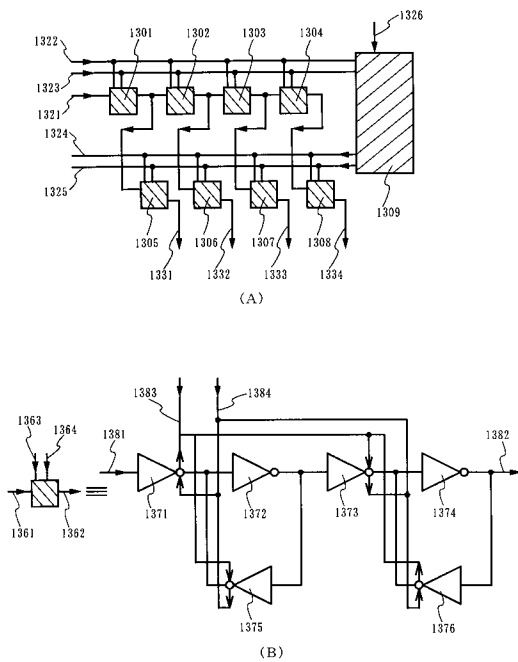
【図 25】



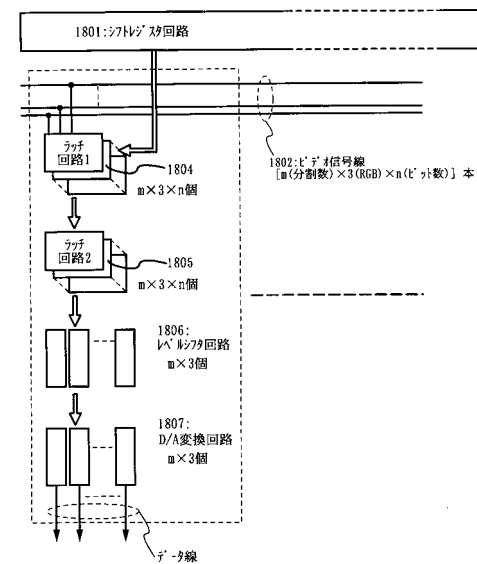
【図 26】



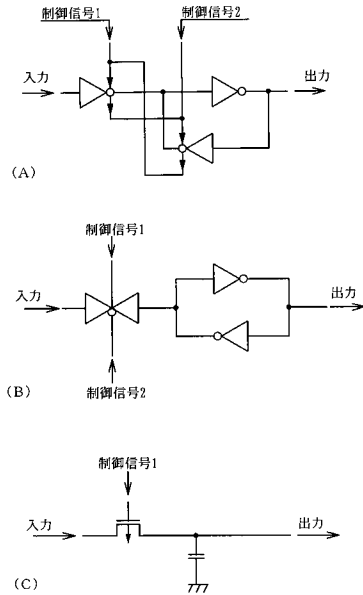
【図 27】



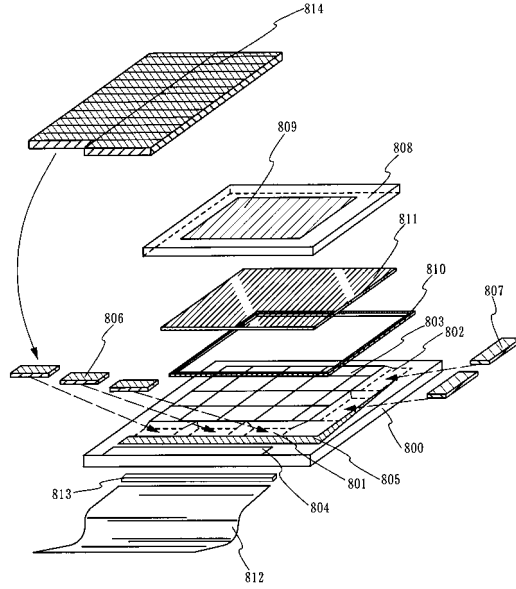
【図 28】



【図 29】

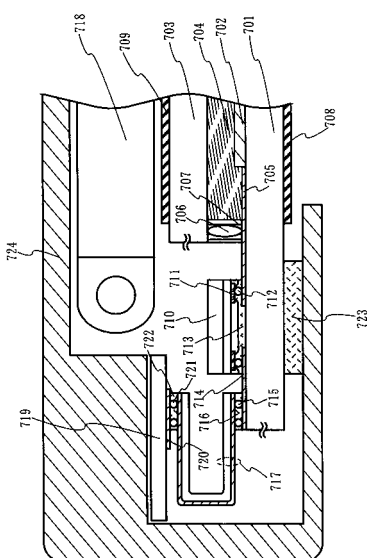


【図 30】

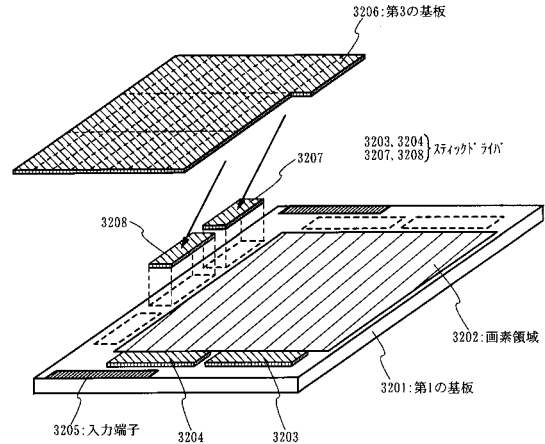


800:第1の基板、801:スリットライン貼り合わせ領域(ゲータ線)、
802:スリットライン貼り合わせ領域(走査線)、803:画素領域、
804:入力端子、805:接続配線、806,807:スリットライン、
808:第2の基板、809:共通電極、810:シタ材、811:液晶、
812:PFC、813:補強板、814:第3の基板

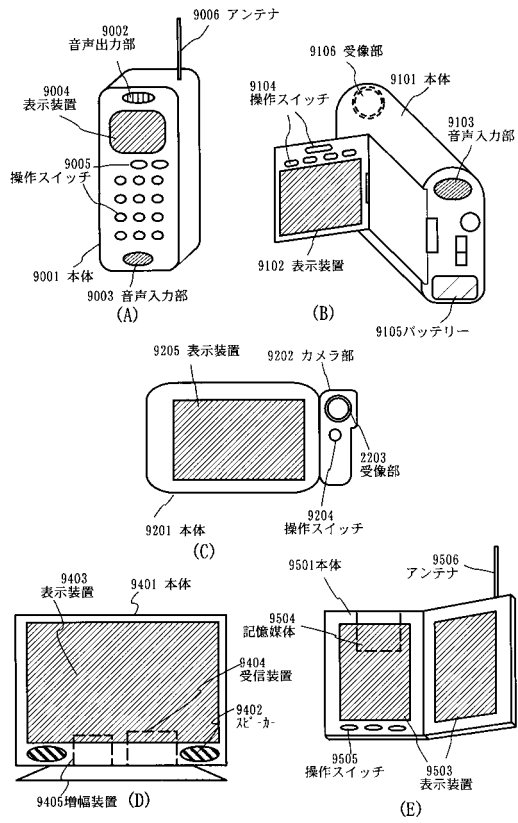
【図 31】



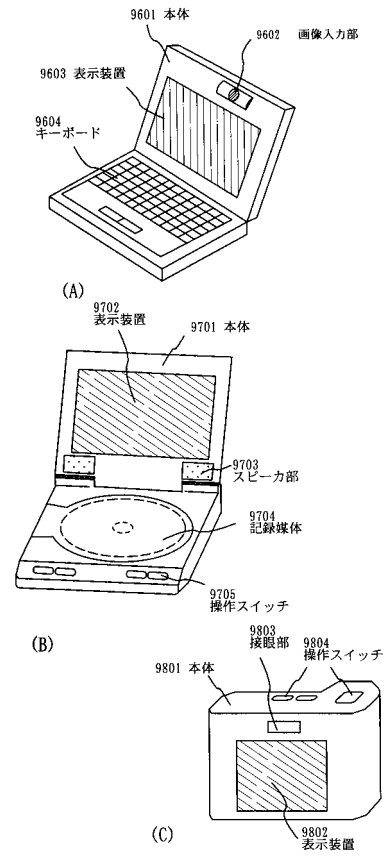
【図 32】



【図 33】



【図 34】



フロントページの続き

審査官 福田 知喜

- (56)参考文献 特開平 1 1 - 1 6 8 2 1 4 (J P , A)
特開平 1 0 - 1 3 3 2 3 2 (J P , A)
特開平 0 8 - 1 3 9 3 3 3 (J P , A)
特開平 1 0 - 1 2 5 9 2 8 (J P , A)
特開平 1 0 - 1 9 7 8 9 7 (J P , A)
特開平 0 8 - 2 5 0 7 4 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1345

G02F 1/1368

H01L 21/336

H01L 29/786