

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6638340号
(P6638340)

(45) 発行日 令和2年1月29日 (2020.1.29)

(24) 登録日 令和2年1月7日 (2020.1.7)

(51) Int. Cl.

H03B 5/32 (2006.01)

F I

H03B 5/32

A

請求項の数 15 (全 31 頁)

(21) 出願番号 特願2015-221729 (P2015-221729)
 (22) 出願日 平成27年11月12日 (2015.11.12)
 (65) 公開番号 特開2017-92744 (P2017-92744A)
 (43) 公開日 平成29年5月25日 (2017.5.25)
 審査請求日 平成30年11月6日 (2018.11.6)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100124682
 弁理士 黒田 泰
 (72) 発明者 福澤 晃弘
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 石田 昌敏

最終頁に続く

(54) 【発明の名称】 回路装置、発振器、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

外部電源が供給され、トランジスタの仕事関数差に基づき生成された基準電圧を生成する少なくとも1つの基準電圧生成回路を有し、前記基準電圧生成回路により生成された前記基準電圧を電源電圧として供給する電源回路と、

前記電源回路から前記電源電圧が供給されて動作し、発振周波数の温度特性を補償するための多項式に基づいて前記発振周波数の温度補償処理を行うデジタル温度補償発振回路と、

前記多項式の係数を記憶する記憶部と、

を含み、

前記デジタル温度補償発振回路は、

温度センサー部からの温度検出電圧のA/D変換を行い、温度検出データを出力するA/D変換部と、

前記温度検出データと、前記記憶部に記憶された前記係数とに基づいて前記温度補償処理を行い、前記発振周波数の周波数制御データを出力する処理部と、

前記処理部からの前記周波数制御データと振動子を用いて、前記周波数制御データにより設定される前記発振周波数の発振信号を生成する発振信号生成回路と、

を有し、

前記記憶部は、

前記基準電圧の温度特性による前記発振周波数の変動を含む前記発振周波数の温度特性

10

20

を補償するための前記多項式の前記係数を記憶することを特徴とする回路装置。

【請求項 2】

請求項 1 に記載の回路装置において、
前記記憶部は、
各温度における前記温度検出データと前記周波数制御データの関係に対して前記多項式によるフィッティングが行われることで決定された前記係数を記憶し、
前記処理部は、
前記係数が適用された前記多項式を用いて、前記温度検出データから前記周波数制御データを求めることを特徴とする回路装置。

【請求項 3】

請求項 1 又は 2 に記載の回路装置において、
前記発振信号生成回路は、
前記周波数制御データの D / A 変換を行い、前記発振周波数の周波数制御電圧を出力する D / A 変換部と、
前記振動子を発振させる発振回路と、
を有し、
前記電源回路は、
前記少なくとも 1 つの前記基準電圧生成回路として、
前記仕事関数差に基づき生成された第 1 の基準電圧を、第 1 の電源電圧として前記 A / D 変換部に供給する第 1 の基準電圧発生回路と、
前記仕事関数差に基づき生成された第 2 の基準電圧を、第 2 の電源電圧として前記処理部に供給する第 2 の基準電圧発生回路と、
前記仕事関数差に基づき生成された第 3 の基準電圧を、第 3 の電源電圧として前記 D / A 変換部に供給する第 3 の基準電圧発生回路のうちの、少なくとも 1 つを有することを特徴とする回路装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の回路装置において、
前記基準電圧に基づいて基準電流を生成する基準電流生成回路を含み、
前記発振信号生成回路は、
前記基準電流に基づく駆動電流により前記振動子を発振させる発振回路を有することを特徴とする回路装置。

【請求項 5】

請求項 4 に記載の回路装置において、
前記基準電流生成回路は、
高電位側電源ノードと第 1 のノードの間に設けられる第 1 のトランジスタと、
前記第 1 のノードと第 2 のノードの間に設けられる第 2 のトランジスタと、
前記基準電圧が第 1 の入力ノードに入力され、第 2 の入力ノードが前記第 2 のノードに接続され、出力ノードが前記第 1 のトランジスタのゲートに接続される第 1 の演算増幅器と、
前記第 1 のノードの電圧を設定するための所定電圧が第 1 の入力ノードに入力され、第 2 の入力ノードが前記第 1 のノードに接続され、出力ノードが前記第 2 のトランジスタのゲートに接続される第 2 の演算増幅器と、
を有することを特徴とする回路装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の回路装置において、
前記少なくとも 1 つの前記基準電圧生成回路は、
第 3 のトランジスタと、
前記第 3 のトランジスタとはゲート電極の導電性が異なる第 4 のトランジスタと、
前記第 3 のトランジスタ及び前記第 4 のトランジスタに電流を供給するカレントミラー回路と、

前記第3のトランジスターと前記第4のトランジスターとの仕事関数差電圧に対応する電圧が一端に印加される第1の抵抗と、

電源用ノードと前記第1の抵抗の前記一端との間に設けられ、前記第4のトランジスターのドレイン電圧に基づきゲート電圧が制御される第5のトランジスターと、

を有し、

前記第1の抵抗の前記一端の電圧を前記基準電圧として出力することを特徴とする回路装置。

【請求項7】

請求項6に記載の回路装置において、

前記電源用ノードは、高電位側電源ノードであることを特徴とする回路装置。

10

【請求項8】

請求項6に記載の回路装置において、

前記少なくとも1つの前記基準電圧生成回路は、

第6のトランジスターと、

前記第6のトランジスターとはゲート電極の導電性が異なる第7のトランジスターと、

前記第6のトランジスター及び前記第7のトランジスターに電流を供給するカレントミラー回路と、

前記第6のトランジスターと前記第7のトランジスターとの仕事関数差電圧に対応する電圧が一端に印加される第2の抵抗と、

高電位側電源ノードと前記第2の抵抗の前記一端との間に設けられ、前記第7のトランジスターのドレイン電圧に基づきゲート電圧が制御される第8のトランジスターと、

を有し、

前記第2の抵抗の前記一端の電圧を前記電源用ノードに出力することを特徴とする回路装置。

20

【請求項9】

請求項6に記載の回路装置において、

前記少なくとも1つの前記基準電圧生成回路は、

第9のトランジスターと、

前記第9のトランジスターとはゲート電極の導電性が異なる第10のトランジスターと

30

、前記第9のトランジスター及び前記第10のトランジスターに電流を供給するカレントミラー回路と、

高電位側電源ノードと前記第10のトランジスターのゲートとの間に設けられ、前記第10のトランジスターのドレイン電圧に基づきゲート電圧が制御される第11のトランジスターと、

を有し、

前記第9のトランジスターと前記第10のトランジスターとの仕事関数差電圧に対応する電圧である前記第11のトランジスターのドレイン電圧を、前記電源用ノードに出力することを特徴とする回路装置。

【請求項10】

40

請求項8又は9に記載の回路装置において、

前記第5のトランジスターはデプレッション型のトランジスターであることを特徴とする回路装置。

【請求項11】

請求項6乃至10のいずれか一項に記載の回路装置において、

前記少なくとも1つの前記基準電圧生成回路は、

前記第5のトランジスターのゲートノードと低電位側電源ノードとの間に設けられるキャパシターを有することを特徴とする回路装置。

【請求項12】

請求項1乃至11のいずれか一項に記載の回路装置と、

50

前記振動子と、
を含むことを特徴とする発振器。

【請求項 1 3】

請求項 1 乃至 1 1 のいずれか一項に記載された回路装置を含むことを特徴とする電子機器。

【請求項 1 4】

請求項 1 3 に記載された電子機器において、
前記外部電源を供給するスイッチングレギュレーターを含むことを特徴とする電子機器。

【請求項 1 5】

請求項 1 乃至 1 1 のいずれか一項に記載の回路装置を含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路装置、発振器、電子機器及び移動体等に関する。

【背景技術】

【0002】

従来より、TCXO (temperature compensated crystal oscillator) と呼ばれる温度補償型発振器が知られている。この TCXO は、例えば携帯通信端末、GPS 関連機器、ウェアラブル機器、又は車載機器などにおける基準信号源等として用いられている。

【0003】

この TCXO には、アナログ方式の温度補償型発振器である ATCXO と、デジタル方式の温度補償型発振器である DTCXO がある。ATCXO の従来技術としては特許文献 1 に開示される技術が知られている。DTCXO の従来技術としては特許文献 2 に開示される技術が知られている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2012 - 199631 号公報

【特許文献 2】特開昭 64 - 82809 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

TCXO 等の発振器は、非常に高い周波数精度が要求されるため、低ノイズや低温度特性といった特性をもつ電源が用いられている。従来、ATCXO 等のアナログ方式の発振器では、外部電源として LDO (Low Drop-Out) 方式等のリニアレギュレーターを用い、内部の電源回路は、バンドギャップリファレンス回路の出力をリファレンス電圧とする LDO 方式等のリニアレギュレーターで構成される。このような回路構成では、低ノイズで低温度特性の電源が得られる一方で、低消費電力化が難しい。例えば、外部電源として用いるリニアレギュレーターは、スイッチングレギュレーターに比べて消費電力が大きい。一方、外部電源としてスイッチングレギュレーターを用いれば消費電力を下げるができるが、リニアレギュレーターに比べてノイズが大きいいため、内部の電源回路には高い PSRR (Power Supply Rejection Ratio) が要求される。内部の電源回路に用いられるバンドギャップリファレンス回路は、消費電流を下げていくと高い PSRR を維持することが難しく、低ノイズのまま低消費電力化することが難しい。

【0006】

本発明の幾つかの態様によれば、電源の低消費電力化が可能な DTCXO 等のデジタル方式の発振器を実現できる回路装置、発振器、電子機器及び移動体等を提供できる。

【課題を解決するための手段】

【0007】

10

20

30

40

50

本発明の一態様は、外部電源が供給され、トランジスタの仕事関数差に基づき生成された基準電圧を生成する少なくとも1つの基準電圧生成回路を有し、前記基準電圧生成回路により生成された前記基準電圧を電源電圧として供給する電源回路と、前記電源回路から前記電源電圧が供給されて動作するデジタル温度補償発振回路と、を含み、前記デジタル温度補償発振回路は、温度センサー部からの温度検出電圧のA/D変換を行い、温度検出データを出力するA/D変換部と、前記温度検出データに基づいて発振周波数の温度補償処理を行い、前記発振周波数の周波数制御データを出力する処理部と、前記処理部からの前記周波数制御データと振動子を用いて、前記周波数制御データにより設定される前記発振周波数の発振信号を生成する発振信号生成回路と、を有する回路装置に係する。

【0008】

10

本発明の一態様によれば、トランジスタの仕事関数差に基づいて基準電圧が生成され、その基準電圧が電源電圧としてデジタル温度補償発振回路に供給される。トランジスタの仕事関数差に基づいて基準電圧を生成することで、例えばバンドギャップリファレンス回路等を用いる場合に比べて消費電流を低下させつつ、高いPSRRを維持できる。これにより、電源の低消費電力化が可能なDTCXO等のデジタル方式の発振器を実現できる。

【0009】

また本発明の一態様では、前記発振信号生成回路は、前記周波数制御データについてのD/A変換を行い、前記発振周波数の周波数制御電圧を出力するD/A変換部と、前記周波数制御電圧に基づいて前記発振周波数で振動子を発振させる発振回路と、を有し、前記電源回路は、前記少なくとも1つの前記基準電圧生成回路として、前記仕事関数差に基づき生成された第1の基準電圧を、第1の電源電圧として前記A/D変換部に供給する第1の基準電圧発生回路と、前記仕事関数差に基づき生成された第2の基準電圧を、第2の電源電圧として前記処理部に供給する第2の基準電圧発生回路と、前記仕事関数差に基づき生成された第3の基準電圧を、第3の電源電圧として前記D/A変換部に供給する第3の基準電圧発生回路のうちの、少なくとも1つを有してもよい。

20

【0010】

本発明の一態様によれば、A/D変換部、処理部、D/A変換部のそれぞれに対応する第1の基準電圧生成回路、第2の基準電圧生成回路、第3の基準電圧生成回路のうち少なくとも1つの基準電流生成回路が設けられる。これにより、各部の電源ラインを分離できるので、電源ラインを介したノイズの伝搬を抑制し、発振信号の精度（例えば位相ノイズ特性）を向上できる。また本発明の一態様では、デジタル温度補償発振回路により温度補償を行うので、電源の温度特性が発振周波数の温度特性に与える影響を含めて温度補償できる。

30

【0011】

また本発明の一態様では、回路装置は、前記基準電圧に基づいて基準電流を生成する基準電流生成回路を含み、前記発振信号生成回路は、前記基準電流に基づく駆動電流により前記振動子を発振させる発振回路を有してもよい。

【0012】

本発明の一態様によれば、発振回路に対応して基準電流生成回路が設けられる。これにより、処理部等の他の回路の電源ラインから発振回路を分離できるので、電源ラインを介したノイズの伝搬を抑制し、発振信号の精度（例えば位相ノイズ特性）を向上できる。また本発明の一態様では、デジタル温度補償発振回路により温度補償を行うので、電源の温度特性が発振周波数の温度特性に与える影響を含めて温度補償できる。

40

【0013】

また本発明の一態様では、前記基準電流生成回路は、高電位側電源ノードと第1のノードの間に設けられる第1のトランジスタと、前記第1のノードと第2のノードの間に設けられる第2のトランジスタと、前記基準電圧が第1の入力ノードに入力され、第2の入力ノードが前記第2のノードに接続され、出力ノードが前記第1のトランジスタのゲートに接続される第1の演算増幅器と、前記第1のノードの電圧を設定するための所定電

50

圧が第 1 の入力ノードに入力され、第 2 の入力ノードが前記第 1 のノードに接続され、出力ノードが前記第 2 のトランジスタのゲートに接続される第 2 の演算増幅器と、を有してもよい。

【0014】

本発明の一態様によれば、第 2 の演算増幅器によるフィードバック制御で、第 1 のノードの電圧が所定電圧に設定され、第 1 の演算増幅器によるフィードバック制御で、第 2 のノードの電圧が基準電圧に設定される。このように第 1 のノードの電圧と第 2 のノードの電圧が固定されることによって、高電位側電源ノードの電圧変動の影響を受けにくくなり、高安定な基準電流を生成できる。

【0015】

また本発明の一態様では、前記少なくとも 1 つの前記基準電圧生成回路は、第 3 のトランジスタと、前記第 3 のトランジスタとはゲート電極の導電性が異なる第 4 のトランジスタと、前記第 3 のトランジスタ及び前記第 4 のトランジスタに電流を供給するカレントミラー回路と、前記第 3 のトランジスタと前記第 4 のトランジスタとの仕事関数差電圧に対応する電圧が一端に印加される第 1 の抵抗と、電源用ノードと前記第 1 の抵抗の前記一端との間に設けられ、前記第 4 のトランジスタのドレイン電圧に基づきゲート電圧が制御される第 5 のトランジスタと、を有し、前記第 1 の抵抗の前記一端の電圧を前記基準電圧として出力してもよい。

【0016】

本発明の一態様によれば、第 3 のトランジスタ及び第 4 のトランジスタにより差動対が構成され、その差動対の出力が第 5 のトランジスタを介して第 4 のトランジスタのゲートにフィードバックされる。これにより、第 5 のトランジスタの一端（第 1 の抵抗の一端）に、第 3 のトランジスタと第 4 のトランジスタとの仕事関数差電圧に対応する電圧（基準電圧）を出力できる。

【0017】

また本発明の一態様では、前記電源用ノードは、高電位側電源ノードであってもよい。

【0018】

電源用ノードは、上記の第 3 ～ 第 5 のトランジスタと第 1 の抵抗とを含む仕事関数差アンプの電源電圧が供給されるノードである。本発明の一態様によれば、電源用ノードが高電位側電源ノードであることで、基準電流生成回路を 1 段の仕事関数差アンプで構成できる。

【0019】

また本発明の一態様では、前記少なくとも 1 つの前記基準電圧生成回路は、第 6 のトランジスタと、前記第 6 のトランジスタとはゲート電極の導電性が異なる第 7 のトランジスタと、前記第 6 のトランジスタ及び前記第 7 のトランジスタに電流を供給するカレントミラー回路と、前記第 6 のトランジスタと前記第 7 のトランジスタとの仕事関数差電圧に対応する電圧が一端に印加される第 2 の抵抗と、高電位側電源ノードと前記第 2 の抵抗の前記一端との間に設けられ、前記第 7 のトランジスタのドレイン電圧に基づきゲート電圧が制御される第 8 のトランジスタと、を有し、前記第 2 の抵抗の前記一端の電圧を前記電源用ノードに出力してもよい。

【0020】

本発明の一態様によれば、第 6 ～ 第 8 のトランジスタと第 2 の抵抗とを含む第 1 の仕事関数差アンプが生成した基準電圧が、第 3 ～ 第 5 のトランジスタと第 1 の抵抗とを含む第 2 の仕事関数差アンプの電源用ノードに供給される。これにより、基準電流生成回路を 2 段の仕事関数差アンプで構成できる。

【0021】

また本発明の一態様では、前記少なくとも 1 つの前記基準電圧生成回路は、第 9 のトランジスタと、前記第 9 のトランジスタとはゲート電極の導電性が異なる第 10 のトランジスタと、前記第 9 のトランジスタ及び前記第 10 のトランジスタに電流を供給するカレントミラー回路と、高電位側電源ノードと前記第 10 のトランジスタのゲート

10

20

30

40

50

との間に設けられ、前記第 10 のトランジスタのドレイン電圧に基づきゲート電圧が制御される第 11 のトランジスタと、を有し、前記第 9 のトランジスタと前記第 10 のトランジスタとの仕事関数差電圧に対応する電圧である前記第 11 のトランジスタのドレイン電圧を、前記電源用ノードに出力してもよい。

【0022】

本発明の一態様によれば、第 9 ~ 第 11 のトランジスタを含む第 1 の仕事関数差アンプが生成した基準電圧が、第 3 ~ 第 5 のトランジスタと第 1 の抵抗とを含む第 2 の仕事関数差アンプの電源用ノードに供給される。このような構成によっても、基準電圧生成回路を 2 段の仕事関数差アンプで構成できる。

【0023】

また本発明の一態様では、前記第 5 のトランジスタはデプレッション型のトランジスタであってもよい。

【0024】

基準電圧生成回路を 2 段の仕事関数差アンプで構成した場合、第 2 の仕事関数差アンプの電源電圧と出力電圧が、共に仕事関数差に基づく基準電圧となる。そのため、第 2 の仕事関数差アンプの出力電圧を出力する第 5 のトランジスタのゲート - ソース間電圧が非常に小さくなる。この点、本発明の一態様によれば、第 5 のトランジスタがデプレッション型のトランジスタであることで、第 5 のトランジスタを動作させることができる。

【0025】

また本発明の一態様では、前記少なくとも 1 つの前記基準電圧生成回路は、前記第 5 のトランジスタのゲートノードと低電位側電源ノードとの間に設けられるキャパシタを有してもよい。

【0026】

第 5 のトランジスタは、第 3 のトランジスタ及び第 4 のトランジスタにより構成される差動対の出力を第 4 のトランジスタのゲートにフィードバックするトランジスタである。この第 5 のトランジスタのゲートノードと低電位側電源ノードとの間にキャパシタが設けられることで、PSSRR の周波数特性を向上できる。

【0027】

また本発明の他の態様は、上記のいずれかに記載の回路装置と、前記振動子と、を含む発振器に関係する。

【0028】

また本発明の更に他の態様は、上記のいずれかに記載された回路装置を含む電子機器に関係する。

【0029】

また本発明の更に他の態様では、電子機器は、前記外部電源を供給するスイッチングレギュレーターを含んでもよい。

【0030】

また本発明の更に他の態様は、上記のいずれかに記載の回路装置を含む移動体に関係する。

【図面の簡単な説明】

【0031】

【図 1】回路装置の構成例。

【図 2】回路装置の詳細な構成例。

【図 3】図 3 A は、発振周波数の温度依存性の例。図 3 B は、処理部の入力データと処理部の出力データとの間の関係の例。

【図 4】回路装置の第 2 の詳細な構成例。

【図 5】電子機器の基本構成例。

【図 6】基準電圧生成回路の第 1 の詳細な構成例。

【図 7】基準電圧生成回路の第 2 の詳細な構成例。

10

20

30

40

50

【図 8】基準電圧生成回路の第 3 の詳細な構成例。

【図 9】基準電圧生成回路の P S R R の周波数特性の模式図。

【図 10】基準電流生成回路、発振回路の詳細な構成例。

【図 11】D / A 変換部の詳細な構成例。

【図 12】図 12 A は、温度センサー部の第 1 の構成例。図 12 B は、温度センサー部の第 2 の構成例。図 12 C は、温度センサー部の温度特性の例。

【図 13】A / D 変換部の詳細な構成例。

【図 14】回路装置の第 1 の変形構成例。

【図 15】回路装置の第 2 の変形構成例。

【図 16】図 16 A は、発振器の構成例。図 16 B は、電子機器の構成例。図 16 C は、移動体の例。

10

【発明を実施するための形態】

【0032】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0033】

1. 構成

図 1 に本実施形態の回路装置の基本構成例を示す。この回路装置は、D T C X O や O C X O (oven controlled crystal oscillator) 等のデジタル方式の発振器を実現する回路装置 (半導体チップ) である。例えばこの回路装置と振動子 X T A L をパッケージに収納することで、デジタル方式の発振器が実現される。

20

【0034】

図 1 の回路装置は、デジタル温度補償発振回路 110、電源回路 40 を含む。デジタル温度補償発振回路 110 は、A / D 変換部 20、処理部 50、発振信号生成回路 140 を含む。また回路装置は温度センサー部 10、バッファ回路 160 を含むことができる。なお回路装置の構成は図 1 の構成には限定されず、その一部の構成要素 (例えば温度センサー部、バッファ回路、A / D 変換部等) を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0035】

30

振動子 X T A L は、例えば水晶振動子等の圧電振動子である。振動子 X T A L は恒温槽内に設けられるオープン型振動子 (O C X O) であってもよい。振動子 X T A L は共振器 (電気機械的な共振器又は電気的な共振回路) であってもよい。振動子 X T A L としては、圧電振動子、S A W (Surface Acoustic Wave) 共振子、M E M S (Micro Electro Mechanical Systems) 振動子等を採用できる。振動子 X T A L の基板材料としては、水晶、タンタル酸リチウム、ニオブ酸リチウム等の圧電単結晶や、ジルコン酸チタン酸鉛等の圧電セラミックス等の圧電材料、又はシリコン半導体材料等を用いることができる。振動子 X T A L の励振手段としては、圧電効果によるものを用いてもよいし、クーロン力による静電駆動を用いてもよい。

【0036】

40

温度センサー部 10 は、温度検出電圧 V T D を出力する。具体的には、環境 (回路装置) の温度に応じて変化する温度依存電圧を、温度検出電圧 V T D として出力する。温度センサー部 10 の具体的な構成例については後述する。

【0037】

A / D 変換部 20 は、温度センサー部 10 からの温度検出電圧 V T D の A / D 変換を行って、温度検出データ D T D を出力する。例えば温度検出電圧 V T D の A / D 変換結果に対応するデジタルの温度検出データ D T D (A / D 結果データ) を出力する。A / D 変換部 20 の A / D 変換方式としては、例えば逐次比較方式や逐次比較方式に類似する方式などを採用できる。なお A / D 変換方式はこのような方式には限定されず、種々の方式 (計数型、並列比較型又は直並列型等) を採用できる。

50

【 0 0 3 8 】

処理部 5 0 (D S P 部 : デジタル信号処理部) は種々の信号処理を行う。例えば処理部 5 0 (温度補償部) は、温度検出データ D T D に基づいて発振周波数 (発振信号の周波数) の温度補償処理を行う。そして発振周波数の周波数制御データ D D S を出力する。具体的には処理部 5 0 は、温度に応じて変化する温度検出データ D T D (温度依存データ) と、温度補償処理用の係数データ (近似関数の係数のデータ) などに基づいて、温度変化があった場合にも発振周波数を一定にするための温度補償処理を行う。この処理部 5 0 は、ゲートアレイ等の A S I C 回路により実現してもよいし、プロセッサ (例えば C P U 、 M P U 等) とプロセッサ上で動作するプログラムにより実現してもよい。

【 0 0 3 9 】

発振信号生成回路 1 4 0 は発振信号 S S C を生成する。例えば発振信号生成回路 1 4 0 は、処理部 5 0 からの周波数制御データ D D S と振動子 X T A L を用いて、周波数制御データ D D S により設定される発振周波数の発振信号 S S C を生成する。一例としては、発振信号生成回路 1 4 0 は、周波数制御データ D D S により設定される発振周波数で振動子 X T A L を発振させて、発振信号 S S C を生成する。

【 0 0 4 0 】

なお発振信号生成回路 1 4 0 は、ダイレクト・デジタル・シンセサイザ方式で発振信号 S S C を生成する回路であってもよい。例えば振動子 X T A L (固定発振周波数の発振源) の発振信号をリファレンス信号として、周波数制御データ D D S で設定される発振周波数の発振信号 S S C をデジタル的に生成してもよい。

【 0 0 4 1 】

発振信号生成回路 1 4 0 は、D / A 変換部 8 0 と発振回路 1 5 0 を含むことができる。但し発振信号生成回路 1 4 0 は、このような構成には限定されず、その一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 0 4 2 】

D / A 変換部 8 0 は、処理部 5 0 からの周波数制御データ D D S (処理部の出力データ) の D / A 変換を行う。D / A 変換部 8 0 に入力される周波数制御データ D D S は、処理部 5 0 による温度補償処理後の周波数制御データ (周波数制御コード) である。D / A 変換部 8 0 の D / A 変換方式としては例えば抵抗ストリング型 (抵抗分割型) を採用できる。但し、D / A 変換方式はこれには限定されず、抵抗ラダー型 (R - 2 R ラダー型等) 、容量アレイ型、又はパルス幅変調型などの種々の方式を採用できる。また D / A 変換部 8 0 は、D / A 変換器以外にも、その制御回路や変調回路やフィルター回路などを含むことができる。

【 0 0 4 3 】

発振回路 1 5 0 は、D / A 変換部 8 0 の出力電圧 V Q と振動子 X T A L を用いて、発振信号 S S C を生成する。発振回路 1 5 0 は、第 1 、第 2 の振動子用端子 (振動子用パッド) を介して振動子 X T A L に接続される。例えば発振回路 1 5 0 は、振動子 X T A L (圧電振動子、共振子等) を発振させることで、発振信号 S S C を生成する。具体的には発振回路 1 5 0 は、D / A 変換部 8 0 の出力電圧 V Q を周波数制御電圧 (発振制御電圧) とした発振周波数で、振動子 X T A L を発振させる。例えば発振回路 1 5 0 が、電圧制御により振動子 X T A L の発振を制御する回路 (V C O) である場合には、発振回路 1 5 0 は、周波数制御電圧に応じて容量値が変化する可変容量キャパシタ (バリキャップ等) を含むことができる。

【 0 0 4 4 】

なお、前述のように発振回路 1 5 0 はダイレクト・デジタル・シンセサイザ方式により実現してもよく、この場合には振動子 X T A L の発振周波数はリファレンス周波数となり、発振信号 S S C の発振周波数とは異なる周波数になる。

【 0 0 4 5 】

バッファ回路 1 6 0 は、発振信号生成回路 1 4 0 (発振回路 1 5 0) で生成された発振信号 S S C のバッファリングを行って、バッファリング後の信号 S Q を出力する。即ち

、外部の負荷を十分に駆動できるようにするためのバッファリングを行う。信号 S Q は例えばクリップドサイン波信号である。但し信号 S Q は矩形波信号であってもよい。或いはバッファ回路 160 は、信号 S Q としてクリップドサイン波信号と矩形波信号の両方の出力が可能な回路であってもよい。

【0046】

電源回路 40 は、回路装置の外部から供給される電源電圧 V D D に基づいて、回路装置の各部に供給する電源電圧を生成する。電源回路 40 は、1 又は複数の基準電圧生成回路（仕事関数差アンプ）を含んでおり、その基準電圧生成回路がトランジスタの仕事関数差に基づいて基準電圧を生成し、電源回路 40 は、その基準電圧を各部の電源電圧として供給する。電源回路 40 は、1 つの基準電圧生成回路を含み、その基準電圧生成回路が回路装置の全体に電源電圧を供給してもよい。或いは、電源回路 40 は、複数の基準電圧生成回路を含み、各基準電圧生成回路が、回路装置のいずれか 1 つの部に電源電圧を供給してもよい。或いは、電源回路 40 が複数の基準電圧生成回路を含む場合において、1 以上の部に電源電圧を供給する基準電圧生成回路があってもよい。

【0047】

基準電圧生成回路は、例えばデプレッション型のトランジスタとエンハンスメント型のトランジスタで差動対が構成されるアンプ回路であり、デプレッション型のトランジスタとエンハンスメント型のトランジスタのしきい値電圧の差を基準電圧として出力する。なお、基準電圧生成回路はこの構成に限定されず、ゲート電極と基板の間の仕事関数が異なるトランジスタを組み合わせ、その仕事関数差により基準電圧を生成する回路であればよい。

【0048】

図 2 に本実施形態の回路装置の詳細な構成例を示す。なお図 2 では電源回路 40 の図示を省略している。図 2 の回路装置は、記憶部 30（不揮発性メモリー）、温度センサ部 10、A / D 変換部 20、処理部 50、発振信号生成回路 140、バッファ回路 160 を含む。また D / A 変換部 80 が、変調回路 90 と D / A 変換器 100 とフィルタ回路 120 を含む。

【0049】

記憶部 30 は、発振周波数の温度特性を補償するための多項式の係数を記憶している。例えば、発振器の出荷前検査等において発振周波数の温度特性をテスト装置により測定し、その測定された温度特性に基づいてテスト装置が多項式の係数を求め、その係数がテスト装置により記憶部 30 に書き込まれる。多項式は、温度検出データ D T D（A / D 変換部 20 の出力データ）と周波数制御データ D D S（D / A 変換部 80 の入力データ）を対応付けるものである。記憶部 30 は、例えば E E P R O M（Electrically Erasable Programmable Read-Only Memory）等の不揮発性メモリーである。或いは、R A M（Random Access memory）やレジスタであってもよい。処理部 50 は、記憶部 30 から係数を読み出し、その係数を適用した多項式に温度検出データ D T D を代入し、その多項式の演算結果に基づいて周波数制御データ D D S を生成し、その周波数制御データ D D S を D / A 変換部 80 に出力する。

【0050】

D / A 変換部 80 の変調回路 90 は、処理部 50 から $i = (n + m)$ ビットの周波数制御データ D D S を受ける（ i 、 n 、 m は 1 以上の整数）。一例としては $i = 20$ 、 $n = 16$ 、 $m = 4$ である。そして変調回路 90 は、周波数制御データ D D S の m ビット（例えば 4 ビット）のデータに基づいて、周波数制御データ D D S の n ビット（例えば 16 ビット）のデータを変調する。具体的には変調回路 90 は、周波数制御データ D D S の P W M 変調を行う。なお変調回路 90 の変調方式は P W M 変調（パルス幅変調）には限定されず、例えば P D M 変調（パルス密度変調）等のパルス変調であってもよく、パルス変調以外の変調方式であってもよい。例えば周波数制御データ D D S の n ビットのデータに対して、 m ビットのディザ処理（ディザリング処理）を行うことでビット拡張（ n ビットから i ビットへのビット拡張）を実現してもよい。

【0051】

D/A変換器100は、変調回路90により変調されたnビットのデータのD/A変換を行う。例えばn=16ビットのデータのD/A変換を行う。D/A変換器100のD/A変換方式としては、例えば抵抗ストリング型や抵抗ラダー型などを採用できる。

【0052】

フィルター回路120は、D/A変換器100の出力電圧VDAを平滑化する。例えばローパスフィルター処理を行って出力電圧VDAを平滑化する。このようなフィルター回路120を設けることで、例えばPWM変調された信号のPWM復調が可能になる。このフィルター回路120のカットオフ周波数は、変調回路90のPWM変調の周波数に応じて設定できる。即ちD/A変換器100からの出力電圧VDAの信号は、PWM変調の基本周波数及び高調波成分のリプルを含むため、フィルター回路120により、このリップルを減衰させる。なおフィルター回路120としては、例えば抵抗又はキャパシター等の受動素子を用いたパッシブフィルターを採用できる。但しフィルター回路120としてSCFなどのアクティブフィルターを用いることも可能である。

10

【0053】

なおD/A変換部80の分解能はi=20ビットには限定されず、20ビットよりも高い分解能であってもよいし、低い分解能であってもよい。また変調回路90の変調のビット数もm=4ビットには限定されず、4ビットよりも大きくてもよいし(例えばm=8ビット)、小さくてもよい。

【0054】

20

また図2では、D/A変換部80の前段に、温度補償処理等のデジタル信号処理を行う処理部50が設けられていることを、有効活用している。即ち、処理部50は、例えば浮動小数点演算などにより、高精度で、温度補償処理等のデジタル信号処理を実行している。従って、例えば浮動小数点演算の結果の仮数部の下位ビットも有効なデータとして扱って、バイナリーデータに変換すれば、例えばi=m+n=20ビットというような高いビット数での周波数制御データDDSも、容易に出力できる。図2ではこの点に着目し、このような高いビット数であるi=m+nビットの周波数制御データDDSを、D/A変換部80に供給し、mビットの変調回路90とnビットのD/A変換器100を用いて、i=m+nビットというような高分解能のD/A変換の実現に成功している。

【0055】

30

DTCXOやOCXOなどのデジタル方式の発振器では、発振周波数に対して非常に高い周波数精度が要求される。例えば前述のTDD方式では、上がりと下りで同じ周波数を用いて時分割でデータが送受信され、各機器に割り当てられたタイムスロットの間にはガードタイムが設定されている。このため、適正な通信を実現するためには、各機器において時刻同期を行う必要があり、正確な絶対時刻の計時が要求される。例えば基準信号(GPS信号やインターネットを介した信号)が消失又は異常となるホールドオーバーが発生した場合には、基準信号が無い状態で発振器側が正確に絶対時刻を計時する必要がある。このため、このような機器(GPS関連機器、基地局等)に用いられる発振器には、非常に高い発振周波数精度が要求される。

【0056】

40

このような要求を実現するために、例えば各機器に原子時計などを設ける手法を採用すると、機器の高コスト化や大規模化を招く。また、高い周波数精度の発振器を実現したとしても、発振器に用いられる回路装置が大規模化したり、消費電力が非常に大きくなってしまふのは望ましくない。

【0057】

この点、図2の回路装置の構成によれば、D/A変換部80に、変調回路90やフィルター回路120を設けるだけで、例えばi=20ビットとなるような非常に高い分解能のD/A変換部80を実現でき、このように分解能が高くなることで、発振周波数の高精度化を実現できる。そして、このような変調回路90やフィルター回路120を設けることによる回路装置のチップサイズの増加や消費電力の増加は、それほど大きくない。更に処

50

理部 50 では浮動点小数点演算などにより温度補償処理を実行しているため、例えば i20 ビットとなるような周波数制御データ DDS を D/A 変換部 80 に出力することも容易である。従って、図 2 の回路装置の構成は、発振周波数の高精度化と、回路装置の規模や消費電力の増加の抑制とを、両立して実現できるという利点がある。

【0058】

なお図 1、図 2 の回路装置は、基準信号 (GPS 信号やインターネットを介した信号) と発振信号に基づく入力信号を比較する位相比較回路を有する PLL 回路における、発振用 IC としても用いることができる。この場合には、例えば当該位相比較回路からの周波数制御データに対して、処理部 50 が温度補償処理やエージング補正処理等を行って、発振信号生成回路 140 により発振信号を生成すればよい。

10

【0059】

2. 電源回路

以下、電源回路 40 について詳細に説明する。

【0060】

上述したように、本実施形態の回路装置は、電源回路 40 と、電源回路 40 から電源電圧が供給されて動作するデジタル温度補償発振回路 110 と、を含む。デジタル温度補償発振回路 110 は、温度センサー部 10 からの温度検出電圧の A/D 変換を行い、温度検出データを出力する A/D 変換部 20 と、温度検出データに基づいて発振周波数の温度補償処理を行い、発振周波数の周波数制御データを出力する処理部 50 と、処理部 50 からの周波数制御データと振動子 XTAL を用いて、周波数制御データにより設定される発振周波数の発振信号を生成する発振信号生成回路 140 と、を有する。

20

【0061】

そして、電源回路 40 には外部電源 (電源電圧 VDD) が供給され、電源回路 40 は、トランジスタの仕事関数差に基づき生成された基準電圧を生成する少なくとも 1 つの基準電圧生成回路を有する。電源回路 40 は、基準電圧生成回路により生成された基準電圧を電源電圧として供給する。

【0062】

本実施形態によれば、トランジスタの仕事関数差に基づいて基準電圧が生成され、その基準電圧が電源電圧としてデジタル温度補償発振回路 110 に供給される。これにより、電源の低消費電力化が可能な DTCXO 等のデジタル方式の発振器を実現できる。

30

【0063】

従来、基準電圧生成回路として用いられたバンドギャップリファレンス回路は、バンドギャップ電圧の温度依存性をキャンセルするために複数のバイポーラートランジスタ (バイポーラートランジスタに含まれる PN 接合) を用いており、それらに流すバイアス電流等によって、比較的消費電流が大きい回路となっている。そのため、高い PSRR を維持しつつ、消費電流を絞ることが難しいという課題がある。電源のノイズ特性は発振信号の精度 (例えば位相ノイズ特性) に影響するため、高い PSRR が必要であり、この点からバンドギャップリファレンス回路を用いた電源回路では低消費電力化に限界がある。

【0064】

この点、本実施形態ではトランジスタの仕事関数差に基づいて基準電圧を生成することで、バンドギャップリファレンス回路を用いる場合に比べて消費電流を低下させつつ、高い PSRR を維持できる。例えば図 6 で後述するように、ゲート電極と基板の間の仕事関数が異なるトランジスタ TA c とトランジスタ TA d で差動対を構成し、その差動対の出力をトランジスタ TA e により差動対にフィードバックすることで、基準電圧を生成できる。このように、仕事関数差を用いた場合には簡素な構成で基準電圧生成回路を構成できるので、バイアス電流を小さくすることが容易である。

40

【0065】

しかしながら、トランジスタの仕事関数差に基づき生成された基準電圧は温度特性 (例えば負の温度特性) を有する。このような基準電圧が電源電圧として回路装置の各部に供給された場合、その電源電圧の温度依存性が発振周波数の温度特性に影響を与える (電

50

源電圧に温度依存性が無い場合に比べて、発振周波数の温度特性が変わる)。この点、本実施形態ではデジタル温度補償発振回路 110 により温度補償を行っており、デジタル温度補償発振回路 110 では、電源電圧の温度依存性を含めて包括的に発振周波数を温度補償できる。これにより、トランジスタの仕事関数差に基づき生成された基準電圧を利用することが可能となっている。

【0066】

そして、低消費電力でありながら高い P S R R が得られることによって、回路装置に内蔵された電源回路 40 を低消費電力化すると共に、位相ノイズが少ない高精度な発振信号が得られる。また、高い P S R R が得られることから、より上流側の外部電源としてスイッチングレギュレーターを用いることが可能となる。これにより、回路装置の外部電源を低消費電力化できる。以上のように、トランジスタの仕事関数差に基づいて基準電圧を生成し、その基準電圧を電源電圧としてデジタル温度補償発振回路 110 に供給することで、回路装置の内部電源或いは外部電源を含めたシステム全体の電源を低消費電力化できる。

10

【0067】

D T C X O 等のデジタル方式の発振器において、電源電圧の温度依存性を含めて包括的に発振周波数を温度補償できる点について、より詳細に説明する。

【0068】

まず、本実施形態の比較例として A T C X O 等のアナログ方式の発振器を考える。A T C X O は、発振周波数の温度依存性を補償して高精度な発振周波数を得ているが、その温度補償を行う前の発振周波数は、例えば図 3 A に示すような温度依存性を有している。A T C X O では、恒温槽でいくつかの環境温度を設定し、各環境温度での発振周波数を測定し、その測定された温度依存性をキャンセルする多項式の係数を決定し、その係数を入換性メモリ等へ書き込んでおく。そして、温度補償の際には入換性メモリから係数を読み出して温度センサーの出力に対応する周波数制御電圧を生成して、発振周波数の温度依存性を補償する。

20

【0069】

このように、A T C X O の温度補償では、温度センサーの出力と周波数制御電圧との間の関係が多項式により決定されているが、係数決定の際には、得られる関係は環境温度と発振周波数の間の関係である。そのため、係数決定のアルゴリズムでは、例えば環境温度に対してどのような温度センサーの出力が得られるか、或いは温度センサーの出力に対して関数発生回路がどのような周波数制御電圧を出力するか、は前提として仮定されている。この前提が崩れた場合、アルゴリズムが正確な係数を決定できなくなる。例えば、温度センサーは温度依存性の無い電圧と温度依存性がある電圧との差分で温度を検出しているが、これらの電圧が電源電圧の温度依存性の影響を受けると、環境温度に対して期待したセンサー出力(差分電圧)にならない。しかし、係数決定のアルゴリズムでは、環境温度とセンサー出力の対応が、期待通りの特性になっているという前提で係数を演算している。そのため、環境温度とセンサー出力の対応が変動すると、正確な温度補償ができなくなる。このような理由から、A T C X O では温度依存性が無い高安定の電源電圧が要求される。

30

40

【0070】

温度センサーの一例としてはバンドギャップリファレンス回路を用いるものがあるが、一般にバンドギャップリファレンス回路は電源電圧に依らずに一定電圧を出力する回路とされている。しかしながら、バンドギャップリファレンス回路にもわずかに電源電圧依存性があり、非常に高精度な発振周波数が要求される T C X O 等の発振器では、そのわずかな変動が問題となる。

【0071】

一方、本実施形態のような D T C X O 等のデジタル方式の発振器では、図 3 B に示すように、温度検出データ D T D (処理部 50 の入力データ)と周波数制御データ D D S (処理部 50 の出力データ)との間の関係が得られる。例えば、温度検出データ D T D と周波

50

数制御データDDSは処理部50のレジスタに格納されており、不図示のデジタルインターフェースを介して外部から読み出される。温度補償の係数を決定する際には、恒温槽でいくつかの環境温度を設定し、各環境温度での温度検出データDTDと周波数制御データDDSを取得し、多項式によるフィッティングを行って温度補償用の多項式の係数を決定する。

【0072】

温度補償を行う際には、処理部50が係数を記憶部30（不揮発性メモリー）から読み出して、温度検出データDTD（A/D変換部20の出力データ）に対応する周波数制御データDDS（D/A変換部80の入力データ）を生成する。即ち、DTCXO等のデジタル方式の発振器では、係数決定の際にも温度補償の際にも、温度検出データDTDと周波数制御データDDSとの間の関係を使っている。このため、ATCXOのようなアルゴリズムの前提が必要なく、処理部50の前段或いは後段に温度依存性（例えば電源電圧の温度特性による温度センサーの出力変動）があったとしても、その温度特性は、温度検出データDTDと周波数制御データDDSとの間の関係に含まれている。これにより、振動子の発振周波数の温度特性だけでなく、回路装置の各部の温度依存性を含めて包括的に温度補償を行うことができる。

10

【0073】

また、ATCXO等のアナログ方式の発振器において仕事関数差に基づく基準電圧を電源電圧として用いた場合、電源電圧の絶対値変動が大きい、電源電圧の温度傾斜の変動が大きい、アナログ温度補償回路と仕事関数差の特性変数が別々にばらつく、等の問題がある。そのため、量産時において特性調整のためのトリミング工程等が増えてしまい、チップサイズや検査コストの面でデメリットがある。

20

【0074】

この点、本実施形態のようなDTCXO等のデジタル方式の発振器では、あらゆる温度依存性を含めて包括的に温度補償を行うことができるので、上記のような問題を生じずに、仕事関数差に基づく基準電圧を電源電圧として用いることが可能となる。特に、アナログ温度補償回路と仕事関数差の特性変数が別々にばらつく影響に対処することは困難であり、この点の考慮が不要になることは大きなメリットである。

【0075】

以下、更に詳細な電源回路40の構成について説明する。図4に、回路装置の第2の詳細な構成例を示す。図4の回路装置は基準電流生成回路170、電源回路40、温度センサー部10、A/D変換部20、処理部50、発振信号生成回路140、バッファ回路160を含む。また図4では、電源回路40が第1～第6の基準電圧生成回路41～46を含む。

30

【0076】

第1の基準電圧生成回路41は、仕事関数差に基づき生成された第1の基準電圧を、第1の電源電圧VRAとしてA/D変換部20に供給する。第2の基準電圧生成回路42は、仕事関数差に基づき生成された第2の基準電圧を、第2の電源電圧VRBとして処理部50に供給する。第3の基準電圧生成回路43は、仕事関数差に基づき生成された第3の基準電圧を、第3の電源電圧VRCとしてD/A変換部80に供給する。

40

【0077】

なお、電源回路40は、第1の基準電圧生成回路41、第2の基準電圧生成回路42、第3の基準電圧生成回路43の全てを含む必要はなく、これらのうちいずれか1つ又は2つだけを含んでもよい。

【0078】

このように、A/D変換部20、処理部50、D/A変換部80のそれぞれに対応して第1の基準電圧生成回路41、第2の基準電圧生成回路42、第3の基準電圧生成回路43を設けることで、各部の電源ラインを分離できる。これにより、電源ラインを介したノイズの伝搬を抑制し、発振信号の精度（例えば位相ノイズ特性）を向上できる。

【0079】

50

例えば、デジタル回路のノイズは、発振回路150による振動子X T A Lの発振に影響を与え、位相ノイズ特性等を悪化させる。この点、本実施形態では、処理部50に対応する第2の基準電圧生成回路42が設けられているので、発振回路150の電源ラインから、デジタル回路である処理部50の電源ラインを分離できる。これにより、発振回路150へのデジタル回路のノイズの伝搬を抑制できる。或いは、A/D変換部20やD/A変換部80に処理部50や発振回路150からのノイズが入力された場合、そのノイズによりA/D変換部20の変換精度が低下して温度補償の精度に影響したり、D/A変換部80の出力電圧V Qのノイズが増加して位相ノイズ特性等が悪化したりする可能性がある。この点、本実施形態では、A/D変換部20に対応する第1の基準電圧生成回路41が設けられ、或いはD/A変換部80に対応する第3の基準電圧生成回路43が設けられるので、A/D変換部20やD/A変換部80へのノイズの伝搬を抑制できる。

10

【0080】

また、本実施形態では温度特性を有する仕事関数差を用いて電源電圧V R A、V R B、V R Cを生成しているが、その影響はデジタル温度補償処理により包括的に補償できる。即ち、電源電圧V R A、V R Cが温度特性をもつことによってA/D変換部20やD/A変換部80の変換結果に温度特性が生じる可能性があるが、この温度特性も含めてデジタル温度補償処理により補償される。

【0081】

また、図6～図8に示すように、仕事関数差により基準電圧を生成する仕事関数差アンプは、M O Sトランジスタや抵抗で構成することが可能であり、構成も簡素であるため、バイポーラトランジスタを用いるバンドギャップリファレンス回路よりもレイアウト面積が小さい。そのため、各部のそれぞれに基準電圧生成回路を設けてもレイアウト面積の増加が抑えられ、仕事関数差アンプは電源ラインを分離する構成に適している。

20

【0082】

基準電流生成回路170は、基準電圧に基づいて基準電流を生成する。そして、発振回路150は、基準電流に基づく駆動電流により振動子X T A Lを発振させる。

【0083】

具体的には、第4の基準電圧生成回路44が仕事関数差に基づいて基準電圧を生成し、その基準電圧を第4の電源電圧V R Dとして基準電流生成回路170に出力する。そして、図10で後述するように、基準電流生成回路170は、基準電圧（電源電圧V R D）に基づいて基準電流I R Dを生成し、その基準電流I R Dに対応したバイアス電圧Q D 1、Q D 2を発振回路150に出力し、発振回路150はバイアス電圧Q D 1、Q D 2をトランジスタT D d、T D eにより駆動電流I B Xに変換し、駆動電流I B Xが供給されたバイポーラトランジスタT R Xが振動子X T A Lを駆動する。

30

【0084】

このように、発振回路150に対応して基準電流生成回路170を設けることで、処理部50等の他の回路の電源ラインから発振回路150を分離できる。これにより、電源ラインを介したノイズの伝搬を抑制し、発振信号の精度（例えば位相ノイズ特性）を向上できる。また、本実施形態では温度特性を有する仕事関数差を用いて基準電圧を生成しているが、その影響はデジタル温度補償処理により包括的に補償できる。即ち、基準電圧が温度特性をもつことによって発振回路150の発振周波数特性に温度特性が生じる可能性があるが、この温度特性も含めてデジタル温度補償処理により補償される。

40

【0085】

第5の基準電圧生成回路45は、仕事関数差に基づき生成された第5の基準電圧を、第5の電源電圧V R Eとして温度センサー部10に供給する。また、第6の基準電圧生成回路46は、仕事関数差に基づき生成された第6の基準電圧を、第6の電源電圧V R Fとしてバッファ回路160に供給する。

【0086】

このようにすれば、温度センサー部10やバッファ回路160の電源ラインを分離でき、電源ラインを介したノイズの伝搬を抑制できる。また、基準電圧の温度特性が温度セ

50

ンサー部 10 のセンサー特性等に影響したとしても、その影響をデジタル温度補償処理により包括的に補償できる。

【0087】

図5に、本実施形態の回路装置を含む電子機器の基本構成例を示す。なお、図16Bで後述するように電子機器は処理部520等の構成要素を含むことができるが、ここでは図示を省略している。

【0088】

図5の電子機器は、スイッチングレギュレーター560（外部電源回路）と、回路装置500を含む。回路装置500は電源回路40を含んでおり、電源回路40には、スイッチングレギュレーター560から外部電源（電源電圧VDD）が供給される。

10

【0089】

スイッチングレギュレーター560は、例えばトランジスター等のスイッチ素子とインダクター、キャパシター、ダイオード等で構成される。そして、スイッチ素子がオンになるオン期間では、電源とインダクターの一端がスイッチ素子を介して接続されてインダクターが駆動されると共にキャパシターに電荷が供給される。スイッチ素子がオフになるオフ期間では、電源とインダクターの一端が遮断され、インダクターに蓄えられたエネルギーが放電されてダイオードを介したキャパシターに電荷が供給される。スイッチングレギュレーター560の出力電圧をフィードバックすることにより、オン期間とオフ期間のデューティが制御され、出力電圧が一定に保たれる。

20

【0090】

なお、スイッチングレギュレーター560の構成はこれに限定されず、スイッチ素子のオンオフにより断続的に電源を接続及び遮断する（チョッピングを行う）DC-DCコンバーターであればよい。

【0091】

このようなスイッチングレギュレーター560は、リニアレギュレーターのような抵抗による電力ロスがほとんどないため、リニアレギュレーターに比べて低消費電力である。一方、スイッチ素子によりチョッピングを行うため、リニアレギュレーターに比べて外部電源（電源電圧VDD）のノイズが大きい。この点、本実施形態によれば、仕事関数差に基づき基準電圧を生成することで、電源回路40の消費電力を抑えつつ高PSRRを実現することが可能であり、スイッチングレギュレーター560と電源回路40を含めた電源システム全体として低消費電力化できる。

30

【0092】

3．基準電圧生成回路

図6に、基準電圧生成回路の第1の詳細な構成例を示す。なお、図6の基準電圧生成回路は、第1～第6の基準電圧生成回路41～46のいずれにも適用できる。図6の基準電圧生成回路は、トランジスターTAa、TA b、TA c、TA d、TA e、抵抗RNA、RPA、RGA（抵抗素子）、キャパシターCA、電流源IGAを含む。

【0093】

トランジスターTAaとトランジスターTA bは、カレントミラー回路を構成し、トランジスターTA c（第3のトランジスター）とトランジスターTA d（第4のトランジスター）に電流を供給する。トランジスターTA cとトランジスターTA dは差動対を構成する。電流源IGAは、差動対にバイアス電流を供給する。トランジスターTAa、TA bは例えばP型トランジスター（広義には第1導電型のトランジスター）であり、トランジスターTA c、TA dはN型トランジスター（広義には第2導電型のトランジスター）である。またトランジスターTAa、TA b、TA dはエンハンスメント型のトランジスターであり、トランジスターTA cはデプレッション型のトランジスターである。

40

【0094】

トランジスターTAa、TA bは、電源用ノードNDGとノードNAa、NAbとの間に設けられる。図6の構成例では、電源用ノードNDGは高電位側電源ノード（電源電圧VDDのノード）である。トランジスターTAa、TA bのソースには電源用ノードND

50

Gの電圧（電源電圧VDD）が供給され、トランジスタT A a、T A bのゲート電極はトランジスタT A aのドレインのノードN A aに接続される。

【0095】

トランジスタT A c、T A dは、ノードN A a、N A bとノードN A f、N A cとの間に設けられる。またノードN A fとノードN A cとの間には抵抗R N Aが設けられる。トランジスタT A cのゲート電極には、電源電圧V S S（低電位側電源電圧）が入力される。トランジスタT A dのゲート電極は、ノードN A dに接続される。電流源I G Aは、ノードN A cと電源電圧V S Sのノードとの間に直列に設けられる。

【0096】

トランジスタT A e（第5のトランジスタ）はデプレッション型のN型トランジスタである。トランジスタT A eは、電源用ノードN D G（高電位側電源ノード）と出力ノードN A e（抵抗R P Aの一端）との間に設けられ、そのゲート電極に差動対の出力ノードN A bが接続される。即ち、トランジスタT A eは、トランジスタT A dのドレイン電圧に基づきゲート電圧が制御される。キャパシタC Aは、ノードN A bと電源電圧V S Sのノード（低電位側電源ノード）との間に設けられる。抵抗R P A（第1の抵抗）は、出力ノードN A eとノードN A d（トランジスタT A dのゲートノード）の間に設けられ、一端（ノードN A e）の電圧V D O Sを基準電圧として出力する。抵抗R G Aは、ノードN A dと電源電圧V S Sのノードとの間に設けられる。

【0097】

トランジスタT A dは、トランジスタT A cとはゲート電極の導電性が異なるトランジスタになっている。例えばトランジスタT A cのゲート電極はN型であり、トランジスタT A dのゲート電極はP型となっている。例えばトランジスタT A cとT A dは、基板の不純物濃度やチャネルの不純物濃度は同じであるが、ゲート電極の導電性が異なっており、ゲート電極の不純物濃度が異なっている。

【0098】

具体的には、M O Sトランジスタのしきい値電圧は、 $V_{th} = \frac{Q_{ss}}{C_{ox}} - \frac{Q_D}{C_{ox}} + 2 \frac{\phi_F + Q_D}{C_{ox}}$ と表すことができる。ここで ϕ_F は、ゲート電極と基板の仕事関数差であり、 Q_{ss} は酸化膜内の固定電荷であり、 C_{ox} はゲート酸化膜の単位面積当たりの容量であり、 ϕ_F はフェルミ準位であり、 Q_D は空乏層内の電荷である。トランジスタT A cのN型ゲート電極の不純物濃度と、トランジスタT A dのP型ゲート電極の不純物濃度の設定により、デプレッション型のトランジスタT A cのしきい値電圧V T Nは例えば-0.52Vに設定されており、エンハンスメント型のトランジスタT A dのしきい値電圧V T Pは例えば0.45Vに設定されている。従って、基準電圧生成回路の出力ノードN A eには、V T P - V T N = 0.97Vの基準電圧V D O S（電源電圧）が出力されるようになる。即ち、電源電圧V D Dが変動した場合にも、一定電圧の基準電圧V D O Sを供給することが可能になる。

【0099】

図7に、基準電圧生成回路の第2の詳細な構成例を示す。なお、図7の基準電圧生成回路は、第1～第6の基準電圧生成回路41～46のいずれにも適用できる。図7の基準電圧生成回路は、第1の仕事関数差アンプR E G 1、第2の仕事関数差アンプR E G 2を含む。第1の仕事関数差アンプR E G 1は、トランジスタT B a、T B b、T B c、T B d、T B e、抵抗R N B、R P B、R G B（抵抗素子）、キャパシタC B、電流源I G Bを含む。第2の仕事関数差アンプR E G 2は、トランジスタT A a、T A b、T A c、T A d、T A e、抵抗R N A、R P A、R G A、キャパシタC A、電流源I G Aを含む。

【0100】

第2の仕事関数差アンプR E G 2の構成は、図6の基準電圧生成回路の構成と同じであるが、図7では電源用ノードN D Gに第1の仕事関数差アンプR E G 1の出力電圧V r e gが入力される。

【0101】

10

20

30

40

50

第1の仕事関数差アンプREG1の構成を説明する。

【0102】

トランジスタTBaとトランジスタTBbは、カレントミラー回路を構成し、トランジスタTBc（第6のトランジスタ）とトランジスタTBd（第7のトランジスタ）に電流を供給する。トランジスタTBcとトランジスタTBdは差動対を構成する。電流源IGBは、差動対にバイアス電流を供給する。トランジスタTBa、TBbは例えばP型トランジスタであり、トランジスタTBc、TBdはN型トランジスタである。またトランジスタTBa、TBb、TBdはエンハンスメント型のトランジスタであり、トランジスタTBcはデプレッション型のトランジスタである。

【0103】

トランジスタTBa、TBbは、高電位側電源ノード（電源電圧VDDのノード）とノードNBa、NBbとの間に設けられる。トランジスタTBa、TBbのソースには電源電圧VDDが供給され、トランジスタTBa、TBbのゲート電極はトランジスタTBaのドレインのノードNBaに接続される。

【0104】

トランジスタTBc、TBdは、ノードNBa、NBbとノードNBf、NBcとの間に設けられる。またノードNBfとノードNBcとの間には抵抗RNBが設けられる。トランジスタTBcのゲート電極には、電源電圧VSSが入力される。トランジスタTBdのゲート電極は、ノードNBdに接続される。電流源IGBは、ノードNBcと電源電圧VSSのノードとの間に直列に設けられる。

【0105】

トランジスタTBe（第8のトランジスタ）はデプレッション型のN型トランジスタである。トランジスタTBeは、高電位側電源ノードと出力ノードNBe（抵抗RPBの一端）との間に設けられ、そのゲート電極に差動対の出力ノードNBbが接続される。即ち、トランジスタTBeは、トランジスタTBdのドレイン電圧に基づきゲート電圧が制御される。キャパシタCBは、ノードNBbと電源電圧VSSのノードとの間に設けられる。抵抗RPB（第2の抵抗）は、出力ノードNBeとノードNBd（トランジスタTBdのゲートノード）の間に設けられ、その一端には、トランジスタTBc、TBdの仕事関数差電圧に対応する電圧Vregが印加される。抵抗RPBは、その一端の電圧Vregを第1の仕事関数差アンプREG1の電源用ノードNDGに出力する。抵抗RGBは、ノードNBdと電源電圧VSSのノードとの間に設けられる。

【0106】

トランジスタTBdは、トランジスタTBcとはゲート電極の導電性が異なるトランジスタになっている。例えばトランジスタTBcのゲート電極はN型であり、トランジスタTBdのゲート電極はP型となっている。例えばトランジスタTBcとTBdは、基板の不純物濃度やチャネルの不純物濃度は同じであるが、ゲート電極の導電性が異なっており、ゲート電極の不純物濃度が異なっている。

【0107】

図8に、基準電圧生成回路の第3の詳細な構成例を示す。なお、図8の基準電圧生成回路は、第1～第6の基準電圧生成回路41～46のいずれにも適用できる。図8の基準電圧生成回路は、第1の仕事関数差アンプREG1、第2の仕事関数差アンプREG2を含む。第1の仕事関数差アンプREG1は、トランジスタTCa、TCb、TCc、TCd、TCe、抵抗RNC、RPC（抵抗素子）、電流源IGCを含む。第2の仕事関数差アンプREG2は、トランジスタTAa、TAb、TAc、TAd、TAe、抵抗RNA、RPA、RGA、キャパシタCA、電流源IGAを含む。

【0108】

第2の仕事関数差アンプREG2の構成は、図6の基準電圧生成回路の構成と同じであるが、図8では電源用ノードNDGに第1の仕事関数差アンプREG1の出力電圧Vregが入力される。

【0109】

10

20

30

40

50

第1の仕事関数差アンプREG1の構成を説明する。

【0110】

トランジスタTCaとトランジスタTCbは、カレントミラー回路を構成し、トランジスタTCc（第9のトランジスタ）とトランジスタTCd（第10のトランジスタ）に電流を供給する。トランジスタTCcとトランジスタTCdは差動対を構成する。電流源IGCは、差動対にバイアス電流を供給する。トランジスタTCa、TCbは例えばP型トランジスタであり、トランジスタTCc、TCdはN型トランジスタである。またトランジスタTCa、TCb、TCdはエンハンスメント型のトランジスタであり、トランジスタTCcはデプレッション型のトランジスタである。

【0111】

トランジスタTCa、TCbは、高電位側電源ノード（電源電圧VDDのノード）とノードNCa、NCbとの間に設けられる。トランジスタTCa、TCbのソースには電源電圧VDDが供給され、トランジスタTCa、TCbのゲート電極はトランジスタTCaのドレインのノードNCaに接続される。

【0112】

トランジスタTCc、TCdは、ノードNCa、NCbとノードNCf、NCgとの間に設けられる。またノードNCf、NGgとノードNBCとの間には抵抗RNC、RPCが設けられる。トランジスタTCcのゲート電極には、電源電圧VSSが入力される。トランジスタTCdのゲート電極は、トランジスタTCeのドレイン（電源用ノードNDG）に接続される。電流源IGCは、ノードNCcと電源電圧VSSのノードとの間に直列に設けられる。

【0113】

トランジスタTCe（第11のトランジスタ）はデプレッション型のN型トランジスタである。トランジスタTCeは、高電位側電源ノードとトランジスタTCdのゲートノード（電源用ノードNDG）との間に設けられる。即ち、トランジスタTCeは、トランジスタTCdのドレイン電圧に基づきゲート電圧が制御される。トランジスタTCdのドレイン電圧は、トランジスタTCc、TCdの仕事関数差電圧に対応する電圧Vregであり、その電圧Vregが電源用ノードNDGに出力される。

【0114】

トランジスタTCdは、トランジスタTCcとはゲート電極の導電性が異なるトランジスタになっている。例えばトランジスタTCcのゲート電極はN型であり、トランジスタTCdのゲート電極はP型となっている。例えばトランジスタTCcとTCdは、基板の不純物濃度やチャネルの不純物濃度は同じであるが、ゲート電極の導電性が異なり、ゲート電極の不純物濃度が異なっている。

【0115】

図7、図8のように、第1の仕事関数差アンプREG1と第2の仕事関数差アンプREG2を直列に接続することによって、図6のような1段の仕事関数差アンプよりも更にPSRRを向上できる。図9は、基準電圧生成回路のPSRRの周波数特性の模式図である。図9では、縦軸、横軸は共に対数軸である（PSRRは例えばデシベル）。TKS1は1段の仕事関数差アンプのPSRRの周波数特性であり、TKS2は2段の仕事関数差アンプのPSRRの周波数特性である。TKS2に示すように、2段の仕事関数差アンプの場合、各段のPSRRが加算されるので、1段の仕事関数差アンプに比べて約2倍のPSRRが得られる。

【0116】

また図7、図8において、トランジスタTAe（第5のトランジスタ）はデプレッション型のトランジスタである。

【0117】

2段の仕事関数差アンプでは、例えば第1の仕事関数差アンプREG1が電圧Vreg = 0.97Vを出力し、第2の仕事関数差アンプREG2が電圧Vreg = 0.97Vを電源として電圧VDOS = 0.9Vを出力する。トランジスタTAeはN型トランジスタ

10

20

30

40

50

ターであり、そのソースは電圧 $V_{DOS} = 0.9V$ であることから、非常に小さいゲート・ソース間電圧しか取ることができず、エンハンスメント型のトランジスタではオンさせることができない。この点、本実施形態ではトランジスタ T_{Ae} がデプレッション型のトランジスタであることで、N型トランジスタであってもオンさせることが可能となる。

【0118】

また、図6～図8において、仕事関数差アンプの出力段のトランジスタ T_{Ae} 、 T_{Be} 、 T_{Ce} は、N型トランジスタである。これにより、P型トランジスタを採用した場合に比べて $PSRR$ の向上が期待できる。例えば図6のトランジスタ T_{Ae} を例にとって説明する。トランジスタ T_{Ae} にP型トランジスタを採用した場合、P型トランジスタのソースは電源電圧 V_{DD} となる。そのためゲート・ソース間電圧は電源電圧 V_{DD} のノイズの影響を受けるが、アンプの帯域内ではアンプのゲインによって $PSRR$ が保たれる。しかしながら、アンプの帯域外の高周波帯域では電源電圧 V_{DD} のノイズの影響を受けて $PSRR$ が低下する。一方、トランジスタ T_{Ae} にN型トランジスタを採用することによって、トランジスタ T_{Ae} のソースは出力電圧 V_{DOS} となり、ゲート・ソース間電圧は電源電圧 V_{DD} のノイズの影響を受けにくくなる。しかしながら、上述のようにオンさせにくいという問題が生じるので、デプレッション型のトランジスタを用いることによって、これを解決している。

【0119】

また図6～図8において、キャパシタ C_A が、トランジスタ T_{Ae} (第5のトランジスタ) のゲートノード N_{Ab} と低電位側電源ノードとの間に設けられる。また図7において、キャパシタ C_B が、トランジスタ T_{Be} (第8のトランジスタ) のゲートノード N_{Bb} と低電位側電源ノードとの間に設けられる。

【0120】

これにより、高周波領域における $PSRR$ を更に向上できる。図9の $TKS1'$ は、キャパシタ C_A (C_B) を設けなかった場合の仕事関数差アンプの $PSRR$ の周波数特性であり、 $TKS1$ は、キャパシタ C_A (C_B) を設けた場合の仕事関数差アンプの $PSRR$ の周波数特性である。キャパシタ C_A を設けなかった場合の周波数特性 $TKS1'$ は、低周波領域と高周波領域では、キャパシタ C_A を設けた場合の周波数特性 $TKS1$ と同じである。低周波領域では、アンプのDCゲインとほぼ同じ $PSRR$ が得られ、高周波領域ではキャパシタ C_A の容量とトランジスタ T_{Ae} のソース・ドレイン間の寄生容量との比で $PSRR$ が決まる。キャパシタ C_A を設けなかった場合の周波数特性 $TKS1'$ では、低周波領域と高周波領域の間に $PSRR$ が非常に低くなる(ゼロになる)周波数 f_A が存在する。この周波数 f_A の付近では、電源のノイズが基準電圧に伝搬するため、位相ノイズ特性の悪化の原因となる。

【0121】

この点、本実施形態では、キャパシタ C_A (C_B) を設けることによって、周波数 f_A 付近での $PSRR$ を向上できる。これにより、広い帯域にわたって高い $PSRR$ を得ることができ、位相ノイズ特性を向上できる。

【0122】

4. 基準電流生成回路、発振回路

図10に、基準電流生成回路170、発振回路150の詳細な構成例を示す。

【0123】

基準電流生成回路170は、トランジスタ T_{Da} 、 T_{Db} 、 T_{Dc} 、演算増幅器 $AMD1$ 、 $AMD2$ 、抵抗 R_D を含む。

【0124】

トランジスタ T_{Da} (第1のトランジスタ) は、高電位側電源ノード(電源電圧 V_{RD} のノード)と第1のノード N_{Dc} の間に設けられる。トランジスタ T_{Db} (第2のトランジスタ) は、第1のノード N_{Dc} と第2のノード N_{Db} の間に設けられる。トランジスタ T_{Da} 、 T_{Db} は、例えばエンハンスメント型のP型トランジスタである。

【0125】

演算増幅器AMD1（第1の演算増幅器）の第1の入力ノードNDa（正極性入力ノード、非反転入力ノード）には、電源電圧VRDが入力され、演算増幅器AMD1の第2の入力ノード（負極性入力ノード、反転入力ノード）は、第2のノードNDbに接続され、演算増幅器AMD1の出力ノードNDfは、トランジスタTDaのゲートに接続される。

【0126】

演算増幅器AMD2（第2の演算増幅器）の第1の入力ノードNDd（正極性入力ノード、非反転入力ノード）には、第1のノードNDcの電圧VNDcを設定するための所定電圧VVDが入力され、演算増幅器AMD2の第2の入力ノード（負極性入力ノード、反

10

【0127】

トランジスタTDcは、ノードNDbとノードNDhの間に設けられ、そのゲートには電源電圧VSSが入力される。トランジスタTDcは、例えばデプレッション型のN型トランジスタである。抵抗RDは、ノードNDhと低電位側電源ノードの間に設けられる。抵抗RDは可変抵抗であり、例えばスイッチによりタップを選択することで抵抗値が可変に制御できるラダー抵抗等で構成できる。トランジスタTDcと抵抗RDは、トランジスタTDa、TDbにバイアス電流を供給する電流源である。抵抗RDの抵抗値を調整することで、基準電流IRDが調整できる。

20

【0128】

所定電圧VVDは、例えば $VVD = VRD - 0.2V$ に設定され、演算増幅器AMD2のフィードバック制御により、第1のノードNDcの電圧は $VNDc = VVD = VRD - 0.2V$ となる。また、演算増幅器AMD1のフィードバック制御により、第2のノードNDbの電圧は $VNDb = VRD$ となる。このように第1のノードNDcの電圧VNDcと第2のノードNDbの電圧VNDbが固定されることによって、高電位側電源（電源電圧VRD）の変動の影響を受けにくくなり、高安定な基準電流IRDを生成することができる。

【0129】

発振回路150は、トランジスタTDd、TDe、バイポーラートランジスタTRX、抵抗RX、可変容量キャパシタCX1、キャパシタCX2、CX3を含む。

30

【0130】

トランジスタTDd、TDeには、基準電流生成回路170のトランジスタTDa、TDbのゲート電圧（バイアス電圧QD1、QD2）が入力される。即ち、トランジスタTDd、TDeは、基準電流IRDを所定比でミラーし、バイポーラートランジスタTRXのコレクターに駆動電流IBX（バイアス電流）を供給する。抵抗RXは、バイポーラートランジスタTRXのコレクターとベースの間に設けられる。

【0131】

容量が可変である可変容量キャパシタCX1の一端は、振動子XTALの一端に接続される。具体的には、可変容量キャパシタCX1の一端は、回路装置の第1の振動子用端子（振動子用パッド）を介して振動子XTALの一端に接続される。キャパシタCX2の一端は、振動子XTALの他端に接続される。具体的には、キャパシタCX2の一端は、回路装置の第2の振動子用端子（振動子用パッド）を介して振動子XTALの他端に接続される。キャパシタCX3は、その一端が振動子XTALの一端に接続され、その他端がバイポーラートランジスタTRXのコレクターに接続される。

40

【0132】

バイポーラートランジスタTRXには、振動子XTALの発振により生じたベース・エミッター間電流が流れる。そしてベース・エミッター間電流が増加すると、バイポーラートランジスタTRXのコレクター・エミッター間電流が増加し、駆動電流IBXのうち抵抗RXに分岐するバイアス電流が減少するので、コレクター電圧VCXが低下する。

50

一方、バイポーラートランジスタ TRX のベース・エミッター間電流が減少すると、コレクター・エミッター間電流が減少し、駆動電流 IBX のうち抵抗 RX に分岐するバイアス電流が増加するので、コレクター電圧 VCX が上昇する。このコレクター電圧 VCX はキャパシター $CX3$ を介して振動子 $XTAL$ にフィードバックされる。

【0133】

振動子 $XTAL$ の発振周波数は温度特性（例えば図3A、図3Bの温度特性）を有しており、この温度特性は、 D/A 変換部80の出力電圧 VQ （周波数制御電圧）により補償される。即ち、出力電圧 VQ は可変容量キャパシター $CX1$ に入力され、出力電圧 VQ により可変容量キャパシター $CX1$ の容量値が制御される。可変容量キャパシター $CX1$ の容量値が変化すると、発振ループの共振周波数が変化するので、振動子 $XTAL$ の温度特性による発振周波数の変動が補償される。可変容量キャパシター $CX1$ は、例えば可変容量ダイオード（バラクター）などにより実現される。

10

【0134】

なお、本実施形態の発振回路150は、図10の構成に限定されず、種々の変形実施が可能である。例えば図10では $CX1$ を可変容量キャパシターとする場合を例に説明したが、 $CX2$ 又は $CX3$ を、出力電圧 VQ で制御される可変容量キャパシターとしてもよい。また、 $CX1 \sim CX3$ のうち複数を、 VQ で制御される可変容量キャパシターとしてもよい。

【0135】

5. D/A 変換部

20

図11に、 D/A 変換部80の詳細な構成例を示す。 D/A 変換部80は、変調回路90と D/A 変換器100とフィルター回路120を含む。

【0136】

D/A 変換器100は、上位側の D/A 変換器 $DACA$ と、下位側の D/A 変換器 $DACB$ と、ボルテージフォロワー接続されたオペアンプ（演算増幅器） OPA 、 OPB 、 OPC を含む。

【0137】

上位側の D/A 変換器 $DACA$ には、変調回路90からの n ビット（ $n = q + p$ ）のデータ DM のうちの上位の q ビットのデータが入力され、下位側の D/A 変換器 $DACB$ には下位の p ビット（例えば $p = q = 8$ ）のデータが入力される。これらの上位側の D/A 変換器 $DACA$ 、下位側の D/A 変換器 $DACB$ は、例えば直列接続された複数の抵抗により電圧分割された複数の分割電圧の中から、入力データに対応する電圧を選択する抵抗ストリング型の D/A 変換器である。

30

【0138】

上位側の D/A 変換器 $DACA$ は、電源電圧 VR （基準電圧）のノードと電圧 VSS のノードとの間に直列接続された複数の抵抗を含む。上位側の D/A 変換器 $DACA$ は、複数の抵抗のうち上位 q ビットのデータにより特定される抵抗の両端の分割電圧のうち、一方の分割電圧をオペアンプ OPA の非反転入力端子に出力し、他方の分割電圧をオペアンプ OPB の非反転入力端子に出力する。これにより、当該一方の電圧が、ボルテージフォロワー接続されたオペアンプ OPA によりインピーダンス変換されて、電圧 VX として下位側の D/A 変換器 $DACB$ に供給される。また当該他方の電圧が、ボルテージフォロワー接続されたオペアンプ OPB によりインピーダンス変換されて、電圧 VY として下位側の D/A 変換器 $DACB$ に供給される。

40

【0139】

下位側の D/A 変換器 $DACB$ は、電圧 VX のノードと電圧 VY のノードとの間に直列接続された複数の抵抗を含む。下位側の D/A 変換器 $DACB$ は、複数の抵抗による複数の分割電圧のうち、下位 p ビットのデータにより選択された1つの分割電圧を選択電圧として、ボルテージフォロワー接続されたオペアンプ OPC の非反転入力端子に出力する。これにより、当該選択電圧が、 D/A 変換器100の出力電圧 VDA として出力されるようになる。

50

【 0 1 4 0 】

6 . 温度センサー部、発振回路

図 1 2 A に温度センサー部 1 0 の第 1 の構成例を示す。図 1 2 A の温度センサー部 1 0 は、電流源 I S T と、電流源 I S T からの電流がコレクターに供給されるバイポーラートランジスタ T R T を有する。バイポーラートランジスタ T R T は、そのコレクターとのベースが接続されるダイオード接続となっており、バイポーラートランジスタ T R T のコレクターのノードに、温度特性を有する温度検出電圧 V T D が出力される。温度検出電圧 V T D の温度特性は、バイポーラートランジスタ T R T のベース・エミッター間電圧の温度依存性によって生じる。図 1 2 C に示すように温度検出電圧 V T D は、負の温度特性（負の勾配を有する 1 次の温度特性）を有する。

10

【 0 1 4 1 】

図 1 2 B に温度センサー部 1 0 の第 2 の構成例を示す。図 1 2 B では、図 1 2 A の電流源 I S T が抵抗 R T により実現される。そして抵抗 R T の一端は電源電圧のノードに接続され、他端はバイポーラートランジスタ T R T 1 のコレクターに接続される。またバイポーラートランジスタ T R T 1 のエミッターは、バイポーラートランジスタ T R T 2 のコレクターに接続される。そしてバイポーラートランジスタ T R T 1、T R T 2 は共にダイオード接続されており、バイポーラートランジスタ T R T 1 のコレクターのノードに出力される電圧 V T S Q は、図 1 2 C のように負の温度特性（負の勾配を有する 1 次の温度特性）を有している。

20

【 0 1 4 2 】

また図 1 2 B の温度センサー部 1 0 では、オペアンプ O P D と抵抗 R D 1、R D 2 が更に設けられている。オペアンプ O P D の非反転入力端子には、電圧 V T S Q が入力され、反転入力端子には、抵抗 R D 1 の一端及び抵抗 R D 2 の一端が接続される。そして抵抗 R D 1 の他端には基準温度電圧 V T A 0 が供給され、抵抗 R D 2 の他端はオペアンプ O P D の出力端子に接続される。

【 0 1 4 3 】

このようなオペアンプ O P D 及び抵抗 R D 1、R D 2 により、基準温度電圧 V A T 0 を基準として電圧 V T S Q を正転増幅する増幅アンプが構成される。これにより、温度検出電圧 $V T D = V A T 0 + (1 + R D 2 / R D 1) \times (V T S Q - V A T 0)$ が、温度センサー部 1 0 から出力されるようになる。そして基準温度電圧 V A T 0 を調整することにより、基準温度 T 0 の調整が可能になる。

30

【 0 1 4 4 】

7 . A / D 変換部

図 1 3 に、A / D 変換部 2 0 の詳細な構成例を示す。A / D 変換部 2 0 は、処理部 2 3、レジスター部 2 4、D / A 変換器 D A C E、D A C F、比較部 2 7 を含む。また温度センサー部用アンプ 2 8 を含むことができる。処理部 2 3、レジスター部 2 4 は、ロジック部 2 2 として設けられ、D / A 変換器 D A C E、D A C F、比較部 2 7、温度センサー部用アンプ 2 8 は、アナログ部 2 6 として設けられる。

【 0 1 4 5 】

レジスター部 2 4 は、A / D 変換の途中結果や最終結果などの結果データを記憶する。このレジスター部 2 4 は、例えば逐次比較方式における逐次比較結果レジスターに相当する。D / A 変換器 D A C E、D A C F は、レジスター部 2 4 の結果データを D / A 変換する。これらの D A C E、D A C F としては図 1 1 と同様の構成の D / A 変換器を採用できる。比較部 2 7 は、D / A 変換器 D A C E、D A C F の出力電圧と、温度検出電圧 V T D （温度センサー部用アンプ 2 8 による増幅後の電圧）との比較を行う。比較部 2 7 は例えばチョッパ型比較器などにより実現できる。処理部 2 3 は、比較部 2 7 の比較結果に基づいて判定処理を行い、レジスター部 2 4 の結果データの更新処理を行う。そして、当該更新処理により求められた最終的な温度検出データ D T D が、温度検出電圧 V T D の A / D 変換結果として、A / D 変換部 2 0 から出力される。このような構成により、例えば逐次比較方式の A / D 変換や、逐次比較方式に類似する方式の A / D 変換などを実現できる

40

50

。

【 0 1 4 6 】

8. 回路装置の変形構成例

図 1 4 に本実施形態の回路装置の第 1 の変形構成例を示す。

【 0 1 4 7 】

図 1 4 の回路装置は、電源回路 4 0、温度センサー部 1 0、A / D 変換部 2 0、処理部 5 0、発振信号生成回路 1 4 0、バッファ回路 1 6 0 を含む。

【 0 1 4 8 】

図 1 4 では、電源回路 4 0 が、基準電圧生成回路 4 2、4 4、4 6、4 7 を含む。また A / D 変換部 2 0 が、アナログ部 2 6、ロジック部 2 2 を含み、D / A 変換部 8 0 が、ロジック部 8 2、アナログ部 8 4 を含む。A / D 変換部 2 0 のアナログ部 2 6、ロジック部 2 2 は、図 1 3 のアナログ部 2 6、ロジック部 2 2 に対応する。D / A 変換部 8 0 のロジック部 8 2 は、図 2、図 1 1 の変調回路 9 0 に対応し、アナログ部 8 4 は、図 2、図 1 1 の D / A 変換器 1 0 0 とフィルター回路 1 2 0 に対応する。

10

【 0 1 4 9 】

基準電圧生成回路 4 7 は、トランジスタの仕事関数差に基づき生成した基準電圧を電源電圧 V R G として、温度センサー部 1 0、A / D 変換部 2 0 のアナログ部 2 6、D / A 変換部 8 0 のアナログ部 8 4 に供給する。基準電圧生成回路 4 2 は、トランジスタの仕事関数差に基づき生成した基準電圧を電源電圧 V R B として、A / D 変換部 2 0 のロジック部 2 2、処理部 5 0、D / A 変換部 8 0 のロジック部 8 2 に供給する。

20

【 0 1 5 0 】

図 4 等で説明したように、電源回路 4 0 は、仕事関数差に基づき生成された第 1 の基準電圧を第 1 の電源電圧として A / D 変換部 2 0 に供給する第 1 の基準電圧発生回路と、仕事関数差に基づき生成された第 2 の基準電圧を第 2 の電源電圧として処理部 5 0 に供給する第 2 の基準電圧発生回路と、仕事関数差に基づき生成された第 3 の基準電圧を第 3 の電源電圧として D / A 変換部 8 0 に供給する第 3 の基準電圧発生回路のうちの、少なくとも 1 つを有すればよい。

【 0 1 5 1 】

図 4 では、第 1 ~ 第 3 の基準電圧生成回路を設ける場合を図示している。一方、図 1 4 では第 1 ~ 第 3 の基準電圧生成回路のうち 2 つの基準電圧生成回路を設ける場合に相当する。即ち、図 1 4 の基準電圧生成回路 4 7 は、第 1 の基準電圧発生回路又は第 3 の基準電圧発生回路に対応すると考えられるので、図 1 4 の電源回路 4 0 は、第 1 の基準電圧発生回路及び第 2 の基準電圧生成回路を含む場合、或いは、第 2 の基準電圧生成回路及び第 3 の基準電圧生成回路を含む場合の変形構成例である。

30

【 0 1 5 2 】

図 1 5 に本実施形態の回路装置の第 2 の変形構成例を示す。

【 0 1 5 3 】

図 1 5 の回路装置は、温度センサー部 1 0 からの温度検出電圧 V T D の A / D 変換を行い、温度検出データ D T D を出力する A / D 変換部 2 0 と、温度検出データ D T D に基づいて発振周波数の温度補償処理を行い、発振周波数の周波数制御データ D D S を出力する処理部 5 0 と、発振信号生成回路 1 4 0 を含む。なお図 1 5 では電源回路 4 0 の図示を省略している。

40

【 0 1 5 4 】

発振信号生成回路 1 4 0 は、処理部 5 0 からの周波数制御データ D D S と振動子 X T A L を用いて、周波数制御データ D D S により設定される発振周波数の発振信号 S S C を生成する。即ち図 1 5 では、図 1、図 2、図 4 とは異なり、発振信号生成回路 1 4 0 に D / A 変換部 8 0 が設けられていない。そして発振信号生成回路 1 4 0 により生成される発振信号 S S C の発振周波数が、処理部 5 0 からの周波数制御データ D D S に基づいて、直接に制御される。即ち D / A 変換部を介さずに発振信号 S S C の発振周波数が制御される。

【 0 1 5 5 】

50

例えば図 1 5 では、発振信号生成回路 1 4 0 が、可変容量回路 1 4 2 と発振回路 1 5 0 を有する。この発振信号生成回路 1 4 0 には図 1、図 2、図 4 の D / A 変換部 8 0 は設けられていない。そして図 1 0 の可変容量キャパシター C X 1 の代わりに、この可変容量回路 1 4 2 が設けられ、可変容量回路 1 4 2 の一端が振動子 X T A L の一端に接続される。
【 0 1 5 6 】

この可変容量回路 1 4 2 は、処理部 5 0 からの周波数制御データ D D S に基づいて、その容量値が制御される。例えば可変容量回路 1 4 2 は、複数のキャパシター（キャパシターアレイ）と、周波数制御データ D D S に基づき各スイッチ素子のオン、オフが制御される複数のスイッチ素子（スイッチアレイ）を有する。これらの複数のスイッチ素子の各スイッチ素子は、複数のキャパシターの各キャパシターに電氣的に接続される。そして、これらの複数のスイッチ素子がオン又はオフされることで、複数のキャパシターのうち、振動子 X T A L の一端に、その一端が接続されるキャパシターの個数が変化する。これにより、可変容量回路 1 4 2 の容量値が制御されて、振動子 X T A L の一端の容量値が変化する。従って、周波数制御データ D D S により、可変容量回路 1 4 2 の容量値が直接に制御されて、発振信号 S S C の発振周波数を制御できるようになる。

【 0 1 5 7 】

9 . 発振器、電子機器、移動体

図 1 6 A に、本実施形態の回路装置 5 0 0 を含む発振器 4 0 0 の構成例を示す。図 1 6 A に示すように、発振器 4 0 0 は、振動子 4 2 0 と回路装置 5 0 0 を含む。振動子 4 2 0 と回路装置 5 0 0 は、発振器 4 0 0 のパッケージ 4 1 0 内に実装される。そして振動子 4 2 0 の端子と、回路装置 5 0 0 (I C) の端子 (パッド) は、パッケージ 4 1 0 の内部配線により電氣的に接続される。

【 0 1 5 8 】

図 1 6 B に、本実施形態の回路装置 5 0 0 を含む電子機器の構成例を示す。この電子機器は、本実施形態の回路装置 5 0 0、水晶振動子等の振動子 4 2 0、アンテナ A N T、通信部 5 1 0、処理部 5 2 0 を含む。また操作部 5 3 0、表示部 5 4 0、記憶部 5 5 0 を含むことができる。振動子 4 2 0 と回路装置 5 0 0 により発振器 4 0 0 が構成される。なお電子機器は図 1 6 B の構成に限定されず、これらの一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 1 5 9 】

図 1 6 B の電子機器としては、例えば G P S 内蔵時計、生体情報測定機器（脈波計、歩数計等）又は頭部装着型表示装置等のウェアラブル機器や、スマートフォン、携帯電話機、携帯型ゲーム装置、ノート P C 又はタブレット P C 等の携帯情報端末（移動端末）や、コンテンツを配信するコンテンツ提供端末や、デジタルカメラ又はビデオカメラ等の映像機器や、或いは基地局又はルーター等のネットワーク関連機器などの種々の機器を想定できる。

【 0 1 6 0 】

通信部 5 1 0 (無線回路) は、アンテナ A N T を介して外部からデータを受信したり、外部にデータを送信する処理を行う。処理部 5 2 0 は、電子機器の制御処理や、通信部 5 1 0 を介して送受信されるデータの種々のデジタル処理などを行う。この処理部 5 2 0 の機能は、例えばマイクロコンピュータなどのプロセッサにより実現できる。

【 0 1 6 1 】

操作部 5 3 0 は、ユーザーが入力操作を行うためのものであり、操作ボタンやタッチパネルディスプレイをなどにより実現できる。表示部 5 4 0 は、各種の情報を表示するものであり、液晶や有機 E L などのディスプレイにより実現できる。なお操作部 5 3 0 としてタッチパネルディスプレイを用いる場合には、このタッチパネルディスプレイが操作部 5 3 0 及び表示部 5 4 0 の機能を兼ねることになる。記憶部 5 5 0 は、データを記憶するものであり、その機能は R A M や R O M などの半導体メモリーや H D D (ハードディスクドライブ) などにより実現できる。

【 0 1 6 2 】

図 1 6 C に、本実施形態の回路装置を含む移動体の例を示す。本実施形態の回路装置（発振器）は、例えば、車、飛行機、バイク、自転車、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器（車載機器）を備えて、地上や空や海上を移動する機器・装置である。図 1 6 C は移動体の具体例としての自動車 2 0 6 を概略的に示している。自動車 2 0 6 には、本実施形態の回路装置と振動子を有する発振器（不図示）が組み込まれる。制御装置 2 0 8 は、この発振器により生成されたクロック信号により動作する。制御装置 2 0 8 は、例えば車体 2 0 7 の姿勢に応じてサスペンションの硬軟を制御したり、個々の車輪 2 0 9 のブレーキを制御する。例えば制御装置 2 0 8 により、自動車 2 0 6 の自動運転を実現してもよい。なお本実施形態の回路装置や発振器が組み込まれる機器は、この

10

【 0 1 6 3 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語と共に記載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また本実施形態及び変形例の全ての組み合わせも、本発明の範囲に含まれる。また回路装置、発振器、電子機器、移動体の構成・動作等も本実施形態で説明した

20

【 符号の説明 】

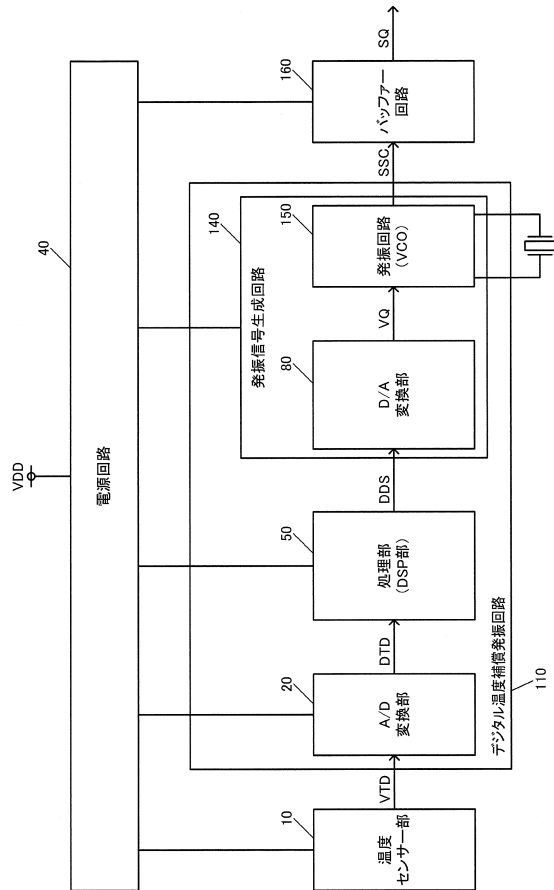
【 0 1 6 4 】

1 0 ... 温度センサー部、2 0 ... A / D 変換部、2 2 ... ロジック部、2 3 ... 処理部、
 2 4 ... レジスタ部、2 6 ... アナログ部、2 7 ... 比較部、
 2 8 ... 温度センサー部用アンプ、3 0 ... 記憶部、4 0 ... 電源回路、
 4 1 ... 第 1 の基準電圧生成回路、4 2 ... 第 2 の基準電圧生成回路、
 4 3 ... 第 3 の基準電圧生成回路、4 4 ... 第 4 の基準電圧生成回路、
 4 5 ... 第 5 の基準電圧生成回路、4 6 ... 第 6 の基準電圧生成回路、
 5 0 ... 処理部、8 0 ... D / A 変換部、9 0 ... 変調回路、1 0 0 ... D / A 変換器、
 1 1 0 ... デジタル温度補償発振回路、1 2 0 ... フィルター回路、
 1 4 0 ... 発振信号生成回路、1 4 2 ... 可変容量回路、1 5 0 ... 発振回路、
 1 6 0 ... バッファ回路、1 7 0 ... 基準電流生成回路、2 0 6 ... 自動車、
 2 0 7 ... 車体、2 0 8 ... 制御装置、2 0 9 ... 車輪、4 0 0 ... 発振器、
 4 1 0 ... パッケージ、4 2 0 ... 振動子、5 0 0 ... 回路装置、5 1 0 ... 通信部、
 5 2 0 ... 処理部、5 3 0 ... 操作部、5 4 0 ... 表示部、5 5 0 ... 記憶部、
 5 6 0 ... スイッチングレギュレーター、
 A M D 1 ... 第 1 の演算増幅器、A M D 2 ... 第 2 の演算増幅器、C A ... キャパシター、
 D D S ... 周波数制御データ、D T D ... 温度検出データ、I B X ... 駆動電流、
 I R D ... 基準電流、N D G ... 電源用ノード、N D b ... 第 2 のノード、
 N D c ... 第 1 のノード、R P A ... 第 1 の抵抗、R P B ... 第 2 の抵抗、
 S S C ... 発振信号、T A c ... 第 3 のトランジスタ、T A d ... 第 4 のトランジスタ、
 T A e ... 第 5 のトランジスタ、T B c ... 第 6 のトランジスタ、
 T B d ... 第 7 のトランジスタ、T B e ... 第 8 のトランジスタ、
 T C c ... 第 9 のトランジスタ、T C d ... 第 1 0 のトランジスタ、
 T C e ... 第 1 1 のトランジスタ、T D a ... 第 1 のトランジスタ、
 T D b ... 第 2 のトランジスタ、V R A ... 第 1 の電源電圧、V R B ... 第 2 の電源電圧、
 V R C ... 第 3 の電源電圧、V T D ... 温度検出電圧、V V D ... 所定電圧、
 X T A L ... 振動子

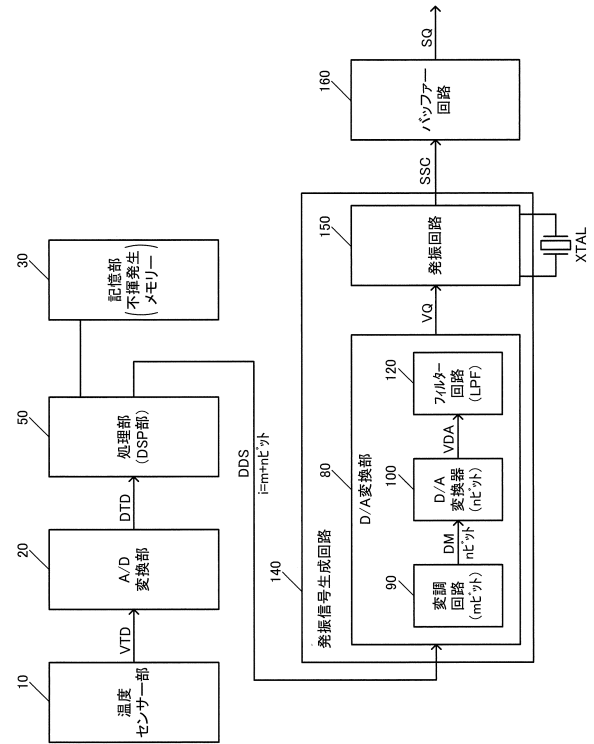
30

40

【図1】



【図2】



【図3】

図3A

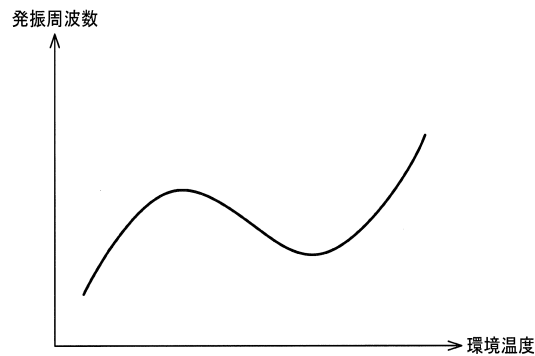
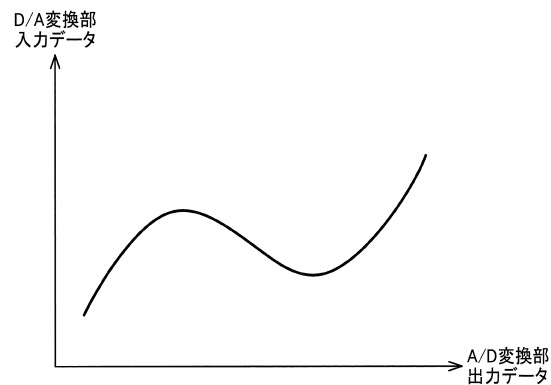
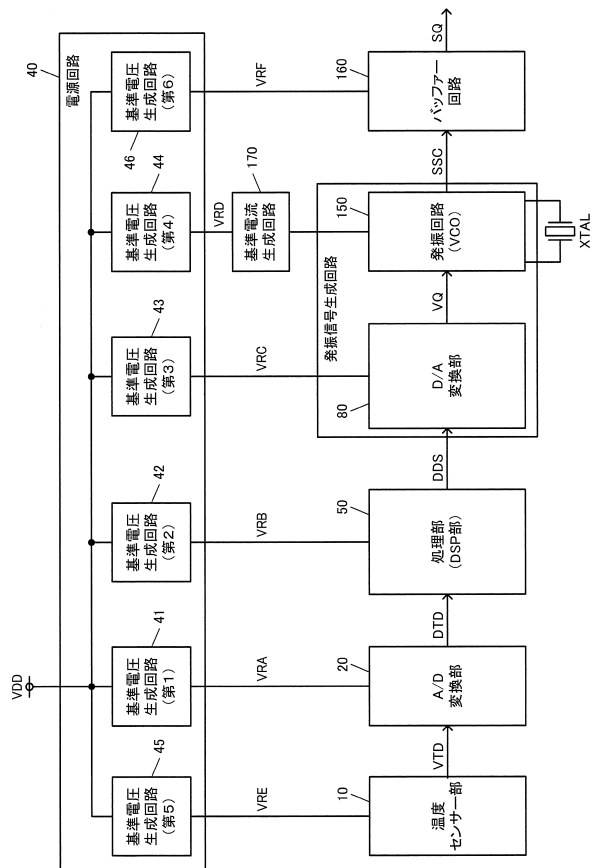


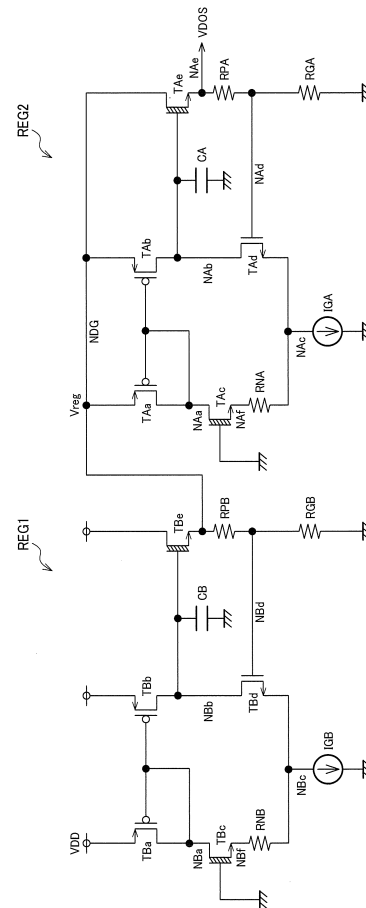
図3B



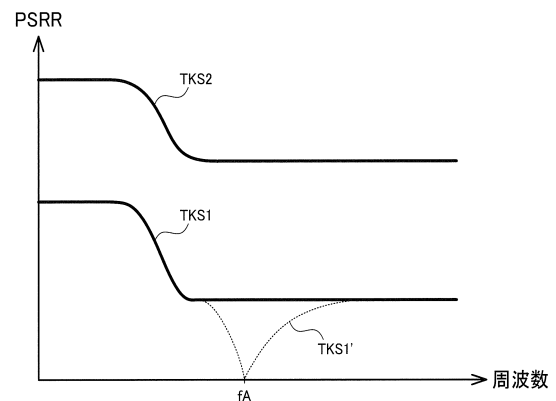
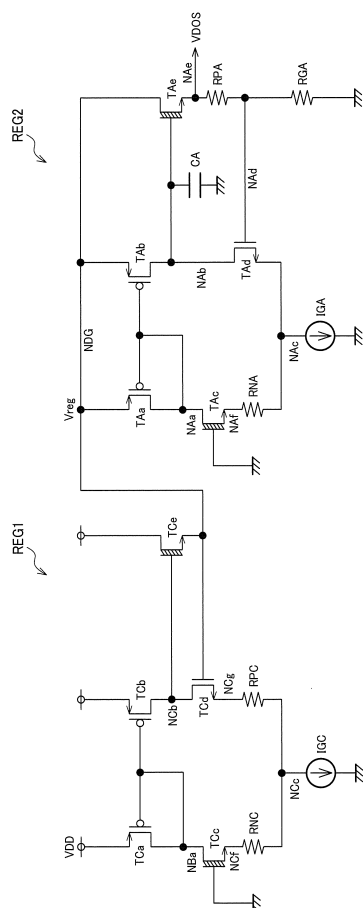
【図4】



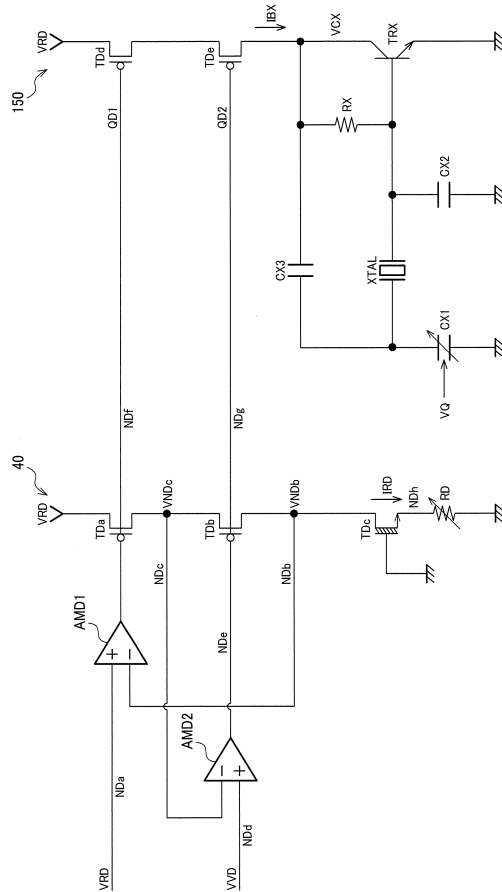
【 図 7 】



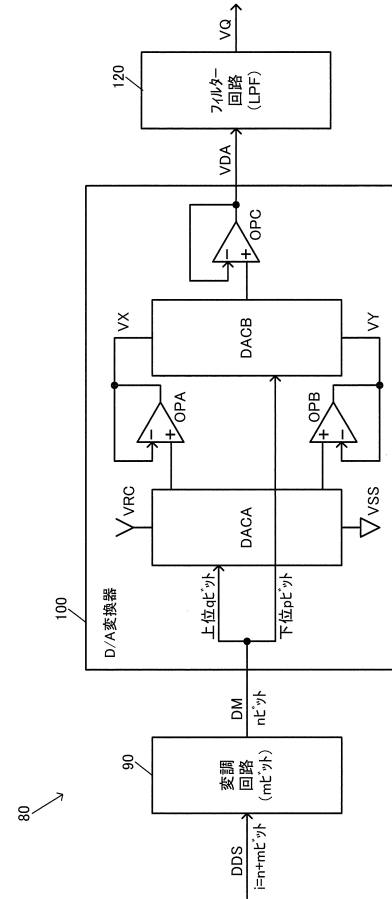
【 図 9 】



【 図 1 0 】



【 図 1 1 】



【 圖 1 2 】

図12A

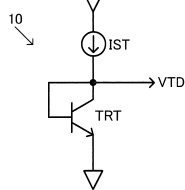


図12B

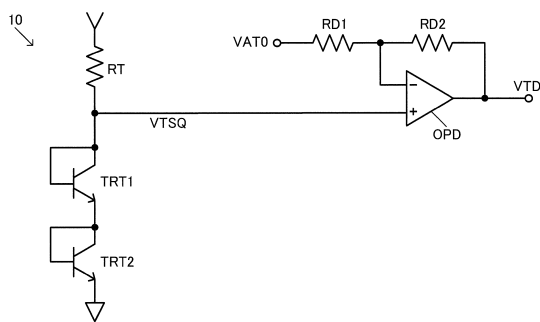
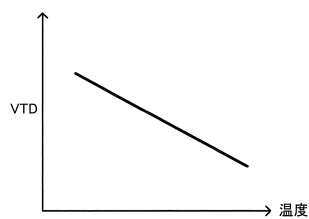
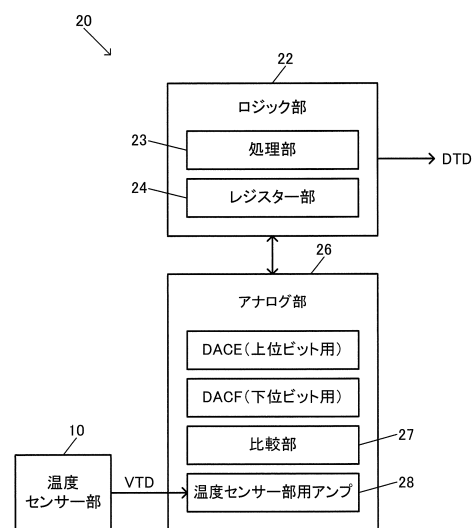


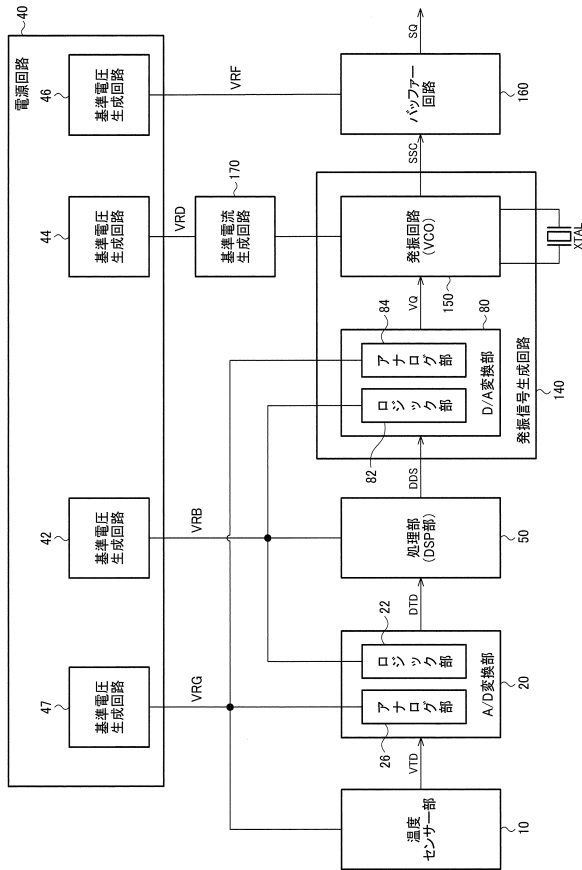
図12C



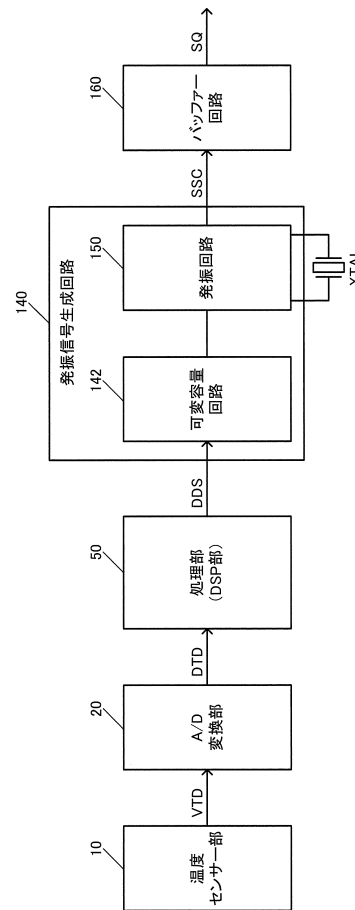
【 図 1 3 】



【図 14】



【図 15】



【図 16】

図16A

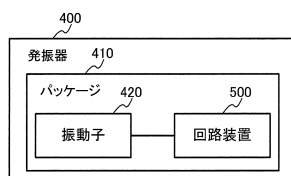


図16B

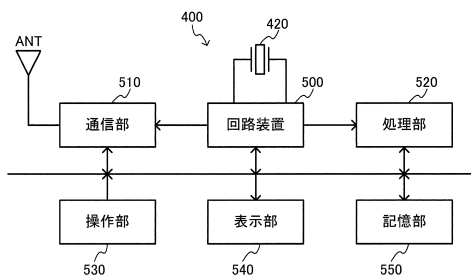
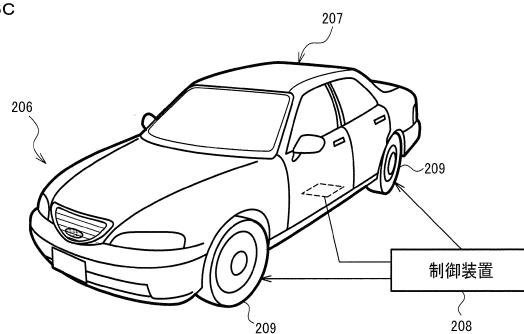


図16C



フロントページの続き

(56)参考文献 特開2011-120058(JP,A)
特開2015-035706(JP,A)
特開平10-290118(JP,A)
特開2013-207363(JP,A)
特表2011-507105(JP,A)
特開2008-152632(JP,A)
特開2010-004621(JP,A)
特開2015-104035(JP,A)
特開2009-265955(JP,A)
特開2011-192272(JP,A)
特開2005-317948(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03B	5/00 - 5/42
H03L	1/00 - 7/26