

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 31/0203 (2006.01)

H01L 25/16 (2006.01)



[12] 发明专利说明书

专利号 ZL 02816578.0

[45] 授权公告日 2010年1月6日

[11] 授权公告号 CN 100578816C

[22] 申请日 2002.8.26 [21] 申请号 02816578.0

[30] 优先权

[32] 2001.8.24 [33] DE [31] 10141558.3

[32] 2001.8.24 [33] DE [31] 10141571.0

[32] 2002.6.6 [33] DE [31] 10225373.0

[86] 国际申请 PCT/EP2002/009498 2002.8.26

[87] 国际公布 WO2003/019653 德 2003.3.6

[85] 进入国家阶段日期 2004.2.24

[73] 专利权人 肖特股份公司

地址 德国美因茨

[72] 发明人 弗罗瑞恩·比克 竹金·雷比

[56] 参考文献

US5244817A 1993.9.14

US5254868A 1993.10.19

US5814889A 1998.9.29

EP0810659A2 1997.12.3

审查员 戴永超

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 李勇

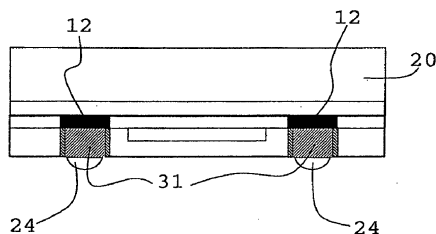
权利要求书9页 说明书26页 附图11页

[54] 发明名称

用于形成触点的方法及封装的集成电路组件

[57] 摘要

本发明涉及一种用于为集成在基质材料中的至少一个元件形成电触点连接的方法，所述基质材料包括一个第一表面区域，以及至少一个连接触点，至少部分地设置在用于每个元件的所述第一表面区域中。该方法的特征在于在第一表面区域上敷设一个覆盖层，并且至少一个接触通道垂直于第一表面区域在基质材料中延伸。为了在所要提供的第二表面区域内形成至少一个触点，通过相应的接触通道在该触点与至少一个连接触点之间形成至少一个电触点连接。



1. 用于为集成在基质材料(1, 10)中的至少一个元件形成电触点连接的方法, 基质材料(1, 10)具有第一表面区域(13), 并且

- a) 对于每个元件, 至少一个连接触点(12)至少部分地设置在所述第一表面区域中, 其中
- b) 一个透光的覆盖层(20)被敷设到第一表面区域上, 并且
- c) 形成至少一个接触通道(31), 它在基质材料中垂直于第一表面区域延伸, 在该方法中, 为了
- d) 在将要提供的基质材料的第二表面区域中形成至少一个触点位置(24),
- e) 通过相应的接触通道(31)形成至少一个从所述触点位置(24)到至少一个连接触点(12)的电触点连接,

其中, 在形成至少一个接触通道(30)或至少一个触点位置(24)之前敷设覆盖层(20), 其中提供第二表面区域的过程包括削薄基质材料的步骤, 其中接触通道(31)从第二表面区域开始, 直接与连接触点相邻。

2. 如权利要求1所述的方法, 其中, 基质材料(1, 10)相对于各个元件被划分为所要限定的芯片区域(1a, 1b), 并且接触通道(31)在连接触点(12)旁边被引入基质材料相应的芯片区域中。

3. 如权利要求1或2所述的方法, 其中, 这样将接触通道引入到基质材料(1, 10)中: 使得它们与连接触点相邻接。

4. 如权利要求2所述的方法, 其中, 至少一些接触通道(31)位于芯片区域(1a, 1b)的将要被限定的分隔线(36)上。

5. 如权利要求1所述的方法, 其中, 形成接触通道(31)的过程包括使接触通道与基质材料(1, 10)侧向隔离(32)。

6. 如权利要求1所述的方法, 其中, 形成接触通道(31)的过程包括用元素周期表中的第三或第五主族中的化学元素来对基质进行掺杂。

7. 如权利要求 1 所述的方法, 其中, 形成接触通道 (31) 的过程中通过离子注入来掺杂元素。

8. 如权利要求 1 所述的方法, 其中, 形成接触通道 (31) 的过程通过热扩散来掺杂元素。

9. 如权利要求 2 所述的方法, 其中, 形成至少一个接触通道(31) 的过程包括提供一个开孔 (17, 30)。

10. 如权利要求 1 所述的方法, 其中, 借助于干腐蚀工艺或湿腐蚀工艺、或者借助于干腐蚀和湿腐蚀的结合来形成接触通道 (19, 31)。

11. 如权利要求 10 所述的方法, 其中, 开孔 (17, 30) 的干腐蚀使用光刻构图工艺或各向异性的干腐蚀, 或者使用光刻构图和干腐蚀的结合。

12. 如权利要求 10 所述的方法, 其中, 开孔 (17, 30) 的湿腐蚀使用光刻构图工艺或各向异性的湿腐蚀, 或者使用光刻构图和湿腐蚀的结合。

13. 如权利要求 1 所述的方法, 其中, 形成电触点连接 (19, 31) 的过程包括在第一表面区域上再次敷设 (18) 连接触点 (12)。

14. 如权利要求 1 所述的方法, 其中, 形成电触点连接 (19, 31) 的过程通过蒸发镀层或喷镀或 CVD 或 PVD 来沉积, 随后通过构图来实现。

15. 如权利要求 1 所述的方法, 其中, 形成电触点连接 (19, 31) 的过程利用非电解沉积来实现。

16. 如权利要求 9 所述的方法, 其中, 形成电触点连接 (19, 31) 的过程包括填充接触通道或开孔 (17, 30)。

17. 如权利要求 9 所述的方法, 其中, 连接至不同连接触点的多个电触点连接穿过相应的接触通道 (19, 31) 或开孔 (17, 30)。

18. 如权利要求 9 所述的方法, 其中, 用绝缘材料来填充接触通道 (19, 30) 或开孔 (17, 30) 的过程发生在电触点连接已经形成之后。

19. 如权利要求 17 所述的方法，其中，穿过相应的接触通道（19，31）或开孔（17，30）的电触点连接被引至不同芯片区域（1a，1b）内的连接触点。

20. 如权利要求 1 所述的方法，其中，形成电触点连接的过程中将焊珠（24）敷设到第二表面区域上的接触通道（19，31）的区域中。

21. 如权利要求 1 所述的方法，其中，形成电触点连接的过程包括在第二表面区域上再次敷设（26）电触点连接。

22. 如权利要求 1 所述的方法，其中，覆盖层（20）是由玻璃或塑料或玻璃-塑料复合材料构成的。

23. 如权利要求 1 所述的方法，其中，使用增附剂（21）来敷设覆盖层。

24. 如权利要求 23 所述的方法，其中，增附剂（21）由环氧树脂或石蜡或可溶凝胶构成，或者由环氧树脂、石蜡和可溶凝胶的混合物构成。

25. 如权利要求 1 所述的方法，其中，借助于热粘合或阳极粘合来敷设覆盖层（20）。

26. 如权利要求 25 所述的方法，其中，敷设覆盖层和粘合覆盖层（20）包括在基质材料（1，10）上沉积一个氧化层。

27. 如权利要求 1 所述的方法，其中，敷设覆盖层和粘合覆盖层（20）包括借助于化学-机械抛光工艺来进行平整。

28. 如权利要求 1 所述的方法，其中，削薄过程包括从基质材料上进行腐蚀或磨削，或者进行腐蚀和磨削的结合。

29. 用于将至少一个元件安装到外壳中的方法，包括下列步骤：

- a) 在包含第一表面区域的基质材料（1，10）中制造至少一个半导体元件，第一表面区域与第二表面区域相对设置，至少一个连接触点（12）被至少部分地设置在每个集成电路（11）的第一表面区域中，

b) 执行上述权利要求中任一项所述的方法，以形成在第一表面区域上带有第一个覆盖层、而在第二表面区域内具有至少一个触点位置(23, 24)的基质材料，

c) 在第二表面区域上敷设第二个覆盖层(27)。

30. 如权利要求 29 所述的方法，其中，敷设覆盖层(27)的过程包括引入开孔(28)，这些开孔完全穿过该覆盖层。

31. 如权利要求 30 所述的方法，其中，敷设步骤包括填充贯穿开孔(28)。

32. 如权利要求 29 所述的方法，包括设置至少一个穿过覆盖层内的开孔、连接至触点位置或再次敷设的触点位置的电气连接，并且通过在第二个覆盖层背对基质材料的一侧上进行敷设，形成了至少一个外壳触点位置(38)。

33. 如权利要求 29 所述的方法，包括在第二表面区域上再次敷设触点位置(23)。

34. 如权利要求 29 所述的方法，其中，敷设步骤包括在第二个覆盖层背对基质材料的一侧上再次敷设外壳触点位置(38)。

35. 如权利要求 29 所述的方法，其中，基质材料包括至少两个元件或集成电路(1a, 1b)，在所述元件或集成电路之间形成了至少一个绝缘沟道(35)。

36. 如权利要求 35 所述的方法，其中，以这样的方式来形成绝缘沟道(35)：在与绝缘沟道相邻接的基质材料区域之间进行电气绝缘。

37. 如权利要求 35 所述的方法，包括用绝缘材料来填充绝缘沟道(35)。

38. 如权利要求 29 所述的方法，其中，在其上安装有元件(11)或集成电路的半导体晶片作为基质材料(1, 10)来提供。

39. 如权利要求 35 所述的方法，其中，以这样的方式将绝缘沟道(35)设置在基质材料中：使得基质材料可以沿着绝缘沟道被划分成包括至少一个元件的芯片区域。

40. 用晶片(1)制造集成电路(6)的方法,所述晶片具有一个基质,至少一个连接触点(25),以及在第一个侧面(14)上具有一个活性层(11),活性层包含了芯片(1,2,3)的电路,该方法包括下列步骤:

1. 将一个透明的覆盖层(20)固定到晶片(1)的第一个侧面(14)上,
2. 在与包含活性层(11)的侧面(14)相反的一侧(22)上削薄晶片(1),
3. 引入至少一个导电通道,它垂直于第一个侧面(14)的表面,从晶片(1)的第二个侧面(22)延伸到晶片(1)中,所述的第二个侧面(22)是与包含活性层(11)的侧面(14)相反的一侧,并且在晶片(1)的电路的至少一个连接端与导电通道(31)之间形成一个电触点。

41. 如权利要求40所述的方法,其中通过对基质(101)进行掺杂来形成导电通道。

42. 如权利要求40所述的方法,其中通过引入至少一个开孔(17),并用导电材料(19,31)来填充这个开孔(17)来形成导电通道。

43. 如权利要求42所述的方法,其中通过腐蚀到芯片的基质中来形成至少一个开孔。

44. 如权利要求42所述的方法,其中通过干腐蚀来引入至少一个开孔(17)。

45. 如权利要求42所述的方法,其中通过利用KOH的腐蚀来引入至少一个开孔(17)。

46. 如权利要求42所述的方法,其中导电材料(31)由导电的环氧树脂构成。

47. 如权利要求42所述的方法,其中导电材料(31)由一种金属构成,这种金属通过电解沉积方法沉积到至少一个开孔中。

48. 如权利要求40所述的方法,其中电气连接到导电通道的

至少一个触点表面(25)被敷设到晶片(1)的第二个侧面上,所述的第二个侧面与包含活性层(11)的侧面(14)相反。

49. 如权利要求40所述的方法,其中在晶片的第二个侧面上敷设另外一个覆盖层(27)。

50. 如权利要求49所述的方法,其中另外一个覆盖层(27)包括至少一个开孔(28),其中的一个开孔碰到导电通道。

51. 如权利要求50所述的方法,其中至少一个开孔(28)提供有导电的填充物(29),并且在导电通道和导电填充物(29)之间的覆盖层(27)内形成一个电触点。

52. 如权利要求50所述的方法,其中在至少一个开孔(28)内电气连接到导电填充物(29)的至少一个触点表面(25)被敷设到另一个覆盖层(27)上与面对着晶片(1)的覆盖层的侧面相反的一侧。

53. 如权利要求40所述的方法,其中包括将晶片(1)与至少一个其他的晶片(2,3)相互固定或者一个叠一个地设置的步骤,使得在晶片(1)的导电通道(31)与其他晶片(2)的至少一个相应的触点表面(25)之间形成一个电触点。

54. 如权利要求53所述的方法,其中将晶片(1,2,3)一个叠一个地设置的步骤包括将焊珠(24)在晶片(1,2,3)的触点表面(25,26)上熔接的步骤。

55. 如权利要求53所述的方法,其中一个垂直于晶片(2)的第一个侧面(14)延伸的导电通道被引入到至少一个其他的晶片(2)中。

56. 如权利要求55所述的方法,其中至少一个其他的晶片(2,3)在与包含活性层(11)的侧面相反的一侧上被削薄。

57. 如权利要求55所述的方法,其中通过形成开孔(17),并用导电材料(31)来填充开孔(17),在至少一个其他的晶片(2,3)中形成了至少一个导电通道。

58. 如权利要求55所述的方法,其中通过掺杂在至少一个其他的晶片(2,3)中形成了至少一个导电通道。

59. 如权利要求 55 所述的方法，其中从至少一个其他的晶片（2，3）的电路到至少一个导电通道形成了一个电气连接。

60. 如权利要求 55 所述的方法，其中具有多层结构的集成电路（6）的晶片（1，2，3）通过绝缘的夹层（45）相互连接。

61. 如权利要求 60 所述的方法，其中将晶片（1，2，3）一个叠一个设置的步骤包括下列步骤：

- a) 将焊珠敷设到晶片（1，2，3）的触点表面（23，25）上，
- b) 将绝缘层（45）敷设到包括触点表面（23，25）并覆盖了焊珠的表面（14，22）上，
- c) 对所述的层（45）进行磨削，直到焊珠（24）暴露出来并具有触点表面（36），
- d) 将焊珠（24）敷设到触点表面（36）上，
- e) 通过使焊珠（24）部分熔化来连接芯片。

62. 如权利要求 40 所述的方法，其中使用切割刀具来分割芯片（1，2，3）。

63. 如权利要求 40 所述的方法，其中集成电路（6）被浇铸到一个贯穿开孔或 SMT 外壳中。

64. 一种包括至少一个集成到基质材料中的元件的装置，基质材料（1）包括一个第一表面区域（13），它与一个第二表面区域相对设置，并且至少一个连接触点（12）被至少部分地设置在每个集成电路的第一表面区域中，其中该装置包括在第二表面区域内的至少一个另外的触点位置，通过至少一个电触点连接使该触点位置与连接触点相连接，通过从所述第二表面区域被引入到基质中、相对于第一表面区域横向设置的接触通道形成触点连接。

65. 如权利要求 64 所述的装置，包括一个在第一表面区域内具有传感器或者具有光活性的元件。

66. 如权利要求 64 所述的装置，在第一或第二表面区域上包括覆盖层（20，27）。

67. 如权利要求 64 所述的装置，在元件之间具有绝缘沟道

(35), 绝缘沟道用绝缘材料来填充。

68. 一种集成电路配置, 包括芯片(1, 2, 3), 所述芯片包括一个基质, 至少一个连接触点(25), 并且在一个侧面(14)上具有一个包含芯片(1, 2, 3)的电路的活性层(11), 其中将由玻璃或透明塑料构成的覆盖层(20)设置到芯片(1)的一个侧面(14, 22)上, 并在相反的一侧将基质削薄, 芯片具有一个导电通道(19), 所述的导电通道从第一个芯片(1)的、与包含活性层的一侧相反的第二个侧面被引入, 覆盖层在削薄过程及引入通道之前被设置好, 在芯片(1)的电路的至少一个连接端与导电通道之间形成一个电触点。

69. 如权利要求 68 所述的集成电路配置, 其中该配置的芯片(1)是一个光学模块, 它对光敏感的侧面(14)覆盖了一层透明的覆盖层(20, 21)。

70. 如权利要求 68 所述的集成电路配置, 其中覆盖层包括棱镜、光栅或滤光镜。

71. 如权利要求 68 所述的集成电路配置, 其中芯片(1)包括对气体或液体成分做出反应的辐射、压力、温度、湿度和/或化学传感器。

72. 如权利要求 68 所述的集成电路配置, 包括至少两个芯片(1, 2, 3), 这些芯片一个叠一个地设置, 并且分别包括一个基质、至少一个连接触点(25), 在一个侧面(14)上还具有包含芯片(1, 2, 3)的电路的活性层(11)。

73. 如权利要求 72 所述的集成电路配置, 其中在该配置的芯片(1, 2, 3)之间设置了绝缘夹层(45)。

74. 如权利要求 68 所述的集成电路配置, 其中该配置用环氧树脂(40)来封装。

75. 如权利要求 70 所述的集成电路配置, 其中覆盖层(20)通过透明的环氧树脂(21)连接到芯片(1)。

76. 封装在外壳中的多重密封组件(6), 其使用权利要求 1 所述的方法形成, 包括:

一个叠一个设置的至少两个芯片(1, 2, 3), 分别在一个侧面(14)上具有至少一个连接触点(25)和一个包含芯片(1, 2, 3)的电路的活性层(11), 并且这些芯片至少部分地由一个外壳(20, 27, 45, 40)所包围, 其中一个覆盖层(20)被设置到芯片(1, 2)中的第一个芯片的一个侧面(14, 22)上, 该芯片(1)的基质在与包含活性层(11)的侧面(14)相反的一侧(22)上被削薄, 该芯片还具有一个从第一个芯片(1)的这个侧面(22)引入的导电通道(19), 这个侧面(22)是与包含活性层的侧面相反的一侧, 并且覆盖层在削薄过程及引入通道之前已经设置好, 一方面在芯片电路的至少一个包含通道(1)的连接端与导电通道之间、另一方面在其与其他芯片(2, 3)的带有具有导电通道的触点表面(25)之间具有一个电触点。

用于形成触点的方法及封装的集成电路组件

技术领域

本发明涉及一种产生用于集成在基质材料中的至少一个元件的电触点连接的方法,还涉及一种将至少一个元件安装到外壳中的方法,还涉及一种带有触点连接的装置,所述装置包括集成在基质材料中的至少一个元件,还涉及一种生产具有三维结构的集成电路的方法和集成电路配置。

背景技术

在已知的方法中,半导体材料芯片上或者与半导体材料晶片相连接的元件或集成电路设置有一个外壳以及电连接触点。如果开始安装芯片或集成电路,并且芯片的接触区域与伸向外部的外壳触点相连接,而该设置仍连接到晶片,则这种类型的安装方法通常被称为“晶片级封装工艺”。

现有技术中有许多这样的方法。这些方法的基础通常在于,与芯片上或集成电路中的接触区域的连接可以直接形成,例如在存储器片的情况下这是没有问题的。

然而,这些方法没有考虑到在安装状态下,例如在带有集成传感器或光学元件的芯片的情况下,例如在印刷电路板上的光学活性表面必须保持清洁。

为此,WO99/40624公开了一种方法,试图解决上述问题,其中将位于活性元件处的连接触点从具有活性的一侧引向晶片或芯片的相反的下侧。被向下引导的连接触点的其他连接可以通过已知的方法来实现。此外,在“Wafer Level Chip Scale Packaging: Benefits for Integrated Passive Devices”, Clearfield, H.M.; Young, J.L.; Wijeyesekera, S.D.; Logan, E.A.; IEEE Transactions on Advanced

Packaging, 第 23 卷, 第 2 期, 第 247-251 页中描述了一种类似的方法。

上述方法的特征在于, 在晶片具有光学活性的上侧面敷设了玻璃保护层之后, 沿着晶片的下侧面形成了沟道, 这些沟道将晶片划分成独立的芯片区域。在形成沟道的过程中, 晶片具有活性的侧面上的、分别位于两个芯片之间的过渡区域中的连接触点位置被分开, 从而被暴露在沟道中。在沟道形成之后, 为了对晶片或芯片进行完全的封装, 将一块玻璃板粘合到沟道上方, 并且以适当的方法来切割玻璃板, 使得晶片内的沟道和连接触点位置可以再次自由地接触到。然后, 在已经形成的沟道内沉积出接触轨道, 从而可以实现连接触点位置的接触, 并且可以在封装后的芯片的背面上设置触点。

尽管所建议的方法实现了从芯片或晶片的具有活性的前表面至非活性的背面的连接触点的所谓贯穿接触 (through-contact), 然而其中出现了很多明显的缺点, 使得按照所要求保护的方法生产的芯片非常昂贵。此外, 用已知方法产生的沟道比标准划分或切割晶片时得到的正常沟道要宽得多。其结果是, 芯片或集成电路之间的间距必须相当大, 这样为较少的芯片留出了晶片空间。由于这个原因, 用已知的方法从晶片或半导体材料片得到芯片的产量相当低。此外, 所建议的生产工艺还相当费时。一方面, 这是因为沟道必须按照顺序磨刻出来, 另一方面, 这是由于在形成沟道时切割刀具只能在相当慢的进给速度下工作。除此之外, 必需的切割刀具非常昂贵。WO99/40624 中所述方法的另外一个主要问题在于, 当沟道被刻开时, 通过分割将连接触点暴露出来。这种对连接触点的分割所需的尺寸精度水平很高, 否则至少一部分触点可能会被破坏。然而, 即使实现了连接触点的精确切割, 要用这种方式暴露出来的连接触点形成触点连接也是很困难的。其原因尤其在于, 根据现有技术形成的接触是通过将接触轨道沉积到沟道内壁上来实现的, 所述沟道内壁在晶片中是倾斜的, 均匀的、面向目标的沉积只能垂直于沉积方向进行。与芯片形成贯穿接触的其他方法还在“Future Systems-on-Silicon LSI Chips”, Koyanagi, M;

Kurino, H; Lee, K.W.; Sakuma, K, IEEE Micro, 1998年七月至八月刊, 第17-22页, WO98/52225和DE 19746641中进行了描述。但是这些方法并不适用于光学芯片的封装。

发明内容

考虑到所述背景技术, 本发明所基于的目标是避免现有技术中的上述缺点, 以通过这种方法提供一种尤其在对光学芯片进行封装的过程中用于形成电触点连接的更廉价和更简单的方法。

非常令人惊讶地, 该目标通过一种用于形成电触点连接的方法实现。

此外, 本发明还要求保护一种用于将至少一种元件安装到外壳中的方法, 以及一种特别使用本发明所述方法制造的装置。

本发明具有优点地提出了一种用于为集成在基质材料中的至少一种元件形成电触点连接的方法, 所述基质材料具有第一表面区域, 对于每个元件, 至少一个连接触点至少部分地设置在所述第一表面区域中, 其中将一个涂层涂敷到第一表面区域上, 并且形成至少一个接触通道, 所述接触通道在基质材料中相对于第一表面区域横向延伸, 或者在基本垂直于该区域的方向上延伸, 在这种方法中, 为了在相应接触通道上方在将要设置的基质材料的第二表面区域中形成至少一个触点位置, 形成了从该触点位置到至少一个连接触点的至少一个电触点连接。

非常具有优点的是, 用这种方法可以使触点位置在基质材料面向连接触点的一侧上形成, 并由此使得一个与该连接触点电气连接的触点位置在基质材料背对着具有活性的表面的一侧上形成。其中可以省去现有技术中沿着基质材料延伸的沟道, 还可以省去围绕着元件走向的侧面接触。

根据该方法具有优点的改进方案, 集成有元件的基质材料被划分成芯片区域, 这些芯片区域将根据元件的排列来限定。根据本发明, 用于触点连接的接触通道可以通过多种不同的方式引入到基质材料

中：首先，这样来规定将要设置在基质材料中的接触通道，使得它们基本与连接触点相邻地引入到基质材料中。其次，本发明这样来规定将要引入到基质材料中的接触通道，使得它们特别地从第二表面区域出发，基本上与连接触点直接连接。后一种方案所提供的特别优点在于，不需要在第一表面区域内再次敷设连接触点。这里所说的再次敷设是指在连接触点与接触通道之间形成电连接的接触轨道在第一表面区域上形成。如果集成到基质材料中的元件的具有活性的区域部分例如位于连接触点下方，则在引入连接触点之后引入接触通道是特别具有优点的。

根据本发明的另外一种具有优点的实施例，接触通道或至少其一部分在这样的位置被引入基质材料中，即在接下来的处理步骤中，在这些位置处基质材料被切割为不同的芯片区域。根据本发明，由于可以使用一个接触通道生成多于一个的电触点连接，因此可以通过一种简单的方式，通过相应的连接通道，例如在不同的芯片区域上或者对于不感到元件，构造至多个连接触点的触点连接。

根据本发明，特别具有优点的是可以通过不同的方法来生成接触通道。举例来说，根据本发明的一个实施例，通过对基质材料进行掺杂来形成接触通道。在这种情况下，最好使用元素周期表中第三和第五主族中的化学元素，最好利用离子注入或热扩散作为掺杂工艺，将元素掺入基质材料中，以形成接触通道。

根据本发明的另一个优选实施例，接触通道的形成特别包括提供开孔。开孔所具有的特别优点在于，不只一个触点连接可以通过这些开孔，而且多个接触轨道可以设置在开孔中，当然这取决于开孔的大小。在生产过程中，以及通常在生产接触通道的过程中，对于特别在侧向方向上与基质材料电绝缘的开孔或接触通道来说，这是具有优点的。

在本发明的范围内，可以具有优点地使用不同的工艺来形成接触通道或开孔。例如，用于使触点穿过半导体材料或基质材料的通道最好可以借助于干腐蚀工艺或湿腐蚀工艺来制造。

根据本发明，干腐蚀工艺通过包括以光刻方法在要处理的表面上形成图案，并且进行各相异性的干腐蚀。最好采用基于 SF_6 自由基的“ASE（高级硅蚀刻）工艺”或者采用“Bosch 工艺”。一种合适的湿腐蚀工艺是利用 KOH 溶液进行蚀刻。后一种工艺特别具有价格上的优势。

正如已经说明的，在本发明的范围内，要形成从基质材料或晶片的一个表面区域到另一个表面区域的贯穿接触啮合的接触通道可以设置在基质材料或芯片或晶片中的不同位置处。因此根据本发明，为了形成电触点连接或多个触点连接，位于表面区域内的连接触点可能需要在相应的接触通道上再次敷设。在这种情况下，当进行标准的光刻构图和相应的腐蚀以及沉积导电材料时，这种续接可能会受到影响。根据本发明，具有优点的是可以使用多种已知的沉积或涂层工艺。例如最好用铝、铜或镍进行喷镀、CVD 沉积、或 PVD 沉积或非电镀沉积。

如果例如通过开孔形成了根据本发明的接触通道，这些开孔也可以使用上述的工艺用导电材料来进行填充，例如填充铝或铜或镍或类似的金属，通过这种方法来形成从第一表面区域到第二表面区域的触点连接。同时，形成接触通道的结果是在第二表面区域中形成了触点位置，可以将至少一个焊珠敷设到触点位置上，以特别形成外部的、即指向外部的触点连接。这样，可以通过一种简单的方法，例如为印刷电路板形成连接触点。

根据所述印刷电路板或类似物的连接位置，具有优点的是还可以在第二表面区域上再次敷设已形成的触点位置。

特别地，如果多个导体轨道仅穿过一个接触通道，则根据本发明的方法，可以用绝缘材料填充其余的接触通道或者带有导体轨道的开孔，以使触点之间相互绝缘。如果用这种方法填充的开孔在此之后被划分到各个芯片中，作为晶片分割的一部分，则用这种方法可以确保各个芯片的侧向绝缘。

在根据本发明的方法的一个具有优点的改进方案中，最好用玻璃

或类似的塑料作为覆盖层。如果要覆盖光学活性元件时，特别推荐采用玻璃或塑料。根据本发明的一种实施例，覆盖层与第一和第二表面区域之间的连接借助于一种增附剂而形成。在覆盖层与第一或第二表面区域之间的连接也借助于一种增附剂而形成。然而，特殊的机械特性和光学特性也可以通过例如由玻璃-塑料复合材料或分层材料构成的覆盖层来实现。

根据本发明，表面区域这一概念应理解为基质材料上基本上为平面的表面或区域，它包含有连接触点，这些连接触点设置在基质材料的半导体材料上，或者凸出到该材料之外，另外，这些连接触点中的至少一部分可以位于一个钝化层上，这个钝化层连接到基质材料的基质或半导体材料上。

具有优点地，可以使用环氧树脂或石蜡或可溶凝胶作为增附剂。使用石蜡提供了特别的优点，即以这种方法形成的连接可以被再次去除，而不会对基质材料造成破坏。在最好由玻璃制成的覆盖层和基于可溶凝胶的基质材料之间形成连接被证明是特别具有优点的，因为凝胶具有相当高的透明度，另外，利用玻璃特别形成了具有很高温度稳定性的连接。由于可溶凝胶本身是呈玻璃状的，即它本身就可以被称为玻璃，因此它相对于玻璃具有特别好的匹配特性或过渡特性。

在这里具有优点的另外一种实施例是用一种已知的、被称为粘合（bonding）的工艺来代替用于将覆盖层连接到基质材料的增附剂。最好使用阳极粘合。一般来讲，粘合需要基质材料具有基本上为平面的表面或平坦的表面区域。因此，当基质材料或晶片上的形状差别过大的时候，建议首先具有优点地将一个氧化层沉积到基质材料的晶片表面或表面区域上。为此可以使用的工艺例如为“LTO（低温氧化物）”和“TEOS（四乙基原硅酸盐）”工艺。另外，作为将覆盖层粘合到基质材料上的过程的一部分，所沉积的氧化层借助于化学-机械抛光工艺来平整化处理，通过这种方法提供了粘合所需的微观平整性和宏观平整性。

根据连接通道是从所要提供的第一表面区域开始形成还是从第

二表面区域开始形成,根据本发明的“敷设覆盖层”和“形成至少一个连接通道”的处理步骤的顺序可以是不同的。

在根据本发明的方法的一个具有优点的改进方案中,在将连接通道引入到基质材料中之前,首先将覆盖层敷设到基质材料的第一表面区域上,具有活性的模块最好设置到第一表面区域中。敷设覆盖层所提供的优点是,位于基质材料中的元件得到了保护,并且该设置获得了附带的稳定性。然后基质材料或半导体材料晶片可以在后表面上削薄,例如通过研磨工艺用机械方法削薄,而不会丧失其机械稳定性,因为通过覆盖层确保了其机械稳定性。然后,贯穿接触的形成,即在削薄后的基质材料中形成至少一个连接通道,按照上述的任一种可能的方案,在形成掺杂通道的基础上,或者借助于用导电材料所提供的开孔来实现。请注意,特别是在上面所述的过程中,位于具有活性的上面一侧的接触点可以被设计为贯穿接触,这些触点直接从通过相应连接通道所提供的第二表面区域出发,即从下面一侧出发。

在根据本发明的用于形成连接通道或触点接触的方法的另外一种改进方案中,在敷设覆盖层以及将基质材料或晶片在后表面削薄之前,在基质材料中形成盲通道,这些盲通道从前面表面或第一表面区域开始出发。选择盲通道这一术语是因为这些通道通常没有延伸到第二表面区域。如果这些盲通道以盲孔的形式形成,即形成为深度小于基质材料厚度的开孔的形式,用于使开孔与基质材料电绝缘的绝缘体通常被敷设到盲孔的内壁上,并且设置或沉积在这些连接轨道上,然后,用导电材料来填充这些盲孔。在此之后,将一个覆盖层敷设到晶片或基质材料的第一表面区域上。特别地,由于覆盖层对于基质材料的稳定作用,现在可以从基质材料非活性的一侧出发,并且最好借助于机械研磨工艺来削薄基质材料。削薄过程至少在盲孔区域处持续进行,直到引入到盲孔中的导体轨道或导电材料被暴露出来,这样在基质材料或晶片或芯片或基质中形成了贯穿接触。

如果接触通道在掺杂通道的基础上形成的话,也可以采用相应的方法,这些掺杂通道原本没有完全穿透基质材料。

正如开始处已经说明的，将至少一种元件安装到外壳中的方法也落入本发明的保护范围中。在这种方法中，首先在一种基质材料中形成或设置至少一种半导体材料元件，它包括与一个第二表面区域相对设置的第一表面区域，至少一个连接触点为每个集成电路至少部分地设置在第一表面区域中。此外，利用上面所述的方法，形成了在第一表面区域上设置有第一覆盖层的基质材料，它具有在第二表面区域中形成的至少一个触点位置，然后将一个第二覆盖层敷设到第二表面区域上。借助于这个第二覆盖层，可以具有优点地对半导体材料元件进行保护，使其免受外界的损伤。另外，当已经将第一覆盖层敷设到第一表面区域上时，通过这个第二覆盖层例如可以用石蜡再次去除第一覆盖层，用于进一步的处理步骤，而不会使可能被削薄了的芯片或晶片丧失稳定性。

在本发明所述主题的一个具有优点的改进方案中，在第二覆盖层中引入了开孔，这些开孔特别设置在这样的位置：即已经设置在第二表面区域上的半导体材料元件的连接触点所处的位置。当然，可以在实际敷设之前将穿透覆盖层的开孔引入到覆盖层中。在将开孔引入基质材料中的一种类似方法中，覆盖层中的开孔可以用导电材料来填充，例如用铝、铜或镍来填充，以在向外设置的连接触点之间形成连接。

根据本发明，当然还可以具有优点地通过适当的措施来设置位于第二表面区域上的触点位置，使得这些触点位置与穿过第二覆盖层的开孔的位置相匹配。在一种相应的方法中，穿过覆盖层开孔的触点位置还可以设置在覆盖层未被覆盖的一侧上。

此外，如果基质材料或半导体材料晶片包含多个元件或集成电路，根据本发明的方法另一种改进方案中涉及到所述元件或集成电路之间的绝缘沟道的形成。这些沟道最好用于使不同芯片区域上的各个元件电气隔离或绝缘。为此目的，已经创建的沟道还可以用绝缘材料来填充。一种可能采用的绝缘材料例如为环氧树脂或 BCB（苯环乙烯）。在此方法中，绝缘沟道以这样的方式排列在半导体材料晶片上：即绝缘沟道的分布基本对称，晶片被划分为基本上具有相同大小的不

同芯片区域。通过这种方式，非常具有优点的是位于芯片上的元件也可以在侧面被密封，或者相对于外界被隔绝。

如上面的说明中已描述的，根据本发明，连接触点的设置和元件在外壳内的安装是晶片组装过程的一部分。

此外，在本发明的范围内还提出了一种用于生产集成电路的方法，它还特别适用于生产具有多层结构的集成电路。该方法还特别适用于生产多层集成电路，或者用于将根据本发明所生产的电路安装到合适的基底上。

在很多情况下，集成半导体材料电路单独地、或者与其他电路元件或其他电路一起设置到专用的半导体材料基质和半导体材料晶片上，用于使电子元件微型化。这种类型的半导体材料基质具有一个电子元件或者最好具有至少一个电子电路组件，为了简便起见，本文中提这种半导体材料基质时将其称为芯片。特别是在光电子领域或者微光机电系统（“MOEMS”）中，这种类型的电路设置有着多种可能的应用。例如，这种类型的光学元件或传感器元件以及非光学元件可以堆叠到另一个元件的上面。特别地，通过 CMOS 和 CCD 芯片的组合可以得到多种可能性。

此外，通常使用 CMOS 技术用于逻辑应用和处理器应用。然而，利用这种类型的 CMOS 芯片很难得到光学元件或传感器元件。通过将光学 CCD 芯片与 CMOS 芯片相结合，例如可以将大规模集成存储电路具有优点地集成到图像单元中。也可以将 CCD 芯片与用于数据压缩的处理器模块相结合，这样在设备的其他电子元件中只需处理压缩后的数据。

用于将电子模块安装到相应的基底上的一系列方法是现有技术中已知的，例如在 US6171887 中所描述的。在这些方法中，芯片具有活性的一侧被面向基底安装。在 US6171887 所公开的方法中，将焊珠设置在芯片的接触表面上。然后芯片的这个侧面被覆盖了一个绝缘的保护层，保护层的厚度使得焊珠也能够被完全覆盖。这个保护层在另一个步骤中被打磨和抛光，直到触点的一部分被暴露出来。然后，以

这种方式被处理过的芯片通过电极和保护膜的部分熔化连接到基底上，电极与基底的相应接触表面形成连接。这种方法通常不能用于生产带有光电元件的堆叠元件，由于这类堆叠元件能够被独立地处理，在下文中也将这类元件称为电子模块，因为具有光活性或传感器活性的一侧已经被基底所覆盖，或者被连接到光学元件的单元所覆盖。

因此，本发明提出了一种用于生产集成电路的方法，其中使用了具有一个基质、至少一个连接触点以及在第一侧面上具有一个活性层的晶片，活性层包含有芯片的电路。该方法包括以下步骤：

1. 将一个透明的覆盖层固定到晶片的第一个侧面，
2. 将晶片上与包含活性层的侧面相反的一侧削薄，
3. 将至少一个导电通道引入到晶片中，所述导电通道从晶片的第二个侧面出发基本上垂直于第一个侧面的表面延伸，这里第二个侧面是与包含活性层的侧面相反的一侧，并且在晶片电路的至少一个连接端与导电通道之间形成一个电气触点。

通过这种方式，该方法还可以具有优点地进一步改进为用于生产具有至少两个芯片的多层结构的集成电路，其中的每个芯片具有至少一个连接触点，并且在第一个侧面上具有包含芯片电路的活性层。为此目的，该方法建议将一个覆盖层固定到至少两个芯片中的第一个芯片的一个侧面上。为了形成从芯片一侧到另一侧的连接，在基本垂直于芯片表面或者垂直于芯片第一个侧面的方向上延伸的一个导电通道被引入到基质中。在芯片的另一个侧面上形成了一个接触表面，它与导电通道电气连接。类似地，第一个芯片的电路的至少一个连接端在第一个侧面上连接到导电通道。然后，第一个芯片和至少一个另外的芯片以这样的方式相互固定：使得在第一个芯片的导电通道与另一个芯片的至少一个相应的连接表面之间形成一个电气触点。

参照名为“形成连接并安装集成电路的方法”的德国专利申请，该申请的主题包含在本发明中。这一个参考文件特别用于形成穿过一个晶片或芯片的导电通道。

可以通过多种方法形成至少一条导电通道。根据本方法的一个实

施例，通过引入一个开孔来形成通道，这个开孔用导电材料来填充，例如用金属或导电的环氧树脂来填充。

也可以采用适当的掺杂来形成通道。例如可以采用离子注入或热扩散来实现掺杂。

根据本方法一个具有优点的改进方案，第一个芯片的第二个侧面被削薄，所述的第二个侧面是与包含活性层的第一个侧面相反的一侧。如果开孔形成的深度小于基质的厚度，则形成了盲孔。类似地，在特定的环境下，掺杂的渗透深度可能不足以形成从基质的一向延伸到另一侧的导电通道。根据这一改进方案，通过削薄步骤，至少在开孔或掺杂的区域内，使得基质的厚度小于开孔的深度或者小于掺杂微粒的渗透深度，从而形成了穿透基质的贯穿接触。在这种情况下，最好通过腐蚀方法形成开孔，从而在基质上形成蚀刻疤痕。

根据本发明的这一方法的其他具有优点的实施例的特征还将在从属权利要求中给出。

根据本发明的方法允许芯片以下列方式连接到基质，特别是连接到另外一个芯片，使基质面向芯片的后表面，另外，在芯片的上侧面或具有活性的一侧与基质之间形成电气连接。为此目的，为芯片设置了从上侧面延伸到下侧面的导电通道。该通道设置有导电层或者用导电材料来填充，以形成贯穿接触。

可选地，可以这样来对芯片的表面区域进行掺杂，使得通过掺杂形成了能够延伸到相反一侧的导电区域，从而形成了导电通道。借助于导电通道引导穿过芯片的触点可以设置有焊珠，芯片通过这些焊珠连接到基质。芯片的连接例如可以通过与 US 6171887 中所述类似的方法来实现。可选地，触点当然也可以敷设到另外一个芯片上，或者敷设在这两个芯片上。

另外，用于引导触点穿过半导体材料的通道可以通过干腐蚀工艺来形成。特别是采用各向异性的干腐蚀工艺，例如基于 SF_6 自由基的“ASE 工艺”，尤其适用于该目的。在这里一种廉价的替代方案是使用 KOH 溶液的各向异性腐蚀，该方案建议用于具有 (100) 晶向的硅晶

片。当然，也可以采用上述工艺的组合来形成通道。此外，这些工艺也可以用于形成绝缘沟道，在这种情况下绝缘沟道例如可以在一个步骤中与通道一起被蚀刻出来。但是，也可以在每种情况下采用上述工艺中的一种不同的工艺或者采用这些工艺的不同组合分别来腐蚀出绝缘沟道以及腐蚀出通道。

要连接到光学芯片或传感器芯片的模块本身需要具有连接到电路板或其他芯片的贯穿接触。因此，这种芯片以与上述的光学芯片或传感器芯片类似的方法来提供，该模块具有两组接触表面。其中一组接触表面在方向和位置上与光学芯片的相应贯穿接触相适配，而第二组接触表面用于形成连接到电路板或下一个后续模块的贯穿接触。

在根据本发明的方法步骤中，这些模块最好仍连接到晶片，即在生产过程中不会与晶片分离。

根据本发明的一个优选实施例，晶片在光学侧面粘合到一个透明覆盖层上，例如一个薄玻璃板。通过这种方法，晶片上的模块受到保护，并且系统获得了附加的稳定性。所使用的粘合剂可以是合适的环氧树脂。然后通过研磨工艺以机械方式削薄晶片的后表面，通过透明覆盖层始终确保了机械稳定性。在这种情况下贯穿接触可以通过两种不同的方式来形成。在该方法的第一种变型中，光学芯片的上侧面通过光刻方法形成图案，并形成蚀刻疤痕。在这种变型中，导电通道位于芯片上的接触表面或者用于连接的粘合衬垫旁边。然后用导电材料来填充蚀刻疤痕，并敷设一条从蚀刻疤痕到粘合衬垫的导体轨道。然后可以敷设透明覆盖层，在此之后晶片的后表面被削薄，直到蚀刻疤痕中的导电填充材料在后表面上显露出来。

根据另一种可选替代方案，覆盖层被预先敷设，并且晶片被削薄。用光刻来形成图案以及蚀刻在这种情况下从芯片的下侧面开始，蚀刻疤痕位于粘合衬垫的下面，粘合衬垫位于上侧面上，并且对蚀刻疤痕进行腐蚀直到粘合衬垫暴露出来。

以类似的方法来提供非光学芯片；在这种情况下，当芯片仍然构成晶片组件的一部分时，来实施该方法。光学芯片要被敷设到非光学

芯片上；这种非光学芯片如上所述具有两组接触表面或粘合衬垫，用于贯穿接触或用于连接光学芯片或位于其上方的芯片。带有非光学芯片的晶片以类似的方式被削薄，而不会影响到稳定性。削薄后的晶片然后通过光刻方法来形成图案，并且在将要形成贯穿接触的位置进行腐蚀。如在光学芯片的情况下，这些形成图案以及进行蚀刻的方法步骤既可以从上侧面或具有活性的侧面开始进行，也可以从下侧面开始进行。然后，这些通过蚀刻疤痕形成的、穿过晶片的通道被金属化处理，或者用导电材料来填充。当通道与相应的接触表面相邻时，接触表面通过导体轨道连接到填充后的通道。接触表面在两面上都设置有焊珠。如果适当的话，也可以省去用于连接光学芯片或其上方的芯片的触点的敷设步骤，建议令这类可熔的触点已经位于上方芯片的相应触点上。

然后，以这种方法提供的芯片可以相互连接。如果芯片以这种方法设置在晶片上，使得当一个晶片位于另一个晶片上方时，相应的触点彼此相叠，当芯片仍然连接到晶片时，这些芯片可以被连接。否则，带有较小芯片的晶片通过切割刀具被锯断，然后芯片被设置到另一个晶片上。然后，通过焊珠焊剂的熔化和重熔使两个晶片或芯片连接到这个晶片，以形成芯片间的接触。为了使晶片或芯片相互连接，最好使用熔点比用于连接电路板的焊剂高的高熔点焊剂。这避免了芯片堆中的芯片之间的连接在连接到电路板时被再此中断。举例来说，可以使用纯锡来使芯片彼此连接。在最后一个步骤中，使用切割刀具来将芯片切断。

在晶片上设置芯片的过程中，在敷设了透明覆盖层之后，可以使用多种不同的晶片层封装工艺来封装芯片。

根据本发明的方法也允许连接多于两层的组件或芯片，在这种情况下，分别提供的部件同时或者先后彼此连接。

如果根据一个示例性的实施例，多层集成的半导体系统的单元彼此间先后固定，最后通过附带的组件赋予给晶片或芯片机械稳定性，使其可以被进一步削薄。因此该实施例的基础是晶片或芯片被先后地

彼此固定，然后被削薄。这样做的结果是芯片中的开孔或蚀刻疤痕必须被蚀刻得穿过较薄的基质，因此它们的直径保持得很小。

另外，应注意到，使用该方法得到的芯片堆的上层芯片不一定是光学芯片。相反，本发明可以用于将任意所希望的半导体模块相互连接，以形成紧凑的三维芯片堆。举例来说，该方法尤其适用于堆叠的存储模块，这类存储模块可以相互连接，而在芯片之间没有绝缘的夹层。不同基质，如 Ge、Si 和 GaAs 上的集成电路也可以具有优点地以节省空间的方式相互结合。同样利用该方法，不同的传感器芯片可以与其他组件相互结合。传感器芯片例如可以包括放射性传感器、压力传感器、温度传感器或湿度传感器。也可以使用对某些气体或液体成分产生响应的化学敏感的传感器。

透明覆盖层也可以具有优点地形成图案。通过这种方法，举例来说，光学元件，如棱镜、光栅或滤光镜，可以集成在覆盖层中。

如果透明覆盖层不是应当或者必须设置在最上层的芯片上，例如如果最上层的芯片不是光学芯片，该芯片也可以通过可去除的石蜡固定到基质上，在生产过程中，尤其是在削薄的过程中，所述的石蜡提供了附加的强度。可选地，覆盖层例如也可以通过环氧树脂在生产过程中被固定，这种环氧树脂可以在紫外线的作用下被再次去除。

根据本发明的方法，本发明还涉及了一种多层集成电路配置，它包括至少两个相互重叠设置的芯片，所述芯片分别具有一个基质、至少一个连接触点以及在一个侧面上具有一个包含芯片电路的活性层。电路配置中所述芯片中的至少一个芯片具有优点地具有一个导电通道，一方面在具有通道的芯片电路的至少一个连接端与导电通道之间、另一方面在其与由导电材料构成的其他芯片的连接表面之间设置有电触点。

完全组装好的多层集成半导体配置可以附带地设置有一个保护外壳。根据本发明的方法得到的、并且在生产过程中具有优点地设置有保护外壳的这种类型的多层集成电路配置构成封装在外壳内的 (housed) 多重密封组件 (multipackage)。因此封装在外壳内的多重

密封组件同样具有至少两个芯片，其中这些芯片相互重叠设置，并且分别在一个侧面上具有至少一个连接触点和一个包含有芯片电路的活性层。以这种方式设置的芯片具有优点地至少部分地由一个外壳来封装。特别具有优点的是至少一个芯片具有一个导电通道，其中一方面在具有通道的芯片电路的至少一个连接端与导电通道之间、另一方面在其与带有导电通道的其他芯片的连接表面之间同样具有电触点。

根据本发明的方法，本发明还涉及一种装置，它最好包括一个具有传感器或者具有光学活性或相应外部活性的元件，通过在该元件的第一个和第二表面上设置的两个覆盖层以及一个侧面的隔离层，该元件相对于外界受到保护或者隔离。

附图说明

下面参照各个示例性的实施例详细描述本发明。这里参考了附图，在各个附图中，用相同的附图标记来标识相同的元件，在图中：

图 1A 至 1B，根据穿过半导体芯片或半导体晶片的不同截面图示出了根据本发明的用于生成电触点连接的方法的第一种变型的顺序。

图 2A 至 2C，与图 1 所示相对应，示出了图 1 中所述与本发明的方法相关的其他可能的方法步骤。

图 3A 至 3D，示出了根据本发明所述方法的另外一种实施例的方法步骤。

图 4A 至 4D，示出了参照图 3A 至 3D 所示的方法的一种变型，其中重新分配了连接端。

图 5A 至 5C，示出了根据本发明的触点连接方法的另外一种变型的对应于上面所示的截面图。

图 6A 至 6B，示出了本发明的另外一种示例性的实施例，其中从不具有活性的侧面开始，在晶片上的芯片区域之间设置了绝缘沟道。

图 7A 至 7B，示出了根据本发明的一种实施例，其中用于至少两个粘合衬垫的贯穿接触位置沿着晶片上芯片之间的分隔线形成。

图 8A 至 8C，示出了用于芯片堆的芯片的不同实施例的截面图，

在三维的多层电子模块中，这些芯片位于最上面的芯片之下。

图 9A 至 9D，在截面图的基础上示出了一个示例性实施例的步骤，其中特别地，最上面的芯片可以与它下面的芯片相组合，形成一个芯片堆。

图 10A 至 10E，在简略的截面图的基础上示出了根据本发明的方法的另外一个示例性的实施例。

图 11A 至 11C，示出了完全组装好的多层电子模块的实施例的截面图。

图 12，示出了另外一个实施例的截面图。

具体实施方式

下面详细描述优选实施例，首先参考图 1A 至 1E 所示的示例性实施例。图 1A 至 1E 在半导体晶片 10 或半导体芯片 10 的不同截面图的基础上，示出了根据本发明的用于形成电触点连接方法的第一种变型的方法步骤。其中，上述半导体芯片最好是传感器芯片，例如光学芯片或压敏芯片或对湿度敏感的芯片等，其中特别重要的是，在触点已经形成之后，或者例如在将芯片固定到或者触点连接到一个电路板或者其他设备或装置上之后，具有活性的传感器一侧可以或者应当被暴露出来。图 1A 至 1E 中所示的方法步骤还利用截面图示出了适用于提供芯片的方法步骤，用于进行连接以形成一个三维的芯片堆。

图 1A 中所示的光学芯片或传感器芯片被排列在晶片组件 10 中，并且与半导体晶片 10 一样，包括基质 1，在基质最顶上的一侧 14 上是一个光学活性层 11，例如 CCD 芯片的传感器层。该芯片最顶上的一侧 4 上还另外覆盖有一层钝化层 13。此外，在该表面上具有形成触点的表面或粘合衬垫 12，它们用于芯片的连接，并通过导体轨道连接到光学敏感层 11。

在准备好晶片之后，首先，在该方法的一个后续步骤中，如图 1B 所示，在钝化层中希望用来提供贯穿接触的位置处形成或者引入开孔 16，并且在所述的位置处使基质暴露出来。该步骤例如可以通过光

刻图案方法以及后续的离子束腐蚀来实现。

在随后的腐蚀步骤过程中，蚀刻疤痕或盲孔 17 被腐蚀到基质中，钝化层 13 保护基质免于在开孔 16 以外受到腐蚀。为了进行进一步处理，假设整个基质厚度约为 500 微米，盲孔的深度大约在 50 至 200 微米的范围内就足够了，一种适合用于形成蚀刻疤痕的方法是使用 KOH 在 Si (100) 基质上进行各向异性的腐蚀，在该过程中形成了孔径角约为 70° 的蚀刻疤痕，在具有活性的表面上的疤痕的直径或横截面取决于腐蚀的深度或孔径角。

然后，在蚀刻疤痕和粘合衬垫之间形成触点。图 1C 示出了上述生产步骤之后的芯片截面图。为了形成触点，蚀刻疤痕 17 和蚀刻疤痕之间最顶上的一侧 14 的区域用金属来涂层。结果是形成了金属层 18，该层位于蚀刻疤痕的内壁上，并且位于蚀刻疤痕之间导体形式的区域上，该层至少部分地覆盖了粘合衬垫，以形成可靠的触点。适合的形成触点的金属例如为铝、铜或镍。接下来，用金属涂层的蚀刻疤痕用一种金属来填充，使得疤痕以一种固体导电结构 19 来填充。

作为图 1C 所示的一种替代方案，还可以先用一种导体材料来填充疤痕，然后设置一条从接触表面 25 到填充物 19 的导体轨道，以形成电触点。

在下一个步骤中，芯片 1 最顶上的一侧 14 设置有一个透光的覆盖层 20，用于保护光学敏感层 11。这一生产阶段的结果在图 1D 中示出。除了保护芯片最顶上的一侧 14 上的半导体电路之外，这个覆盖层还具有增强整体结构机械稳定性的功能，这对于后面的处理步骤是很重要的，特别是对于从非活性一侧开始削薄晶片的步骤是很重要的，该步骤还将进一步说明。覆盖层 20 最好通过环氧树脂层 21 以粘着方式粘合到芯片上。适当的覆盖层例如为玻璃板或类似的透明塑料。为了形成穿过芯片的贯穿接触，芯片的下侧或非活性侧 22 被磨削，直至到达蚀刻疤痕 17 的导电填充物 19，结果是在芯片的下侧 22 上形成了触点位置或触点表面 23。在这种情况下，根据多种可能的实施例之一，触点位置的宽度例如可以约为 50 微米。假设在这种情况下，晶片的整体厚度例如约为 500 微

米；盲孔的穿透深度略为超过 200 微米，则在基质被削薄之后，盲孔的末端所暴露出来的宽度达到 50 微米。这一生产状态在图 1E 中示出。

在这里应注意，将晶片磨削得尽可能薄是具有优点的，尤其是磨削得比上面的例子中还要薄，因为这样的话特别是开孔的横截面和孔深可以保持得非常小，晶片的稳定性通过覆盖层或玻璃 20 来保证。

现在晶片的形状是：粘合衬垫位于晶片具有活性一侧的上面。然后通过相同的方法进一步将晶片处理为非传感器芯片，例如使用众所周知的晶片级封装（WLP）工艺来处理。

因此，该方法允许对非传感器芯片的 WLP 范围进行很大的扩展。以这种方式提供的、设置有触点位置 23 的芯片可以在封装或开放状态下，通过常规的 SMT（表面安装技术）在电路板或印刷电路板上形成触点。

在这一方面，图 2A 至 2E 示出了其他可能的方法步骤，这些方法步骤可在图 1E 所示的方法步骤之后进行。

特别地，在穿过芯片的截面图的基础上，图 2A 至 2E 还示出了其他可能的处理步骤之后，图 1E 中所示芯片的多种实施例，这些处理步骤适用于在根据本发明所形成的芯片进行连接以形成芯片堆之前作为准备步骤。

为了可以将芯片连接到其下面的其他模块上，有利的是，例如敷设连接到触点表面的焊珠。在如图 1A 所示的最简单的情况下，焊珠 24 直接敷设到触点表面 22 上。如果希望的话，芯片下侧上的连接位置也可以重新分配。例如当其他模块（芯片需要在该模块上进行堆叠，或者芯片需要连接到该模块）的触点表面位置与芯片的触点表面不匹配的时候，上述的重新分配可能是必要的。在图 2B 中示出了一种在芯片的活性侧上设置重新分配的触点的可行的方法。在这一实施例中，首先在所希望的位置处将所有粘合衬垫 25 都设置到芯片的后表面上。然后，敷设从粘合衬垫 25 到触点表面 23 的导体轨道，所述的触点表面 23 已通过填充物 19 处对后表面进行磨削或腐蚀而得到，并且将焊珠 24 敷设到粘合衬垫 25 上。

为了更接近将芯片封装到或者安装到仍然与芯片相连接的外壳中

的步骤，在芯片的下侧 22 敷设了另外一层覆盖层 27。如图 2C 所示，这种类型的芯片在两个覆盖层 20 和 27 之间形成了“三明治”的形式。由于覆盖层玻璃 20 与例如芯片或基质 1 的半导体材料的热膨胀系数可能是不同的，当芯片被加热或冷却时可能会发生双金属效应，其结果是芯片发生轻微的弯曲。在这种情况下，下侧的材料 27（BCB，塑料，玻璃等）必须与上侧材料在机械上相匹配，尽可能使材料的硬度，包括厚度、弹性系数及热膨胀系数能够相互补偿。因此，完全不需要使上层的材料 20 与下层的材料 27 相同。

如果需要组装到一起的芯片的基质具有不同的热膨胀系数，或者在不同的温度下工作，还建议在芯片之间使用夹层，考虑到夹层的柔韧性，可以减少基质间产生的温度应力。图 2C 中所示的实施例还可设置有一个这种类型的弹性夹层，用于对芯片进行堆叠。在该方法的这种实施例中，首先在芯片的下侧或者非活性侧 22 设置一个夹层 27。

通过举例，在图 2C 所示的弹性覆盖层的情况下，在图 1E 所示方法步骤完成之后，首先夹层 27 可以通过粘接的方式粘合到芯片的下侧或非活性侧 25，该层 25 具有通道 28，在覆盖层中通道的设置与触点表面 23 相匹配。与蚀刻疤痕 17 相类似，通道也可以用导体 29 来填充。适合的方法例如包括电解沉积铜或镍。可选地，也可以将导电的环氧树脂压入到蚀刻疤痕中。由此出发，使用焊珠 24 所形成的触点可以通过与上述实施例中相同的方法来形成。

根据下面所描述的实施例，如图 1A 所示准备好的芯片 1 的最顶上的一侧 14 首先通过粘接层 21，以粘接方式粘合到透明的覆盖层 20。

图 3A 至 3E 同样利用半导体晶片的芯片区域的截面图示出了本发明所述方法的另一个实施例所涉及的方法步骤。图 3A 至 3E 中所示的本发明的另外这个实施例的方法步骤同样适用于提供芯片连接，以形成多层集成电路系统。

相应地，图 1A 中已提出的芯片 1 的最顶上的一侧 14 最初通过一层粘合剂 21 以粘接方式粘合到一个薄的透明覆盖层 20。该方法的这个中间步骤在图 3A 中示出。通过这种方式提供的芯片或晶片然后可以被削薄，

而不会损害到它的下侧 22，如参照图 3B 所示的，由于与覆盖层之间的连接，这种结构获得了足够的稳定性。

如上所述，在腐蚀或磨削之后，晶片的厚度应尽可能的低。

然后，如图 3C 所示，将蚀刻疤痕 30 引入到芯片中，但是与前面的实施例不同，现在是从下侧 22 开始进行腐蚀，直到蚀刻疤痕与位于芯片最顶上的一侧 14 上的粘合衬垫相接触。在这种情况下粘合衬垫 12 的金属层起到的作用是使腐蚀过程停止。腐蚀过程或深度腐蚀最好利用光刻构图工艺和各向异性干腐蚀工艺（例如使用 SF_6 的“ASE 工艺”）共同进行。通过这种方式形成的开孔通常向内逐渐变细，或者向外变宽。此外，以这种方式形成的盲孔在盲孔的末端、或者在这种情况下在粘合衬垫处是圆形的。

然后，蚀刻疤痕或开孔 30 的边缘或内壁通过等角的等离子体氧化物沉积与基质 1 相绝缘。这种绝缘的隔离层 32 在理论上是可选的。但是在很多情况下，当基质被高掺杂时上述绝缘层是必需的，以避免短路。在这个方面上，适用的工艺是基于 SiH_4 的 LTO（低温氧化物）工艺或基于 TEOS 氧化物（TEOS，四乙基正硅酸盐）的工艺。此外，在等离子体氧化物沉积之后通常执行一个背面腐蚀（etch-back）步骤，以使粘合衬垫 12 的后表面再次暴露出来。然后，如图 3D 所示，用一种导电材料来填充蚀刻疤痕或开孔 30。填充物 31 也可以通过在蚀刻疤痕中电解沉积金属来实现，或者利用丝网印刷/焊补技术通过用导电的粘合剂（导电的环氧树脂）来填充开孔来实现。

通过以这种方式形成填充物 31，随后该方法可以通过与上述实施例中类似的方式继续进行。因此，如图 2A 中所示，焊珠 24 可以直接敷设在填充物 31 上，并且通过与图 2B 所示相类似的重新分配来移位。此外，根据图 2C，可以将另外一个覆盖层涂敷到后表面 22 上，并且可以穿过覆盖层与通过填充物 31 所提供的触点位置形成外部连接。图 4A 至 4D 示出了参照图 3A 至 3D 所示方法的一种变型，以与图 2C 所示实施例相类似的方式对连接点进行了重新分配，敷设有焊珠 24 的粘合衬垫 25 相对于贯穿接触设置得纵向偏移，并通过所敷设的导体轨道 26 与贯穿接触

相连接。如图 3C 和 3D 所示，为了清楚起见，省略了绝缘层 32 的敷设。由于进行了各向异性腐蚀，蚀刻疤痕 30 的形状朝着第一个表面 14 的方向呈圆锥状逐渐变细。

作为填充后的蚀刻疤痕的替代方案，图中的区域 31 也可以表示导电的掺杂区域，它同样形成了穿过基质的贯穿接触。

通过晶片组件 1 中的芯片 1a 和 1b 的整个外壳的图示，图 5A 至 5C 示出了可能的其他方法步骤。为此目的，一方面，执行上面已经说明的、用于形成贯穿接触并形成触点表面 23 的方法步骤。另外，通过适当的腐蚀工艺沿着晶片上的相邻芯片之间的隔离线附带地形成了沟道。这样在芯片之间形成沟道的结果是，例如可以用环氧树脂从侧向密封芯片，使得不再有裸露的硅。晶片 1 或芯片 1a、1b 的具有活性的前表面和非活性的后表面用前面所述的覆盖层来涂敷。前表面最好敷设一层玻璃 20，后表面最好也敷设一层玻璃，或者敷设一个可以进行光刻的层（例如 BCB 或苯环丁烯），后者也可以流入到沟道 35 中。这里也通过举例方式参考图 6A 和 6B。根据该实施例，以与开孔一致的方式，通过磨削或腐蚀，将沟道 35 从晶片 1 的后表面引入到基质 1 中（图 6A）。如果如图 6B 中所讨论和描述的，随后将一个 BCB 层敷设到后表面上，则也用 BCB 以绝缘的方式来填充沟道，并形成侧向的密封。然后在沟道 35 处进行切割，即将晶片分隔成单个的芯片。

类似地，为了形成导电通道，以与形成蚀刻疤痕相同的方式，沟道 35 也可以使用各向异性的干腐蚀工艺来形成，例如通过 ASE 工艺或使用 KOH 溶液的各向异性腐蚀。一般来说，对蚀刻疤痕和绝缘沟道 35 的腐蚀也可以通过将各种腐蚀工艺结合起来进行。例如，蚀刻疤痕或绝缘沟道例如可以在第一个步骤中通过湿腐蚀来形成，然后进一步通过各向异性的干腐蚀来形成。通常来说，既可以使用相同的腐蚀工艺也可以使用不同的腐蚀工艺，或者将各种腐蚀工艺结合使用，以形成沟道和蚀刻疤痕。例如，一种可行实施例建议用湿化学方法对绝缘沟道进行预腐蚀，然后通过各向异性的干腐蚀方法对用于形成绝缘沟道和导电通道的表面区域进行共同腐蚀。因此，结合不同的腐蚀工艺可以对腐蚀出的结构的

形状(例如内壁的陡峭程度)、大小和深度进行有利的控制。图7A和7B示出了根据本发明的贯穿接触的另外一种可能的实施例。在这个方面,图7B示出了在方向A上的截面图。在这种情况下贯穿接触通道17和19沿着晶片上的芯片分隔线36设置。以这种方式,通过将触点位置相对于贯穿接触位置19进行适当的重新分配,可以很容易地通过蚀刻疤痕17形成与两个或更多的粘合衬垫12a、12b的接触。为此目的,在对盲孔的内壁进行电绝缘之后,将触点轨道18设置到这个开孔中。然而,与图1A至1E中所示的方法不同,没有附带地用导电材料来填充盲孔,而是用绝缘材料37来填充。这样做的积极作用在于,在晶片沿着分隔线或沿着贯穿接触位置被分隔之后,各个芯片在侧向上与外界隔离。所述晶片也可以沿着分隔线并沿着贯穿接触位置被分隔。

以与上述上层的芯片相类似的方式来提供下面的模块。在图8A至8C中以截面图的方式示出了可能的实施例。在顶层模块下面的芯片堆中的芯片需要两组或两种类型的粘合衬垫,其中的一组用于形成与其上方的芯片的接触,另一组用于形成与下方芯片的连接,或者,如果该芯片是芯片堆中最底层的芯片的话,则这组粘合衬垫用于形成与电路板或基座的连接。

为此目的,该芯片在非活性一侧被削薄到生产过程中稳定性约束条件所允许的最大程度。如果该芯片仍连接到晶片,则无支撑的晶片可以被削薄到大约200微米到300微米。图8A示出了这种类型的芯片2的第一种可能的实施例,它例如可以是一个存储模块。与上面所述的芯片1一样,芯片2具有一个活性层11,它位于钝化层13下面,其中设置了集成电路的元件。焊珠24敷设到第一组粘合衬垫12上,随后用于连接到上面的芯片,例如最顶层的芯片1。

根据图8A中所示的实施例,蚀刻疤痕30被腐蚀到下侧22中,并延伸到第二组触点表面的粘合衬垫42。与最顶层的芯片1相类似地,以这种方式形成的通道用导电材料31来填充。为了与芯片堆的下一层形成接触,焊珠33再一次被焊接到触点表面上,所述的触点表面在进行填充之后在芯片的下侧22上形成。

如果芯片堆中没有其他的层，即芯片 2 是芯片堆中的最底层芯片，则用于焊珠 33 的焊剂可以有利地比用于其他焊珠 24 的材料具有更低的熔点。其结果是，通过使焊珠 33 熔化，组装而成的芯片堆可以固定到电路板或其他的基座上，而不会使其他焊珠 24 熔化。

图 8B 示出了另一个实施例，其中，与图 3E 所示配置类似地，包括带有焊珠 33 的粘合衬垫 25 的连接触点被重新分配，并通过导体轨道 26 连接到填充物 31 的触点表面 34。

图 8C 示出了芯片 2 的另外一种实施例，其中以与图 2C 所示相类似的方式，敷设了一层较低的覆盖层 27，并可起到保护封装或弹性夹层的作用，以吸收芯片之间的热应力。如先前的例子以及图 2C 所示，该芯片被表示为重新分配的触点，包含带有焊珠 33 的粘合衬垫 25。

在这种情况下，通道 28 也是用一种导电的填充物 29 来填充，以向下完全穿过位于覆盖层 27 内的通道 28，与覆盖层的下侧进行接触，在这种配置中，有利的是可以这样来重新分配触点：使得位于芯片下侧和顶侧的触点相互匹配。通过这种方法，可以使多个芯片 2 以与芯片堆的顺序和数目相关的任何所希望的方式彼此组合在一起。例如当这种类型的芯片堆包含多个存储模块时，这样做是具有优点的。此外，通过这种方式，仅仅在堆叠的存储模块的数目方面有所不同的多个不同变型可以由相同的单个模块形成，而不会造成不必要的很高的开销。图 9A 至 9C 在截面图的基础上示出了一种示例性的实施例步骤，允许最顶层的芯片连接到其下面的芯片，以形成芯片堆。

从例如在图 3D 中所示的光学芯片开始，所述光学芯片通过一层粘合剂 21 连接到覆盖层 20，并在下侧上形成的触点处具有焊珠 24，模块在其下侧 22 上覆盖了一层粘合剂 45，如图 9A 所示。可以使用一种热塑性材料来构成该层。如此选择该层的厚度：使得焊珠 24 被完全地覆盖。

然后，该层 45 被磨削，直到焊珠 24 突出出来并与该层一起被磨平，这样，如图 9B 所示，形成了平面状的触点表面 36。反之焊珠 37 被设置在这些表面上。

图 9C 示出了连接到另外一个芯片 2 的光学芯片 1。为了进行连接，

焊珠的焊剂通过加热在两个芯片的粘合衬垫 25 上熔化,并且在两个芯片 1、2 的触点表面上的焊珠结合起来形成了一个焊点 39。加热的结果是热塑性材料层 48 也被软化,并以粘接方式将两个模块粘合。此外,当芯片一个叠一个地放置时,由熔化的焊剂的表面张力产生了自排列效应。由于这种表面张力,芯片被拉到一个方向上,使得通过焊剂彼此连接的触点表面 25 在芯片之间的侧向间距最小。

下面参照图 10A 至 10E 所示的截面图来解释根据本发明的方法的另外一个实施例。这个示例性的实施例是基于晶片或芯片的连续固定,并随后将其削薄,这个组件已经设置到一起,为先前已设置的模块或晶片提供了附带的稳定性,使得后者能够被进一步削薄。

根据图 10A,首先再次将一个覆盖层 20 设置到第一个或最顶层的芯片 1 上。芯片 1 的基质 100 然后被削薄(图 6B),并且根据参照图 3A 至 3E 已经描述的方法来形成贯穿接触(这些步骤这里没有示出)。然后,如图 6C 中所示,在贯穿接触之后将下一个芯片 2 适配并固定到第一个芯片上,第一个芯片 1 与另一个芯片 2 上相应的连接端相连接。此时,已经安装好的第二个芯片还不具有任何用于贯穿接触的蚀刻疤痕、开孔或掺杂区域。但是,由于已经安装好的晶片或芯片现在固定连接到第一个芯片,并由于第一个芯片 1 和覆盖层 20 所构成的组件,已经安装好的芯片 2 具有一个机械稳定的基座,并可以被削薄到与芯片堆中第一个芯片 1 相同的程度,而不会发生危险。

然后,在另外一个步骤中,在已经安装好的芯片 2 中形成贯穿接触,如参照图 3A 至 3D、图 4A 至 4D 或者图 8A 或 8C 所描述的,并且可以安装另一个芯片 3 或晶片。这一生产状态在图 10D 中示出。

根据单独的或者连接到晶片的元件的任意所希望的数目,这些步骤可以重复进行,形成了如图 10E 中所示的芯片堆,其中三个芯片 1、2 和 3 相互适配。这些芯片可以直接地或者通过绝缘的或具有弹性的夹层相互连接。

目前所描述的所有这些步骤都可以实现,同时芯片仍然构成晶片的组成部分。因此,还可以至少部分地或者在各个步骤中,将各种不同的

晶片级封装工艺集成到根据本发明的方法中。

此外，将芯片进行粘合或粘合到一起或者进行连接以形成芯片堆也可以实现，同时它们仍然连接到晶片。其实现的前提是芯片以相同的方式在侧向方向上设置到不同的晶片上，使得当晶片一个叠一个地设置时，一个芯片堆中的芯片也一个叠一个地排列。

然后，连接到晶片上的一个叠一个设置的芯片可以用切割刀具来分隔。

图 11A 至 11C 示出了通过上述方法得到的具有三层的芯片堆 6 的实施例。

具体来说，图 11A 示出了芯片堆的一个实施例，其中最顶层的芯片 1 不是光学模块，而是由一种不同的集成电路组成，承载着活性层 11 的一侧面对其下面的模块 2。因此在该实施例中，不要求最顶层芯片的贯穿接触。

相反，它下面的芯片 2 和 3 具有使用根据本发明的方法形成的贯穿接触。芯片 2 和 3 的贯穿接触的导电填充物 31 通过焊点 39 连接到分别位于其上的芯片 1 或 2 的相应粘合衬垫 25。在芯片之间是夹层 45，它将芯片彼此相连，并可作为具有弹性的补偿层，以减少芯片间产生的热应力。

另一方面，在该实施例中，芯片堆 6 最底层的芯片 3 的下侧没有被密封。因此，芯片堆 6 可以被进一步应用在已知的触发器技术中，并可以通过使焊珠 24 融化而连接到例如为电路板所提供的基质的触点表面。在芯片已经组装好之后，芯片仍然连接到从晶片堆分隔出来的晶片，以这种方式形成的多层集成模块或芯片堆 6 可以用一个环氧树脂覆盖层 40 来密封。

图 11B 示出了使用一个光学芯片作为最顶层单元的芯片堆 6 的一种可行实施例。

在这种情况下，根据图 1A 至 1E 所示的方法步骤来提供光学芯片 1，其中，穿过基质的腐蚀从最上面的一侧，即具有活性的一侧开始进行，然后通过一个光学环氧树脂层 21 将一个透明的覆盖层 20 敷设到晶片上。

然后将该芯片与所说明的方式提供的较低的芯片 2 和 3 粘合到一起。这种粘合方式参照图 9A 至 9D 的说明进行。

在这种示例性的实施例中，芯片堆的下侧也提供了一个覆盖层，它一方面用作芯片堆最底层的芯片与基座之间的弹性夹层或补偿层，或者另一方面用作保护封装。

图 11C 示出了图 11B 中所示的芯片堆的一种变型。图 11C 中所示的这种变型描述了一种特别优选的实施例。该实施例与图 11B 中所示实施例之间的区别在于，在这种情况下，导电通道 31 没有从具有活性层 11 的一侧引入，而是对于所有已提供贯穿接触的芯片堆的芯片来说，都从相反的一侧引入。在这种情况下，为了清楚起见，图 3C 和 3D 中所示的绝缘层 32 被省略掉了。

参照图 11A 至 11C 所示的、并且还至少部分地提供有保护层的、或者由一个外壳所包围的多层集成电路系统表示封装在外壳内的多重封装。外壳由覆盖芯片的多重封装的所有部分构成，例如透明覆盖层 20、环氧树脂覆盖层 40 或较低的粘合剂层 45。

图 12 示出了一个示例性实施例的截面图，其中多个芯片结合到一起作为晶片的一部分，并划分出一个贯穿接触。芯片堆中最顶上位置的芯片已经在晶片 110 上形成，并仍然作为晶片的组成部分，这些芯片根据参照图 1A 至 1E 所解释的方法来提供。但是还敷设了一个金属层 18，它将触点表面连接到蚀刻疤痕 17，触点表面连接到两个不同模块的活性层 11A、11B，这两个模块仍然连接到晶片。

如图 2B 或 2C 所示，在下侧 22 上触点被重新分配。在连接晶片 110、120 的过程中，重新分配的触点分别连接到位于下面的晶片的模块的触点表面 25。在连接完成之后，晶片可以沿着分隔线 41 从晶片组件被分隔开，分隔线 41 从中央穿过整个贯穿接触。在芯片堆被分隔之后，并非得到一个贯穿接触，而是得到一个围绕芯片堆中芯片基质的边缘的触点。

完成之后，使用上述任一项实施例所形成的芯片堆可以使用已知的工艺来进一步处理。例如，芯片堆或多层半导体配制可以利用 SMD 技术方法直接连接到电路板，或者可以利用 SMD 工艺或贯穿孔技术浇铸到适当的外壳中。

图1A

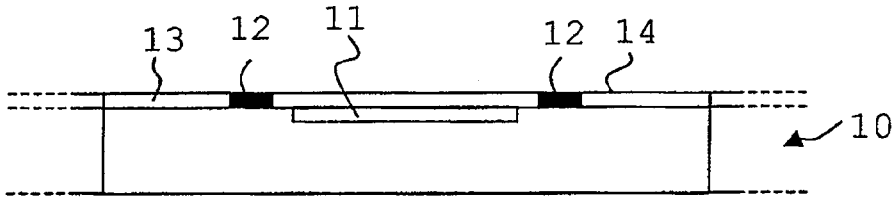


图1B

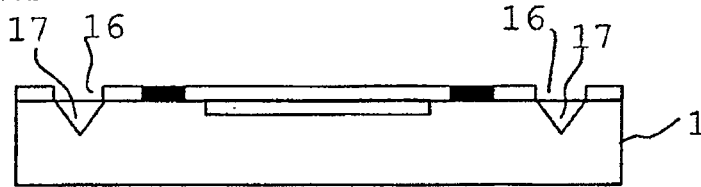


图1C

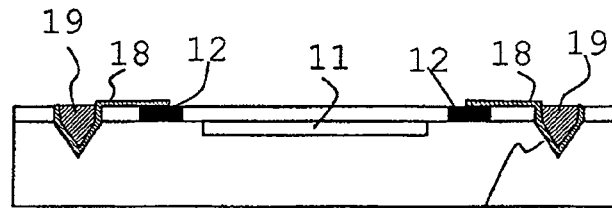


图1D

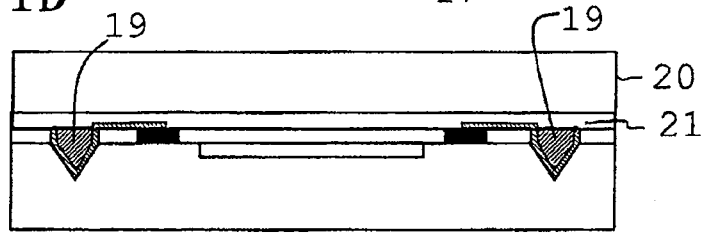


图1E

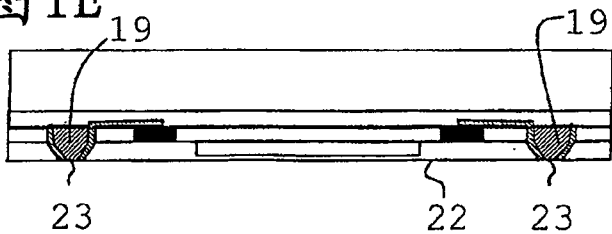


图 2A

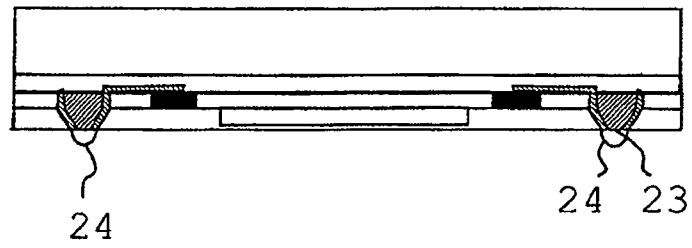


图 2B

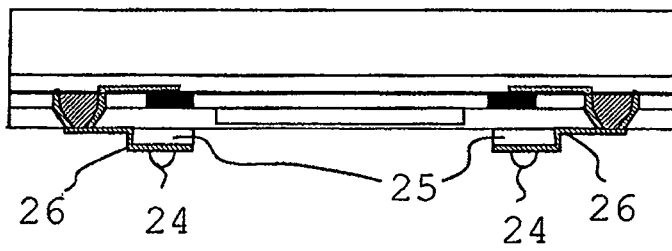


图 2C

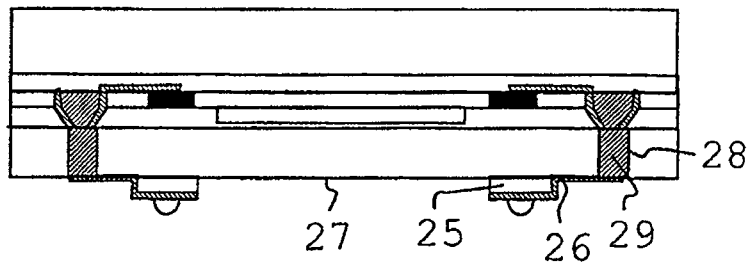


图 3A

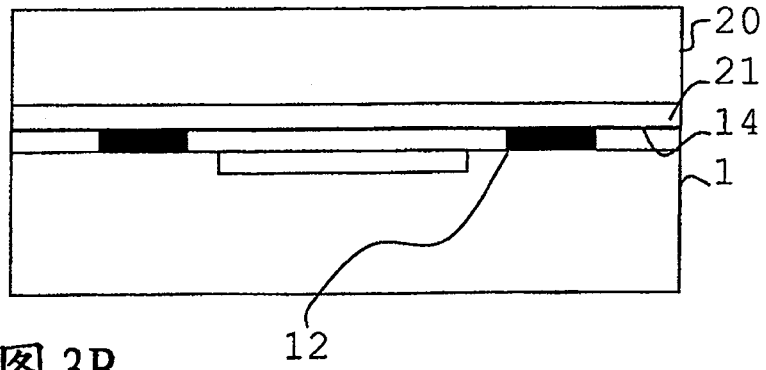


图 3B

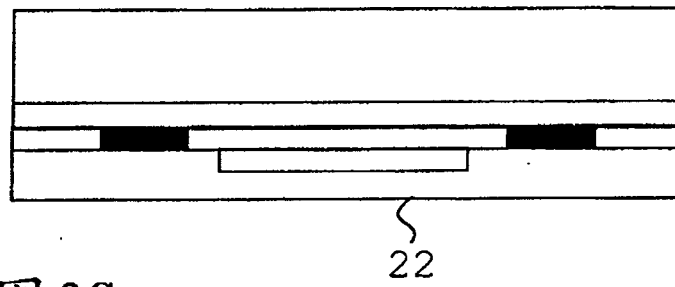


图 3C

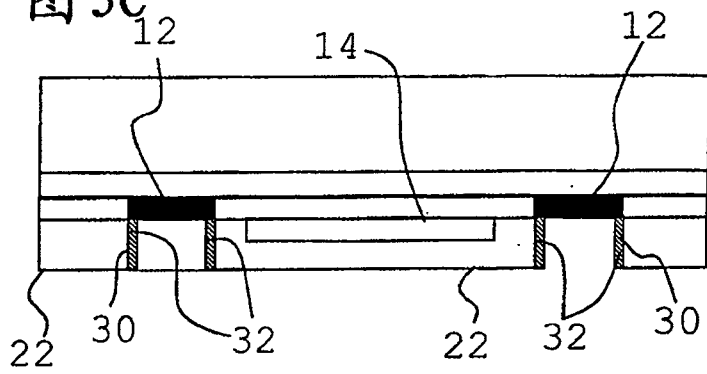
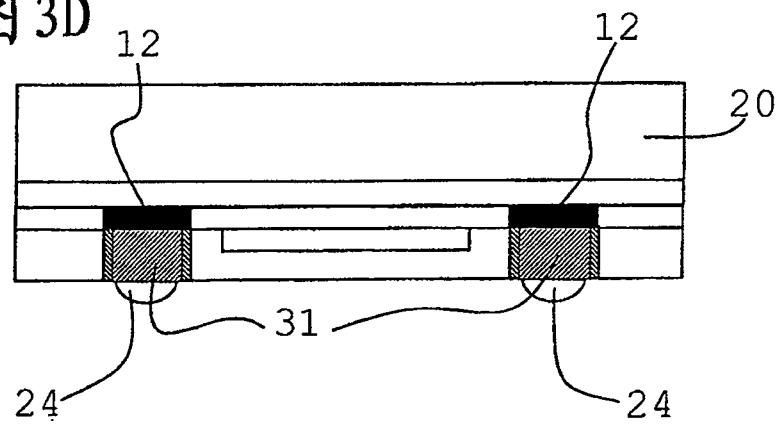


图 3D



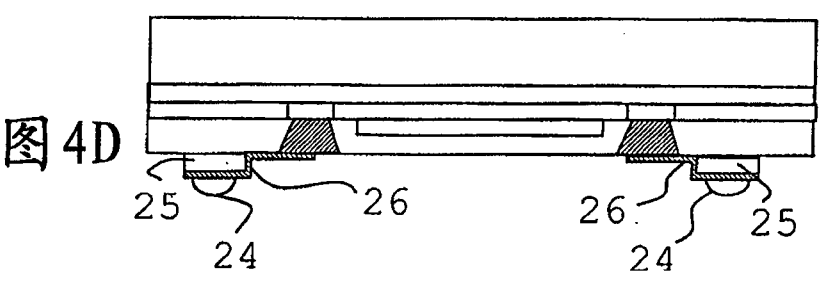
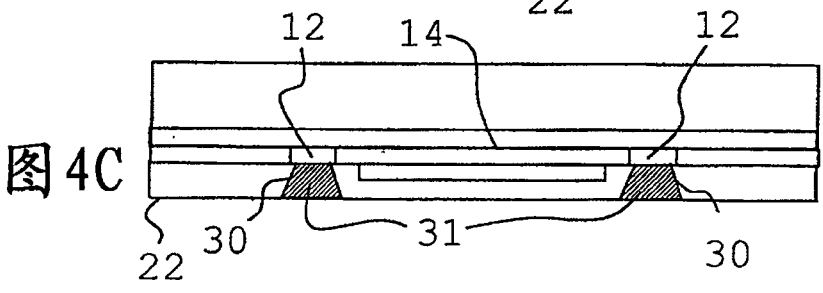
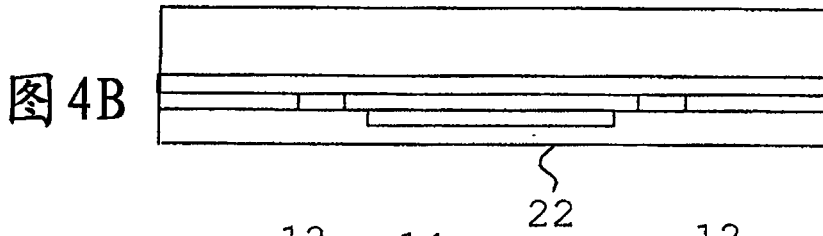
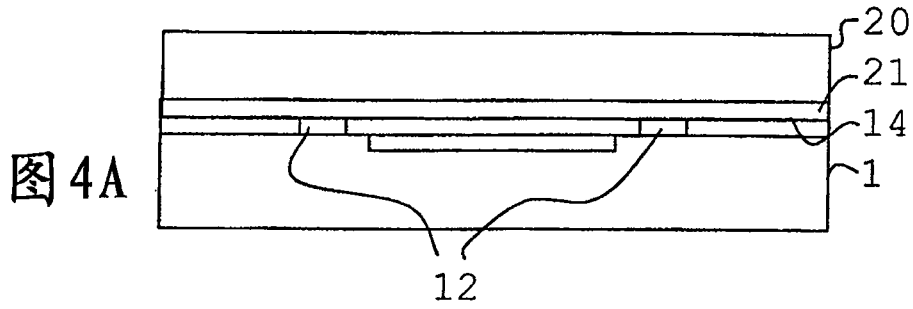


图 5A

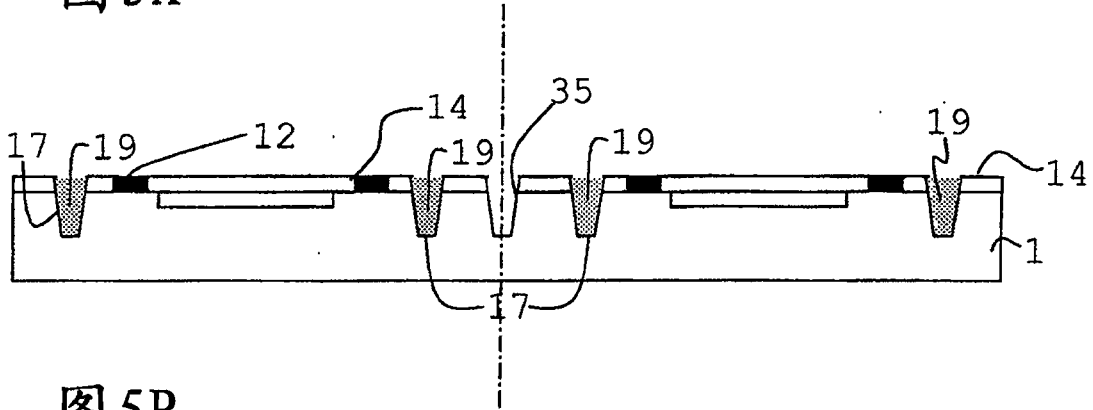


图 5B

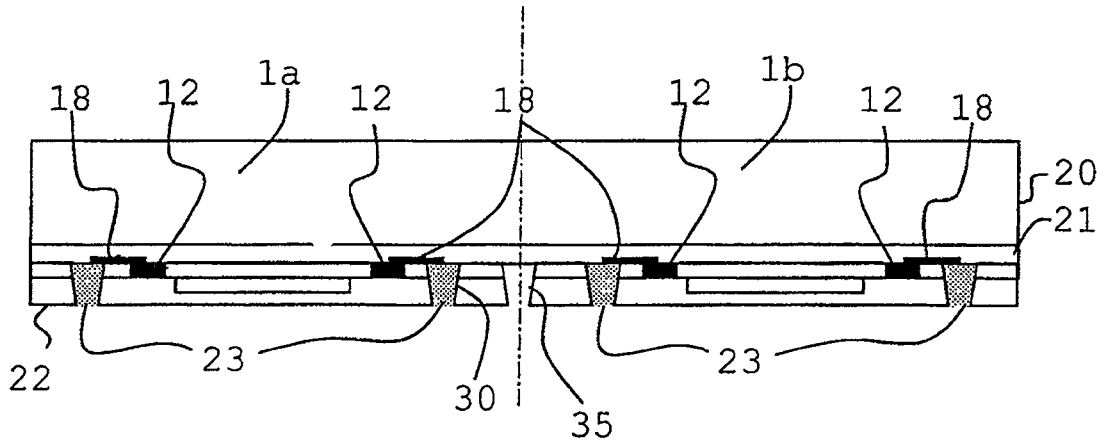


图 5C

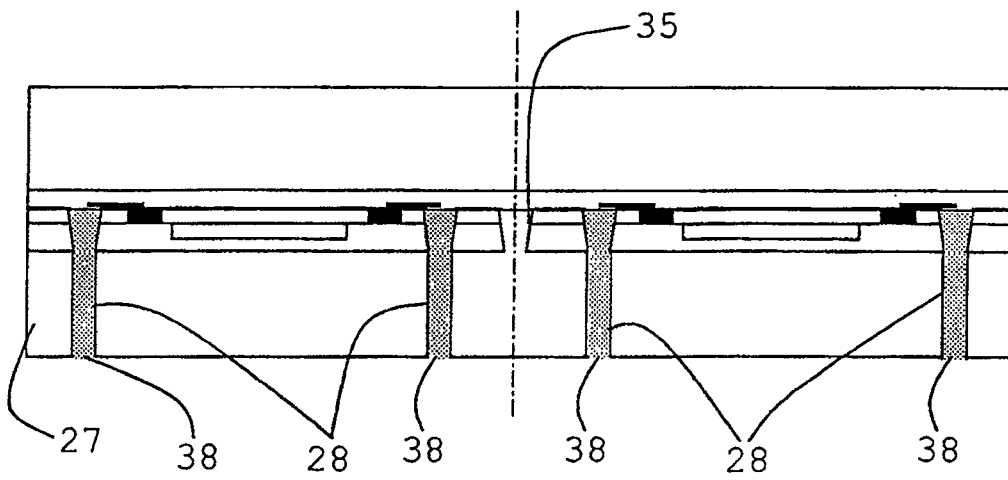


图6A

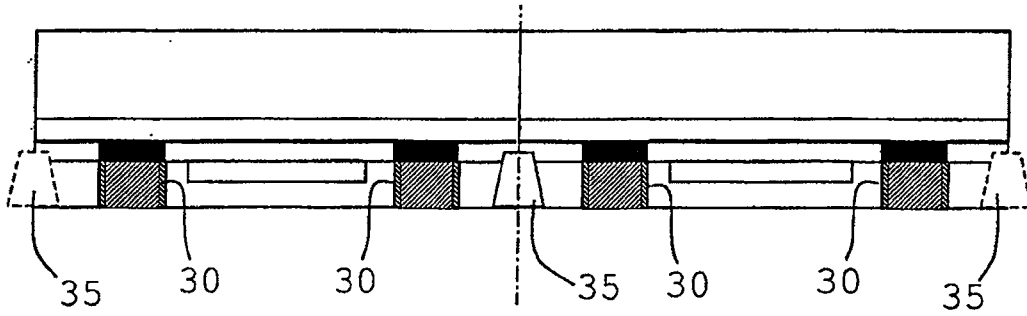


图6B

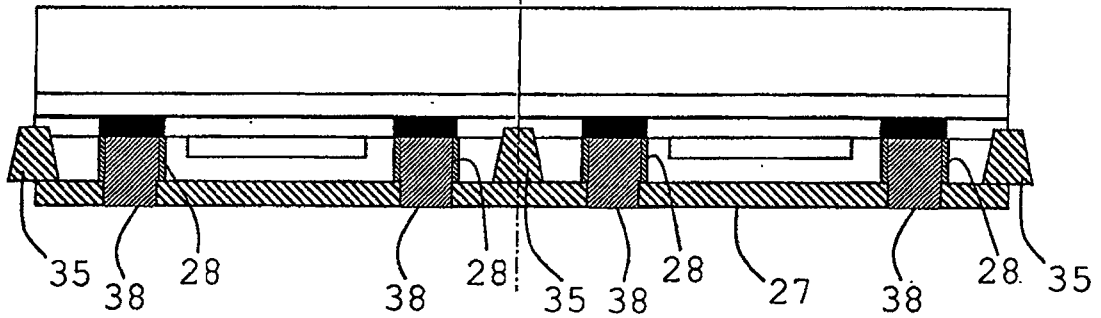


图7A

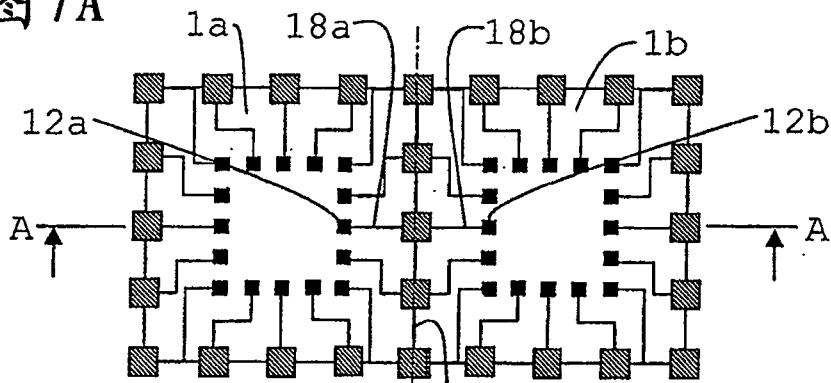
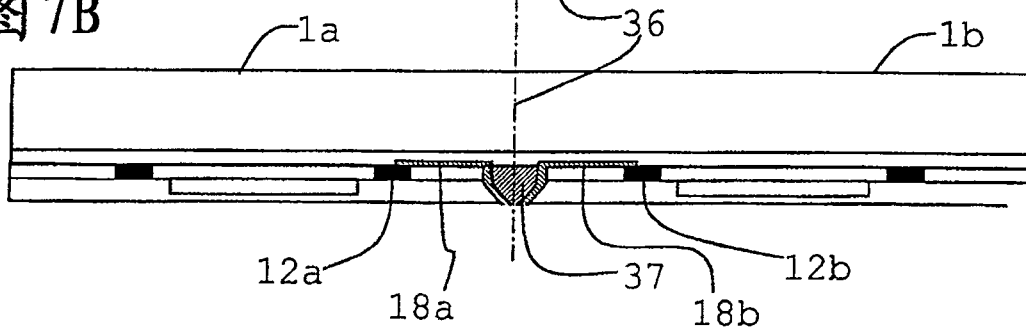
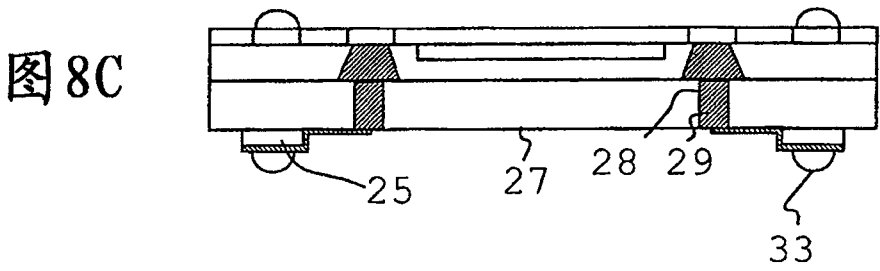
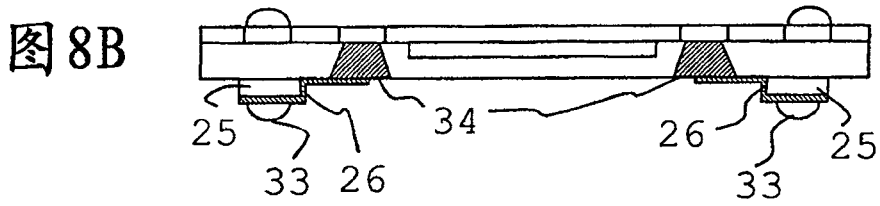
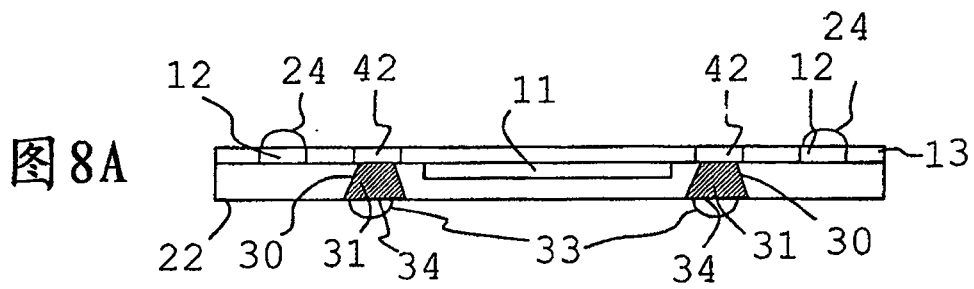
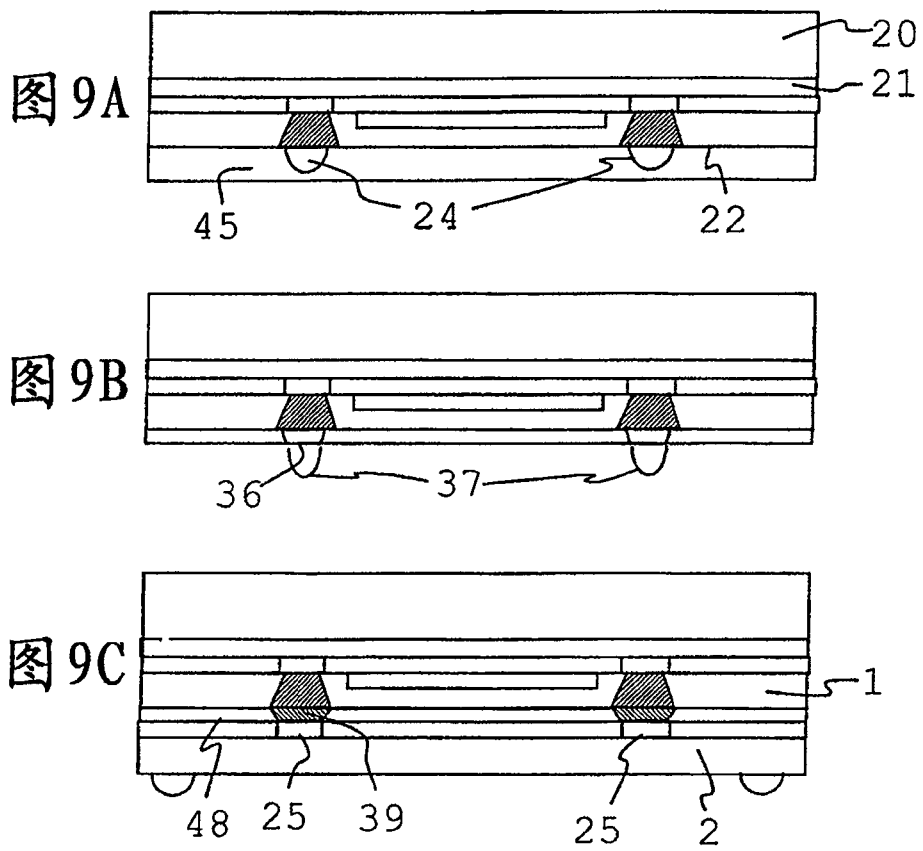


图7B







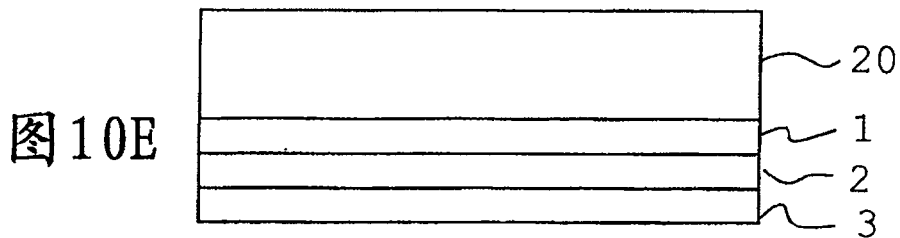
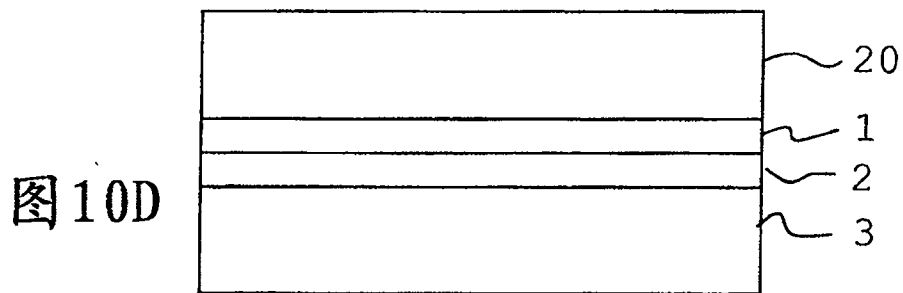
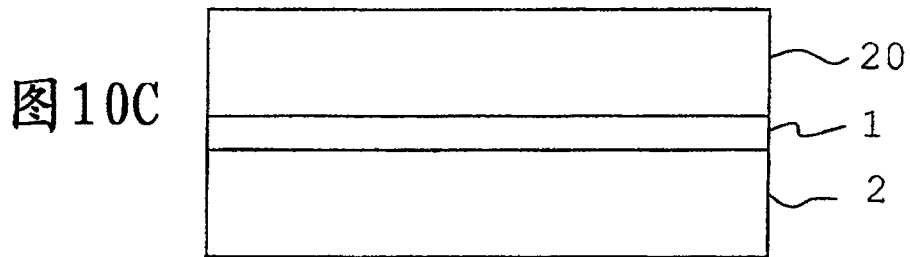
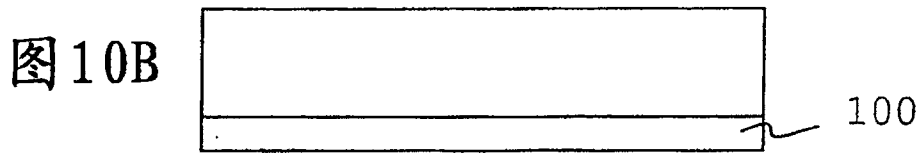
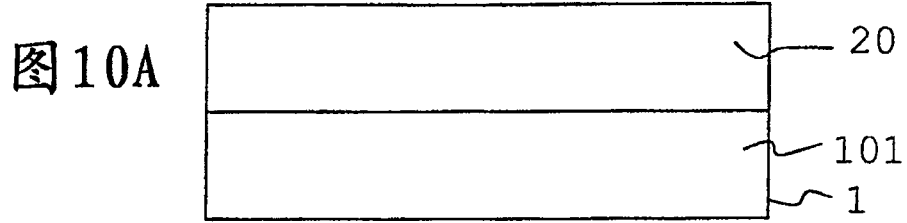


图 11A

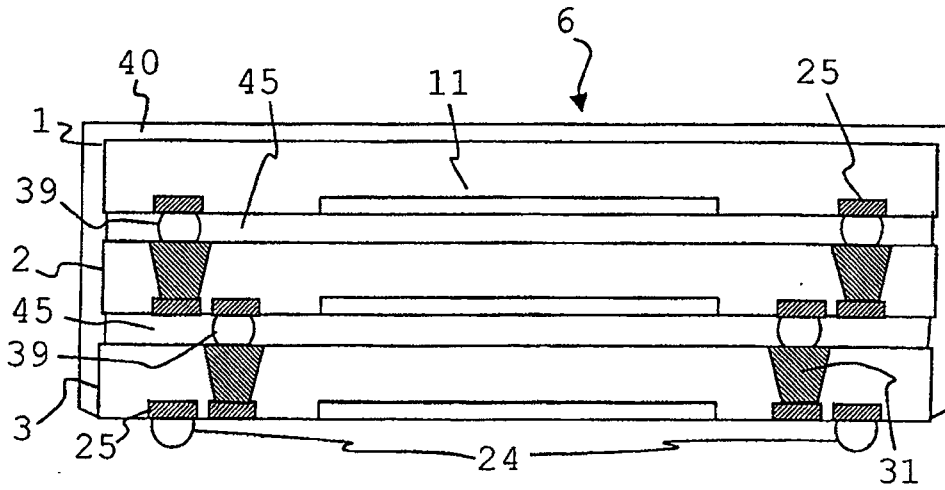
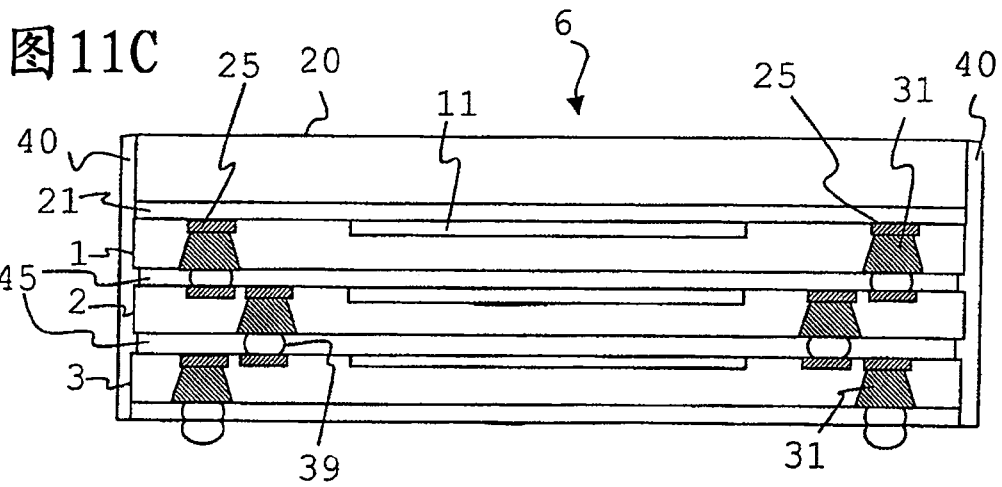
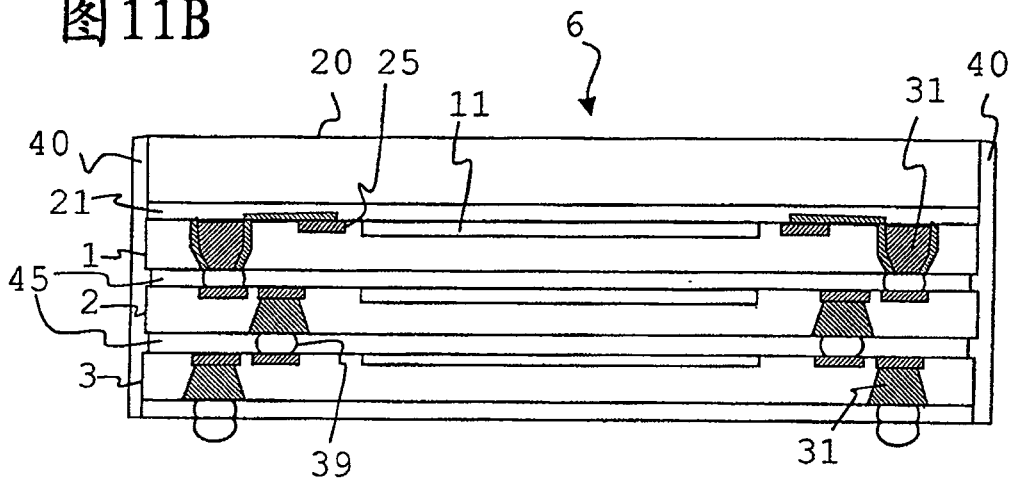


图 11B



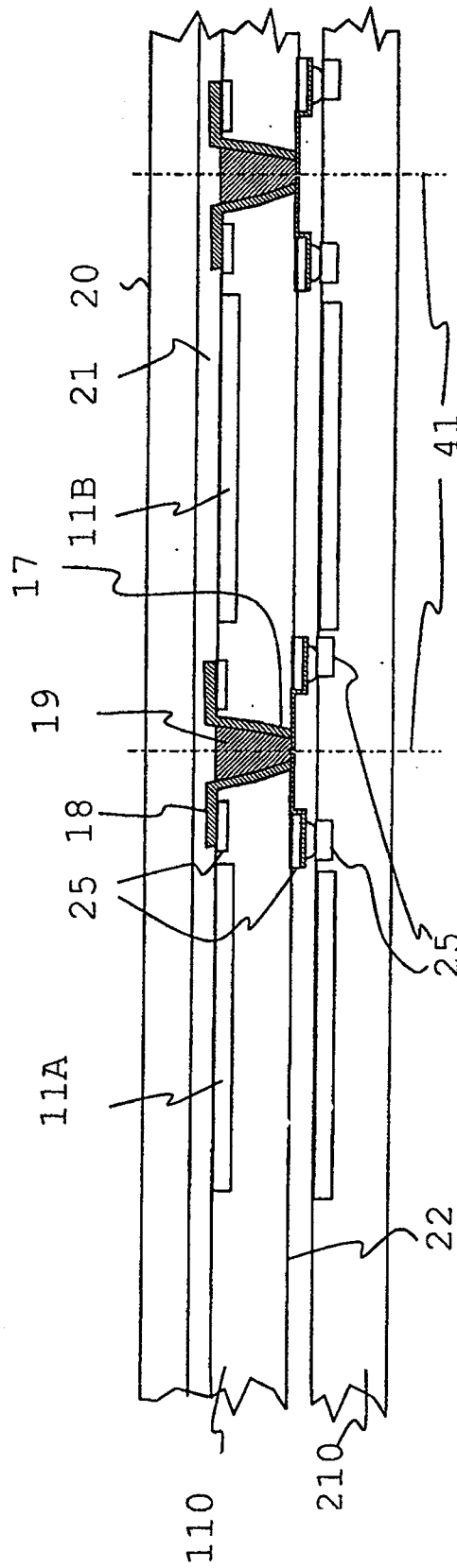


图12