

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-162590

(P2017-162590A)

(43) 公開日 平成29年9月14日(2017.9.14)

(51) Int.Cl.			F I			テーマコード (参考)	
HO 1 J	37/22	(2006.01)	HO 1 J	37/22	5 O 2 H	2 G 0 0 1	
GO 1 N	23/225	(2006.01)	GO 1 N	23/225	3 1 0	4 M 1 0 6	
HO 1 L	21/66	(2006.01)	HO 1 L	21/66	J	5 C 0 3 3	
HO 1 J	37/28	(2006.01)	HO 1 J	37/28	B		
HO 1 J	37/244	(2006.01)	HO 1 J	37/244			

審査請求 未請求 請求項の数 5 O L (全 32 頁)

(21) 出願番号 特願2016-44092 (P2016-44092)  
 (22) 出願日 平成28年3月8日 (2016.3.8)

(71) 出願人 504162958  
 株式会社ニューフレアテクノロジー  
 神奈川県横浜市磯子区新杉田町8番1  
 (74) 代理人 100119035  
 弁理士 池上 徹真  
 (74) 代理人 100141036  
 弁理士 須藤 章  
 (74) 代理人 100088487  
 弁理士 松山 允之  
 (72) 発明者 井上 貴文  
 神奈川県横浜市磯子区新杉田町8番1 株  
 株式会社ニューフレアテクノロジー内  
 (72) 発明者 菊入 信孝  
 神奈川県横浜市磯子区新杉田町8番1 株  
 株式会社ニューフレアテクノロジー内  
 最終頁に続く

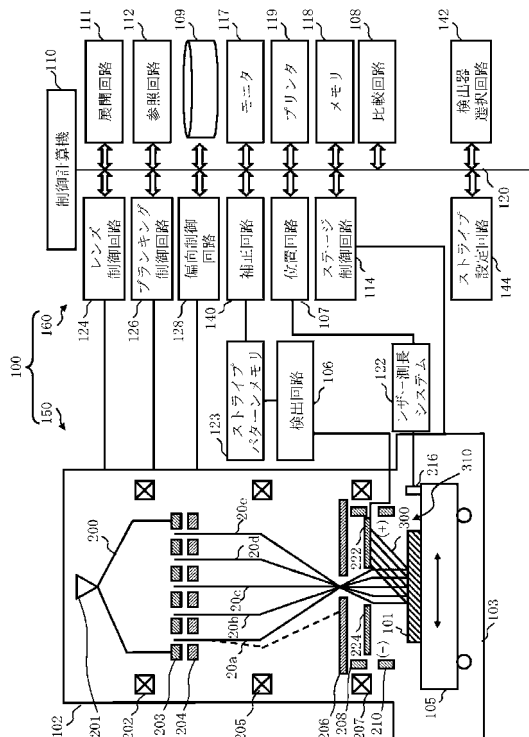
(54) 【発明の名称】 パターン検査装置及びパターン検査方法

(57) 【要約】 (修正有)

【課題】 マルチ電子ビームを用いたパターン検査において帯電の影響に起因する疑似欠陥を低減可能なパターン検査装置を提供する。

【解決手段】 パターン検査装置100は、マルチビーム20a~eの照射により基板101から放出される2次電子群310を、所望の検査画素サイズよりも大きい第1の画素サイズ毎に検出する検出器224と、所望の画素サイズとなる第2の画素サイズ毎に検出する検出器222とを備え、さらに、基板の検査領域上に短冊状に設定される、検査領域の一部を占める複数の第1のストライプ領域をマルチビームを用いて走査して得られた第1の画素サイズ毎に検出された画素データを用いて、基板の検査領域が短冊状に仮想分割された複数の第2のストライプ領域をマルチビームを用いて走査して得られた第2の画素サイズ毎に検出された画素データに生じる帯電に起因する階調誤差を補正する補正回路140と、を備える。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数のチップパターンが形成された基板を載置するステージと、  
複数の電子ビームにより構成されるマルチビームを用いて、前記基板上を走査するコラムと、

前記基板に前記マルチビームを照射することに起因して前記基板から放出される 2 次電子群を所望の検査画素サイズよりも大きい第 1 の画素サイズ毎に検出する第 1 の検出器と、

前記基板に前記マルチビームを照射することに起因して前記基板から放出される 2 次電子群を前記所望の画素サイズとなる第 2 の画素サイズ毎に検出する第 2 の検出器と、

前記基板の検査領域上に短冊状に設定される、前記検査領域の一部を占める複数の第 1 のストライプ領域を、前記マルチビームを用いて走査することによって得られた前記第 1 の画素サイズ毎に検出された画素データを用いて、前記基板の検査領域が短冊状に仮想分割された複数の第 2 のストライプ領域を、前記マルチビームを用いて走査することによって得られた前記第 2 の画素サイズ毎に検出された画素データに生じる帯電に起因する階調誤差を補正する補正部と、

を備えたことを特徴とするパターン検査装置。

**【請求項 2】**

前記第 1 の画素サイズは、前記第 2 の画素サイズの 20 倍以上であることを特徴とする請求項 1 記載のパターン検査装置。

**【請求項 3】**

前記複数のチップパターンは、前記検査領域内に形成され、

前記複数のチップパターンのうち、対応するチップパターンの中央部を含む前記複数の第 1 のストライプ領域のうちの前記対応するチップパターン用の第 1 のストライプ領域を設定する設定部と、

前記複数のチップパターンのうち、既に設定済の第 1 のストライプ領域と重ならないチップパターンの有無を判定する判定部と、

をさらに備え、

前記設定部は、前記複数のチップパターンのすべてのチップパターンが前記複数の第 1 のストライプ領域のうち既に設定済のいずれかの第 1 のストライプ領域と重なるまで、前記検査領域の所定の端部側のチップパターンから順に、前記複数の第 1 のストライプ領域のうち当該チップパターン用の第 1 のストライプ領域を設定することを特徴とする請求項 1 又は 2 記載のパターン検査装置。

**【請求項 4】**

前記基板に対して、複数回のパターン検査前走査が実施され、

前記複数回のパターン検査前走査によって帯電が予想される帯電候補領域を含む第 3 のストライプ領域が、前記マルチビームを用いて走査され、

前記帯電候補領域について、前記複数回のパターン検査前走査より後の走査により得られた前記第 1 の画素サイズ毎に検出された画素データの値から前記複数回のパターン検査前走査より前の走査により得られた前記第 1 の画素サイズ毎に検出された画素データに基づく値を差分した差分値を演算する差分値演算部をさらに備え、

前記補正部は、前記帯電候補領域について、前記差分値を用いて、前記第 2 の画素サイズ毎に検出された画素データに生じる帯電に起因する階調誤差を補正することを特徴とする請求項 1 ~ 3 いずれかが記載のパターン検査装置。

**【請求項 5】**

複数の電子ビームにより構成されるマルチビームを用いて、複数のチップパターンが形成された基板上を走査する工程と、

前記基板に前記マルチビームを照射することに起因して前記基板から放出される 2 次電子群を所望の検査画素サイズよりも大きい第 1 の画素サイズ毎に検出する工程と、

前記基板に前記マルチビームを照射することに起因して前記基板から放出される 2 次電

10

20

30

40

50

子群を前記所望の画素サイズとなる第2の画素サイズ毎に検出する工程と、

前記基板の検査領域上に短冊状に設定される、前記検査領域の一部を占める複数の第1のストライプ領域を、前記マルチビームを用いて走査することによって得られた前記第1の画素サイズ毎に検出された画素データを用いて、前記基板の検査領域が短冊状に仮想分割された複数の第2のストライプ領域を、前記マルチビームを用いて走査することによって得られた前記第2の画素サイズ毎に検出された画素データに生じる帯電に起因する階調誤差を補正する工程と、

を備えたことを特徴とするパターン検査方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、パターン検査装置及びパターン検査方法に関する。例えば、電子ビームを照射して放出されるパターン像の2次電子画像を取得してパターンを検査する検査装置に関する。

【背景技術】

【0002】

近年、大規模集積回路(LSI)の高集積化及び大容量化に伴い、半導体素子に要求される回路線幅はますます狭くなってきている。これらの半導体素子は、回路パターンが形成された原画パターン(マスク或いはレチクルともいう。以下、マスクと総称する)を用いて、いわゆるステッパと呼ばれる縮小投影露光装置でウェハ上にパターンを露光転写して回路形成することにより製造される。よって、かかる微細な回路パターンをウェハに転写するためのマスクの製造には、微細な回路パターンを描画することができる電子ビームを用いたパターン描画装置を用いる。かかるパターン描画装置を用いてウェハに直接パターン回路を描画することもある。或いは、電子ビーム以外にもレーザービームを用いて描画するレーザービーム描画装置の開発が試みられている。

20

【0003】

そして、多大な製造コストのかかるLSIの製造にとって、歩留まりの向上は欠かせない。しかし、1ギガビット級のDRAM(ランダムアクセスメモリ)に代表されるように、LSIを構成するパターンは、サブミクロンからナノメートルのオーダーになろうとしている。歩留まりを低下させる大きな要因の一つとして、半導体ウェハ上に超微細パターンをフォトリソグラフィ技術で露光、転写する際に使用されるマスクのパターン欠陥があげられる。近年、半導体ウェハ上に形成されるLSIパターン寸法の微細化に伴って、パターン欠陥として検出しなければならない寸法も極めて小さいものとなっている。そのため、LSI製造に使用される転写用マスクの欠陥を検査するパターン検査装置の高精度化が必要とされている。

30

【0004】

検査手法としては、拡大光学系を用いてリソグラフィマスク等の基板上に形成されているパターンを所定の倍率で撮像した光学画像と、設計データ、あるいは試料上の同一パターンを撮像した光学画像と比較することにより検査を行う方法が知られている。例えば、パターン検査方法として、同一マスク上の異なる場所の同一パターンを撮像した光学画像データ同士を比較する「die to die(ダイ-ダイ)検査」や、パターン設計されたCADデータをマスクにパターンを描画する時に描画装置が入力するための装置入力フォーマットに変換した描画データ(設計パターンデータ)を検査装置に入力して、これをベースに設計画像データ(参照画像)を生成して、それとパターンを撮像した測定データとなる光学画像とを比較する「die to database(ダイ-データベース)検査」がある。かかる検査装置における検査方法では、試料はステージ上に載置され、ステージが動くことによって光束が試料上を走査し、検査が行われる。試料には、光源及び照明光学系によって光束が照射される。試料を透過あるいは反射した光は光学系を介して、センサ上に結像される。センサで撮像された画像は測定データとして比較回路へ送られる。比較回路では、画像同士の位置合わせの後、測定データと参照データとを適切なア

40

50

ルゴリズムに従って比較し、一致しない場合には、パターン欠陥有りと判定する。

【0005】

上述したパターン検査装置では、レーザ光を基板に照射して、その透過像或いは反射像を撮像することにより、光学画像を取得する。これに対して、電子ビームによるマルチビームを基板に照射して、基板から放出される各ビームに対応する2次電子を検出して、パターン像を取得する検査装置の開発も進んでいる(例えば、特許文献1参照)。マルチビームを用いたパターン検査装置では、マルチビーム全体で得られた2次電子画像を参照画像と比較することになる。ここで、パターン検査装置では、パターン検査前に、試料面の画像を使った位置合わせやキャリブレーションといった事前準備が必要となる。そのため、マルチビームを含め電子ビームを用いたパターン検査装置では、検査前の段階で、画像を得るために試料面の一部に電子ビームを照射する必要がある。その結果、検査前の段階で、試料面の一部は帯電してしまう。帯電した箇所を含む試料面のパターンを検査すると、帯電の影響により高精度な画像が得られなくなり、欠陥が生じていないにも関わらず欠陥と判定されてしまう疑似欠陥が発生してしまうといった問題があった。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-155119号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0007】

そこで、本発明の一態様は、電子ビームによるマルチビームを用いたパターン検査において帯電の影響に起因する疑似欠陥を低減可能なパターン検査装置及び方法を提供する。

【課題を解決するための手段】

【0008】

本発明の一態様のパターン検査装置は、  
複数のチップパターンが形成された基板を載置するステージと、  
複数の電子ビームにより構成されるマルチビームを用いて、基板上を走査するカラムと

、  
基板にマルチビームを照射することに起因して基板から放出される2次電子群を所望の検査画素サイズよりも大きい第1の画素サイズ毎に検出する第1の検出器と、

30

基板にマルチビームを照射することに起因して基板から放出される2次電子群を所望の画素サイズとなる第2の画素サイズ毎に検出する第2の検出器と、

基板の検査領域上に短冊状に設定される、検査領域の一部を占める複数の第1のストライプ領域を、マルチビームを用いて走査することによって得られた第1の画素サイズ毎に検出された画素データを用いて、基板の検査領域が短冊状に仮想分割された複数の第2のストライプ領域を、マルチビームを用いて走査することによって得られた第2の画素サイズ毎に検出された画素データに生じる帯電に起因する階調誤差を補正する補正部と、  
を備えたことを特徴とする。

【0009】

40

また、第1の画素サイズは、第2の画素サイズの20倍以上であると好適である。

【0010】

また、複数のチップパターンは、検査領域内に形成され、

複数のチップパターンのうち、対応するチップパターンの中央部を含む複数の第1のストライプ領域のうちに対応するチップパターン用の第1のストライプ領域を設定する設定部と、

複数のチップパターンのうち、既に設定済の第1のストライプ領域と重ならないチップパターンの有無を判定する判定部と、

をさらに備え、

設定部は、複数のチップパターンのすべてのチップパターンが複数の第1のストライプ

50

領域のうちの既に設定済のいずれかの第1のストライプ領域と重なるまで、検査領域の所定の端部側のチップパターンから順に、複数の第1のストライプ領域のうちの当該チップパターン用の第1のストライプ領域を設定すると好適である。

【0011】

また、基板に対して、複数回のパターン検査前走査が実施され、

複数回のパターン検査前走査によって帯電が予想される帯電候補領域を含む第3のストライプ領域が、マルチビームを用いて走査され、

帯電候補領域について、複数回のパターン検査前走査より後の走査により得られた第1の画素サイズ毎に検出された画素データの値から複数回のパターン検査前走査より前の走査により得られた第1の画素サイズ毎に検出された画素データに基づく値を差分した差分値を演算する差分値演算部をさらに備え、

補正部は、帯電候補領域について、差分値を用いて、第2の画素サイズ毎に検出された画素データに生じる帯電に起因する階調誤差を補正すると好適である。

【0012】

本発明の一態様のパターン検査方法は、

複数の電子ビームにより構成されるマルチビームを用いて、複数のチップパターンが形成された基板上を走査する工程と、

基板にマルチビームを照射することに起因して基板から放出される2次電子群を所望の検査画素サイズよりも大きい第1の画素サイズ毎に検出する工程と、

基板にマルチビームを照射することに起因して基板から放出される2次電子群を所望の画素サイズとなる第2の画素サイズ毎に検出する工程と、

基板の検査領域上に短冊状に設定される、検査領域の一部を占める複数の第1のストライプ領域を、マルチビームを用いて走査することによって得られた第1の画素サイズ毎に検出された画素データを用いて、基板の検査領域が短冊状に仮想分割された複数の第2のストライプ領域を、マルチビームを用いて走査することによって得られた第2の画素サイズ毎に検出された画素データに生じる帯電に起因する階調誤差を補正する工程と、

を備えたことを特徴とする。

【発明の効果】

【0013】

本発明の一態様によれば、電子ビームによるマルチビームを用いたパターン検査において帯電の影響に起因する疑似欠陥を低減できる。

【図面の簡単な説明】

【0014】

【図1】実施の形態1におけるパターン検査装置の構成を示す構成図である。

【図2】実施の形態1における成形アパーチャアレイ部材の構成を示す概念図である。

【図3】実施の形態1におけるブランキングアパーチャアレイ機構の一部を示す上面概念図である。

【図4】実施の形態1における検査対象基板に形成される複数のチップ領域の一例を示す図である。

【図5】実施の形態1におけるマルチビームの照射領域と測定用画素との一例を示す図である。

【図6】実施の形態1におけるスキャン動作の細部の一例を説明するための概念図である。

【図7】実施の形態1におけるパターン検査方法の要部工程を示すフローチャート図である。

【図8】実施の形態1におけるストライプ設定回路の内部構成を示す図である。

【図9】実施の形態1におけるプレスキャンストライプの設定方法の一例を示すフローチャート図である。

【図10】実施の形態1におけるプレスキャンを説明するための図である。

【図11】実施の形態1における補正回路の内部構成の一例を示す図である。

10

20

30

40

50

【図 1 2】実施の形態 1 における階調補正の仕方を説明するための図である。

【図 1 3】実施の形態 1 における帯電候補領域とプレスキャンストライプ ( 2 ) 領域との一例を示す図である。

【図 1 4】実施の形態 1 におけるスキャン動作の一例を説明するための概念図である。

【図 1 5】実施の形態 1 における帯電補正工程の内部工程を示すフローチャート図である。

【図 1 6】実施の形態 1 における帯電候補領域が存在するチップパターンのチップ領域の画素の位置を示す図である。

【図 1 7】実施の形態 1 における比較回路の内部構成の一例を示す図である。

【発明を実施するための形態】

【 0 0 1 5 】

実施の形態 1 .

図 1 は、実施の形態 1 におけるパターン検査装置の構成を示す構成図である。図 1 において、基板に形成されたパターンを検査する検査装置 1 0 0 は、マルチ電子ビーム検査装置及びパターン検査装置の一例である。検査装置 1 0 0 は、光学画像取得部 1 5 0、及び制御系回路 1 6 0 ( 制御部 ) を備えている。光学画像取得部 1 5 0 は、電子ビームカラム 1 0 2 ( 電子銃筒 )、検査室 1 0 3、検出回路 1 0 6、ストライプパターンメモリ 1 2 3、及びレーザ測長システム 1 2 2 を備えている。電子ビームカラム 1 0 2 内には、電子銃 2 0 1、照明レンズ 2 0 2、成形アパーチャアレイ部材 2 0 3、ブランキングアパーチャアレイ機構 2 0 4、縮小レンズ 2 0 5、制限アパーチャ部材 2 0 6、対物レンズ 2 0 7、

10

20

【 0 0 1 6 】

検査室 1 0 3 内には、少なくとも X Y 方向に移動可能な X Y ステージ 1 0 5 が配置される。X Y ステージ 1 0 5 上には、検査対象となる複数の図形パターンが形成された基板 1 0 1 が配置される。基板 1 0 1 には、上述したように、露光用マスクやシリコンウェハ等の半導体基板が含まれる。基板 1 0 1 は、例えば、パターン形成面を上側に向けて X Y ステージ 1 0 5 に配置される。また、X Y ステージ 1 0 5 上には、検査室 1 0 3 の外部に配置されたレーザ測長システム 1 2 2 から照射されるレーザ測長のレーザ光を反射するミラー 2 1 6 が配置されている。検出器 2 2 2 , 2 2 4 は、電子ビームカラム 1 0 2 の外部で検出回路 1 0 6 に接続される。検出回路 1 0 6 は、ストライプパターンメモリ 1 2 3 に

30

40

【 0 0 1 7 】

制御系回路 1 6 0 では、コンピュータとなる制御計算機 1 1 0 が、バス 1 2 0 を介して、位置回路 1 0 7、比較回路 1 0 8、展開回路 1 1 1、参照回路 1 1 2、ステージ制御回路 1 1 4、レンズ制御回路 1 2 4、ブランキング制御回路 1 2 6、偏向制御回路 1 2 8、補正回路 1 4 0、検出器選択回路 1 4 2、ストライプ設定回路 1 4 4、磁気ディスク装置等の記憶装置 1 0 9、モニタ 1 1 7、メモリ 1 1 8、及びプリンタ 1 1 9 に接続されている。また、ストライプパターンメモリ 1 2 3 は、補正回路 1 4 0 に接続されている。また、X Y ステージ 1 0 5 は、制御計算機 1 1 0 の制御の下にステージ制御回路 1 1 4 により駆動される。X 方向、Y 方向、 方向に駆動する 3 軸 ( X - Y - ) モータの様な駆動系によって移動可能となっている。これらの、図示しない X モータ、Y モータ、 モータは、例えばステップモータを用いることができる。X Y ステージ 1 0 5 は、X Y 各軸のモータによって水平方向及び回転方向に移動可能である。そして、X Y ステージ 1 0 5 の移動位置はレーザ測長システム 1 2 2 により測定され、位置回路 1 0 7 に供給される。レーザ測長システム 1 2 2 は、ミラー 2 1 6 からの反射光を受光することによって、レーザ干渉法の原理で X Y ステージ 1 0 5 の位置を測長する。

【 0 0 1 8 】

電子銃 2 0 1 には、図示しない高圧電源回路が接続され、電子銃 2 0 1 内の図示しないカソードとアノード間への高圧電源回路からの加速電圧の印加と共に、所定のバイアス電圧の印加と所定の温度のカソードの加熱によって、カソードから放出された電子群が加速

50

させられ、電子ビームとなって放出される。照明レンズ202、縮小レンズ205、及び対物レンズ207は、例えば電子レンズが用いられ、共にレンズ制御回路124によって制御される。ブランキングアパーチャアレイ機構204には、後述するように複数の個別ブランキング機構が配置され、各個別ブランキング機構への制御信号は、ブランキング制御回路126から出力される。偏向器208は、少なくとも4極の電極群により構成され、偏向制御回路128によって制御される。偏向器210は、少なくとも2極の電極群により構成され、偏向制御回路128によって制御される。

#### 【0019】

基板101が露光用マスクの場合には、例えば、電子ビーム描画装置等の図示しない描画装置で露光用マスクに複数の図形パターンを形成する際に、かかる描画装置で用いた描画データが検査装置100の外部から入力され、記憶装置109に格納される。基板101が半導体基板の場合には、半導体基板に露光用マスクのマスクパターンを露光転写する際の基板上の露光イメージが定義された露光イメージデータが検査装置100の外部から入力され、記憶装置109に格納される。露光イメージデータは、例えば、図示しない空間像撮像装置によって作成されればよい。

10

#### 【0020】

ここで、図1では、実施の形態1を説明する上で必要な構成を記載している。検査装置100にとって、通常、必要なその他の構成を備えていても構わない。

#### 【0021】

図2は、実施の形態1における成形アパーチャアレイ部材の構成を示す概念図である。図2において、成形アパーチャアレイ部材203には、2次元状の横(x方向) $n_3$ 列×縦(y方向) $m_3$ 列( $n_3$ ,  $m_3$ は一方が1以上の整数、他方が2以上の整数)の穴(開口部)22が所定の配列ピッチでマトリクス状に形成されている。図2では、例えば、横縦(x, y方向)に512×512列の穴22が形成される。各穴22は、共に同じ寸法形状の矩形で形成される。或いは、同じ外径の円形であっても構わない。これらの複数の穴22を電子ビーム200の一部がそれぞれ通過することで、マルチビーム20が形成されることになる。ここでは、横縦(x, y方向)が共に2列以上の穴22が配置された例を示したが、これに限るものではない。例えば、横縦(x, y方向)どちらか一方が複数列で他方は1列だけであっても構わない。また、穴22の配列の仕方は、図2のように、横縦が格子状に配置される場合に限るものではない。例えば、縦方向(y方向)k段目の列と、k+1段目の列の穴同士が、横方向(x方向)に寸法aだけずれて配置されてもよい。同様に、縦方向(y方向)k+1段目の列と、k+2段目の列の穴同士が、横方向(x方向)に寸法bだけずれて配置されてもよい。

20

30

#### 【0022】

図3は、実施の形態1におけるブランキングアパーチャアレイ機構の一部を示す上面概念図である。なお、図3において、電極24, 26と制御回路41の位置関係は一致させて記載していない。ブランキングアパーチャアレイ機構204の基板には、図3に示すように、図2に示した成形アパーチャアレイ部材203の各穴22に対応する位置にマルチビームのそれぞれのビームの通過用の通過孔25(開口部)が開口される。そして、ブランキングアパーチャアレイ機構204の基板上、各通過孔25の近傍位置に、該当する通過孔25を挟んでブランキング偏向用の電極24, 26の組(ブランカー:ブランキング偏向器)がそれぞれ配置される。また、各通過孔25の近傍には、各通過孔25用の例えば電極24に偏向電圧を印加する制御回路41(ロジック回路)がブランキングアパーチャアレイ機構204の基板内に埋め込まれるようにして配置される。各ビーム用の2つの電極24, 26の他方(例えば、電極26)は、グランド接続される。また、各制御回路41は、制御信号用の例えば10ビットの配線が接続される。各制御回路41は、例えば10ビットの配線その他、クロック信号線および電源用の配線等が接続される。マルチビームを構成するそれぞれのビーム毎に、電極24, 26と制御回路41とによる個別ブランキング機構47が構成される。ブランキング制御回路126から各制御回路41用の制御信号が出力される。各制御回路41内には、図示しないシフトレジスタが配置され、例え

40

50

ば、 $n_3 \times m_3$ 本のマルチビームの1列分の制御回路内のシフトレジスタが直列に接続される。そして、例えば、 $n_3 \times m_3$ 本のマルチビームの1列分の制御信号がシリーズで送信され、例えば、 $n_3$ 回のクロック信号によって各ビームの制御信号が対応する制御回路41に格納される。

#### 【0023】

各通過孔を通過する電子ビーム20は、それぞれ独立に対となる2つの電極24, 26に印加される電圧によって偏向される。かかる偏向によってブランキング制御される。マルチビームのうちの対応ビームをそれぞれブランキング偏向する。このように、複数のブランカーが、成形アパーチャアレイ部材203の複数の穴22(開口部)を通過したマルチビームのうち、それぞれ対応するビームのブランキング偏向を行う。

10

#### 【0024】

次に検査装置100における光学画像取得部150の動作について説明する。電子銃201(放出部)から放出された電子ビーム200は、照明レンズ202によりほぼ垂直に成形アパーチャアレイ部材203全体を照明する。成形アパーチャアレイ部材203には、矩形の複数の穴(開口部)が形成され、電子ビーム200は、すべての複数の穴が含まれる領域を照明する。複数の穴の位置に照射された電子ビーム200の各一部が、かかる成形アパーチャアレイ部材203の複数の穴22をそれぞれ通過することによって、例えば矩形形状の複数の電子ビーム(マルチビーム)20a~eが形成される。かかるマルチビーム20a~eは、ブランキングアパーチャアレイ機構204のそれぞれ対応するブランカー(第1の偏向器:個別ブランキング機構)内を通過する。かかるブランカーは、それぞれ、個別に通過する電子ビーム20を偏向する(ブランキング偏向を行う)。

20

#### 【0025】

ブランキングアパーチャアレイ機構204を通過したマルチビーム20a~eは、縮小レンズ205によって、縮小され、制限アパーチャ部材206に形成された中心の穴に向かって進む。ここで、ブランキングアパーチャアレイ機構204のブランカーによって偏向された電子ビーム20は、制限アパーチャ部材206の中心の穴から位置がはずれ、制限アパーチャ部材206によって遮蔽される。一方、ブランキングアパーチャアレイ機構204のブランカーによって偏向されなかった電子ビーム20は、図1に示すように制限アパーチャ部材206の中心の穴を通過する。かかる個別ブランキング機構のON/OFFによって、ブランキング制御が行われ、ビームのON/OFFが制御される。このように、制限アパーチャ部材206は、個別ブランキング機構によってビームOFFの状態になるように偏向された各ビームを遮蔽する。そして、ビーム毎に、ビームONになってからビームOFFになるまでに形成された、制限アパーチャ部材206を通過したビームにより、1回分のショットのビームが形成される。制限アパーチャ部材206を通過したマルチビーム20は、対物レンズ207により焦点が合わされ、所望の縮小率のパターン像となり、偏向器208によって、制限アパーチャ部材206を通過した各ビーム(マルチビーム20全体)が同方向に一括して偏向され、各ビームの基板101上のそれぞれの照射位置に照射される。一度に照射されるマルチビーム20は、理想的には成形アパーチャアレイ部材203の複数の穴の配列ピッチに上述した所望の縮小率を乗じたピッチで並ぶことになる。このように、電子ビームカラム102は、一度に2次元状の $n_3 \times m_3$ 本のマルチビーム20を基板101に照射する。基板101の所望する位置にマルチビーム20が照射されたことに起因して基板101から放出される、マルチビーム20の各ビームに対応する反射電子を含む2次電子300の束となる2次電子群310は、共に、偏向器210によって検出器222側或いは検出器側224に選択的に偏向され、検出器222(或いは検出器224)に入射することによって検出される。2次電子群310は、照射用のマルチビーム20に比べて運動エネルギーが小さい。そのため、偏向器210は、弱い電場を生じさせることで、大きな加速電圧によって加速させられている照射用のマルチビーム20を偏向させずに、照射用のマルチビーム20に比べて運動エネルギーが小さい2次電子群310だけを偏向させることができる。検出器222と検出器224とを光軸を挟んで対称に配置し、偏向器210の2極の電極を、上方から見て、検出器222と検

30

40

50

出器 2 2 4 と光軸とを結ぶ線上と重なる位置に配置することで、電極に印加する電圧の極性を入れ替えることで、検出器 2 2 2 側或いは検出器側 2 2 4 に選択的に 2 次電子群 3 1 0 を偏向できる。

【 0 0 2 6 】

図 4 は、実施の形態 1 における検査対象基板に形成される複数のチップ領域の一例を示す図である。図 4 において、基板 1 0 1 の検査領域 3 0 には、複数のチップパターンが形成される。1 ~ 6 で示す各チップパターンのチップ領域 3 1 が図 4 に示されている。チップ領域 3 1 毎に、例えば、ホールパターン、ラインパターン、ラインアンドスペースパターン、或いはこれらの組み合わせといった同種の図形パターンが繰り返し形成される。異なるチップ領域 3 1 間では、一般的に、異なるパターンが形成される。図 4 の例では、検査領域 3 0 全体が複数のチップ領域 3 1 で満たされているがこれに限るものではなく、検査領域 3 0 上にいずれのチップ領域 3 1 にも属さない領域があっても構わない。また、検査領域 3 0 の外周近傍、例えば、4 隅の近傍にはそれぞれアライメントマーク 1 1 が形成される。図 4 の例では、アライメントマーク 1 1 が検査領域 3 0 外に配置されているが、これに限るものではない。検査領域 3 0 の内側に形成されても構わない。

10

【 0 0 2 7 】

図 5 は、実施の形態 1 におけるマルチビームの照射領域と測定用画素との一例を示す図である。図 5 において、基板 1 0 1 の検査領域 3 0 は、例えば、y 方向に向かって所定の幅で短冊状の複数のストライプ領域 3 2 に仮想分割される。例えば、一回のマルチビーム 2 0 全体の照射で照射可能な照射領域 3 4 の幅の自然数倍と同じ幅で短冊状の複数のストライプ領域 3 2 に仮想分割される。また、各ストライプ領域 3 2 は、例えば、マルチビームのビームサイズでメッシュ状の複数のメッシュ領域に分割される。かかる各メッシュ領域が、測定用画素 3 6 (単位照射領域)となる。図 5 の例では、基板 1 0 1 の検査領域が、例えば y 方向に、1 回のマルチビーム 2 0 の照射で照射可能な照射領域 3 4 (描画フィールド)のサイズと実質同じ幅サイズで複数のストライプ領域 3 2 に分割された場合を示している。なお、ストライプ領域 3 2 の幅は、これに限るものではない。照射領域 3 4 の  $n_4$  倍 ( $n_4$  は 1 以上の整数)のサイズであると好適である。図 5 の例では、5 1 2 × 5 1 2 列のマルチビームの場合を示している。そして、照射領域 3 4 内に、1 回のマルチビーム 2 0 の照射で照射可能な複数の測定用画素 2 8 (1 ショット時のビームの照射位置)が示されている。言い換えれば、隣り合う測定用画素 2 8 間のピッチがマルチビームの各ビーム間のピッチとなる。図 5 の例では、隣り合う 4 つの測定用画素 2 8 で囲まれると共に、4 つの測定用画素 2 8 のうちの 1 つの測定用画素 2 8 を含む正方形の領域で 1 つのグリッド 2 9 を構成する。図 5 の例では、各グリッド 2 9 は、4 × 4 画素で構成される場合を示している。

20

30

【 0 0 2 8 】

図 6 は、実施の形態 1 におけるスキャン動作の細部の一例を説明するための概念図である。図 6 では、ある 1 つの単位検査領域 3 3 (照射領域 3 4)を走査する場合の一例を示している。1 つの照射領域 3 4 内には、x, y 方向に (2 次元状に)  $n_1 \times m_1$  個のグリッド 2 9 が配列されることになる。 $n \times m$  個のマルチビーム 2 0 がすべて使用される場合には、 $n_1 \times m_1$  個のグリッド 2 9 は、 $n \times m$  個のグリッド 2 9 になる。1 つの単位検査領域 3 3 にマルチビーム 2 0 が照射可能な位置に X Y ステージ 1 0 5 を移動させたら、その位置で X Y ステージ 1 0 5 を停止させ、当該単位検査領域 3 3 を照射領域 3 4 として当該単位検査領域 3 3 内を走査 (スキャン動作)する。マルチビーム 2 0 を構成する各ビームは、互いに異なるいずれかのグリッド 2 9 を担当することになる。そして、各ショット時に、各ビームは、担当グリッド 2 9 内の同じ位置に相当する 1 つの測定用画素 2 8 を照射することになる。図 6 の例では、各ビームは、1 ショット目に担当グリッド 2 9 内の最下段の右から 1 番目の測定用画素 3 6 を照射する。そして、偏向器 2 0 8 によってマルチビーム 2 0 全体を一括して y 方向に 1 測定用画素 3 6 分だけビーム偏向位置をシフトさせ、2 ショット目に担当グリッド 2 9 内の下から 2 段目の右から 1 番目の測定用画素 3 6 を照射する。同様に、3 ショット目に担当グリッド 2 9 内の下から 3 段目の右から 1 番目の

40

50

測定用画素 36 を照射する。4 ショット目に担当グリッド 29 内の下から 4 段目の右から 1 番目の測定用画素 36 を照射する。次に、偏向器 208 によってマルチビーム 20 全体を一括して最下段の右から 2 番目の測定用画素 36 の位置にビーム偏向位置をシフトさせ、同様に、y 方向に向かって、測定用画素 36 を順に照射していく。かかる動作を繰り返し、1 つのビームで 1 つのグリッド 29 内のすべての測定用画素 36 を順に照射していく。1 回のショットでは、成形アパーチャアレイ部材 203 の各穴 22 を通過することによって形成されたマルチビームによって、最大で各穴 22 と同数の複数のショットに応じた 2 次電子 300 の束による 2 次電子群 310 が一度に検出される。

#### 【0029】

以上のように、マルチビーム 20 全体では、単位検査領域 33 を照射領域 34 として走査（スキャン）することになるが、各ビームは、それぞれ対応する 1 つのグリッド 29 を走査することになる。そして、XY ステージ 105 が停止した状態で、1 つの単位検査領域 33 の走査（スキャン）が終了すると、隣接する次の単位検査領域 33 にステップ動作をして、XY ステージ 105 が停止した状態で、かかる隣接する次の単位検査領域 33 の走査（スキャン）を行う。かかるステップアンドリピート動作を繰り返し、各チップ 32 の走査を進めていく。マルチビーム 20 のショットにより、その都度、照射された測定用画素 36 から 2 次電子 300 が周囲上方に放出され、検出器 222, 224 の一方にて検出される。実施の形態 1 では、検出器 222 の単位検出領域サイズと検出器 224 の単位検出領域サイズとを異なるサイズに設定する。例えば、検出器 222 は、各測定用画素 36 から周囲上方に放出された 2 次電子 300 を測定用画素 36 毎（或いはグリッド 29 毎）に検出する。検出器 224 は、各測定用画素 36 から周囲上方に放出された 2 次電子 300 を複数の測定用画素 36 により構成される画素グループ毎（或いは複数のグリッド 29 により構成されるグリッドグループ毎）に検出する。言い換えれば、検出器 224 は、検出器 222 よりも拡大倍率（或いは解像度）が小さい画像の画素情報を検出するように構成する。

#### 【0030】

以上のようにマルチビーム 20 を用いて走査することで、シングルビームで走査する場合よりも高速にスキャン動作（測定）ができる。なお、上述した例では、ステップアンドリピート動作で各単位検査領域 33 のスキャンを行う場合について説明したが、これに限るものではない。XY ステージ 105 を連続移動させながら各単位検査領域 33 のスキャンを行う場合であってもよい。

#### 【0031】

図 7 は、実施の形態 1 におけるパターン検査方法の要部工程を示すフローチャート図である。図 7 において、実施の形態 1 におけるパターン検査方法は、キャリブレーション工程（S102）と、プレスキャンストライプ（1）設定工程（S104）と、検出器選択工程（S106）と、プレスキャン（1）及び画像検出工程（S108）と、階調値演算工程（S110）と、検査前スキャン工程（S112）と、位置ずれによる階調値補正工程（S114）と、判定工程（S116）と、階調値補正工程（S118）と、帯電候補領域抽出工程（S120）と、プレスキャンストライプ（2）設定工程（S122）と、プレスキャン（2）及び画像検出工程（S124）と、判定工程（S126）と、データ判定工程（S128）と、差分値演算工程（S130）と、階調値補正工程（S134）と、差分マップ作成工程（S136）と、検査スキャン及び画像検出工程（S140）と、帯電補正工程（S142）と、参照画像作成工程（S144）と、位置合わせ工程（S146）と、比較工程（S148）と、いう一連の工程を実施する。

#### 【0032】

ここで、検査装置 100 では、パターン検査前に、基板 101 面の画像を使った位置合わせ（アライメント）作業や、例えば膜パターンが存在しない白パターンと例えば膜パターンが存在する黒パターンとの階調値を設定するキャリブレーション（光量キャリブレーション）作業といった事前準備が必要となる。また、実施の形態 1 では、参照画像を作成するためのフィルタ関数の係数を取得するためにもパターン検査前に画像を取得する。そ

10

20

30

40

50

のため、検査装置 100 では、上述したように、検査前の段階で、画像を得るために基板 101 面の一部にマルチビーム 20 (電子ビーム) を照射する必要がある。その結果、検査前の段階で、基板 101 面の一部は帯電してしまう。そのままの状態、パターン検査を行ったのでは、帯電の影響を受けている箇所において、得られる画像の階調値に誤差が生じてしまう。そこで、実施の形態 1 では、検査前にプレスキャンを行って、帯電の影響を測定する。かかるプレスキャンでは、基板 101 にさらなる帯電の影響を与えることを防止或いは低減するために、検査時よりも弱いビーム強度でプレスキャンを行うと好適である。例えば、検査時のビーム強度の  $1/5 \sim 1/20$  程度の強度に設定すると好適である。また、プレスキャン画像を検出する場合でも演算時間を低減するために、拡大倍率 (或いは解像度) を小さくすると好適である。

10

#### 【0033】

キャリブレーション工程 (S102) として、光学画像取得部 150 は、検査対象基板 101 の検査領域 30 内の一部のパターン有部分とパターン無部分とをマルチビームを照射することによってスキャンして、照射箇所から放出された 2 次電子群 310 を検出器 222 で検出する。検出されたデータは、検出回路 106、ストライプパターンメモリ 123 を介して、制御系回路 160 に出力され、画像がモニタ 117 に表示される。そして、制御計算機 110 は、かかる画像から、例えば膜パターンが存在しない白パターンの階調値 (最大階調) と例えば膜パターンが存在する黒パターンとの階調値 (最小階調) を設定する (光量キャリブレーション)。階調値は、例えば 256 階調で設定すると好適である。また、パターン有部分とパターン無部分の位置は、記憶装置 109 に格納された設計データから判定すればよい。

20

#### 【0034】

図 8 は、実施の形態 1 におけるストライプ設定回路の内部構成を示す図である。図 8 において、ストライプ設定回路 144 内には、選択部 60、設定部 62、判定部 64、選択部 66、判定部 67、抽出部 68、及び設定部 69 が配置される。選択部 60、設定部 62、判定部 64、選択部 66、判定部 67、抽出部 68、及び設定部 69 といった各「～部」は、処理回路を含み、その処理回路には、電気回路、コンピュータ、プロセッサ、回路基板、量子回路、或いは、半導体装置等が含まれる。また、各「～部」は、共通する処理回路 (同じ処理回路) を用いてもよい。或いは、異なる処理回路 (別々の処理回路) を用いても良い。選択部 60、設定部 62、判定部 64、選択部 66、判定部 67、抽出部 68、及び設定部 69 内に必要な入力データ或いは演算された結果はその都度図示しないメモリに記憶される。

30

#### 【0035】

プレスキャンストライプ (1) 設定工程 (S104) として、ストライプ設定回路 144 は、基板 101 の検査領域 30 上に短冊状に設定される、検査領域 30 の一部を占める複数のプレスキャンストライプ (1) 領域 (第 1 のストライプ領域) を設定する。具体的には、以下のように動作する。

#### 【0036】

図 9 は、実施の形態 1 におけるプレスキャンストライプの設定方法の一例を示すフローチャート図である。図 9 において、実施の形態 1 におけるプレスキャンストライプの設定方法は、選択工程 (S10) と、設定工程 (S12) と、判定工程 (S14) と、選択工程 (S16) と、いう一連の工程を実施する。

40

#### 【0037】

図 10 は、実施の形態 1 におけるプレスキャンを説明するための図である。図 10 では、複数のチップパターン (1～6) の各チップ領域 31 の一例と、検査領域 30 の一部を占める複数のプレスキャンストライプ (1) 領域 35 (第 1 のストライプ領域) の一例とを示している。

#### 【0038】

選択工程 (S10) として、選択部 60 は、複数のチップ領域 31 のうち、左端 (x 座標が小さい方向に隣接する他のチップ領域 31 が無い) のチップ領域 31 を選択する。図

50

10の例では、チップパターン1, 5, 6の各チップ領域31が該当する。

【0039】

設定工程(S12)として、設定部62は、複数のチップパターン(1~6)のうち、選択された対応するチップパターンの中央部を含む対応するチップパターン用のプレスキャンストライプ(1)領域35(第1のストライプ領域)を設定する。図10の例では、チップパターン1の中央部を通るプレスキャンストライプ(1)領域35a、チップパターン5の中央部を通るプレスキャンストライプ(1)領域35b、及びチップパターン6の中央部を通るプレスキャンストライプ(1)領域35cを設定する。

【0040】

判定工程(S14)として、判定部64は、複数のチップパターン(1~6)のうち、既に設定済のプレスキャンストライプ(1)領域35と重ならないチップパターンの有無を判定する。図10の例では、複数のチップパターン(1~6)のうち、チップパターン1, 5, 6については、プレスキャンストライプ(1)領域35(a, b, c)が既に設定されているので、残りのチップパターン2, 3, 4の中にプレスキャンストライプ(1)領域35a, 35b, 35cのいずれとも重ならないチップパターンが存在するかどうかを判定する。判定部64は、まず、プレスキャンストライプ(1)領域35が設定済のチップパターン1, 5, 6の右側側(x方向側)に隣接するチップパターンが既に設定済のプレスキャンストライプ(1)領域35と重ならないかどうかを判定する。チップパターン1, 5, 6の右側側(x方向側)に隣接するチップパターンとして、図10の例では、チップパターン2, 4が該当する。既に設定済のプレスキャンストライプ(1)領域35と重ならない右側側(x方向側)に隣接するチップパターンが有る場合には、選択工程(S16)に進む。既に設定済のプレスキャンストライプ(1)領域35と重ならない右側側(x方向側)に隣接するチップパターンが無い場合には、判定工程(S18)に進む。

10

20

【0041】

図9の例では、チップパターン2, 4のうち、チップパターン2がプレスキャンストライプ(1)領域35aと重なる。チップパターン4がプレスキャンストライプ(1)領域35bと重なる。よって、図10の例では、プレスキャンストライプ(1)領域35が設定済のチップパターン1, 5, 6の右側側(x方向側)に隣接するチップパターン2, 4のうち、既に設定済のプレスキャンストライプ(1)領域35と重ならないチップパターンは無いと判定されることになる。

30

【0042】

選択工程(S16)として、選択部66は、プレスキャンストライプ(1)領域35が設定済のチップパターン1, 5, 6の右側側(x方向側)に隣接するチップパターン2, 4のうち、既に設定済のプレスキャンストライプ(1)領域35と重ならないチップパターンが存在する場合には、プレスキャンストライプ(1)領域35が設定済のチップパターン1, 5, 6の右側側(x方向側)に隣接する、既に設定済のプレスキャンストライプ(1)領域35と重ならないチップパターンを選択する。そして、設定工程(S12)に戻る。図10の例では、プレスキャンストライプ(1)領域35が設定済のチップパターン1, 5, 6の右側側(x方向側)に隣接するチップパターン2, 4のうち、既に設定済のプレスキャンストライプ(1)領域35と重ならないチップパターンは無いので、選択されないことになる。

40

【0043】

プレスキャンストライプ(1)領域35が設定済のチップパターン1, 5, 6の右側側(x方向側)に隣接するチップパターン2, 4のうち、既に設定済のプレスキャンストライプ(1)領域35と重ならないチップパターンが存在する場合には、戻った設定工程(S12)において、設定部62が、存在した対応するチップパターンの中央部を含む対応するチップパターン用のプレスキャンストライプ(1)領域35(第1のストライプ領域)を設定することになる。図10の例では、プレスキャンストライプ(1)領域35が設定済のチップパターン1, 5, 6の右側側(x方向側)に隣接するチップパターン2, 4

50

のうち、既に設定済のプレスキャンストライブ(1)領域35と重ならないチップパターンが存在しないので新たにプレスキャンストライブ(1)領域35(第1のストライブ領域)を設定しないことになる。そして、再度、判定工程(S14)に進む。

【0044】

そして、判定工程(S14)において、上述したように、判定部64は、プレスキャンストライブ(1)領域35が設定済のチップパターン2,4の右側側(x方向側)に隣接するチップパターンのうち、既に設定済のプレスキャンストライブ(1)領域35と重ならないチップパターンが有るかどうかを判定する。チップパターン2,4の右側側(x方向側)に隣接するチップパターンとして、図9の例では、チップパターン3が該当する。図9の例では、チップパターン3がプレスキャンストライブ(1)領域35a,35bと重なる。よって、図10の例では、プレスキャンストライブ(1)領域35が設定済のチップパターン2,4の右側側(x方向側)に隣接するチップパターン3のうち、既に設定済のプレスキャンストライブ(1)領域35と重ならないチップパターンは無いと判定されることになる。

10

【0045】

判定工程(S18)として、判定部67は、すべてのチップパターンについて判定工程(S14)での対象になったかどうかを判定する。まだ、残るチップパターンが存在する場合には、判定工程(S14)に戻る。

【0046】

以上のように、判定工程(S18)においてすべてのチップパターンについて判定工程(S14)での判定対象となるまで、設定工程(S12)から判定工程(S18)までを繰り返す。言い換えれば、設定部62は、複数のチップパターン1~6のすべてのチップパターンが既に設定済のいずれかのプレスキャンストライブ(1)領域35(第1のストライブ領域)と重なるまで、検査領域30の所定の端部側(図10では左端)のチップパターンから順に、当該チップパターン用のプレスキャンストライブ(1)領域35を設定する。図10の例では、プレスキャンストライブ(1)領域35a,35b,35cの3本によって、すべてのチップパターンがいずれかのプレスキャンストライブ(1)領域35と重なることになる。以上により、すべてのチップパターンをプレスキャンするためのプレスキャンストライブ(1)領域35を設定できる。かかる手法を用いることで、各チップパターンを確実に通りながら、プレスキャンストライブ(1)領域35の本数を低減できる。なお、プレスキャンストライブ(1)領域35の幅(y方向)のサイズは、照射領域34のサイズの整数倍に設定すると好適である。図10の例では、照射領域34のy方向サイズと同じサイズに設定されている。

20

30

【0047】

検出器選択工程(S106)として、検出器選択回路142は、複数の検出器222,224の中からプレスキャン用に用いる検出器(ここでは、検出器224)を選択する。選択された検出器の情報は偏向制御回路128に出力される。そして、偏向制御回路128は、選択された検出器224が2次電子群310を検出するように、偏向器210に偏向電圧を印加する。具体的には、偏向器210を構成する2極の電極のうち、選択された検出器224側の電極が相対的に正の電位になるように電圧を印加する。例えば、偏向器210を構成する2極の電極のうち、選択された検出器224側の電極に正の電位を印加し、選択されなかった検出器222側の電極に負の電位(或いはグランド電位)を印加する。

40

【0048】

プレスキャン(1)及び画像検出工程(S108)として、電子ビームカラム102は、複数の電子ビームにより構成されるマルチビーム20を用いて、基板101上を走査する。ここでは、基板101の検査領域30上に短冊状に設定された、検査領域30の一部を占める複数のプレスキャンストライブ(1)領域35(第1のストライブ領域)を、マルチビーム20を用いてパターン検査前に順にスキャン(走査)する(プレスキャン(1))。上述したように、かかるプレスキャン(1)では、基板101にさらなる帯電の影

50

響を与えることを防止或いは低減するために、検査時よりも弱いビーム強度でプレスキャンを行うと好適である。例えば、検査時のビーム強度の $1/5 \sim 1/20$ 程度の強度に設定すると好適である。そして、検出器224（第1の検出器）は、基板101にマルチビーム20を照射することに起因して基板101から放出される2次電子群310を所望の検査画素サイズよりも大きい画素サイズ（第1の画素サイズ）毎に検出する。検出器224で検出される際のプレスキャン用画素37のサイズ（第1の画素サイズ）は、検出器222で検出される際の検査用画素サイズ（第2の画素サイズ）の20倍以上に設定すると好適である。これにより、プレスキャン画像を検出する場合の演算時間を低減できる。実施の形態1では、単位検査領域33を、例えば $2 \times 2$ の領域に分け、グループ化し、プレスキャン用画素37とする。マルチビーム20が $512 \times 512$ 本のビームで構成される場合、検出器224は、例えば、 $256 \times 256$ のグリッド29により構成されるグリッドグループをプレスキャン用画素37として、プレスキャン用画素37毎に検出する。検出器224によって検出されたプレスキャン用画素からの2次電子300の検出データは、測定順に検出回路106に出力される。検出回路106内では、図示しないA/D変換器によって、アナログの検出データがデジタルデータに変換され、ストライプパターンメモリ123に格納される。デジタルデータに変換する際、検出データが示す検出強度を、例えば、 $0 \sim 255$ の256階調で定義すると良い。そして、1つのプレスキャンストライプ（1）領域35分の検出データが蓄積された段階で、プレスキャン（1）データとして補正回路140に転送される。

10

20

#### 【0049】

図11は、実施の形態1における補正回路の内部構成の一例を示す図である。図11において、補正回路140内には、磁気ディスク装置等の記憶装置70、72、74、87、88、帯電補正マップ作成部76、判定部301、判定部302、補正部303、判定部304、平均値演算部305、差分演算部306、判定部307、補正部308、判定部309、判定部312、及び補正部314が配置される。また、帯電補正マップ作成部76内には、階調値演算部77、位置ずれ階調補正部78、判定部79、階調補正部80、判定部81、データ判定部82、差分演算部83、差分マップ作成部84、及び階調補正部86が配置される。帯電補正マップ作成部76（階調値演算部77、位置ずれ階調補正部78、判定部79、階調補正部80、判定部81、データ判定部82、差分演算部83、差分マップ作成部84、及び階調補正部86）、判定部301、判定部302、補正部303、判定部304、平均値演算部305、差分演算部306、判定部307、補正部308、判定部309、判定部312、及び補正部314といった各「～部」は、処理回路を含み、その処理回路には、電気回路、コンピュータ、プロセッサ、回路基板、量子回路、或いは、半導体装置等が含まれる。また、各「～部」は、共通する処理回路（同じ処理回路）を用いてもよい。或いは、異なる処理回路（別々の処理回路）を用いても良い。帯電補正マップ作成部76（階調値演算部77、位置ずれ階調補正部78、判定部79、階調補正部80、判定部81、データ判定部82、差分演算部83、差分マップ作成部84、及び階調補正部86）、判定部301、判定部302、補正部303、判定部304、平均値演算部305、差分演算部306、判定部307、補正部308、判定部309、判定部312、及び補正部314内に必要な入力データ或いは演算された結果はその都度図示しないメモリに記憶される。

30

40

#### 【0050】

補正回路140に転送されたプレスキャン（1）データは、記憶装置70に格納される。

#### 【0051】

階調値演算工程（S110）として、階調値演算部77は、記憶装置70に記憶されたプレスキャン（1）データを読み出し、プレスキャン用画素37毎に、階調値を演算する。実際にプレスキャン（1）を行った、各プレスキャンストライプ（1）領域35のプレスキャン用画素37については、測定値を階調値とする。プレスキャンストライプ（1）領域35は、検査領域30の一部だけなので、検査領域30には、実際にプレスキャン（

50

1)を行っていない多くの領域が残る。階調値演算部77は、チップ領域31毎に、実際にプレスキャン(1)を行った、複数のプレスキャンストライプ(1)領域35のうち、当該チップ領域31内に位置するプレスキャン用画素37毎の階調値の平均値(平均階調値)を演算する。そして、階調値演算部77は、当該チップ領域31内で実際にプレスキャン(1)を行っていないプレスキャン用画素37の階調値は、かかる当該チップ領域31内の平均階調値を当てはめる。これにより、検査領域30全体について、プレスキャン用画素37毎の階調値を演算できる。かかる段階のプレスキャン用画素37毎の階調値を階調値(A)とする。プレスキャン用画素37をマップ用の単位メッシュとし、階調値(A)をメッシュ値とする。検査領域30全体についての階調値マップ(A)は記憶装置87に格納される。かかる段階では、キャリブレーション動作が1回行われている段階で、まだ、検査時の階調値に誤差が生じるほどの帯電の影響は受けていないものと思われる。よって、階調値(A)は帯電の影響を受ける前の段階で得られる基準データになる。

10

#### 【0052】

検査前スキャン工程(S112)として、検査前スキャンの一例として、光学画像取得部150は、アライメントマーク11にマルチビーム20を照射することによってスキャンして、照射箇所から放出された2次電子群310を検出器222で検出する。そして、得られる画像のアライメントマーク11の位置に基づいて、基板101の設計位置からの位置ずれを補正する。アライメント動作は、1回の位置合わせで所望する精度が得られない場合が多いので、通常、複数回のアライメント動作が行われる。そのため、通常、1つのアライメントマーク11に対して複数回のスキャン動作を実施する。また、その際のビーム強度は検査時と同様のビーム強度を用いる。よって、かかるスキャン動作によって、ビーム照射位置は帯電することになる。図4の例では、検査領域30外にアライメントマーク11が配置される場合を示したが、検査領域30内にアライメントマーク11が配置される場合もあり得る。

20

#### 【0053】

また、検査前スキャンの他の一例として、参照画像を作成するためのフィルタ関数の係数を取得するためにもパターン検査前に検査領域30内の一部の領域の画像を取得する。そのため、光学画像取得部150は、かかる領域にマルチビーム20を照射することによってスキャンして、照射箇所から放出された2次電子群310を検出器222で検出する。そして、対応する設計画像が得られる測定画像とできるだけ一致するように変換するためのフィルタ関数の係数を演算する。かかる演算には、通常、数か所の領域が用いられる。また、1つの領域について、複数回のスキャン動作を実施する。また、その際のビーム強度は検査時と同様のビーム強度を用いる。よって、かかるスキャン動作によって、ビーム照射位置は帯電することになる。

30

#### 【0054】

また、検査前スキャンの他の一例として、上述した光量キャリブレーション動作を再度行う場合もある。なお、検査前スキャン工程(S112)を実施するにあたり、検出器選択回路142は、複数の検出器222, 224の中から検査用に用いる検出器(ここでは、検出器222)を選択する。選択された検出器の情報は偏向制御回路128に出力される。そして、偏向制御回路128は、選択された検出器222が2次電子群310を検出するように、偏向器210に偏向電圧を印加することは言うまでもない。

40

#### 【0055】

以上のように、基板101に対して、マルチビーム20を用いた複数回のパターン検査前走査が実施される。これらの複数回のパターン検査前走査によって、検査領域30内に帯電した領域が生じることになる。

#### 【0056】

位置ずれによる階調値補正工程(S114)として、上述したアライメント動作によって、基板101の位置が移動するため、プレスキャン用画素37の階調値に誤差が生じることになる。そこで、位置ずれ階調補正部78は、プレスキャン用画素37毎に、位置ずれにより生じた階調値誤差を補正する。

50

## 【 0 0 5 7 】

図 1 2 は、実施の形態 1 における階調補正の仕方を説明するための図である。位置ずれ階調補正部 7 8 は、プレスキャン用画素 3 7 毎に、基板 1 0 1 のアライメント動作による移動量（位置ずれ補正量）の値だけ、当該プレスキャン用画素 3 7 内のパターン 2 7 の画像の位置を補正する。図 1 2 の例では、例えば、アライメント動作による移動量（位置ずれ補正量）が、x 方向に「 - 1 0 」であれば、当該プレスキャン用画素 3 7 内のパターン 2 7 の位置を x 方向に - 1 0 nm 移動させる。これにより、プレスキャン用画素 3 7 毎の個別歪補正ができる。その結果、当該プレスキャン用画素 3 7 内のパターン 2 7 の一部が隣接するプレスキャン用画素 3 7 へと移動する場合が生じる。或いは隣接するプレスキャン用画素 3 7 から当該プレスキャン用画素 3 7 内にパターン 2 7 の一部が移動する場合が生じる。これによりプレスキャン用画素 3 7 内の階調値が変化する。位置ずれ階調補正部 7 8 は、かかる変化した階調値を演算する。かかる段階のプレスキャン用画素 3 7 毎の階調値を階調値（B）とする。プレスキャン用画素 3 7 をマップ用の単位メッシュとし、階調値（B）をメッシュ値とする検査領域 3 0 全体についての階調値マップ（B）は記憶装置 8 7 に格納される。

10

## 【 0 0 5 8 】

判定工程（S 1 1 6）として、判定部 7 9 は、階調値（A）を取得した以降に再度の光量キャリブレーション動作をおこなったかどうかを判定する。行った場合には階調値補正工程（S 1 1 8）に進む。行っていない場合には帯電候補領域抽出工程（S 1 2 0）に進む。

20

## 【 0 0 5 9 】

階調値補正工程（S 1 1 8）として、階調補正部 8 0 は、光量キャリブレーション動作によって、同じ検出データ強度であっても変換される階調値が変化するのので、検査領域 3 0 全体の各プレスキャン用画素 3 7 の階調値に、変化分の階調オフセット値を加算する。かかる段階のプレスキャン用画素 3 7 毎の階調値を階調値（C）とする。プレスキャン用画素 3 7 をマップ用の単位メッシュとし、階調値（C）をメッシュ値とする検査領域 3 0 全体についての階調値マップ（C）は記憶装置 8 7 に格納される。

## 【 0 0 6 0 】

帯電候補領域抽出工程（S 1 2 0）として、抽出部 6 8 は、上述した複数回のパターン検査前走査によって帯電が予想される帯電候補領域を抽出する。どの領域に何回の検査前走査が実施されたかについては、制御計算機 1 1 0 側（システム側）で把握しているので、制御計算機 1 1 0 から入力すればよい。

30

## 【 0 0 6 1 】

図 1 3 は、実施の形態 1 における帯電候補領域とプレスキャンストライプ（2）領域との一例を示す図である。図 1 3 の例では、例えば、チップパターン 1 のチップ領域 3 1 内から帯電候補領域 1 2 a が抽出される。また、例えば、チップパターン 4 のチップ領域 3 1 内から帯電候補領域 1 2 b が抽出される。帯電候補領域 1 2 になる条件として、例えば、プレスキャンとは別に、検査前スキャン工程（S 1 1 2）において、複数回のスキャン動作が行われた領域を設定する。例えば、3 回以上のスキャン動作が行われた領域を設定する。

40

## 【 0 0 6 2 】

プレスキャンストライプ（2）設定工程（S 1 2 2）として、設定部 6 9 は、複数回のパターン検査前走査によって帯電が予想される帯電候補領域 1 2 を含むプレスキャンストライプ（2）領域 1 4（第 3 のストライプ領域）を設定する。図 1 3 の例では、チップパターン 1 の帯電候補領域 1 2 a が中央部を通るプレスキャンストライプ（2）領域 1 4 a、及びチップパターン 4 の帯電候補領域 1 2 b が中央部を通るプレスキャンストライプ（2）領域 1 4 b を設定する。プレスキャンストライプ（2）領域 1 4 の幅は、プレスキャンストライプ（1）領域 3 5 と同様で良い。また、図 1 3 の例では、帯電候補領域 1 2 がプレスキャンストライプ（2）領域 1 4 の幅よりも小さい場合を示しているが、同じサイズに帯電候補領域を設定してもよい。

50

## 【 0 0 6 3 】

プレスキャン(2)及び画像検出工程(S124)として、電子ビームカラム102は、複数の電子ビームにより構成されるマルチビーム20を用いて、基板101上を走査する。ここでは、基板101の検査領域30上に短冊状に設定された、検査領域30の一部を占める複数のプレスキャンストライプ(2)領域14(第3のストライプ領域)を、マルチビーム20を用いてパターン検査前に順にスキャン(走査)する(プレスキャン(2))。かかるプレスキャン(2)では、上述したプレスキャン(1)と同様、基板101にさらなる帯電の影響を与えることを防止或いは低減するために、検査時よりも弱いビーム強度でプレスキャンを行うと好適である。プレスキャン(1)と同様、例えば、検査時のビーム強度の1/5~1/20程度の強度に設定すると好適である。そして、検出器224(第1の検出器)は、基板101にマルチビーム20を照射することに起因して基板101から放出される2次電子群310を所望の検査画素サイズよりも大きい画素サイズ(第1の画素サイズ)毎に検出する。検出器224は、プレスキャン用画素37毎に2次電子群310を検出する。検出器224によって検出されたプレスキャン用画素37からの2次電子300の検出データは、測定順に検出回路106に出力される。検出回路106内では、アナログの検出データがデジタルデータに変換され、ストライプパターンメモリ123に格納される。そして、同様に、検出強度を、例えば、0~255の256階調で定義すると良い。そして、1つのプレスキャンストライプ(2)領域14分の検出データが蓄積された段階で、プレスキャン(2)データとして補正回路140に転送される。

10

## 【 0 0 6 4 】

なお、プレスキャン(2)及び画像検出工程(S124)を実施するにあたり、検出器選択回路142は、複数の検出器222, 224の中からプレスキャン用に用いる検出器(ここでは、検出器224)を選択する。選択された検出器の情報は偏向制御回路128に出力される。そして、偏向制御回路128は、選択された検出器224が2次電子群310を検出するように、偏向器210に偏向電圧を印加することは言うまでもない。

20

## 【 0 0 6 5 】

判定工程(S126)として、判定部81は、チップパターン毎に、チップ領域31内に帯電候補領域12が存在するかどうかを判定する。帯電候補領域12が1つも存在しないチップパターンについては、当該チップ領域31のパターン検査において帯電の影響を考慮する(補正する)必要はない。よって、帯電候補領域12が存在するチップパターンについては、データ判定工程(S128)に進む。

30

## 【 0 0 6 6 】

データ判定工程(S128)として、データ判定部82は、帯電候補領域12が存在するチップパターン毎に、かつ、当該チップ領域31内のプレスキャン用画素37毎に、当該プレスキャン用画素37が帯電候補領域12と重なるかどうかを判定する。また、データ判定部82は、帯電候補領域12が存在するチップパターン毎に、かつ、当該チップ領域31内のプレスキャン用画素37毎に、プレスキャン(2)より前の階調値の最新の値が、プレスキャン(1)で実際に測定された値に基づいた階調値(A)、階調値(B)、或いは階調値(C)の値なのか、プレスキャン(1)で実際には測定されていない平均値に基づいた階調値(A)、階調値(B)、或いは階調値(C)の値なのか、を判定する。

40

## 【 0 0 6 7 】

ここで、プレスキャン(2)より前の各プレスキャン用画素37の階調値の最新の値は、再度の光量キャリブレーション動作が行われていれば、階調値マップ(C)の値となる。或いは、再度の光量キャリブレーション動作が行われておらず、かつアライメント動作で基板101の移動があれば、階調値マップ(B)の値となる。或いは、再度の光量キャリブレーション動作が行われておらず、かつアライメント動作で基板101の移動がなければ、階調値マップ(A)の値となる。

## 【 0 0 6 8 】

差分値演算工程(S130)として、差分演算部83(差分値演算部)は、帯電候補領域12について、検査前スキャン工程(S112)における複数回のパターン検査前走査

50

より前のプレスキャン(1)(走査)により得られたプレスキャン用画素37(第1の画素サイズの画素)毎に検出された画素データに基づく階調値から、検査前スキャン工程(S112)における複数回のパターン検査前走査より後のプレスキャン(2)(走査)により得られたプレスキャン用画素37(第1の画素サイズの画素)毎に検出された階調値(画素データの値)を差分した差分値を演算する。具体的には、差分演算部83は、帯電候補領域12が存在するチップパターン毎に、かつ、当該チップ領域31内の帯電候補領域12と重なるプレスキャン用画素37毎に、階調値の最新の値(階調値(A)、階調値(B)、或いは階調値(C))からプレスキャン(2)によって得られた階調値を差し引いた差分値を演算する。

【0069】

階調値補正工程(S134)として、階調補正部86は、各プレスキャンストライプ(2)領域14のプレスキャン用画素37毎に、プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値から、プレスキャン(2)より得られた当該プレスキャン用画素37の階調値を差し引いた差分値が所定の誤差範囲よりも外れていない場合であって、プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値がプレスキャン(1)で実際には測定されていない平均値に基づいた階調値(A)、階調値(B)、或いは階調値(C)の値である場合に、当該プレスキャン用画素37の最新の階調値をプレスキャン(2)より得られた当該プレスキャン用画素37の階調値に補正する。

【0070】

ここで、プレスキャンストライプ(2)領域14には、帯電候補領域12と重なるプレスキャン用画素37と帯電候補領域12と重ならないプレスキャン用画素37とが混在する。帯電候補領域12と重なるプレスキャン用画素37については、帯電の影響を受けて階調値がずれている可能性が高いので、プレスキャン(2)で検出された値は使用しない。プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値を引き継ぐと良い。

【0071】

一方、帯電候補領域12と重ならないプレスキャン用画素37について、プレスキャン(2)で検出された階調値がプレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値と若干違う程度(差分値が所定の誤差範囲)である場合には、以下のように対処する。

【0072】

プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値がプレスキャン(1)で実際に測定された値に基づいた階調値(A)、階調値(B)、或いは階調値(C)の値である場合、プレスキャン(1)で実際に測定された値に基づいているので正しい可能性が高い。よって、プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値を引き継ぐと良い。

【0073】

プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値がプレスキャン(1)で実際には測定されておらず平均値に基づいた階調値(A)、階調値(B)、或いは階調値(C)の値である場合、プレスキャン(2)で得られた値が実測値なので、平均値よりも正しい可能性が高い。よって、当該プレスキャン用画素37の最新の階調値をプレスキャン(2)より得られた当該プレスキャン用画素37の階調値に補正すると良い。

【0074】

他方、帯電候補領域12と重ならないプレスキャン用画素37について、プレスキャン(2)で検出された階調値がプレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値と大きく違う(差分値が上述した所定の誤差範囲外)である場合、プレスキャン(2)において何らかの誤差影響を受けたと想定されるので、プレスキャン(2)で検出された値は誤差を含んでいる可能性が高い。よって、プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値を引き継ぐと良い。

10

20

30

40

50

## 【 0 0 7 5 】

以上のように得られたかかる段階のプレスキャン用画素 3 7 毎の階調値を階調値 ( D ) とする。プレスキャン用画素 3 7 をマップ用の単位メッシュとし、階調値 ( D ) をメッシュ値とする検査領域 3 0 全体についての階調値マップ ( D ) は記憶装置 8 7 に格納される。

## 【 0 0 7 6 】

よって、階調値補正工程 ( S 1 3 4 ) 後の各プレスキャン用画素 3 7 の階調値の最新の値は、階調値マップ ( D ) の値となる。階調値マップ ( D ) に定義される各プレスキャン用画素 3 7 の階調値は、階調値補正工程 ( S 1 3 4 ) によって補正されたプレスキャン用画素 3 7 についてはかかる補正值が定義される。階調値補正工程 ( S 1 3 4 ) によって補正されていない場合には、次の階調値マップの値を引き継ぐことになる。再度の光量キャリアレーション動作が行われていれば、階調値マップ ( C ) の値となる。或いは、再度の光量キャリアレーション動作が行われておらず、かつアライメント動作で基板 1 0 1 の移動があれば、階調値マップ ( B ) の値となる。或いは、再度の光量キャリアレーション動作が行われておらず、かつアライメント動作で基板 1 0 1 の移動がなければ、階調値マップ ( A ) の値となる。

## 【 0 0 7 7 】

差分マップ作成工程 ( S 1 3 6 ) として、差分マップ作成部 8 4 は、プレスキャン ( 2 ) 領域 1 4 内であって、階調値マップ ( D ) に対してプレスキャン ( 2 ) より前の当該プレスキャン用画素 3 7 の最新の階調値を引き継いだプレスキャン用画素 3 7 毎に、当該プレスキャン用画素 3 7 の最新の階調値から、プレスキャン ( 2 ) により得られた階調値を差分した差分値 ( 1 ) を演算する。なお、帯電候補領域 1 2 と重なるプレスキャン用画素 3 7 の差分値 ( 1 ) は、差分値演算工程 ( S 1 3 0 ) において既に演算された値を流用すればよい。プレスキャン用画素 3 7 をマップのメッシュ単位として、かかる差分値 ( 1 ) をマップ値とする差分 ( 1 ) マップを作成する。作成された差分 ( 1 ) マップは記憶装置 8 8 に格納される。プレスキャン ( 2 ) によって得られた階調値のうち、階調値補正工程 ( S 1 3 4 ) によって補正されずにプレスキャン ( 2 ) より前の当該プレスキャン用画素 3 7 の最新の階調値を引き継いだプレスキャン用画素 3 7 は、帯電の影響を受けているためにプレスキャン ( 2 ) によって得られた階調値が用いられていないことになる。

## 【 0 0 7 8 】

以上のようにして、帯電補正マップとして、差分マップと階調値マップ ( D ) とを得ることができる。実施の形態 1 では、かかる帯電補正マップを用いて、以下、パターン検査時に取得される階調値を補正する。

## 【 0 0 7 9 】

検査スキャン及び画像検出工程 ( S 1 4 0 ) として、まず、検出器選択回路 1 4 2 は、複数の検出器 2 2 2 , 2 2 4 の中から検査用に用いる検出器 ( ここでは、検出器 2 2 2 ) を選択する。選択された検出器の情報は偏向制御回路 1 2 8 に出力される。そして、偏向制御回路 1 2 8 は、選択された検出器 2 2 2 が 2 次電子群 3 1 0 を検出するように、偏向器 2 1 0 に偏向電圧を印加する。

## 【 0 0 8 0 】

そして、電子ビームカラム 1 0 2 は、複数の電子ビームにより構成されるマルチビーム 2 0 を用いて、基板 1 0 1 上を走査する。ここでは、基板 1 0 1 の検査領域 3 0 を仮想分割した、短冊状に設定された、検査領域 3 0 の全体を占める複数のストライプ領域 3 2 ( 第 2 のストライプ領域 ) を、マルチビーム 2 0 を用いて順にスキャン ( 走査 ) する。図 4 の例では、 1 ~ 6 のチップパターンにより検査領域 3 0 全体が占められているので、検査用の複数のストライプ領域 3 2 は、検査領域 3 0 の全体を占めるが、これに限るものではない。配置されるチップパターンにより検査領域 3 0 全体が占められていない場合には、チップパターンが配置される部分だけを複数のストライプ領域 3 2 に分割しても良い。

## 【 0 0 8 1 】

図 1 4 は、実施の形態 1 におけるスキャン動作の一例を説明するための概念図である。

10

20

30

40

50

図14において、基板101の検査領域30は、例えば、y方向に向かって所定の幅で短冊状の複数のストライプ領域32に仮想分割される。例えば、一回のマルチビーム20全体の照射で照射可能な照射領域34の幅の自然数倍と同じ幅で短冊状の複数のストライプ領域32に仮想分割される。図14の例では、照射領域34と同じ幅で短冊状の複数のストライプ領域32に仮想分割される。また、各ストライプ領域32は、照射領域34と同じサイズで複数の単位検査領域33に分割される。図14に示すように、まず、XYステージ105を移動させて、第1番目のストライプ領域32の左端の単位検査領域33の位置に一回のマルチビーム20の照射で照射可能な照射領域34が位置するように調整し、スキャン動作が開始される。実施の形態1では、例えば、ステップアンドリピート動作を繰り返すことで、照射領域34をx方向に照射領域34の幅で順次ずらしながら当該単位検査領域33を走査していく。第1番目のストライプ領域32をスキャンする際には、XYステージ105を例えば-x方向に移動させることにより、相対的にx方向へとスキャン動作を進めていく。第1番目のストライプ領域32の検査用のマルチビーム照射が終了したら、ステージ位置を-y方向に移動させて、第2番目のストライプ領域32の右端、或いはさらに右側の位置に照射領域34が相対的にy方向に位置するように調整し、今度は、XYステージ105を例えばx方向に移動させることにより、-x方向に向かって同様にマルチビーム照射を行う。第3番目のストライプ領域32では、x方向に向かってマルチビーム照射し、第4番目のストライプ領域32では、-x方向に向かってマルチビーム照射するといったように、交互に向きを変えながら走査することで検査時間を短縮できる。但し、かかる交互に向きを変えながら走査する場合に限らず、各ストライプ領域32を描画する際、同じ方向に向かって走査を進めるようにしても構わない。1回のショットでは、成形アパーチャアレイ部材203の各穴22を通過することによって形成されたマルチビームによって、最大で各穴22と同数の複数のショットに応じた2次電子の束による2次電子群310が一度に検出される。

10

20

30

40

50

#### 【0082】

なお、今回は検査用なので、通常の検査時のビーム強度でスキャンを行う。そして、各ストライプ領域32のスキャンにおいて、検出器222(第2の検出器)は、基板101にマルチビーム20を照射することに起因して基板101から放出される2次電子群310を所望の検査画素サイズ(第2の画素サイズ)毎に検出する。検出器222は、画素36毎に2次電子群310を検出する。検出器222によって検出された画素36からの2次電子300の検出データは、測定順に検出回路106に出力される。検出回路106内では、アナログの検出データがデジタルデータに変換され、ストライプパターンメモリ123に格納される。そして、同様に、検出強度を、例えば、0~255の256階調で定義すると良い。そして、1つのストライプ領域32分の検出データが蓄積された段階で、検査用の測定データとして補正回路140に転送される。なお、測定データの画素サイズは、測定用画素36の代わりに、グリッド29を単位としても良い。かかる場合には、同じグリッド29内の画素36の階調平均値を当該グリッド29の階調値にすればよい。或いは、検出器222の検出画素サイズを予めグリッド29単位にしても良い。

#### 【0083】

帯電補正工程(S142)として、補正回路140(補正部)は、上述したプレスキャンによってプレスキャン用画素37毎に得られた画素データを用いて、検査時のスキャンによって得られた画素データに生じる帯電に起因する階調誤差を補正する。上述したプレスキャンによってプレスキャン用画素37毎に得られた画素データは、上述したように、基板101の検査領域30上に短冊状に設定される、検査領域30の一部を占める複数のストライプ領域35(第1のストライプ領域)或いは複数のストライプ領域14(第3のストライプ領域)を、マルチビーム20を用いて走査することによって得られたプレスキャン用画素37毎に検出された画素データとなる。言い換えれば、差分マップと階調値マップ(D)といった帯電補正マップが該当する。検査時のスキャンによって得られた画素データは、上述したように、基板101の検査領域30が短冊状に仮想分割された複数のストライプ領域32(第2のストライプ領域)を、マルチビーム20を用いて走査するこ

とによって得られた検査用の所望の画素サイズの画素 3 6 ( 或いはグリッド 2 9 ) ( 第 2 の画素サイズ ) 毎に検出された画素データが該当する。

【 0 0 8 4 】

図 1 5 は、実施の形態 1 における帯電補正工程の内部工程を示すフローチャート図である。図 1 5 において、実施の形態 1 における帯電補正工程 ( S 1 4 2 ) は、その内部工程として、判定工程 ( S 2 0 2 ) と、判定工程 ( S 2 0 4 ) と、補正工程 ( S 2 0 6 ) と、判定工程 ( S 2 1 0 ) と、平均値演算工程 ( S 2 1 2 ) と、差分値 ( 2 ) 演算工程 ( S 2 1 4 ) と、判定工程 ( S 2 1 6 ) と、補正工程 ( S 2 1 8 ) と、判定工程 ( S 2 2 0 ) と、判定工程 ( S 2 2 2 ) と、補正工程 ( S 2 2 4 ) と、いう、一連の工程を実施する。

【 0 0 8 5 】

判定工程 ( S 2 0 2 ) として、判定部 3 0 1 は、チップパターン毎に、当該チップパターンのチップ領域 3 1 内に帯電候補領域 1 2 が存在するかどうかを判定する。帯電候補領域 1 2 が存在しない場合には、補正回路 1 4 0 は、当該チップパターンのチップ領域 3 1 内の画素 3 6 ( 或いはグリッド 2 9 ) の階調値の補正を行わないで終了し、当該画素 3 6 ( 或いはグリッド 2 9 ) の階調値を比較回路 1 0 8 に出力する。帯電候補領域 1 2 が存在する場合には、判定工程 ( S 2 0 4 ) に進む。

【 0 0 8 6 】

図 1 6 は、実施の形態 1 における帯電候補領域が存在するチップパターンのチップ領域の画素の位置を示す図である。図 1 6 の例では、帯電候補領域 1 2 が存在するチップパターン 1 のチップ領域 3 1 を示している。チップパターン 1 のチップ領域 3 1 内には、帯電候補領域 1 2 内に位置する画素 3 6 a と、帯電候補領域 1 2 内ではないが、プレスキャン ( 1 ) 領域 3 5 内に位置する画素 3 6 b と、帯電候補領域 1 2 内ではないが、プレスキャン ( 2 ) 領域 1 4 内に位置する画素 3 6 c と、その他の部分に位置する画素 3 6 d , 3 6 e , 3 6 f とが存在する。これらの各条件について、それぞれ、以下のように補正する。

【 0 0 8 7 】

判定工程 ( S 2 0 4 ) として、判定部 3 0 2 は、帯電候補領域 1 2 が存在するチップ領域 3 1 内の画素 3 6 ( 或いはグリッド 2 9 ) 毎に、当該画素 3 6 ( 或いはグリッド 2 9 ) が帯電候補領域 1 2 と重なるかどうかを判定する。帯電候補領域 1 2 と重ならない場合は判定工程 ( S 2 1 0 ) に進む。帯電候補領域 1 2 と重なる場合は補正工程 ( S 2 0 6 ) に進む。

【 0 0 8 8 】

補正工程 ( S 2 0 6 ) として、補正部 3 0 3 は、帯電候補領域 1 2 について、差分値 ( 1 ) を用いて、画素 3 6 a ( 或いはグリッド 2 9 ) ( 第 2 の画素サイズの画素 ) 毎に検出された画素データに生じる帯電に起因する階調誤差を補正する。具体的には、補正部 3 0 3 は、帯電候補領域 1 2 が存在するチップ領域 3 1 内であって、帯電候補領域 1 2 と重なる画素 3 6 a ( 或いはグリッド 2 9 ) 毎に、帯電候補領域 1 2 と重なる画素 3 6 a ( 或いはグリッド 2 9 ) の検査用測定データとして得られた階調値に、記憶装置 8 8 に格納された差分 ( 1 ) マップの対応するプレスキャン用画素 3 7 の差分値 ( 1 ) を加算することによって、階調値を補正する。帯電候補領域 1 2 と重なる画素 3 6 ( 或いはグリッド 2 9 ) の測定データは帯電の影響を受けているので、差分 ( 1 ) マップの対応する差分値を加算することで帯電の影響を排除できる。差分 ( 1 ) マップに定義される差分値は、帯電前に得られた階調値から帯電後に得られた階調値を差し引いた差分値なので加算することになるが、帯電後に得られた階調値から帯電前に得られた階調値を差し引いた差分値として求めた場合には、減算すればよいことは言うまでもない。画素 3 6 ( 或いはグリッド 2 9 ) の補正後の階調値データは比較回路 1 0 8 に出力される。

【 0 0 8 9 】

判定工程 ( S 2 1 0 ) として、判定部 3 0 4 は、帯電候補領域 1 2 が存在するチップ領域 3 1 内であって、帯電候補領域 1 2 と重ならない画素 3 6 ( 或いはグリッド 2 9 ) 毎に、かかる帯電候補領域 1 2 と重ならない画素 3 6 ( 或いはグリッド 2 9 ) が、プレスキャン ( 1 ) 領域 3 5 内に位置するかどうかを判定する。プレスキャン ( 1 ) 領域 3 5 内では

10

20

30

40

50

ない場合には、判定工程（S220）に進む。プレスキャン（1）領域35内の場合には、平均値演算工程（S212）に進む。

【0090】

平均値演算工程（S212）として、平均値演算部305は、帯電候補領域12が存在するチップ領域31内であって、帯電候補領域12と重ならず、かつプレスキャン（1）領域35内に位置する画素36b（或いはグリッド29）毎に、当該画素36b（或いはグリッド29）及び隣接する周囲の複数の画素36（或いはグリッド29）の検査用測定データとして得られた階調値の平均値を演算する。隣接する周囲の複数の画素36（或いはグリッド29）は、同じチップ領域31内の画素36（或いはグリッド29）を用いる。例えば、当該画素36bと、x方向に隣接する画素36と、y方向に隣接する画素36と、x、y方向に隣接する画素36と、の2×2の画素36の平均階調値を演算する。

10

【0091】

差分値（2）演算工程（S214）として、差分演算部306は、記憶装置88に格納された階調値（D）マップを読み出し、階調値（D）マップに定義された当該画素36b（或いはグリッド29）と重なるプレスキャン用画素37の階調値から、当該画素36b（或いはグリッド29）及び隣接する周囲の複数の画素36（或いはグリッド29）の検査用測定データとして得られた階調値の平均値（平均階調値）を差し引いた差分値（2）を演算する。

【0092】

判定工程（S216）として、判定部307は、演算された差分値（2）の絶対値が閾値'よりも大きいかどうかを演算する。大きい場合には補正工程（S218）に進む。大きくない場合には当該画素36b（或いはグリッド29）の階調値の補正を行わないで終了し、当該画素36（或いはグリッド29）の階調値を比較回路108に出力する。

20

【0093】

補正工程（S218）として、補正部308は、差分値（2）の絶対値が閾値'よりも大きい画素36b（或いはグリッド29）について、当該画素36b（或いはグリッド29）の検査用測定データとして得られた階調値に、差分値（2）を加算することによって、階調値を補正する。検査用に測定された複数画素の平均階調値は、通常、プレスキャン（1）で測定された値に基づく階調値と近い値になることが想定される。しかし、差分値（2）の絶対値が閾値'（例えば、30階調）よりも大きくずれた場合に帯電の影響があったものとして補正する。補正後の当該画素36b（或いはグリッド29）の階調値は比較回路108に出力される。

30

【0094】

判定工程（S220）として、判定部309は、帯電候補領域12が存在するチップ領域31内であって、帯電候補領域12と重ならず、プレスキャン（1）領域35内に位置しない画素36（或いはグリッド29）毎に、当該画素36（或いはグリッド29）が、プレスキャン（2）領域14内に位置するかどうかを判定する。当該画素36（或いはグリッド29）が、プレスキャン（2）領域14内に位置しない場合（図16の画素36d、36e、36fのいずれかの場合）には、当該画素36（図16の画素36d、36e、36fのいずれか）（或いはグリッド29）の階調値の補正を行わないで終了し、当該画素36（或いはグリッド29）の階調値を比較回路108に出力する。当該画素36（或いはグリッド29）が、プレスキャン（2）領域14内に位置する場合（図16の画素36c）には、判定工程（S222）に進む。

40

【0095】

判定工程（S222）として、判定部312は、帯電候補領域12が存在するチップ領域31内であって、帯電候補領域12と重ならず、プレスキャン（2）領域14内に位置する画素36c（或いはグリッド29）毎に、当該画素36c（或いはグリッド29）に対応するプレスキャン用画素37の階調値（D）がプレスキャン（2）で得られた階調値かどうかを判定する。プレスキャン（2）で得られた階調値の場合には当該画素36c（或いはグリッド29）の階調値の補正を行わないで終了し、当該画素36c（或いはグリ

50

ッド29)の階調値を比較回路108に出力する。プレスキャン(2)で得られた階調値ではない場合には補正工程(S224)に進む。

【0096】

補正工程(S224)として、補正部314は、帯電候補領域12が存在するチップ領域31内であって、帯電候補領域12と重ならず、プレスキャン(2)領域14内に位置し、プレスキャン(2)で得られた階調値ではない画素36c(或いはグリッド29)毎に、当該画素36c(或いはグリッド29)の検査用測定データとして得られた階調値に、記憶装置88に格納された差分(1)マップの対応するプレスキャン用画素37の差分値(1)を加算することによって、階調値を補正する。プレスキャン(2)で得られた階調値を用いずに、プレスキャン(2)より前の当該プレスキャン用画素37の最新の階調値を引き継いだプレスキャン用画素37は、帯電の影響を受けている可能性が高い。よって、検査用測定データとして得られた階調値を補正する。

10

【0097】

以上のように、実施の形態1によれば、帯電の影響を受けている(及び帯電の影響を受けている可能性が高い)画素36(或いはグリッド29)の検査用測定データとして得られた階調値を補正できる。

【0098】

以上のように、実施の形態1によれば、電子ビームによるマルチビームを用いたパターン検査において、測定された階調値から帯電の影響を排除或いは低減できる。

【0099】

参照画像作成工程(S144)として、展開回路111及び参照回路112といった参照画像作成部は、基板101が露光用マスクの場合には、複数の図形パターンを基板101に形成するための元になる描画データ(設計データ)に基づいて、単位検査領域33に対応する領域の参照画像を作成する。展開回路111及び参照回路112といった参照画像作成部は、基板101が半導体基板の場合には、半導体基板に露光用マスクのマスクパターンを露光転写する際の基板上の露光イメージが定義された露光イメージデータに基づいて、単位検査領域33に対応する領域の参照画像を作成する。具体的には、以下のように動作する。まず、展開回路111は、記憶装置109から制御計算機110を通して描画データ(或いは露光イメージデータ)を読み出し、読み出された描画データ(或いは露光イメージデータ)に定義された各単位検査領域33内の各図形パターンを2値ないしは多値のイメージデータに変換して、このイメージデータが参照回路112に送られる。

20

30

【0100】

ここで、描画データ(或いは露光イメージデータ)に定義される図形は、例えば長方形や三角形を基本図形としたもので、例えば、図形の基準位置における座標(x、y)、辺の長さ、長方形や三角形等の図形種を区別する識別子となる図形コードといった情報で各パターン図形の形、大きさ、位置等を定義した図形データが格納されている。

【0101】

かかる図形データとなる描画データ(或いは露光イメージデータ)が展開回路111に入力されると図形ごとのデータにまで展開し、その図形データの図形形状を示す図形コード、図形寸法などを解釈する。そして、所定の量子化寸法のグリッドを単位とするマス目内に配置されるパターンとして2値ないしは多値の設計画像データを展開し、出力する。言い換えれば、設計データを読み込み、検査領域を所定の寸法を単位とするマス目として仮想分割してできたマス目毎に設計パターンにおける図形が占める占有率を演算し、nビットの占有率データを出力する。例えば、1つのマス目を1画素として設定すると好適である。そして、1画素に $1/2^8$ ( $=1/256$ )の分解能を持たせるとすると、画素内に配置されている図形の領域分だけ $1/256$ の小領域を割り付けて画素内の占有率を演算する。そして、8ビットの占有率データとして参照回路112に出力する。かかるマス目は、測定データに合わせて、測定用画素36(或いはグリッド29)と同サイズにすればよい。

40

【0102】

50

次に、参照回路 112 は、送られてきた図形のイメージデータである設計画像データに適切なフィルタ処理を施す。検出回路 106 から得られる光学画像としての測定データは、電子光学系によってフィルタが作用した状態、言い換えれば連続変化するアナログ状態にあるため、画像強度（濃淡値）がデジタル値の設計側のイメージデータである設計画像データにもフィルタ処理を施すことにより、測定データに合わせることが出来る。このようにして単位検査領域 33 の測定画像（光学画像）と比較する設計画像（参照画像）を作成する。作成された参照画像の画像データは比較回路 108 に出力され、比較回路 108 内に出力された参照画像は、それぞれメモリに格納される。

#### 【0103】

以上のようにして、複数のチップパターンが定義された設計データ等に基づく、複数の単位検査領域 33 に応じた、複数の図形パターンの複数の参照画像を作成する。これにより、基板 101 から検出された各検査ストライプ 32 の複数の単位検査領域 33 の測定画像に対応する、複数の参照画像が作成される。

10

#### 【0104】

図 17 は、実施の形態 1 における比較回路の内部構成の一例を示す図である。図 17 において、比較回路 108 内には、磁気ディスク装置等の記憶装置 50、52、位置合わせ部 56、及び比較部 58 が配置される。位置合わせ部 56、及び比較部 58 といった各「～部」は、処理回路を含み、その処理回路には、電気回路、コンピュータ、プロセッサ、回路基板、量子回路、或いは、半導体装置等が含まれる。また、各「～部」は、共通する処理回路（同じ処理回路）を用いてもよい。或いは、異なる処理回路（別々の処理回路）を用いても良い。位置合わせ部 56、及び比較部 58 内に必要な入力データ或いは演算された結果はその都度図示しないメモリに記憶される。補正回路 140 から出力された画素 36（或いはグリッド 29）の検査用測定データは記憶装置 50 に格納される。参照回路 112 から出力された参照画像の画像データは記憶装置 52 に格納される。

20

#### 【0105】

位置合わせ工程（S146）として、位置合わせ部 56 は、単位検査領域 33 毎に、当該単位検査領域 33 の光学画像を構成する複数の画素 36（或いはグリッド 29）の検査用測定データと、対応する参照画像の画像データとを読み出し、当該単位検査領域 33 の光学画像と、対応する参照画像との位置合わせを行う。位置合わせは、画素 36（或いはグリッド 29）よりも小さいサブ画素単位で行うと良い。例えば、最小二乗法を用いて位置合わせする。

30

#### 【0106】

比較工程（S148）として、比較部 58 は、位置合わせされた当該測定画像（光学画像）と参照画像とを画素 36（或いはグリッド 29）毎に比較する。比較部 58 は、所定の判定条件に従って画素 36（或いはグリッド 29）毎に両者を比較し、例えば形状欠陥といった欠陥の有無を判定する。例えば、画素 36（或いはグリッド 29）毎の階調値差が判定閾値  $T_h$  よりも大きければ欠陥と判定する。そして、比較結果が出力される。比較結果は、記憶装置 109、モニタ 117、メモリ 118、或いはプリンタ 119 より出力されればよい。

40

#### 【0107】

以上のように、実施の形態 1 によれば、電子ビームによるマルチビームを用いたパターン検査において帯電の影響に起因する疑似欠陥を低減できる。

#### 【0108】

以上の説明において、一連の「～回路」は、処理回路を含み、その処理回路には、電気回路、コンピュータ、プロセッサ、回路基板、量子回路、或いは、半導体装置等が含まれる。また、各「～回路」は、共通する処理回路（同じ処理回路）を用いてもよい。或いは、異なる処理回路（別々の処理回路）を用いても良い。プロセッサ等を実行させるプログラムは、磁気ディスク装置、磁気テープ装置、FD、或いはROM（リードオンリメモリ）等の記録媒体に記録されればよい。例えば、位置回路 107、比較回路 108、展開回路 111、参照回路 112、補正回路 140 等は、上述した少なくとも一つの処理回路で

50

構成されても良い。

【 0 1 0 9 】

以上、具体例を参照しつつ実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。

【 0 1 1 0 】

また、装置構成や制御手法等、本発明の説明に直接必要しない部分等については記載を省略したが、必要とされる装置構成や制御手法を適宜選択して用いることができる。

【 0 1 1 1 】

その他、本発明の要素を具備し、当業者が適宜設計変更しうる全てのパターン検査方法及びパターン検査装置は、本発明の範囲に包含される。

10

【符号の説明】

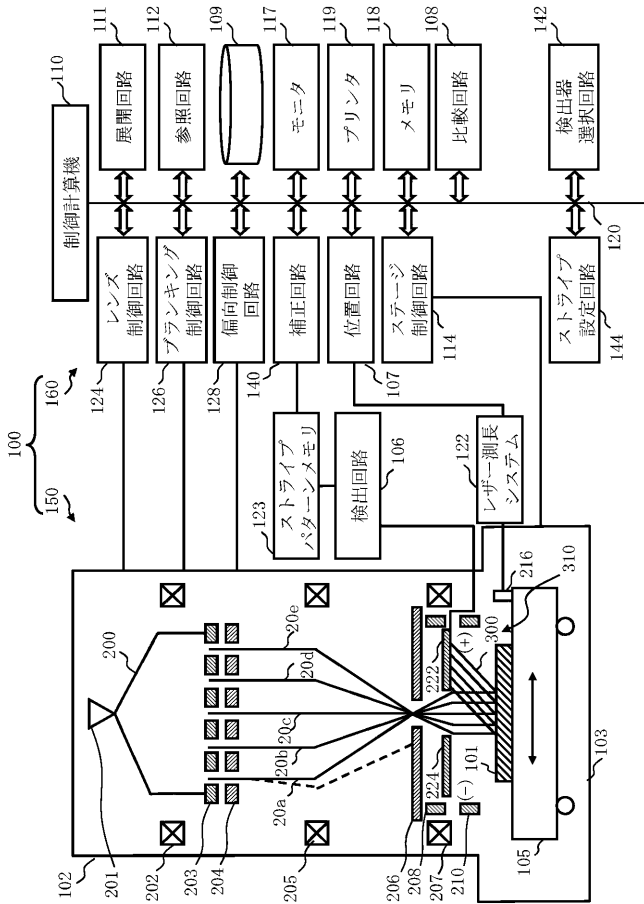
【 0 1 1 2 】

1 1	アライメントマーク	
1 2	帯電候補領域	
1 4	プレスキャン(2)領域	
2 0	マルチビーム	
2 2	穴	
2 4 , 2 6	電極	
2 5	通過孔	
2 7	パターン	20
2 8	画素	
2 9	グリッド	
3 0	検査領域	
3 1	チップ領域	
3 2	ストライプ領域	
3 3	単位検査領域	
3 4	照射領域	
3 5	プレスキャン(1)領域	
3 6	画素	
3 7	プレスキャン用画素	30
4 1	制御回路	
4 7	個別ブランキング機構	
5 0 , 5 2	記憶装置	
5 6	位置合わせ部	
5 8	比較部	
6 0	選択部	
6 2	設定部	
6 4	判定部	
6 6	選択部	
6 7	判定部	40
6 8	抽出部	
6 9	設定部	
7 6	帯電補正マップ作成部	
7 7	階調値演算部	
7 8	位置ずれ階調補正部	
7 9	判定部	
8 0	階調補正部	
8 1	判定部	
8 2	データ判定部	
8 3	差分演算部	50

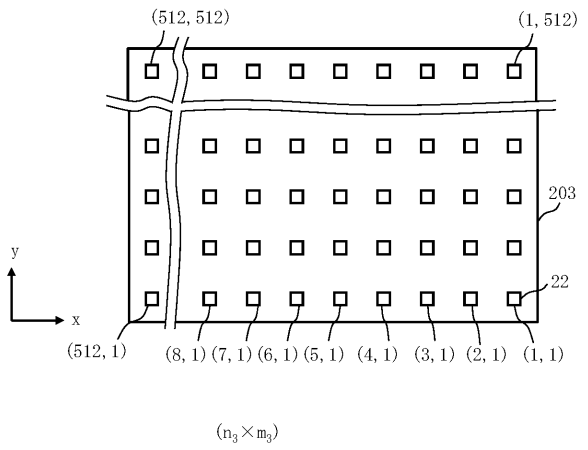
8 4	差分マップ作成部	
8 6	階調補正部	
1 0 0	検査装置	
1 0 1	基板	
1 0 2	電子ビームカラム	
1 0 3	検査室	
1 0 6	検出回路	
1 0 7	位置回路	
1 0 8	比較回路	
1 0 9	記憶装置	10
1 1 0	制御計算機	
1 1 1	展開回路	
1 1 2	参照回路	
1 1 4	ステージ制御回路	
1 1 7	モニタ	
1 1 8	メモリ	
1 1 9	プリンタ	
1 2 0	バス	
1 2 2	レーザ測長システム	
1 2 3	ストライプパターンメモリ	20
1 2 4	レンズ制御回路	
1 2 6	ブランキング制御回路	
1 2 8	偏向制御回路	
1 4 0	補正回路	
1 4 2	検出器選択回路	
1 4 4	ストライプ設定回路	
1 5 0	光学画像取得部	
1 6 0	制御系回路	
2 0 0	電子ビーム	
2 0 1	電子銃	30
2 0 2	照明レンズ	
2 0 3	成形アパーチャアレイ部材	
2 0 4	ブランキングアパーチャアレイ機構	
2 0 5	縮小レンズ	
2 0 6	制限アパーチャ部材	
2 0 7	対物レンズ	
2 0 8 , 2 1 0	偏向器	
2 1 6	ミラー	
2 2 2 , 2 2 4	検出器	
3 0 0	2次電子	40
3 0 1	判定部	
3 0 2	判定部	
3 0 3	補正部	
3 0 4	判定部	
3 0 5	平均値演算部	
3 0 6	差分演算部	
3 0 7	判定部	
3 0 8	補正部	
3 0 9	判定部	
3 1 0	2次電子群	50

- 3 1 2 判定部
- 3 1 4 補正部

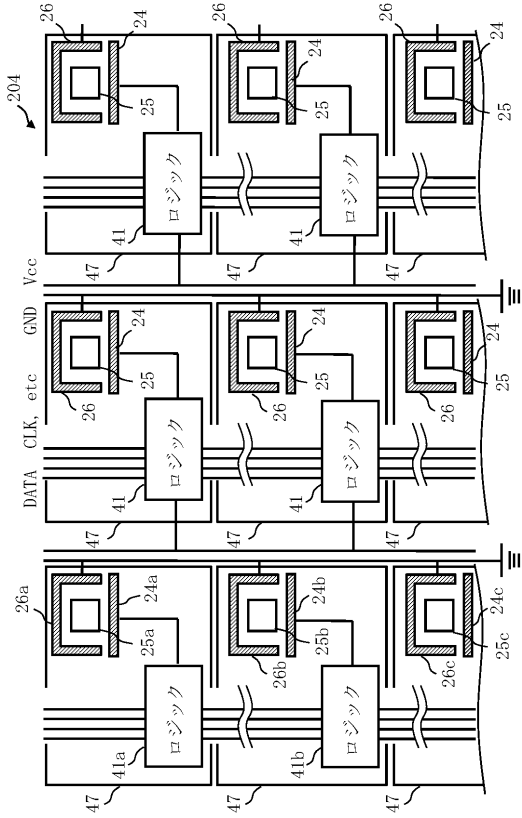
【 図 1 】



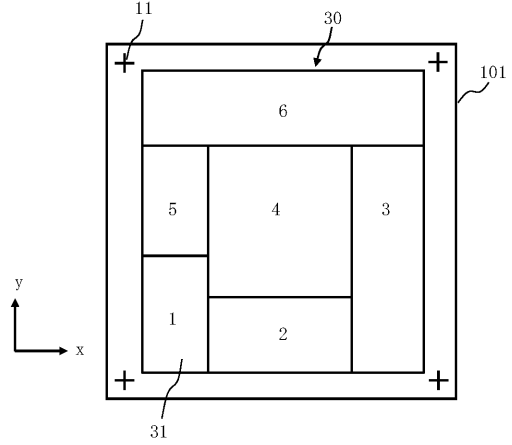
【 図 2 】



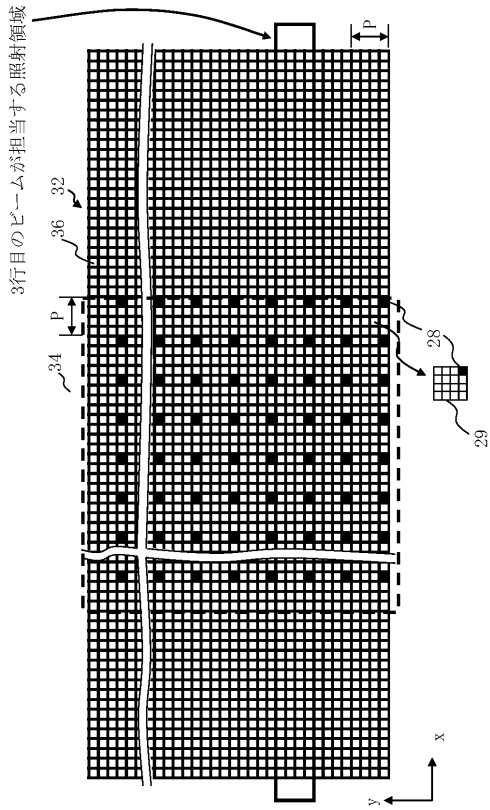
【 図 3 】



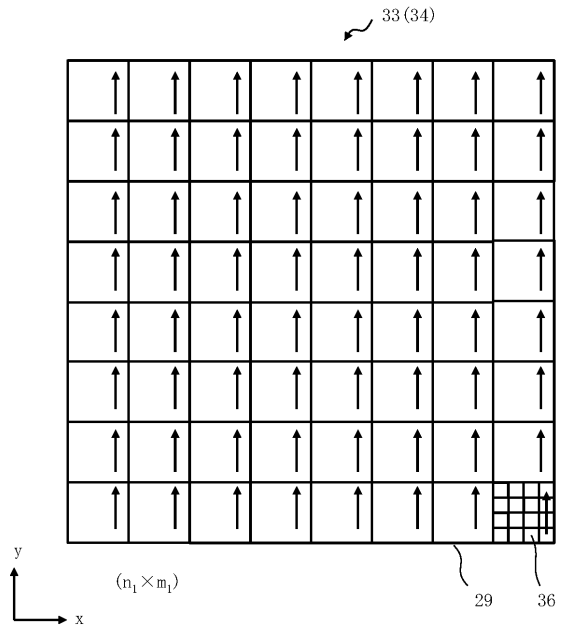
【 図 4 】



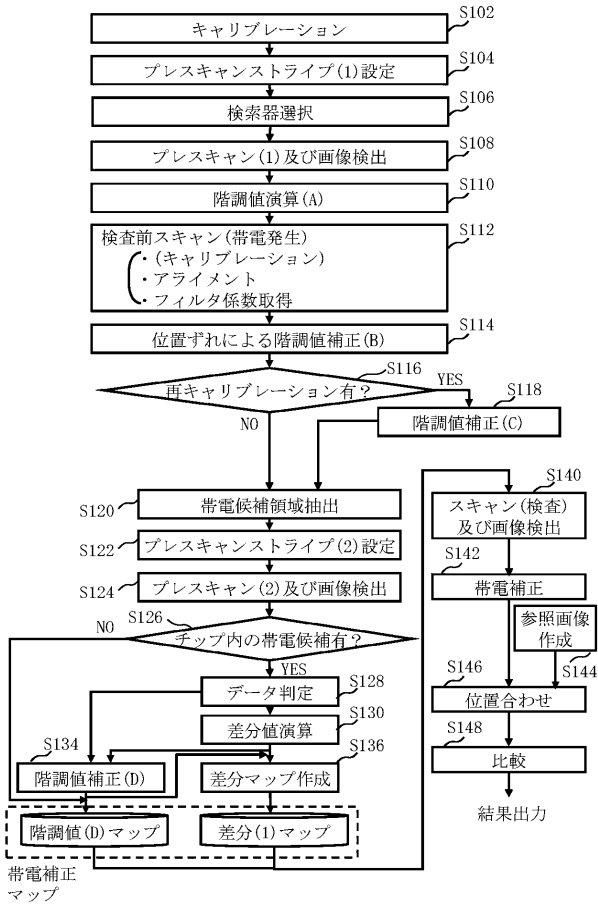
【 図 5 】



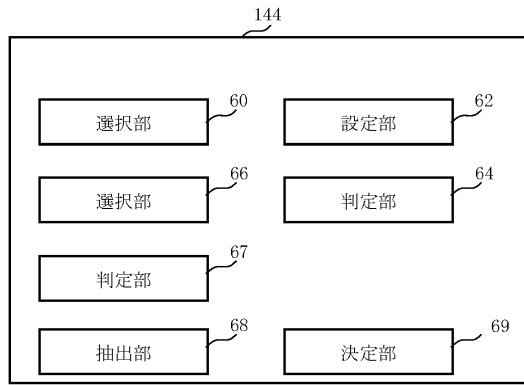
【 図 6 】



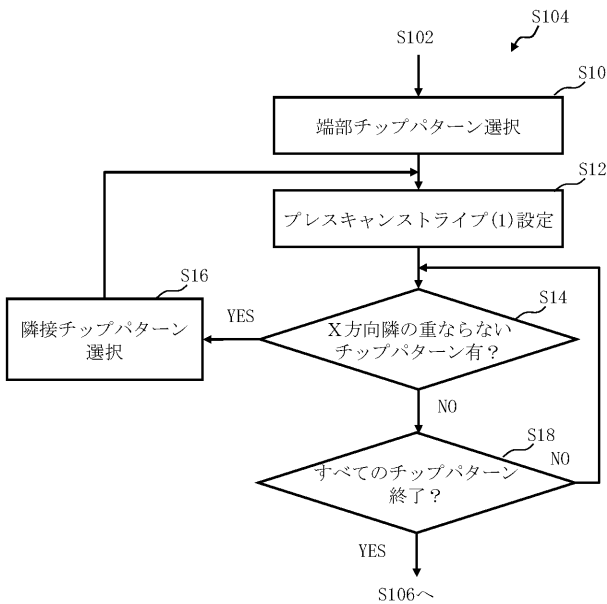
【 図 7 】



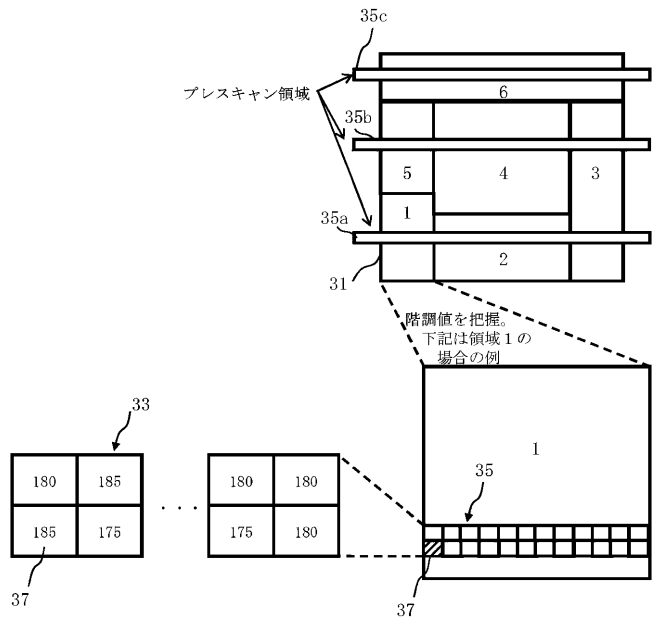
【 図 8 】



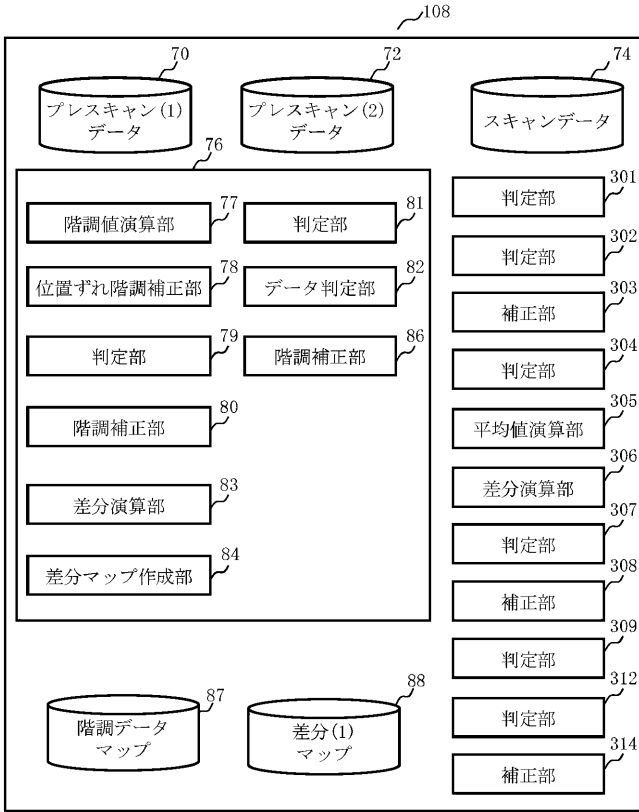
【 図 9 】



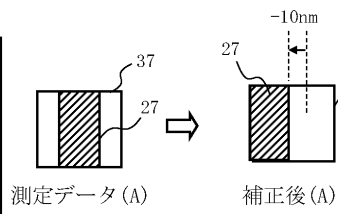
【 図 10 】



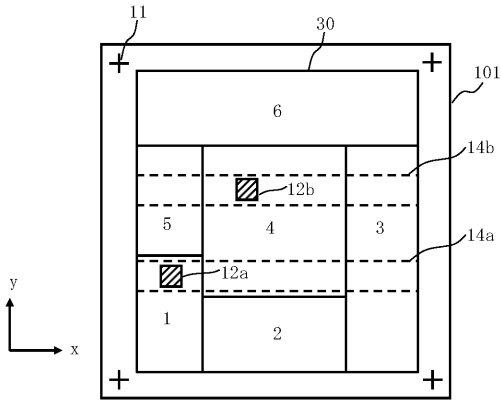
【図11】



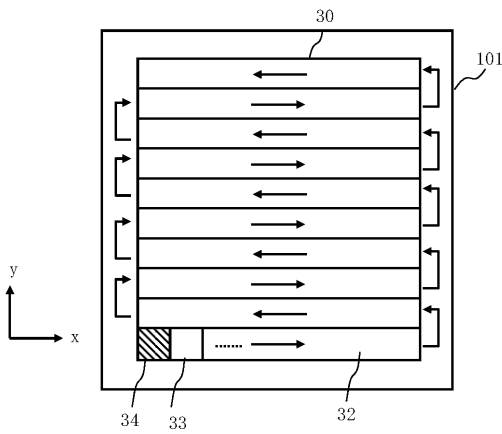
【図12】



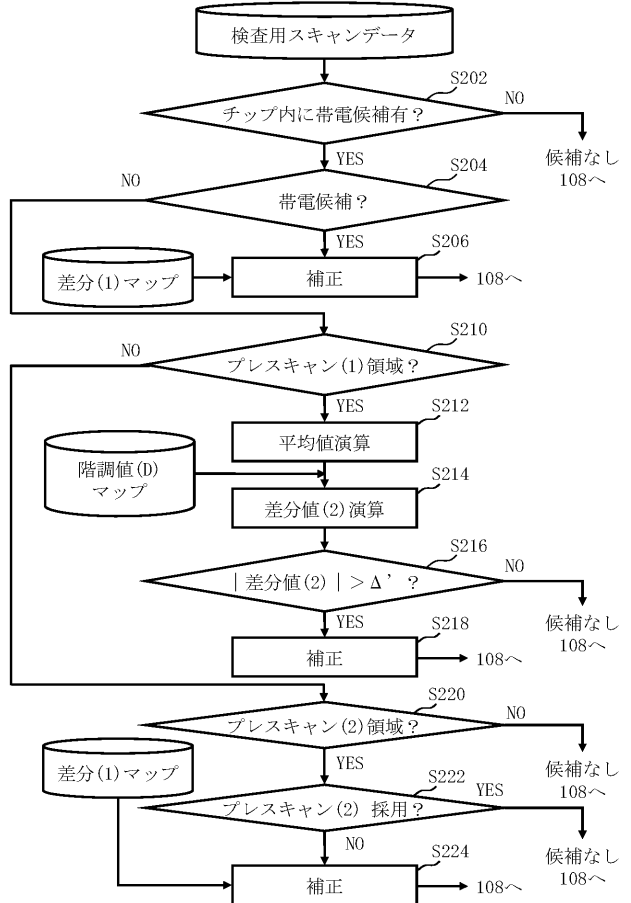
【図13】



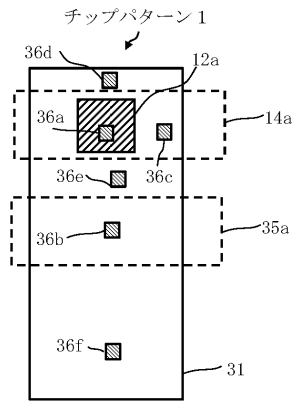
【図14】



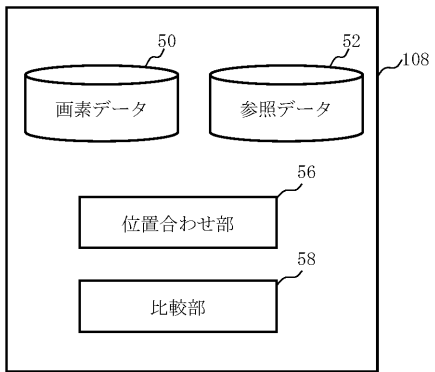
【図15】



【図16】



【図17】



---

フロントページの続き

Fターム(参考) 2G001 AA03 BA07 CA03 EA04 FA08 GA01 GA06 HA07 KA03  
4M106 AA01 AA09 BA02 CA39 DB20 DJ19 DJ20  
5C033 NN01 NP06 UU05 UU10