

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4764987号
(P4764987)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年6月24日(2011.6.24)

(51) Int. Cl.

F I

HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 29/739	(2006.01)	HO 1 L 29/78	6 5 3 A
HO 1 L 29/06	(2006.01)	HO 1 L 29/78	6 5 5 D
HO 1 L 29/74	(2006.01)	HO 1 L 29/78	6 5 2 K
		HO 1 L 29/06	3 0 1 D

請求項の数 5 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-268462 (P2000-268462)
 (22) 出願日 平成12年9月5日(2000.9.5)
 (65) 公開番号 特開2002-76339 (P2002-76339A)
 (43) 公開日 平成14年3月15日(2002.3.15)
 審査請求日 平成18年11月15日(2006.11.15)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100150441
 弁理士 松本 洋一
 (72) 発明者 大西 泰彦
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 藤平 龍彦
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 上野 勝典
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 超接合半導体素子

(57) 【特許請求の範囲】

【請求項1】

第一と第二の主面と、主面に設けられた二つの主電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化するストライプ状の第一導電型ドリフト領域とストライプ状の第二導電型仕切り領域とを交互に配置した並列 p n 層と、第一の主面側に掘り下げられたトレンチ内にゲート酸化膜を介して埋め込まれたストライプ状のゲート電極と、トレンチ側壁のゲート酸化膜の少なくとも一部に接する第二導電型ウェル領域と、その第二導電型ウェル領域により第一導電型ドリフト領域から離間され、かつトレンチ側壁部のゲート酸化膜に接する第一導電型ソース領域とを備える超接合半導体素子において、ゲート電極の繰り返しピッチが並列 p n 層の繰り返しピッチより大きく、前記ゲート電極の埋め込まれたトレンチが前記第一導電型ドリフト領域内にまで掘り下げられており、前記ゲート電極の埋め込まれたトレンチ間に前記トレンチに接しない前記第一導電型ドリフト領域を有することを特徴とする超接合半導体素子。

【請求項2】

前記第二導電型ウェル領域と前記第二導電型仕切り領域及び前記第一導電型ドリフト領域との間に第一導電型領域を有し、その第一導電型領域が前記第一導電型ドリフト領域に接続されていることを特徴とする請求項1に記載の超接合半導体素子。

【請求項3】

前記第一導電型ドリフト領域と前記第二導電型仕切り領域の正味の不純物量が同じであることを特徴とする請求項1または2に記載の超接合半導体素子。

【請求項 4】

第一主面あるいは第二主面に対し、前記並列 p n 層の p n 境界が垂直であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の超接合半導体素子。

【請求項 5】

前記第一導電型領域が前記第一導電型ドリフト領域よりも不純物濃度が低いことを特徴とする請求項 2 ~ 4 のいずれか 1 項に記載の超接合半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オン状態では電流を流すとともオフ状態では空乏化する並列 p n 層からなる特殊な構造を備える、M O S F E T (絶縁ゲート電界効果トランジスタ)、I G B T (絶縁ゲートバイポーラトランジスタ)、バイポーラトランジスタ、ダイオード等の高耐圧、大電流容量の超接合半導体素子に関する。

10

【0002】

【従来の技術】

半導体素子は、半導体基板の片面に電極部をもち、主面に平行な方向に電流が流れる横型素子と、両面に電極をもち、主面に垂直な方向に電流が流れる縦型素子とに大別される。

縦型半導体素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層が延びる方向とが同じである。例えば、通常のプレーナ型の n チャネル縦型 M O S F E T の場合、高抵抗の n ドリフト層の部分は、M O S F E T がオン状態の時は縦方向にドリフト電流を流す領域として働き、オフ状態の時は空乏化して耐圧を高める。

20

【0003】

この高抵抗の n ドリフト層の電流経路を短くすることは、電流に対するドリフト抵抗が低くなるので M O S F E T の実質的なオン抵抗を下げる効果に繋がるものの、逆に p ベース領域と n ドリフト領域との間の p n 接合から進行するドレイン - ベース間空乏層が広がる幅が狭く、シリコンの臨界電界強度に速く達するため、耐圧が低下してしまう。逆に耐圧の高い半導体装置では、n ドリフト層が厚くなるため必然的にオン抵抗が大きくなり、損失が増すことになる。すなわちオン抵抗と耐圧との間にトレードオフ関係がある。

【0004】

このトレードオフ関係は、I G B T、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。また、この問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向が異なる横型半導体素子についても共通である。

30

この問題に対する解決法として、ドリフト層を、不純物濃度を高めた n 型の領域と p 型の領域を交互に配置した並列 p n 層で構成し、オフ状態の時は空乏化して耐圧を負担するようにした構造の半導体装置が、E P 0 0 5 3 8 5 4、U S P 5 2 1 6 2 7 5、U S P 5 4 3 8 2 1 5 および特開平 9 - 2 6 6 3 1 1 号公報に開示されている。

【0005】

通常のプレーナ型の n チャネル縦型 M O S F E T との構造上の違いは、ドリフト部が一樣・単一の導電型でなく、薄い層状の n 型のドリフト領域と薄い層状の p 型の仕切領域を交互に繰り返した構造の並列 p n 層となっている点である。

40

この並列 p n 層は、オフ状態では、不純物濃度が高くて、並列 p n 構造の縦方向に配向する各 p n 接合から空乏層がその両側の横方向に拡がり、ドリフト領域全体が空乏化するため、高耐圧化を図ることができる。

【0006】

本発明の発明者らも特開 2 0 0 0 - 4 0 8 2 2 号公報にそのような半導体素子の簡単な製造方法を開示している。なお、本発明の発明者らは、オン状態では電流を流すととも、オフ状態では空乏化する並列 p n 層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。

50

【0007】

【発明が解決しようとする課題】

一般に、プレーナ型超接合MOSFETのオン抵抗 ($R_{on} \cdot A$) はおよそ(1)式で表される。

$$R_{on} \cdot A = (R_S + R_{ch} + R_{acc} + R_{JFET} + R_{drift} + R_d) \cdot A \dots (1)$$

但し、 R_S : ソース層抵抗、 R_{ch} : チャネル抵抗、 R_{acc} : 蓄積層抵抗、 R_{JFET} : 接合FET(JFET)効果による抵抗、 R_{drift} : ドリフト抵抗、 R_d : ドレイン層抵抗である。

【0008】

超接合半導体素子ではドリフト抵抗 R_{drift} が、下記の(2)式に表される関係にあるため、耐圧が高くなってもドリフト抵抗が耐圧に比例して増大するだけで、従来のMOSFETと比較すると劇的なオン抵抗の低減が可能となる。さらに、同じ耐圧でも、並列pn層のn型ドリフト領域幅dを小さくすることで、オン抵抗を更に低減することができる。

【0009】

$$R_{drift} \cdot A = (4 \cdot d \cdot V_b) / (\mu \cdot \epsilon_0 \cdot \epsilon_s \cdot E_c^2) \dots (2)$$

但し、 μ : 電子の移動度、 ϵ_0 : 真空の誘電率、 ϵ_s : Siの比誘電率、 d : n型ドリフト領域幅、 E_c : 臨界電界、 V_b : 耐圧(降伏電圧)である。

【0010】

しかし、ドリフト抵抗 R_{drift} が劇的に低減される一方、(1)式にあるドリフト抵抗以外の抵抗成分が顕著化してくる。特に、JFET効果における抵抗 R_{JFET} の割合がオン抵抗中で大きく、これを改善するために表面から掘り下げたトレンチ内にゲート電極を埋め、トレンチ側壁部にチャネルを誘起させるいわゆるトレンチ型MOSFETの適用が提案されている。

【0011】

ところが、トレンチ型MOSFETのトレンチゲートを並列pn層と同じ繰り返しピッチで形成した場合、オン抵抗は低減されるものの、ゲート入力容量、帰還容量が増大し、高速性が失われる問題がある。さらに、入力容量の増大に伴う駆動電力の増大も懸念される。

そこで本発明の目的は、耐圧とオン抵抗とのトレードオフ関係を大幅に改善する超接合半導体素子において、入力容量、帰還容量の増大を抑える高速化を図るとともに、更なる低オン抵抗化が期待できる超接合半導体素子を提供することにある。

【0012】

【課題を解決するための手段】

上記課題を解決するため本発明は、第一と第二の主面と、主面に設けられた二つの主電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すと同時にオフ状態では空乏化するストライプ状の第一導電型ドリフト領域とストライプ状の第二導電型仕切り領域とを交互に配置した並列pn層と、第一の主面側に掘り下げられたトレンチ内にゲート酸化膜を介して埋め込まれたストライプ状のゲート電極と、トレンチ側壁のゲート酸化膜の少なくとも一部に接する第二導電型ウェル領域と、その第二導電型ウェル領域により第一導電型ドリフト領域から離間され、かつトレンチ側壁部のゲート酸化膜に接する第一導電型ソース領域とを備える超接合半導体素子において、ゲート電極の繰り返しピッチが並列pn層の繰り返しピッチより大きく、前記ゲート電極の埋め込まれたトレンチが前記第一導電型ドリフト領域内にまで掘り下げられており、前記ゲート電極の埋め込まれたトレンチ間に前記トレンチに接しない前記第一導電型ドリフト領域を有するものとする。

【0013】

そして、前記第二導電型ウェル領域と前記第二導電型仕切り領域及び前記第一導電型ドリフト領域との間に、第一導電型ドリフト領域に接続された第一導電型領域を有していても良い。

第二導電型領域と第二導電型仕切り領域及び第一導電型ドリフト領域の間に第一導電型領域を設けることにより、各第一導電型ドリフト領域を第一導電型領域で接続することが

10

20

30

40

50

できるので、ドリフト領域でのオン抵抗を余り増加させずに入力容量、帰還容量の低減が可能となる。

【0014】

【0015】

【0016】

また、前記トレンチあるいはゲート電極が平面的にストライプ状であることが望ましい。

トレンチはストライプ状でもセル状でもいずれの形状でも構わないが、溝の埋め込みを考慮した場合、ストライプ状の方が製造するのに容易である。

更に、前記第一導電型ドリフト領域と前記第二導電型仕切り領域の正味の不純物量がほぼ同じであるものとする。

【0017】

第一導電型ドリフト領域と第二導電型仕切り領域からなる並列pn層の正味の不純物量がほぼ同じであれば、各領域の形状に関係なく高耐圧化が容易となる。

第一主面あるいは第二主面に対し、前記並列pn層のpn境界が概ね垂直であるのが良い。

もし、並列pn層が両主面に対し傾いていると、電界の集中する部分が形成されるので高耐圧化が困難になるとともに、実効ドリフト長が長くなるためオン抵抗が増加してしまう。

【0018】

第一導電型ドリフト領域と第二導電型仕切り領域がそれぞれストライプ状であれば、パターン形成が容易であり、正味不純物量の制御も容易である。

また、前記第一導電型領域が前記第一導電型ドリフト領域よりも不純物濃度が低いものとする。

【0019】

【0020】

【0021】

【発明の実施の形態】

以下に図を参照しながら本発明の実施の形態について説明する。

[実施例1]

図1は本発明第一の実施例のnチャネル型超接合MOSFETの基本的な部分の斜視断面図である。なお以下でnまたはpを冠記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味しているが、n型、p型の型は略した。また添字の⁺は比較的高不純物濃度の、⁻は比較的低不純物濃度の領域をそれぞれ意味している。

【0022】

図1において、n⁺ドレイン層19上に薄いnドリフト領域11aとp仕切り領域11bを交互に並置した並列pn層11が形成されている。更にその並列pn層11の上にpウェル領域12が形成され、その表面層にn⁺ソース領域13が形成されている。nドリフト領域11aとp仕切り領域11bとは平面図的にはストライプ状である。

【0023】

一つ置きにnドリフト領域11aの上方のn⁺ソース領域13の表面からnドリフト領域11aに達するトレンチ14が設けられ、そのトレンチ14内にゲート酸化膜15を介して多結晶シリコンからなるゲート電極16が埋め込まれている。ゲート電極16が埋め込まれたトレンチ14もストライプ状である。すなわち、並列pn層11の繰り返しピッチ(p1)が、トレンチ14の繰り返しピッチ(p2)より大きくなっている。

【0024】

n⁺ソース領域13は平面図的には格子状に形成されており、その表面の一部にpウェル領域12にも接触しているソース電極18が接触している。17はゲート電極16とソース電極18とを絶縁している層間絶縁膜であり、例えば、熱酸化膜と燐シリカガラス(PSG)からなる。n⁺ドレイン層19の裏面にはドレイン電極20が設けられている。

10

20

30

40

50

ソース電極 18 は、図のように層間絶縁膜 17 を介してゲート電極 16 の上に延長されることが多い。

【0025】

例えば、600VクラスのMOSFETとして、各部の基準的な寸法および不純物濃度等は次のような値をとる。

並列pn層11の厚さ40 μm 、nドリフト領域11a及びp仕切り領域11bの幅5.0 μm 、不純物濃度 $3.0 \times 10^{15}\text{cm}^{-3}$ 、トレンチ14の深さ4.0 μm 、幅2.0 μm 、pウェル領域12の拡散深さ3.0 μm 、表面不純物濃度 $3.0 \times 10^{17}\text{cm}^{-3}$ 、n⁺ソース領域13の拡散深さ1.0 μm 、表面不純物濃度 $3.0 \times 10^{20}\text{cm}^{-3}$ 、n⁺ドレイン領域19の不純物濃度 $2.0 \times 10^{18}\text{cm}^{-3}$ 、厚さ300 μm である。なお、並列pn層11の繰り返しピッチ(p1)は10 μm であり、トレンチ14の繰り返しピッチ(p2)は20 μm である。

10

【0026】

次に動作原理に関して簡単に説明する。

まず、ソース電極18を基準として、ゲート電極16をソース電極18にショートし、ドレイン電極20に正の電圧を印加する。各p仕切り領域11bはpウェル領域12を介してソース電極18に接続され、且つゲート電極16がソース電極18と同電位に固定されているので、空乏層はpウェル領域12とnドリフト領域11aとの間のpn接合、およびトレンチ14の底部とnドリフト領域11a間のMIS接合からnドリフト領域11aに(縦方向に)広がるとともに、p仕切り領域11bとnドリフト領域11a間のpn接合からも接合方向(横方向)に広がる。

20

【0027】

電圧を上げて行くと並列pn層11は完全に空乏化するので、空乏層はn⁺ドレイン領域19に広がり、トレンチ14の底部とnドリフト領域11a間のMIS接合部(あるいはpウェル領域12とnドリフト領域11a間のpn接合、p仕切り領域11bとn⁺ドレイン領域19間のpn接合のいずれか)が臨界電界に達するまで高耐圧が保持される。

【0028】

オフ状態からオン状態にするには、ソース電極18に対しゲート電極16に正電圧を印加すれば良い。ソース電極18に対しゲート電極16にチャネルが形成されるに十分な正の電圧が印加されている場合、pウェル領域12のトレンチ14の側壁表面にn型のチャネルが形成されるため、n⁺ソース領域13からn型のチャネルを通り、トレンチ14が掘り込まれているnドリフト領域11a、n⁺ドレイン領域19を経て、ドレイン電極20に電子が流れることになる。

30

【0029】

本実施例の超接合MOSFETでは、並列pn層11の繰り返しピッチ(p1)が、トレンチ4の繰り返しピッチ(p2)の1/2倍と小さいため、トレンチ4が掘り込まれていないnドリフト領域11aは無効領域となる。

そのため、ドリフト領域でのオン抵抗分(R_{drift})は、並列pn層と同じ繰り返しピッチでnドリフト領域にトレンチが形成されている場合よりやや高くなるが、単位面積当たりのゲート面積は小さくなるので、入力容量、帰還容量が低減され、高速スイッチングが可能となる。

40

【0030】

[参考例1]

図2は、本発明第一の参考例のnチャネル型超接合MOSFETの基本的な部分の斜視断面図である。

本参考例は実施例1の変形である。ストライプ状のトレンチ24とストライプ状の並列pn層21の方向が直交している点を除き実施例1と構成は同じである。トレンチ24の繰り返しピッチ(p2)は20 μm 、並列pn層21の繰り返しピッチ(p1)は10 μm である。

【0031】

50

トレンチ 2 4 の繰り返しピッチ (p 2) を並列 p n 層 2 1 の繰り返しピッチ (p 1) より大きくすれば、単位面積当たりのゲート面積は小さくなるので、入力容量、帰還容量が低減され、高速スイッチングが可能となるのは実施例 1 と同様である。

実施例 1 ではトレンチ 1 4 の繰り返しピッチ (p 2) は並列 p n 層 1 1 の繰り返しピッチ (p 1) の整数倍でしか調整することが出来なかった。本参考例では、ストライプ状のトレンチ 2 4 とストライプ状の並列 p n 層 2 1 を直交させることによって、トレンチ 2 4 の繰り返しピッチ (p 2) を任意の値にすることが可能となる。

【 0 0 3 2 】

また、nドリフト領域との精密な位置合わせが必要ないので製造が容易であり、並列 p n 層 2 1 とトレンチ 2 4 のピッチとして、それぞれ最適な数値に設定できるという利点がある。なお、直交させているため有効ソース長が実施例 1 の約半分になり、オン抵抗はやや増加する。

[実施例 2]

図 3 は、本発明第二の実施例の n チャネル型超接合 M O S F E T の基本的な部分の斜視断面図である。

【 0 0 3 3 】

本実施例は p ウェル領域 3 2 と n ドリフト領域 3 1 a および p 仕切り領域 3 1 b との間に n 深部領域 3 2 d が配置されている点を除き、実施例 1 と同じ構成である。なお、n 深部領域 3 2 d の不純物濃度は $2.0 \times 10^{15} \text{cm}^{-3}$ 、厚さ $2.0 \mu\text{m}$ である。トレンチ 3 4 の深さは、 $6.0 \mu\text{m}$ 、幅 $2.0 \mu\text{m}$ である。トレンチ 3 4 の繰り返しピッチ (p 2) は $20 \mu\text{m}$ 、並列 p n 層 3 1 の繰り返しピッチ (p 1) は $10 \mu\text{m}$ である。

【 0 0 3 4 】

n ドリフト領域 3 1 a および p 仕切り領域 3 1 b との間に n 深部領域 3 2 d を配置した本実施例の動作原理を以下に説明する。

まず、ソース電極 3 8 を基準にして、ゲート電極 3 6 をソース電極 3 8 にショートし、ドレイン電極 4 0 に正の電圧を印加する。各 p 仕切り領域 3 1 b は n 深部領域 3 2 d により p ウェル領域 3 2 から分離されているので、空乏層は p ウェル領域 3 2 と n 深部領域 3 2 d との間の p n 接合から n 深部領域 3 2 d に広がるとともに、トレンチ 3 4 の底部から n ドリフト領域 3 1 a と n 深部領域 3 2 d に広がる。

【 0 0 3 5 】

ドレイン電極 4 0 の電圧を上げて行くと、n 深部領域 3 2 d の空乏層は並列 p n 層 3 1 に到達し、p ウェル領域 3 2 と p 仕切り領域 3 1 b とが電氣的に接続されるので、空乏層は n ドリフト領域 3 1 a 及び n⁺ ドレイン層 3 9 に延びる以外に、p 仕切り領域 3 1 b と n ドリフト領域 3 1 a 間の p n 接合方向に広がり始める。さらに電圧を上げて行くと、並列 p n 層 3 1 は完全に空乏化し、空乏層は n⁺ ドレイン層 3 9 に向って広がり、トレンチ 3 4 の底部と n ドリフト領域 3 1 a 間の M I S 接合、p ウェル領域 3 2 と n ドリフト領域 3 1 a 間の p n 接合のいずれかが臨界電界になるまで高耐圧が保持される。なお、並列 p n 層 3 1 が空乏化する前に p ウェル領域 3 2 と n ドリフト領域 3 1 a 間の p n 接合が臨界電界に到達しないように、n 深部領域 3 2 d の厚さ、不純物濃度を選ばなければならない。

【 0 0 3 6 】

オフ状態からオン状態にするには、実施例 1 と同様にソース電極 3 8 に対しゲート電極 3 6 に正電圧を印加すれば良い。チャンネルが形成されるに十分な正の電圧がゲート電極 3 6 に印加されている場合、トレンチ 3 4 の側壁の p ウェル領域 3 2 表面に n 型のチャンネルが形成されるため、電子は n⁺ ソース領域 3 3 から n 型のチャンネルを流れて n 深部領域 3 2 d に達する。n 深部領域 3 2 d に達した電子の一部は、トレンチ 3 4 が形成されている n ドリフト領域 3 1 a を経て、n⁺ ドレイン層 3 9、ドレイン電極 4 0 へ流れる。n 深部領域 3 2 d に達した電子の残りは、n 深部領域 3 2 d を横方向に経由しトレンチ 3 4 が形成されていない n ドリフト領域 3 1 a a を流れ、n⁺ ドレイン層 3 9、ドレイン電極 4 0 に到達する。

10

20

30

40

50

【 0 0 3 7 】

トレンチ 3 4 の繰り返しピッチ (p 2) と並列 p n 層 3 1 の繰り返しピッチ (p 1) が実施例 1 と同じであるので、入力容量、帰還容量は実施例 1 と同等レベルである。

トレンチ 3 4 が形成されている n ドリフト領域 3 1 a に流れる電子以外に、トレンチ 3 4 が形成されていない n ドリフト領域 3 1 a a にも流れる電子があるので、ドリフト層におけるオン抵抗は実施例 1 に比較し、低減することが可能となる。それゆえ、実施例 1 の超接合 M O S F E T より低オン抵抗で高速スイッチングが可能となる。

【 0 0 3 8 】

[参考例 2]

図 4 は、本発明第二の参考例の n チャネル型超接合 M O S F E T の基本的な部分の斜視断面図である。 10

本参考例は実施例 2 の変形である。ストライプ状のトレンチ 4 4 とストライプ状の並列 p n 層 4 1 とが直交している点を除き実施例 2 と構成は同じである。

【 0 0 3 9 】

ストライプ状のトレンチ 4 4 とストライプ状の並列 p n 層 4 1 とが直交しているが、n 深部領域 4 2 d があるため、実施例 2 と比較しても、オン抵抗は殆ど増加しない。

トレンチ 4 4 と n ドリフト領域 4 1 a との位置合わせが必要なく、またトレンチ 4 4 の繰り返しピッチ (p 2) を並列 p n 層 4 1 の繰り返しピッチ (p 1) に関係なく調整することが出来るので、任意の入力容量、帰還容量に調整することが容易となる。

【 0 0 4 0 】

[参考例 3]

図 5 は、本発明第三の参考例の n チャネル型超接合 M O S F E T の基本的な部分の斜視断面図である。 20

本参考例の構造は実施例 2 とほぼ同じあり、p ウェル領域 5 2 と n ドリフト領域 5 1 a および p 仕切り領域 5 1 b との間に n 深部領域 5 2 d が配置されている。しかし、掘り下げられているトレンチ 5 4 が n 深部領域 5 2 d 内に止まっている点が異なっている。例えば、トレンチ 5 4 の深さは 5 . 0 μ m である。動作は基本的に実施例 2 と同じであるので省略する。

【 0 0 4 1 】

実施例 2 と比べると、トレンチ 5 4 が n ドリフト領域 5 1 a まで掘り下げられていないため、オン状態で電子は n 型チャネルを経て n 深部領域 5 2 d に流れ込み、n ドリフト領域 5 1 a および上方にトレンチ 5 4 が形成されていない n ドリフト領域 5 1 a a にほぼ同等に流れる。 30

オン抵抗は実施例 2 と同等レベルであるが、トレンチ 5 4 と n ドリフト領域 5 1 a との位置合わせが必要ないので製造が容易となる利点がある。

【 0 0 4 2 】

[参考例 4]

図 6 は、本発明第四の参考例の n チャネル型超接合 M O S F E T の基本的な部分の斜視断面図である。 40

本参考例 4 は参考例 3 の変形である。本参考例 4 は並列 p n 層 6 1 のストライプの方向とトレンチ 6 4 のストライプの方向が直交している場合である。

【 0 0 4 3 】

また、トレンチ 6 4 が n ドリフト領域 6 1 a まで掘り下げられていないため、n ドリフト領域 6 1 a との精密な位置合わせが必要なく製造が容易であるだけでなく、トレンチ 6 4 の繰り返しピッチ (p 2) を任意の値にすることができるので任意の入力容量、帰還容量に調整することができる。

更に、ストライプ状のトレンチ 6 4 とストライプ状の並列 p n 層 6 1 を直交させても、オン抵抗が参考例 3 より大きくなることは無い。

【 0 0 4 4 】

従って、入力容量、帰還容量を低減し、且つ低オン抵抗化が可能となる。 50

[参考例 5]

図 7 は、本発明第五の参考例の n チャンネル型超接合 MOS F E T の基本的な部分の斜視断面図である。

この参考例 5 も参考例 3 の変形である。参考例 5 は並列 p n 層 7 1 がストライプ状ではなく、n ドリフト領域 7 1 a が四方格子の格子点上に配置されており、p 仕切り領域 7 1 b と市松模様になっている場合である。

【 0 0 4 5 】

n ドリフト領域 7 1 a と p 仕切り領域 7 1 b との不純物量がほぼ同じであれば、その平面的な形状はストライプ状でも市松模様に配置されていても構わない。いずれにしても、参考例 4 と同様に入力容量、帰還容量を低減し、且つ低オン抵抗化が可能となる。

n ドリフト領域 7 1 a の平面的な形状は、四方格子の格子点上に限らず、三方格子、六方格子の格子点上に配置されていても良い。そのとき p 仕切り領域 7 1 b はやはり別の格子点上に配置されても良いし、或いは n ドリフト領域 7 1 a を囲む格子状としても良い。

【 0 0 4 6 】

逆に、p 仕切り領域 7 1 b を格子点上に配置し、n ドリフト領域 7 1 a を他の格子点上に配置するか、その格子点を囲む格子状に配置することもできる。

[参考例 6]

図 8 は、本発明第六の参考例の n チャンネル型超接合 MOS F E T の基本的な部分の断面図である。

【 0 0 4 7 】

これまでの例はいずれもゲート電極をトレンチに埋めたトレンチ型の超接合 MOS F E T であったが、この例はプレーナ型の MOS F E T である。

n⁺ ドレイン層 8 9 上に薄い n ドリフト領域 8 1 a と p 仕切り領域 8 1 b を交互に並置した並列 p n 層 8 1 が形成されている。更にその並列 p n 層 8 1 の上に実施例 2 と同じく n 深部領域 8 2 d、p ウェル領域 8 2 が形成され、その表面層に n⁺ ソース領域 8 3 が形成されている。n ドリフト領域 8 1 a と p 仕切り領域 8 1 b とは平面図的にはストライプ状である。なお、並列 p n 層 8 1 が空乏化する前に、p ウェル領域 8 2 と n ドリフト領域 8 1 a 間の p n 接合が臨界電界に到達しないように n 深部領域 8 2 d の厚さ、不純物濃度を選ぶ。具体的には、n 深部領域 8 2 d の p ウェル領域 8 2 下の厚さは、n ドリフト領域 8 1 a の横方向の厚さの 1 / 2 とし、不純物濃度は n ドリフト領域 8 1 a と同等もしくはそれ以上とする。

【 0 0 4 8 】

一つ置きの n ドリフト領域 8 1 a の表面上にゲート酸化膜 8 5 を介して多結晶シリコンからなるゲート電極 8 6 が設けられている。ゲート電極 8 6 もストライプ状である。すなわち、並列 p n 層 8 1 の繰り返しピッチ (p 1) が、ゲート電極 8 6 の繰り返しピッチ (p 2) より小さくなっている。

n⁺ ソース領域 8 3 の表面に p ウェル領域 8 2 にも接触しているソース電極 8 8 が接触している。8 7 はゲート電極 8 6 とソース電極 8 8 とを絶縁している層間絶縁膜であり、例えば、熱酸化膜と燐シリカガラス (P S G) からなる。n⁺ ドレイン層 8 9 の裏面にはドレイン電極 9 0 が設けられている。ソース電極 8 8 は、図のように層間絶縁膜 8 7 を介してゲート電極 8 6 の上に延長されることが多い。

【 0 0 4 9 】

このプレーナ型 MOS F E T においても、単位面積当たりのゲート面積は小さくなるので、入力容量、帰還容量が低減され、高速スイッチングが可能となる。

また、プレーナ型 MOS F E T においても参考例 1 のように並列 p n 層 8 1 のストライプの方向をゲート電極 8 6 のそれと直交させても良い。その場合は、ゲート電極 8 6 の繰り返しピッチ (p 2) を任意の値にすることが可能となる。

【 0 0 5 0 】

また、n ドリフト領域 2 1 a との精密な位置合わせが必要ないので製造が容易であるという利点がある。

10

20

30

40

50

nドリフト領域81a、p仕切り領域81bまたはゲート電極86の平面的な形状がストライプ状に限定されないことはこれまでの実施例と同じである。

このように本発明はトレンチ型MOSFETに限らず、プレーナ型MOSFETにも有効である。

【0051】

また実施例は何れもMOSFETとしたが、IGBT、バイポーラトランジスタ、サイリスタ、或いはこれらの素子を集積したICにも有効である。

なお、以上の実施例においてドレイン電極はn⁺ドレイン領域の裏面に設けているが、n⁺ドレイン領域の一部を表面側に延ばし、ソース電極と同じ側にドレイン電極を設けても良い。

10

【0052】

【発明の効果】

以上説明したように本発明によれば、オン状態では電流を流すとともにオフ状態では空乏化するストライプ状の第一導電型ドリフト領域とストライプ状の第二導電型仕切り領域とを交互に配置した並列pn層と、第一の主面側に掘り下げられた溝内にゲート酸化膜を介して埋め込まれたストライプ状のゲート電極と、第二導電型ウェル領域と、その第二導電型ウェル領域により第一導電型ドリフト領域から離間された第一導電型ソース領域とを備える超接合半導体素子において、ゲート電極の繰り返しピッチが並列pn層の繰り返しピッチより大きく、前記ゲート電極の埋め込まれたトレンチが前記第一導電型ドリフト領域内にまで掘り下げられており、前記ゲート電極の埋め込まれたトレンチ間に前記トレンチに接しない前記第一導電型ドリフト領域を有することによって、低オン抵抗でありながら高速である超接合半導体素子を可能にする。

20

【0053】

第二導電型仕切り領域と第二導電型ウェル領域との間に、第一導電型深部領域を設けることにより、一層のオン抵抗低減が図られることを示した。

よって本発明は、オン抵抗と耐圧とのトレードオフ関係を改善した超接合半導体素子の更なる特性改善に重大な寄与をするものである。

【図面の簡単な説明】

【図1】 本発明実施例1の超接合MOSFETの斜視断面図

【図2】 本発明参考例1の超接合MOSFETの斜視断面図

【図3】 本発明実施例2の超接合MOSFETの斜視断面図

【図4】 本発明参考例2の超接合MOSFETの斜視断面図

【図5】 本発明参考例3の超接合MOSFETの斜視断面図

【図6】 本発明参考例4の超接合MOSFETの斜視断面図

【図7】 本発明参考例5の超接合MOSFETの斜視断面図

【図8】 本発明参考例6の超接合MOSFETの断面図

30

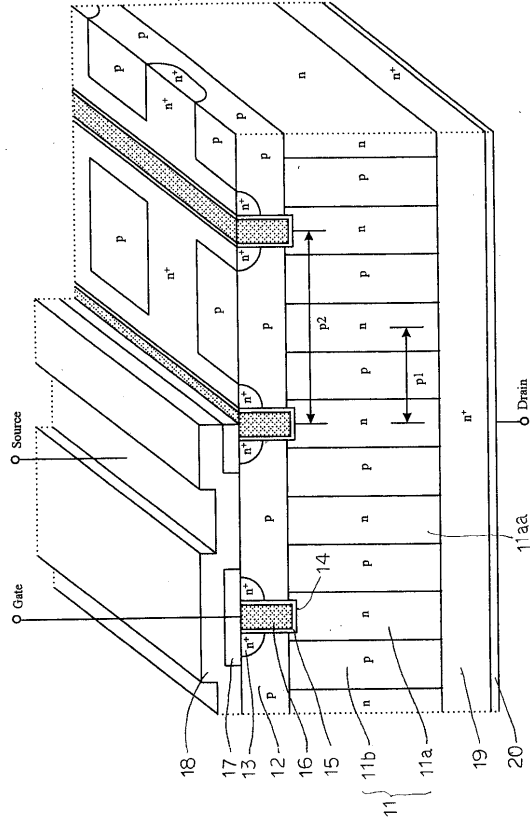
【符号の説明】

- 11、21、31、41、51、61、71、81 並列pn層
- 11a、31a、41a、51a、61a、71a、81a nドリフト領域
- 11b、31b、51b、71b、81b p仕切り領域
- 12、32、52、82 pウェル領域
- 13、83 n⁺ソース領域
- 14、24、34、44、54、64 トレンチ
- 15、85 ゲート酸化膜
- 16、86 ゲート電極
- 17、87 層間絶縁膜
- 18、38、88 ソース電極
- 19、39、89 n⁺ドレイン層
- 20、40、90 ドレイン電極
- 32d、42d、52d、62d、82d n深部領域

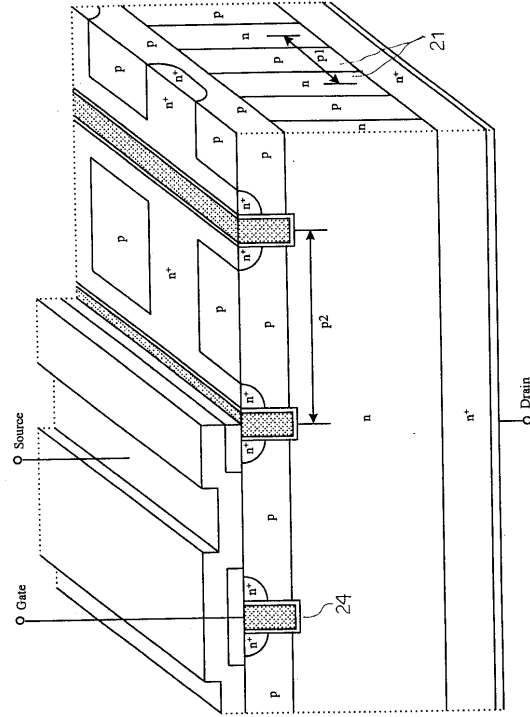
40

50

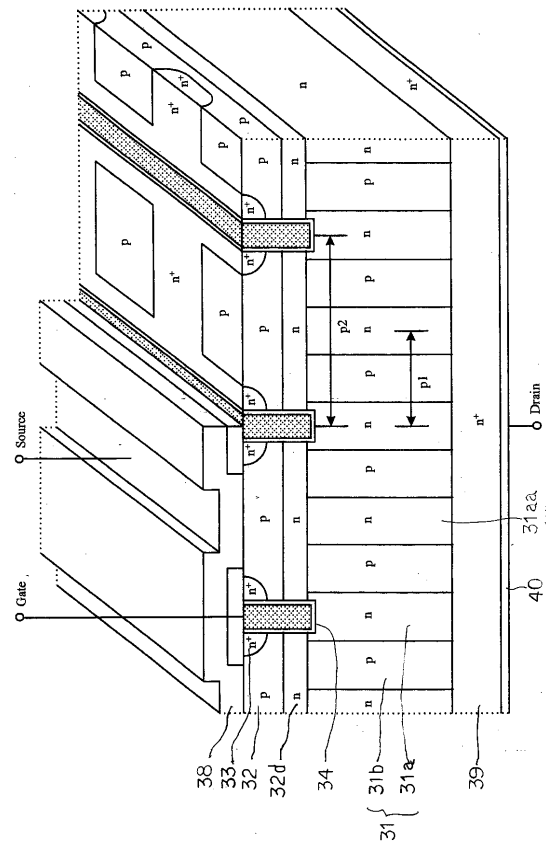
【 図 1 】



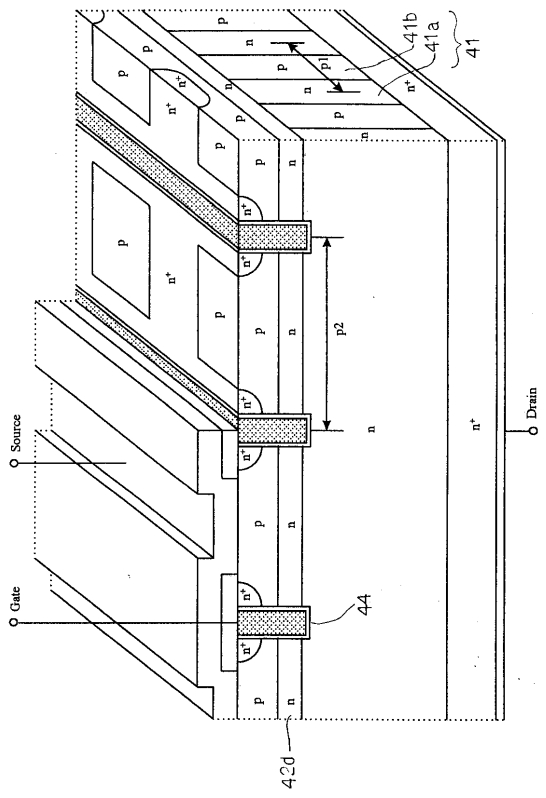
【 図 2 】



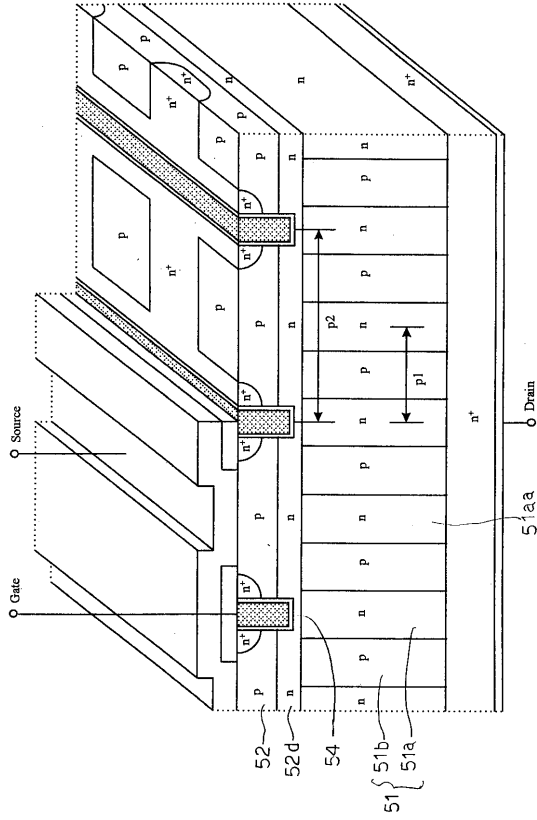
【 図 3 】



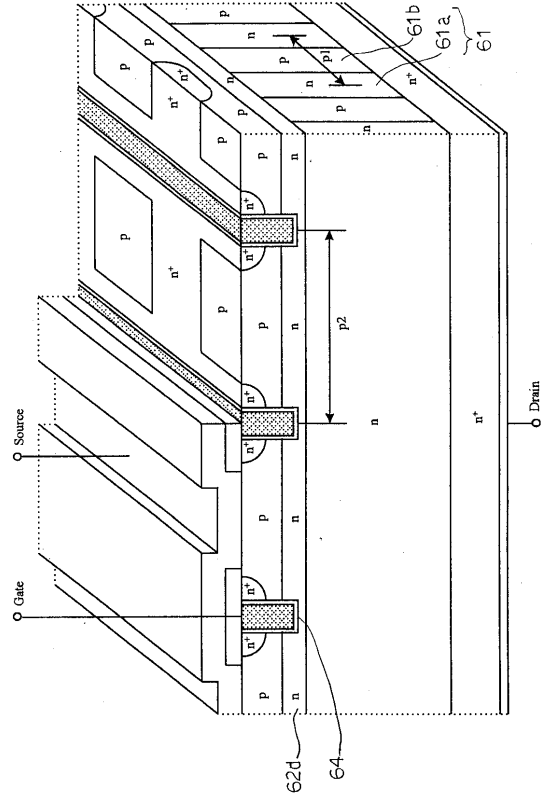
【 図 4 】



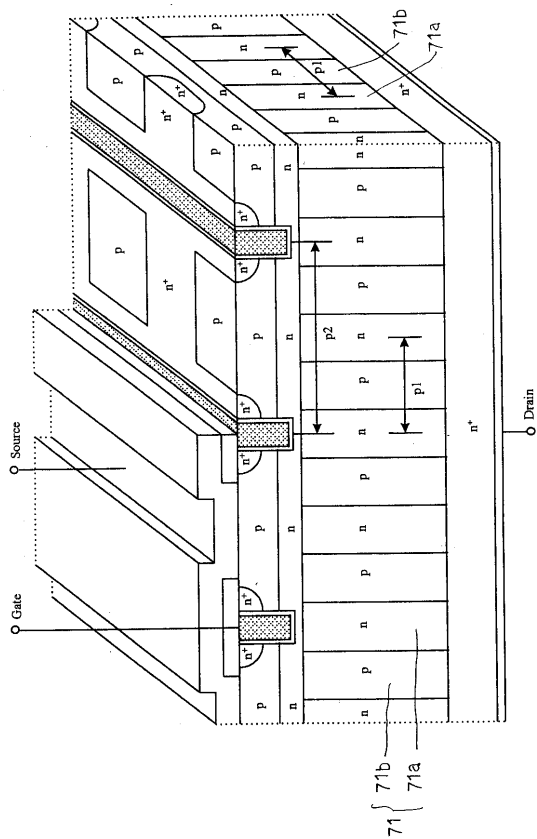
【 5 】



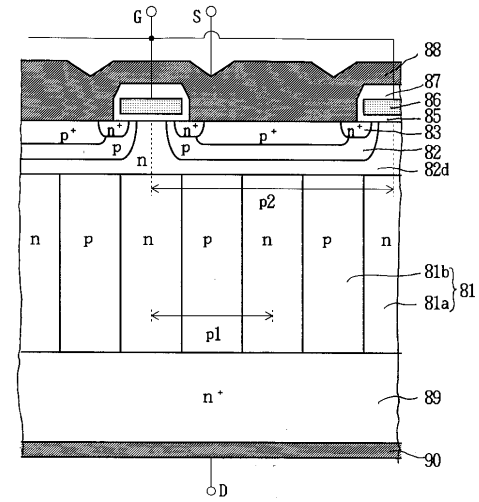
【 6 】



【 7 】



【 8 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/74 F

(72)発明者 岩本 進
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

(72)発明者 佐藤 高広
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 安田 雅彦

(56)参考文献 特開平11-233759(JP,A)
特開2000-156978(JP,A)
特開2000-260984(JP,A)
特開2001-332726(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 29/739

H01L 29/06

H01L 21/336

H01L 21/331