



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월13일  
(11) 등록번호 10-2729143  
(24) 등록일자 2024년11월07일

(51) 국제특허분류(Int. Cl.)  
G06F 3/06 (2006.01) G06F 12/02 (2018.01)  
(52) CPC특허분류  
G06F 3/0614 (2013.01)  
G06F 12/0246 (2013.01)  
(21) 출원번호 10-2024-0098843(분할)  
(22) 출원일자 2024년07월25일  
심사청구일자 2024년07월25일  
(65) 공개번호 10-2024-0118051  
(43) 공개일자 2024년08월02일  
(62) 원출원 특허 10-2019-0006417  
원출원일자 2019년01월17일  
심사청구일자 2021년12월09일  
(56) 선행기술조사문헌  
US20170139839 A1  
(뒷면에 계속)  
전체 청구항 수 : 총 16 항

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
오윤식  
경기도 이천시 부발읍 경충대로 2091  
권석진  
경기도 이천시 부발읍 경충대로 2091  
(74) 대리인  
오중한, 문용호

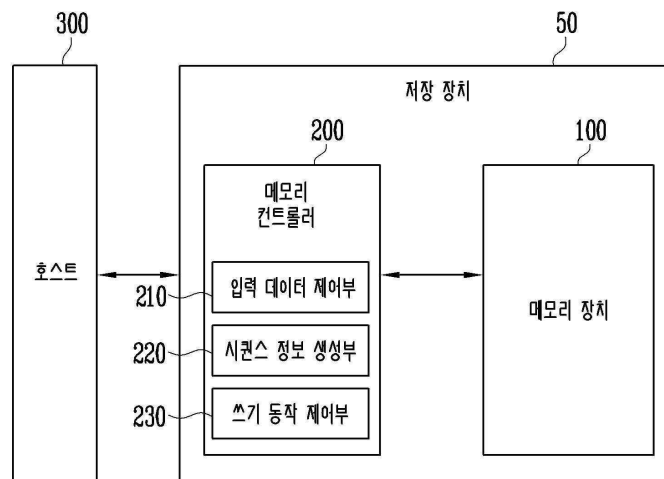
심사관 : 이후락

(54) 발명의 명칭 저장 장치 및 그 동작 방법

(57) 요약

본 기술은 전자 장치에 관한 것으로, 본 기술에 따른 향상된 불량 분석능력을 갖는 복수의 페이지들을 포함하는 메모리 장치를 제어하는 메모리 컨트롤러는, 복수의 페이지들 중 선택된 페이지에 저장할 데이터를 입력 받는 입력 데이터 제어부, 메모리 장치의 동작 상태를 반영하여, 선택된 페이지에 저장할 데이터를 저장하는 프로그램 동작이 수행될 순번을 나타내는 시퀀스 정보를 생성하는 시퀀스 정보 생성부 및 저장할 데이터를 선택된 페이지의 메인 영역에 저장하고, 선택된 페이지의 물리 주소 및 저장할 데이터에 대응되는 시퀀스 정보를 포함하는 히스토리 정보를 선택된 페이지의 스페어 영역에 저장하도록 메모리 장치를 제어하는 쓰기 동작 제어부를 포함한다.

대표도 - 도1



(52) CPC특허분류

*G06F 3/0604* (2013.01)  
*G06F 3/0653* (2013.01)  
*G06F 3/0658* (2013.01)  
*G06F 3/0659* (2013.01)  
*G06F 2212/1016* (2013.01)  
*G06F 2212/1032* (2013.01)

(56) 선행기술조사문헌

KR1020160110832 A  
KR1020050069218 A  
KR1020120137867 A  
JP2010182228 A  
JP2001188701 A

---

## 명세서

### 청구범위

#### 청구항 1

복수의 페이지들을 포함하는 메모리 장치를 제어하는 메모리 컨트롤러에 있어서,

상기 복수의 페이지들 중 선택된 제1 페이지에 저장할 데이터를 입력 받는 입력 데이터 제어부;

상기 제1 페이지에 상기 데이터를 저장하는 제1 프로그램 동작이 수행될 순번을 나타내는 시퀀스 정보를, 상기 제1 프로그램 동작 이전에 수행된 프로그램 동작들의 순번에 기초하여, 생성하는 시퀀스 정보 생성부; 및

상기 데이터를 상기 제1 페이지의 제1 영역에 저장하고, 상기 제1 페이지의 물리 주소 및 상기 저장할 데이터에 대응되는 상기 시퀀스 정보를 포함하는 히스토리 정보를 상기 제1 페이지의 제2 영역에 저장하도록 상기 메모리 장치를 제어하는 쓰기 동작 제어부;를 포함하고,

상기 히스토리 정보는,

상기 데이터가 상기 제1 프로그램 동작이 수행되기 이전에 제2 프로그램 동작에 의해 제2 페이지에 저장된 데이터이면, 상기 제2 프로그램 동작이 수행된 순번을 나타내는 시퀀스 정보 및 상기 제2 페이지의 물리 주소를 포함하는 메모리 컨트롤러.

#### 청구항 2

제 1항에 있어서,

상기 제1 영역 및 상기 제2 영역은 상기 제1 페이지의 메인 영역 및 스페어 영역에 각각 대응되는 메모리 컨트롤러.

#### 청구항 3

제 1항에 있어서, 상기 입력 데이터 제어부는,

호스트로부터 제공된 상기 저장할 데이터를 입력 받는 메모리 컨트롤러.

#### 청구항 4

제 3항에 있어서, 상기 입력 데이터 제어부는,

상기 호스트로부터 상기 저장할 데이터의 논리 주소를 입력 받는 메모리 컨트롤러.

#### 청구항 5

제 4항에 있어서, 상기 히스토리 정보는,

상기 논리 주소를 포함하는 메모리 컨트롤러.

#### 청구항 6

제 1항에 있어서, 상기 입력 데이터 제어부는,

상기 메모리 장치로부터 상기 저장할 데이터를 입력 받는 메모리 컨트롤러.

#### 청구항 7

제 4항에 있어서,

상기 저장할 데이터의 논리 주소와 상기 제1 페이지의 물리 주소 간의 매핑 정보를 저장하는 매핑 테이블을 더 포함하는 메모리 컨트롤러.

#### 청구항 8

제 7항에 있어서, 상기 입력 데이터 제어부는,

상기 매핑 테이블을 참조하여, 상기 논리 주소에 대응되는 상기 제1 페이지의 물리 주소를 상기 쓰기 동작 제어부에 제공하는 메모리 컨트롤러.

**청구항 9**

제 1항에 있어서, 상기 시퀀스 정보 생성부는,

상기 메모리 장치에 의해 수행된 프로그램 동작들의 총 횟수에 따라 상기 시퀀스 정보를 결정하는 메모리 컨트롤러.

**청구항 10**

제 9항에 있어서, 상기 시퀀스 정보 생성부는,

상기 프로그램 동작들의 총 횟수를 카운트하는 카운트 회로를 포함하는 메모리 컨트롤러.

**청구항 11**

제 10항에 있어서, 상기 쓰기 동작 제어부는,

상기 제1 페이지에 데이터를 저장하는 프로그램 동작이 수행되었음을 나타내는 프로그램 동작 수행 정보를 생성하는 메모리 컨트롤러.

**청구항 12**

제 11항에 있어서, 상기 카운트 회로는,

상기 프로그램 동작 수행 정보를 기초로 상기 프로그램 동작들의 총 횟수를 카운트하는 메모리 컨트롤러.

**청구항 13**

제 1항에 있어서, 상기 제1 페이지의 제2 영역은,

미리 설정된 커맨드에 의해 액세스되는 메모리 컨트롤러.

**청구항 14**

제1 영역 및 제2 영역을 포함하는 복수의 페이지들을 포함하고, 상기 복수의 페이지들 중 선택된 제1 페이지에 데이터를 저장하는 제1 프로그램 동작을 수행하는 메모리 장치; 및

상기 제1 프로그램 동작 이전에 수행된 프로그램 동작들의 순번들에 기초하여, 상기 제1 프로그램 동작이 수행될 순번을 나타내는 시퀀스 정보를 생성하고,

상기 데이터를 상기 제1 페이지의 제1 영역에 저장하고, 상기 제1 페이지의 물리 주소 및 상기 데이터에 대응되는 상기 시퀀스 정보를 포함하는 히스토리 정보를 상기 제1 페이지의 제2 영역에 저장하는 상기 제1 프로그램 동작을 수행하도록 상기 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고,

상기 히스토리 정보는,

상기 데이터가 상기 제1 프로그램 동작이 수행되기 이전에 제2 프로그램 동작에 의해 제2 페이지에 저장된 데이터이면, 상기 제2 프로그램 동작이 수행된 순번을 나타내는 시퀀스 정보 및 상기 제2 페이지의 물리 주소를 포함하는 저장 장치.

**청구항 15**

제 14항에 있어서, 상기 메모리 컨트롤러는,

상기 메모리 장치에 의해 수행된 프로그램 동작들의 총 횟수에 따라 상기 시퀀스 정보를 결정하는 저장 장치.

**청구항 16**

제 14항에 있어서, 상기 메모리 컨트롤러는,

호스트로부터 수신한 미리 설정된 커맨드에 응답하여 상기 제1 페이지의 제2 영역을 액세스하고, 상기 미리 설정된 커맨드는, 상기 메모리 장치를 테스트하는데 사용되는 커맨드 및 상기 메모리 장치를 분석하기 위한 데이터를 요청하는 커맨드를 포함하는 저장 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로 본 발명은 저장 장치 및 그 동작 방법에 관한 것이다.

**배경 기술**

[0002] 저장 장치는 컴퓨터나 스마트폰 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 저장 장치는 데이터가 저장되는 메모리 장치와 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다. 메모리 장치는 휘발성 메모리 장치 (Volatile Memory)와 비휘발성 메모리 장치 (Non Volatile Memory)로 구분된다.

[0003] 휘발성 메모리 장치는 전원이 공급된 경우에만 데이터를 저장하고, 전원 공급이 차단되면 저장된 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치는 정적 랜덤 액세스 메모리 (Static Random Access Memory; SRAM), 동적 랜덤 액세스 메모리 (Dynamic Random Access Memory; DRAM) 등이 있다.

[0004] 비휘발성 메모리 장치는 전원이 차단되어도 데이터가 소멸되지 않는 메모리 장치로서, 롬(Read Only Memory; ROM), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM) 및 플래시 메모리(Flash Memory) 등이 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 실시 예는, 향상된 불량 분석능력을 갖는 저장 장치 및 그 동작 방법을 제공한다.

**과제의 해결 수단**

[0006] 본 발명의 실시 예에 따른, 복수의 페이지들을 포함하는 메모리 장치를 제어하는 메모리 컨트롤러는, 복수의 페이지들 중 선택된 페이지에 저장할 데이터를 입력 받는 입력 데이터 제어부, 메모리 장치의 동작 상태를 반영하여, 선택된 페이지에 저장할 데이터를 저장하는 프로그램 동작이 수행될 순번을 나타내는 시퀀스 정보를 생성하는 시퀀스 정보 생성부 및 저장할 데이터를 선택된 페이지의 메인 영역에 저장하고, 선택된 페이지의 물리 주소 및 저장할 데이터에 대응되는 시퀀스 정보를 포함하는 히스토리 정보를 선택된 페이지의 스페어 영역에 저장하도록 메모리 장치를 제어하는 쓰기 동작 제어부를 포함한다.

[0007] 본 발명의 실시 예에 따른, 복수의 페이지들을 포함하는 메모리 장치를 제어하는 메모리 컨트롤러의 동작 방법은, 복수의 페이지들 중 선택된 페이지에 저장할 데이터를 입력 받는 단계, 메모리 장치에 의해 수행된 프로그램 동작들의 총 횟수를 카운트하는 단계, 총 횟수를 기초로, 선택된 페이지에 저장할 데이터를 저장하는 프로그램 동작이 수행될 순번을 결정하고, 순번을 나타내는 시퀀스 정보를 생성하는 단계 및 저장할 데이터를 선택된 페이지의 메인 영역에 저장하고, 선택된 페이지의 물리 주소 및 저장할 데이터에 대응되는 시퀀스 정보를 포함하는 히스토리 정보를 선택된 페이지의 스페어 영역에 저장하는 프로그램 커맨드를 메모리 장치를 제공하는 단계를 포함한다.

[0008] 본 발명의 실시 예에 따른 저장 장치는, 복수의 페이지들을 포함하고, 복수의 페이지들 중 선택된 페이지에 데이터를 저장하는 프로그램 동작을 수행하는 메모리 장치 및 호스트 또는 메모리 장치로부터 데이터를 입력 받고, 메모리 장치의 동작 상태를 반영하여, 프로그램 동작이 수행될 순번을 나타내는 시퀀스 정보를 생성하고, 데이터를 선택된 페이지의 메인 영역에 저장하고, 선택된 페이지의 물리 주소 및 데이터에 대응되는 시퀀스 정보를 포함하는 히스토리 정보를 선택된 페이지의 스페어 영역에 저장하는 프로그램 동작을 지시하는 프로그램 커맨드를 메모리 장치를 제공하는 메모리 컨트롤러를 포함한다.

**발명의 효과**

[0009] 본 기술에 따르면 향상된 불량 분석능력을 갖는 저장 장치 및 그 동작 방법이 제공된다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명의 실시 예에 따른 저장 장치를 설명하기 위한 도면이다.
- 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- 도 3은 도 2의 메모리 셀 어레이의 일 실시 예를 나타낸 도면이다.
- 도 4는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKa)을 보여주는 회로도이다.
- 도 5는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKb)의 다른 실시 예를 보여주는 회로도이다.
- 도 6은 실시 예에 따른 메모리 컨트롤러의 구성 및 동작을 설명하기 위한 도면이다.
- 도 7은 도 2의 물리 페이지를 설명하기 위한 도면이다.
- 도 8은 도 2의 물리 페이지의 다른 실시 예를 설명하기 위한 도면이다.
- 도 9는 실시 예에 따른 히스토리 정보를 저장하는 동작을 설명하기 위한 도면이다.
- 도 10은 실시 예에 따른 히스토리 정보가 갱신되는 동작을 설명하기 위한 도면이다.
- 도 11은 실시 예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 순서도이다.
- 도 12는 도 1의 메모리 컨트롤러의 다른 실시 예를 설명하기 위한 도면이다.
- 도 13은 본 발명의 실시 예에 따른 저장장치가 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- 도 14는 본 발명의 실시 예에 따른 저장장치가 적용된 SSD(Solid State Drive) 시스템을 보여주는 블록도이다.
- 도 15는 본 발명의 실시 예에 따른 저장장치가 적용된 사용자 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0012] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서 또는 출원에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0013] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0014] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0015] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 서술된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품

또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0016] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0017] 실시 예를 설명함에 있어서 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.
- [0018] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0020] 도 1은 본 발명의 실시 예에 따른 저장 장치를 설명하기 위한 도면이다.
- [0021] 도 1을 참조하면, 저장 장치(50)는 메모리 장치(100) 및 메모리 장치의 동작을 제어하는 메모리 컨트롤러(200)를 포함할 수 있다. 저장 장치(50)는 휴대폰, 스마트폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 태블릿 PC 또는 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트(300)의 제어에 따라 데이터를 저장하는 장치이다.
- [0022] 저장 장치(50)는 호스트(300)와의 통신 방식인 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치(50)는 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal serial bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0023] 저장 장치(50)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 저장 장치(50)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi-chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0024] 메모리 장치(100)는 데이터를 저장할 수 있다. 메모리 장치(100)는 메모리 컨트롤러(200)의 제어에 응답하여 동작한다. 메모리 장치(100)는 데이터를 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이를 포함할 수 있다.
- [0025] 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0026] 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있다. 각 메모리 블록은 복수의 메모리 셀들을 포함할 수 있다. 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다. 실시 예에서, 페이지는 메모리 장치(100)에 데이터를 저장하거나, 메모리 장치(100)에 저장된 데이터를 리드하는 단위일 수 있다. 메모리 블록은 데이터를 지우는 단위일 수 있다.
- [0027] 실시 예에서, 메모리 장치(100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND flash memory), 수직형 낸드 플래시 메모리(Vertical NAND flash memory), 노아 플래시 메모리(NOR flash memory), 저항성 램(resistive random access memory: RRAM), 상변화 메모리(phase-change memory: PRAM), 자기저항 메모리(magnetoresistive random access memory: MRAM), 강유전체 메모리(ferroelectric random access memory: FRAM), 스핀주입 자화반전 메모리(spin transfer torque random access memory: STT-RAM) 등이 될 수 있다. 본 명세서에서는 설명의 편의를 위해, 메모리 장치(100)가 낸드 플래시 메모리인 경우를 가정하여 설명한다.

- [0028] 메모리 장치(100)는 메모리 컨트롤러(200)로부터 커맨드 및 어드레스를 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스하도록 구성된다. 즉, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 대해 커맨드인 동작을 수행할 수 있다. 예를 들면, 메모리 장치(100)는 쓰기 동작 (프로그램 동작), 리드 동작 및 소거 동작을 수행할 수 있다. 프로그램 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 데이터를 프로그램 할 것이다. 리드 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역으로부터 데이터를 읽을 것이다. 소거 동작 시에, 메모리 장치(100)는 어드레스에 의해 선택된 영역에 저장된 데이터를 소거할 것이다.
- [0029] 메모리 컨트롤러(200)는 저장 장치(50)의 전반적인 동작을 제어한다.
- [0030] 저장 장치(50)에 전원이 인가되면, 메모리 컨트롤러(200)는 펌웨어(firmware, FW)를 실행할 수 있다. 메모리 장치(100)가 플래시 메모리 장치인 경우, 메모리 컨트롤러(200)는 호스트(300)와 메모리 장치(100)간의 통신을 제어하기 위한 플래시 변환 레이어(Flash Translation Layer, FTL)와 같은 펌웨어를 실행할 수 있다.
- [0031] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터 데이터와 논리 블록 어드레스(Logical Block Address, LBA)를 입력 받고, 논리 블록 어드레스를 메모리 장치(100)에 포함된 데이터가 저장될 메모리 셀들의 주소를 나타내는 물리 블록 어드레스(Physical Block Address, PBA)로 변환할 수 있다.
- [0032] 메모리 컨트롤러(200)는 호스트(300)의 요청(request)에 따라 프로그램 동작, 리드 동작 또는 소거 동작 등을 수행하도록 메모리 장치(100)를 제어할 수 있다. 프로그램 동작 시, 메모리 컨트롤러(200)는 프로그램 커맨드, 물리 블록 어드레스 및 데이터를 메모리 장치(100)에 제공할 수 있다. 리드 동작 시, 메모리 컨트롤러(200)는 리드 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다. 소거 동작 시, 메모리 컨트롤러(200)는 소거 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다.
- [0033] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터의 요청과 무관하게 자체적으로 프로그램 커맨드, 어드레스 및 데이터를 생성하고, 메모리 장치(100)에 전송할 수 있다. 예를 들면, 메모리 컨트롤러(200)는 웨어 레벨링(wear leveling)을 위한 프로그램 동작, 가비지 컬렉션(garbage collection)을 위한 프로그램 동작과 같은 배경(background) 동작들을 수행하기 위해 커맨드, 어드레스 및 데이터를 메모리 장치(100)로 제공할 수 있다.
- [0034] 실시 예에서, 메모리 컨트롤러(200)가 적어도 둘 이상의 메모리 장치(100)들을 제어할 수 있다. 이 경우, 메모리 컨트롤러(200)는 동작 성능의 향상을 위해 메모리 장치(100)들을 인터리빙 방식에 따라 제어할 수 있다. 인터리빙 방식은 적어도 둘 이상의 메모리 장치(100)들의 동작 구간을 중첩시키는 동작 방식일 수 있다.
- [0035] 실시 예에서, 메모리 컨트롤러(200)는 입력 데이터 제어부(210), 시퀀스 정보 생성부(220) 및 쓰기 동작 제어부(230)를 포함할 수 있다.
- [0036] 입력 데이터 제어부(210)는 메모리 장치(100)에 저장할 데이터를 제공받을 수 있다. 이 때 저장할 데이터는 메모리 장치(100)에 포함된 복수의 페이지들 중 선택된 페이지에 저장할 데이터일 수 있다. 실시 예에서, 입력 데이터 제어부(210)는 호스트(300)로부터 메모리 장치(100)에 저장할 데이터와 저장할 데이터의 논리 주소를 제공할 수 있다.
- [0037] 다른 실시 예에서, 입력 데이터 제어부(210)는 메모리 장치(100)로부터 메모리 장치(100)에 저장할 데이터를 제공받을 수 있다. 이 때, 저장할 데이터는 메모리 장치(100)에 저장될 선택 영역과 다른 영역에 저장된 데이터가 리드된 데이터일 수 있다. 예를 들면, 메모리 컨트롤러(200)의 제어에 따라 백그라운드 동작이 수행될 때, 메모리 장치(100)의 다른 영역에 저장된 데이터는 리드되어 메모리 장치(100)의 선택 영역에 저장될 수 있다.
- [0038] 입력 데이터 제어부(210)는 호스트(300)나 메모리 장치(100)로부터 제공받은 저장할 데이터를 입력 데이터로 쓰기 동작 제어부(230)에 제공할 수 있다.
- [0039] 시퀀스 정보 생성부(220)는 메모리 장치(100)에 입력 데이터를 저장하는 프로그램 동작이 수행될 순번을 나타내는 시퀀스 정보를 생성할 수 있다. 시퀀스 정보 생성부(220)는 메모리 장치(100)의 동작 상태를 반영하여 시퀀스 정보를 생성할 수 있다. 구체적으로, 시퀀스 정보 생성부(220)는 메모리 장치(100)에 의해 수행된 프로그램 동작의 총 횟수를 카운트할 수 있다. 시퀀스 정보 생성부(220)는 카운트한 메모리 장치(100)에 의해 수행된 프로그램 동작들의 총 횟수에 따라 시퀀스 정보를 결정할 수 있다.
- [0040] 실시 예에서, 시퀀스 정보 생성부(220)는 메모리 장치(100)에 포함된 복수의 페이지들 중 선택된 페이지에 입력 데이터를 저장하는 프로그램 동작이 수행될 순번을 나타내는 시퀀스 정보를 생성할 수 있다.
- [0041] 쓰기 동작 제어부(230)는 메모리 장치(100)가 입력 데이터를 메모리 장치(100)에 포함된 복수의 페이지들에 저

장하도록 메모리 장치(100)를 제어할 수 있다. 쓰기 동작 제어부(230)는 입력 데이터를 복수의 페이지들 중 선택된 페이지의 메인 영역에 저장하도록 메모리 장치(100)를 제어할 수 있다.

- [0042] 쓰기 동작 제어부(230)는 히스토리 정보를 선택된 페이지의 스페어 영역에 저장하도록 메모리 장치(100)를 제어할 수 있다. 히스토리 정보는 입력 데이터가 저장될 메모리 장치(100)의 물리 주소 및 입력 데이터에 대응되는 시퀀스 정보를 포함할 수 있다. 메모리 장치(100)의 물리 주소는 선택된 페이지의 물리 주소일 수 있다.
- [0043] 실시 예에서, 입력 데이터가 메모리 장치(100)로부터 제공받은 데이터이면, 입력 데이터는 복수의 페이지들 중 선택된 페이지와 다른 페이지에 저장된 데이터가 리드된 데이터일 수 있다. 히스토리 정보는 다른 페이지의 물리 주소와 다른 페이지에 저장된 데이터에 대응되는 시퀀스 정보를 포함할 수 있다. 이 때 시퀀스 정보는 다른 페이지에 저장된 데이터의 프로그램 동작이 수행된 순번을 나타내는 정보일 수 있다. 다시 말해서, 시퀀스 정보는 메모리 장치에 의해 수행된 프로그램 동작들 중 리드된 데이터가 다른 페이지에 저장되는 프로그램 동작이 수행된 순번을 나타내는 정보일 수 있다.
- [0044] 쓰기 동작 제어부(230)는 입력 데이터를 저장하는 프로그램 동작이 수행되었음을 나타내는 프로그램 동작 수행 정보를 생성할 수 있다.
- [0045] 호스트(300)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 저장 장치(50)와 통신할 수 있다.
- [0047] 도 2는 도 1의 메모리 장치의 구조를 설명하기 위한 도면이다.
- [0048] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 주변 회로(120) 및 제어 로직(130)을 포함할 수 있다.
- [0049] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 복수의 메모리 블록들(BLK1~BLKz)은 행 라인들(RL)을 통해 어드레스 디코더(121)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz)은 비트라인들(BL1 내지 BLm)을 통해 읽기 및 쓰기 회로(123)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다. 복수의 메모리 셀들 중 동일 워드 라인에 연결된 메모리 셀들은 하나의 물리 페이지로 정의된다. 즉 메모리 셀 어레이(110)는 다수의 물리 페이지들로 구성된다. 본 발명의 실시 예에 따르면, 메모리 셀 어레이(110)에 포함된 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 더미 셀들을 포함할 수 있다. 더미 셀들은 드레인 선택 트랜지스터와 메모리 셀들 사이와 소스 선택 트랜지스터와 메모리 셀들 사이에 적어도 하나 이상 직렬로 연결될 수 있다.
- [0050] 메모리 장치(100)의 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0051] 주변 회로(120)는 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)를 포함할 수 있다.
- [0052] 주변 회로(120)는 메모리 셀 어레이(110)를 구동한다. 예를 들어 주변 회로(120)는 프로그램 동작, 리드 동작 및 소거 동작을 수행하도록 메모리 셀 어레이(110)를 구동할 수 있다.
- [0053] 어드레스 디코더(121)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 행 라인들(RL)은 드레인 선택 라인들, 워드라인들, 소스 선택 라인들 및 공통 소스 라인을 포함할 수 있다. 본 발명의 실시 예에 따르면, 워드라인들은 노멀 워드라인들과 더미 워드라인들을 포함할 수 있다. 본 발명의 실시 예에 따르면, 행 라인들(RL)은 파이프 선택 라인을 더 포함할 수 있다.
- [0054] 어드레스 디코더(121)는 제어 로직(130)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(121)는 제어 로직(130)으로부터 어드레스(ADDR)를 수신한다.
- [0055] 어드레스 디코더(121)는 수신된 어드레스(ADDR) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더

(121)는 디코딩된 블록 어드레스에 따라 메모리 블록들(BLK1~BLKz) 중 적어도 하나의 메모리 블록을 선택한다. 어드레스 디코더(121)는 수신된 어드레스(ADDR) 중 로우 어드레스(RADD)를 디코딩하도록 구성된다. 어드레스 디코더(121)는 디코딩된 로우 어드레스(RADD)에 따라 전압 생성부(122)로부터 제공받은 전압들을 적어도 하나의 워드라인(WL)에 인가하여 선택된 메모리 블록의 적어도 하나의 워드라인을 선택할 수 있다.

- [0056] 프로그램 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 프로그램 전압을 인가하고 비선택된 워드라인들에 프로그램 전압보다 낮은 레벨의 패스 전압을 인가할 것이다. 프로그램 검증 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 검증 전압을 인가하고 비선택된 워드라인들에 검증 전압보다 높은 레벨의 검증 패스 전압을 인가할 것이다.
- [0057] 리드 동작 시에, 어드레스 디코더(121)는 선택된 워드라인에 읽기 전압을 인가하고, 비선택된 워드라인들에 읽기 전압보다 높은 레벨의 읽기 패스 전압을 인가할 것이다.
- [0058] 본 발명의 실시 예에 따르면, 메모리 장치(100)의 소거 동작은 메모리 블록 단위로 수행된다. 소거 동작 시에 메모리 장치(100)에 입력되는 어드레스(ADDR)는 블록 어드레스를 포함한다. 어드레스 디코더(121)는 블록 어드레스를 디코딩하고, 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택할 수 있다. 소거 동작 시, 어드레스 디코더(121)는 선택된 메모리 블록에 입력되는 워드라인들에 접지 전압을 인가할 수 있다.
- [0059] 본 발명의 실시 예에 따르면, 어드레스 디코더(121)는 전달된 어드레스(ADDR) 중 컬럼 어드레스를 디코딩하도록 구성될 수 있다. 디코딩된 컬럼 어드레스는 읽기 및 쓰기 회로(123)에 전달될 수 있다. 예시적으로, 어드레스 디코더(121)는 로우 디코더, 컬럼 디코더, 어드레스 버퍼 등과 같은 구성 요소들을 포함할 수 있다.
- [0060] 전압 생성부(122)는 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 발생하도록 구성된다. 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0061] 실시 예로서, 전압 생성부(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성할 수 있다. 전압 생성부(122)에서 생성된 내부 전원 전압은 메모리 장치(100)의 동작전압으로서 사용된다.
- [0062] 실시 예로서, 전압 생성부(122)는 외부 전원 전압 또는 내부 전원 전압을 이용하여 복수의 동작 전압(Vop)들을 생성할 수 있다. 전압 생성부(122)는 메모리 장치(100)에서 요구되는 다양한 전압들을 생성하도록 구성될 수 있다. 예를 들어, 전압 생성부(122)는 복수의 소거 전압들, 복수의 프로그램 전압들, 복수의 패스 전압들, 복수의 선택 읽기 전압들, 복수의 비선택 읽기 전압들을 생성할 수 있다.
- [0063] 전압 생성부(122)는 다양한 전압 레벨들을 갖는 복수의 동작 전압(Vop)들을 생성하기 위해서, 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(130)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화하여 복수의 동작 전압(Vop)들을 생성할 것이다.
- [0064] 생성된 복수의 동작 전압(Vop)들은 어드레스 디코더(121)에 의해 메모리 셀 어레이(110)에 공급될 수 있다.
- [0065] 읽기 및 쓰기 회로(123)는 제1 내지 제 m 페이지 버퍼들(PB1~PBm)을 포함한다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 각각 제1 내지 제 m 비트라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)에 연결된다. 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 제어 로직(130)의 제어에 응답하여 동작한다.
- [0066] 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124)와 데이터(DATA)를 통신한다. 프로그램 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 데이터 입출력 회로(124) 및 데이터 라인들(DL)을 통해 저장될 데이터(DATA)를 수신한다.
- [0067] 프로그램 동작 시, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 워드라인에 프로그램 펄스가 인가될 때, 저장될 데이터(DATA)를 데이터 입출력 회로(124)를 통해 수신한 데이터(DATA)를 비트라인들(BL1~BLm)을 통해 선택된 메모리 셀들에 전달할 것이다. 전달된 데이터(DATA)에 따라 선택된 페이지의 메모리 셀들은 프로그램된다. 프로그램 허용 전압(예를 들면, 접지 전압)이 인가되는 비트라인과 연결된 메모리 셀은 상승된 문턱전압을 가질 것이다. 프로그램 금지 전압(예를 들면, 전원 전압)이 인가되는 비트라인과 연결된 메모리 셀의 문턱전압은 유지될 것이다. 프로그램 검증 동작 시에, 제1 내지 제 m 페이지 버퍼들(PB1~PBm)은 선택된 메모리 셀들로부터 비트라인들(BL1~BLm)을 통해 메모리 셀들에 저장된 데이터(DATA)를 읽는다.
- [0068] 리드 동작 시, 읽기 및 쓰기 회로(123)는 선택된 페이지의 메모리 셀들로부터 비트라인들(BL)을 통해 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 저장할 수 있다.
- [0069] 소거 동작 시에, 읽기 및 쓰기 회로(123)는 비트라인들(BL)을 플로팅(floating) 시킬 수 있다. 실시 예로서, 읽

기 및 쓰기 회로(123)는 열 선택 회로를 포함할 수 있다.

- [0070] 데이터 입출력 회로(124)는 데이터 라인들(DL)을 통해 제1 내지 제 m 페이지 버퍼들(PB1~PBm)에 연결된다. 데이터 입출력 회로(124)는 제어 로직(130)의 제어에 응답하여 동작한다.
- [0071] 데이터 입출력 회로(124)는 입력되는 데이터(DATA)를 수신하는 복수의 입출력 버퍼들(미도시)을 포함할 수 있다. 프로그램 동작 시, 데이터 입출력 회로(124)는 외부 컨트롤러(미도시)로부터 저장될 데이터(DATA)를 수신한다. 데이터 입출력 회로(124)는 리드 동작 시, 읽기 및 쓰기 회로(123)에 포함된 제1 내지 제 m 페이지 버퍼들(PB1~PBm)로부터 전달된 데이터(DATA)를 외부 컨트롤러로 출력한다.
- [0072] 센싱 회로(125)는 리드 동작 또는 검증 동작 시, 제어 로직(130)이 생성한 허용 비트(VRYBIT) 신호에 응답하여 기준 전류를 생성하고, 읽기 및 쓰기 회로(123)로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호 또는 페일 신호를 제어 로직(130)으로 출력할 수 있다.
- [0073] 제어 로직(130)은 어드레스 디코더(121), 전압 생성부(122), 읽기 및 쓰기 회로(123), 데이터 입출력 회로(124) 및 센싱 회로(125)에 연결될 수 있다. 제어 로직(130)은 메모리 장치(100)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(130)은 외부 장치로부터 전달되는 커맨드(CMD)에 응답하여 동작할 수 있다.
- [0074] 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 여러 가지 신호를 생성하여 주변 회로(120)를 제어할 수 있다. 예를 들면, 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 동작 신호(OPSIG), 로우 어드레스(RADD), 읽기 및 쓰기 회로 제어신호(PBSIGNALS) 및 허용 비트(VRYBIT)를 생성할 수 있다. 제어 로직(130)은 동작 신호(OPSIG)는 전압 생성부(122)로 출력하고, 로우 어드레스(RADD)는 어드레스 디코더(121)로 출력하고, 읽기 및 쓰기 제어신호는 읽기 및 쓰기 회로(123)로 출력하고, 허용 비트(VRYBIT)는 센싱 회로(125)로 출력할 수 있다. 또한, 제어 로직(130)은 센싱 회로(125)가 출력한 패스 또는 페일 신호(PASS/FAIL)에 응답하여 검증 동작이 패스 또는 페일 되었는지를 판단할 수 있다.
- [0076] 도 3은 도 2의 메모리 셀 어레이의 일 실시 예를 나타낸 도면이다.
- [0077] 도 3을 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록은 3차원 구조를 갖는다. 각 메모리 블록은 기판 위에 적층된 복수의 메모리 셀들을 포함한다. 이러한 복수의 메모리 셀들은 +X 방향, +Y 방향 및 +Z 방향을 따라 배열된다. 각 메모리 블록의 구조는 도 4 및 도 5를 참조하여 더 상세히 설명된다.
- [0079] 도 4는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKa)을 보여주는 회로도이다.
- [0080] 도 4를 참조하면 메모리 블록(BLKa)은 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m)을 포함한다. 실시 예로서, 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각은 'U'자형으로 형성될 수 있다. 메모리 블록(BLKa) 내에서, 행 방향(즉 +X 방향)으로 m개의 셀 스트링들이 배열된다. 도 5에서, 열 방향(즉 +Y 방향)으로 2개의 셀 스트링들이 배열되는 것으로 도시되었다. 하지만 이는 설명의 편의를 위한 것으로서 열 방향으로 3개 이상의 셀 스트링들이 배열될 수 있음이 이해될 것이다.
- [0081] 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각은 적어도 하나의 소스 선택 트랜지스터(SST), 제1 내지 제 n 메모리 셀들(MC1~MCn), 파이프 트랜지스터(PT), 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함한다.
- [0082] 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 유사한 구조를 가질 수 있다. 실시 예로서, 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC1~MCn) 각각은 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막을 포함할 수 있다. 실시 예로서, 채널층을 제공하기 위한 필라(pillar)가 각 셀 스트링(each cell string)에 제공될 수 있다. 실시 예로서, 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막 중 적어도 하나를 제공하기 위한 필라가 각 셀 스트링에 제공될 수 있다.
- [0083] 각 셀 스트링의 소스 선택 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC1~MCp) 사이에 연결된다.
- [0084] 실시 예로서, 동일한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 행 방향으로 신장되는 소스 선택 라인에 연결되고, 상이한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 상이한 소스 선택 라인들에 연결된다. 도 4에서, 제1 행의 셀 스트링들(CS11~CS1m)의 소스 선택 트랜지스터들은 제1 소스 선택 라인(SSL1)에 연결되어 있다. 제 2 행의 셀 스트링들(CS21~CS2m)의 소스 선택 트랜지스터들은 제 2 소스 선택 라인(SSL2)에 연결되어 있다.

- [0085] 다른 실시 예로서, 셀 스트링들(CS11~CS1m, CS21~CS2m)의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통 연결될 수 있다.
- [0086] 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에 연결된다.
- [0087] 제1 내지 제 n 메모리 셀들(MC1~MCn)은 제1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)로 구분될 수 있다. 제1 내지 제 p 메모리 셀들(MC1~MCp)은 +Z 방향과 역방향으로 순차적으로 배열되며, 소스 선택 트랜지스터(SST)와 파이프 트랜지스터(PT) 사이에서 직렬 연결된다. 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)은 +Z 방향으로 순차적으로 배열되며, 파이프 트랜지스터(PT)와 드레인 선택 트랜지스터(DST) 사이에서 직렬 연결된다. 제1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)은 파이프 트랜지스터(PT)를 통해 연결된다. 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제1 내지 제 n 워드라인들(WL1~WLn)에 연결된다.
- [0088] 각 셀 스트링의 파이프 트랜지스터(PT)의 게이트는 파이프 라인(PL)에 연결된다.
- [0089] 각 셀 스트링의 드레인 선택 트랜지스터(DST)는 해당 비트라인과 메모리 셀들(MCp+1~MCn) 사이에 연결된다. 행 방향으로 배열되는 셀 스트링들은 행 방향으로 신장되는 드레인 선택 라인에 연결된다. 제1 행의 셀 스트링들(CS11~CS1m)의 드레인 선택 트랜지스터들은 제1 드레인 선택 라인(DSL1)에 연결된다. 제 2 행의 셀 스트링들(CS21~CS2m)의 드레인 선택 트랜지스터들은 제 2 드레인 선택 라인(DSL2)에 연결된다.
- [0090] 열 방향으로 배열되는 셀 스트링들은 열 방향으로 신장되는 비트라인에 연결된다. 도 4에서, 제1 열의 셀 스트링들(CS11, CS21)은 제1 비트라인(BL1)에 연결되어 있다. 제 m 열의 셀 스트링들(CS1m, CS2m)은 제 m 비트라인(BLm)에 연결되어 있다.
- [0091] 행 방향으로 배열되는 셀 스트링들 내에서 동일한 워드라인에 연결되는 메모리 셀들은 하나의 페이지를 구성한다. 예를 들면, 제1 행의 셀 스트링들(CS11~CS1m) 중 제1 워드라인(WL1)과 연결된 메모리 셀들은 하나의 페이지를 구성한다. 제 2 행의 셀 스트링들(CS21~CS2m) 중 제1 워드라인(WL1)과 연결된 메모리 셀들은 다른 하나의 페이지를 구성한다. 드레인 선택 라인들(DSL1, DSL2) 중 어느 하나가 선택됨으로써 하나의 행 방향으로 배열되는 셀 스트링들이 선택될 것이다. 워드라인들(WL1~WLn) 중 어느 하나가 선택됨으로써 선택된 셀 스트링들 중 하나의 페이지가 선택될 것이다.
- [0092] 다른 실시 예로서, 제1 내지 제 m 비트라인들(BL1~BLm) 대신 이븐 비트라인들 및 오드 비트라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS11~CS1m 또는 CS21~CS2m) 중 짝수 번째 셀 스트링들은 이븐 비트라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS11~CS1m 또는 CS21~CS2m) 중 홀수 번째 셀 스트링들은 오드 비트라인들에 각각 연결될 수 있다.
- [0093] 실시 예로서, 제1 내지 제 n 메모리 셀들(MC1~MCn) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 선택 트랜지스터(SST)와 메모리 셀들(MC1~MCp) 사이의 전계(electric field)를 감소시키기 위해 제공된다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 드레인 선택 트랜지스터(DST)와 메모리 셀들(MCp+1~MCn) 사이의 전계를 감소시키기 위해 제공된다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLKa)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLKa)의 크기는 증가한다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLKa)의 크기는 감소하는 반면 메모리 블록(BLKa)에 대한 동작의 신뢰성은 저하될 수 있다.
- [0094] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱전압을 가질 수 있다. 메모리 블록(BLKa)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱전압은 각각의 더미 메모리 셀들에 연결된 더미 워드라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱전압을 가질 수 있다.
- [0096] 도 5는 도 3의 메모리 블록들(BLK1~BLKz) 중 어느 하나의 메모리 블록(BLKb)의 다른 실시 예를 보여주는 회로도이다.
- [0097] 도 5를 참조하면 메모리 블록(BLKb)은 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m')을 포함한다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은 +Z 방향을 따라 신장된다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은, 메모리 블록(BLK1') 하부의 기판(미도시) 위에 적층된, 적어도 하나의 소스 선택 트랜지

스터(SST), 제1 내지 제 n 메모리 셀들(MC1~MCn) 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함한다.

- [0098] 각 셀 스트링의 소스 선택 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC1~MCn) 사이에 연결된다. 동일한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 동일한 소스 선택 라인에 연결된다. 제1 행에 배열된 셀 스트링들(CS11'~CS1m')의 소스 선택 트랜지스터들은 제1 소스 선택 라인(SSL1)에 연결된다. 제 2 행에 배열된 셀 스트링들(CS21'~CS2m')의 소스 선택 트랜지스터들은 제 2 소스 선택 라인(SSL2)에 연결된다. 다른 실시 예로서, 셀 스트링들(CS11'~CS1m', CS21'~CS2m')의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통 연결될 수 있다.
- [0099] 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에서 직렬 연결된다. 제1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제1 내지 제 n 워드라인들(WL1~WLn)에 연결된다.
- [0100] 각 셀 스트링의 드레인 선택 트랜지스터(DST)는 해당 비트라인과 메모리 셀들(MC1~MCn) 사이에 연결된다. 행 방향으로 배열되는 셀 스트링들의 드레인 선택 트랜지스터들은 행 방향으로 신장되는 드레인 선택 라인에 연결된다. 제1 행의 셀 스트링들(CS11'~CS1m')의 드레인 선택 트랜지스터들은 제1 드레인 선택 라인(DSL1)에 연결된다. 제 2 행의 셀 스트링들(CS21'~CS2m')의 드레인 선택 트랜지스터들은 제 2 드레인 선택 라인(DSL2)에 연결된다.
- [0101] 결과적으로, 각 셀 스트링에 파이프 트랜지스터(PT)가 제외된 것을 제외하면 도 5의 메모리 블록(BLKb)은 도 4의 메모리 블록(BLKa)과 유사한 등가 회로를 갖는다.
- [0102] 다른 실시 예로서, 제1 내지 제 m 비트라인들(BL1~BLm) 대신 이븐 비트라인들 및 오드 비트라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 짝수 번째 셀 스트링들은 이븐 비트라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 홀수 번째 셀 스트링들은 오드 비트라인들에 각각 연결될 수 있다.
- [0103] 실시 예로서, 제1 내지 제 n 메모리 셀들(MC1~MCn) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 선택 트랜지스터(SST)와 메모리 셀들(MC1~MCn) 사이의 전계(electric field)를 감소시키기 위해 제공된다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 드레인 선택 트랜지스터(DST)와 메모리 셀들(MC1~MCn) 사이의 전계를 감소시키기 위해 제공된다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLKb)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLKb)의 크기는 증가한다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLKb)의 크기는 감소하는 반면 메모리 블록(BLKb)에 대한 동작의 신뢰성은 저하될 수 있다.
- [0104] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱전압을 가질 수 있다. 메모리 블록(BLKb)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱전압은 각각의 더미 메모리 셀들에 연결된 더미 워드라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱전압을 가질 수 있다.
- [0106] 도 6은 실시 예에 따른 메모리 컨트롤러의 구성 및 동작을 설명하기 위한 도면이다.
- [0107] 도 6을 참조하면, 메모리 컨트롤러(200)는 입력 데이터 제어부(210), 시퀀스 정보 생성부(220), 쓰기 동작 제어부(230) 및 매핑 테이블(240)을 포함할 수 있다.
- [0108] 실시 예에서, 입력 데이터 제어부(210)는 도 1을 참조하여 설명된 호스트로부터 메모리 장치(100)에 저장할 데이터와 저장할 데이터의 논리 주소를 제공받을 수 있다. 구체적으로, 입력 데이터 제어부(210)는 호스트로부터 메모리 장치(100)에 포함된 복수의 페이지들 중 선택된 페이지에 저장할 데이터를 제공받을 수 있다. 호스트로부터 제공받은 저장할 데이터는 수신 데이터일 수 있다.
- [0109] 다른 실시 예에서, 입력 데이터 제어부(210)는 메모리 장치(100)로부터 메모리 장치(100)에 저장할 데이터를 제공받을 수 있다. 구체적으로, 입력 데이터 제어부(210)는 메모리 장치(100)로부터 메모리 장치(100)에 포함된 복수의 페이지들 중 선택된 페이지에 저장할 데이터를 제공받을 수 있다. 메모리 장치(100)로부터 제공받은 데이터는 복수의 페이지들 중 선택된 페이지와 다른 페이지에 저장된 데이터가 리드된 데이터일 수 있다.
- [0110] 입력 데이터 제어부(210)는 입력 데이터를 쓰기 동작 제어부(230)에 제공할 수 있다. 입력 데이터는 입력 데이

터 제어부(210)가 호스트 또는 메모리 장치(100)로부터 제공받은 메모리 장치(100)에 저장될 데이터일 수 있다. 실시 예에서, 입력 데이터는 메모리 장치(100)에 포함된 복수의 페이지들 중 선택된 페이지에 저장될 데이터일 수 있다.

- [0111] 입력 데이터 제어부(210)는 매핑 테이블(240)을 참조하여 입력 데이터가 저장될 메모리 장치(100)의 물리 주소를 쓰기 동작 제어부(230)에 제공할 수 있다. 실시 예에서, 물리 주소는 입력 데이터가 저장될 선택된 페이지의 물리 주소일 수 있다.
- [0112] 시퀀스 정보 생성부(220)는 카운트 회로(221)를 포함할 수 있다. 카운트 회로(221)는 쓰기 동작 제어부(230)가 제공하는 프로그램 동작 수행 정보를 기초로, 메모리 장치(100)에 의해 수행된 프로그램 동작들의 총 횟수를 카운트할 수 있다.
- [0113] 실시 예에서, 시퀀스 정보 생성부(220)는 메모리 장치(100)의 동작 상태를 반영하여 선택된 페이지에 입력 데이터를 저장하는 프로그램 동작이 수행될 순번을 결정할 수 있다. 시퀀스 정보 생성부(220)는 카운트한 프로그램 동작의 총 횟수를 기초로 프로그램 동작이 수행될 순번을 결정할 수 있다. 시퀀스 정보 생성부(220)는 결정한 순번을 나타내는 시퀀스 정보를 생성할 수 있다.
- [0114] 쓰기 동작 제어부(230)는 입력 데이터를 메모리 장치(100)에 포함된 복수의 페이지들에 저장하도록 메모리 장치(100)를 제어할 수 있다. 구체적으로, 쓰기 동작 제어부(230)는 입력 데이터를 메모리 장치(100)에 포함된 복수의 페이지들 중 선택된 페이지의 메인 영역에 저장하고, 히스토리 정보를 선택된 페이지의 스페어 영역에 저장하는 프로그램 커맨드를 메모리 장치(100)에 제공할 수 있다.
- [0115] 히스토리 정보는 입력 데이터의 논리 주소를 포함할 수 있다. 히스토리 정보는 입력 데이터가 저장될 선택된 페이지의 물리 주소 및 입력 데이터에 대응되는 시퀀스 정보를 포함할 수 있다.
- [0116] 쓰기 동작 제어부(230)는 메모리 장치(100)에 의해 입력 데이터를 저장하는 프로그램 동작이 수행되었음을 나타내는 프로그램 동작 수행 정보를 생성할 수 있다.
- [0117] 매핑 테이블(240)은 입력 데이터의 논리 주소와 대응되는 물리 주소를 포함할 수 있다. 물리 주소는 입력 데이터가 저장될 메모리 장치(100)의 물리 주소일 수 있다. 물리 주소는 입력 데이터가 저장될 선택된 페이지의 물리 주소일 수 있다. 물리 주소는 선택된 페이지를 포함하는 메모리 블록을 지시하는 블록 인덱스와 메모리 블록에 포함된 복수의 페이지들 중 선택된 페이지를 지시하는 페이지 인덱스를 포함할 수 있다.
- [0118] 다른 실시 예에서, 입력 데이터가 복수의 페이지들로 나뉘어 저장되는 경우, 입력 데이터 제어부(210)는 입력 데이터를 페이지 단위로 저장되는 적어도 하나의 입력 데이터 청크로 구분할 수 있다. 시퀀스 정보 생성부(220)는 적어도 하나의 입력 데이터 청크 중 어느 하나의 데이터 청크에 대응되는 청크 시퀀스 정보를 생성할 수 있다.
- [0119] 청크 시퀀스 정보는 복수의 페이지들 중 선택된 페이지에 어느 하나의 데이터 청크를 저장하는 프로그램 동작이 수행될 순번을 나타내는 정보일 수 있다. 시퀀스 정보 생성부(220)는 메모리 장치에 의해 수행된 프로그램 동작들의 총 횟수에 따라 청크 시퀀스 정보를 결정할 수 있다.
- [0120] 쓰기 동작 제어부(230)는 어느 하나의 데이터 청크를 선택된 페이지의 메인 영역에 저장하고, 히스토리 정보를 선택된 페이지의 스페어 영역에 저장하는 프로그램 동작을 지시하는 프로그램 커맨드를 메모리 장치(100)에 제공할 수 있다. 히스토리 정보는 선택된 페이지의 물리 주소 및 어느 하나의 데이터 청크에 대응되는 청크 시퀀스 정보를 포함할 수 있다.
- [0121] 다른 실시 예에서, 하나의 페이지는 복수의 서브 페이지들을 포함할 수 있다. 복수의 서브 페이지들 각각은 메인 영역 및 스페어 영역을 포함할 수 있다. 데이터를 리드하거나 프로그램 하는 동작은 서브 페이지 단위로 수행될 수 있다.
- [0122] 입력 데이터 제어부(210)는 입력 데이터를 서브 페이지 단위로 저장되는 적어도 하나의 입력 데이터 청크로 구분할 수 있다. 시퀀스 정보 생성부(220)는 적어도 하나의 입력 데이터 청크 중 어느 하나의 데이터 청크에 대응되는 청크 시퀀스 정보를 생성할 수 있다.
- [0123] 청크 시퀀스 정보는 선택된 페이지에 포함되는 복수의 서브 페이지들 중 선택된 서브 페이지에 어느 하나의 데이터 청크를 저장하는 프로그램 동작이 수행될 순번을 나타내는 정보일 수 있다. 청크 시퀀스 정보는 메모리 장치에 의해 수행된 프로그램 동작들의 총 횟수에 따라 결정될 수 있다.

- [0124] 쓰기 동작 제어부(230)는 어느 하나의 데이터 체크를 선택된 서브 페이지의 메인 영역에 저장하도록 메모리 장치(100)를 제어할 수 있다. 쓰기 동작 제어부(230)는 선택된 서브 페이지의 물리 주소 및 체크 시퀀스 정보를 포함하는 히스토리 정보를 선택된 서브 페이지의 스페어 영역에 저장하도록 메모리 장치(100)를 제어할 수 있다.
- [0126] 도 7은 도 2의 물리 페이지를 설명하기 위한 도면이다.
- [0127] 도 7을 참조하면, 하나의 물리 페이지는 도 2를 참조하여 설명된 하나의 워드라인에 연결된 복수의 메모리 셀들이 데이터를 저장하는 단위일 수 있다. 물리 페이지는 메인 영역과 스페어 영역을 포함할 수 있다. 메인 영역은 유저 데이터를 저장하는 영역이고, 스페어 영역은 유저 데이터와 관련된 정보를 저장하는 영역일 수 있다.
- [0128] 실시 예에서, 유저 데이터는 물리 페이지의 메인 영역에 저장될 수 있다. 유저 데이터의 논리 주소는 물리 페이지의 스페어 영역에 저장될 수 있다. 유저 데이터의 논리 주소는 도 1을 참조하여 설명된 호스트로부터 제공될 수 있다.
- [0129] 도 6을 참조하여 설명된 히스토리 정보는 물리 페이지의 스페어 영역에 저장될 수 있다. 히스토리 정보는 유저 데이터가 저장될 물리 페이지의 물리 주소를 포함할 수 있다. 히스토리 정보는 유저 데이터에 대응되는 시퀀스 정보를 포함할 수 있다. 시퀀스 정보는 물리 페이지에 유저 데이터를 저장하는 프로그램 동작이 수행될 순번을 나타내는 정보일 수 있다. 시퀀스 정보는 메모리 장치에 의해 수행된 프로그램 동작들의 총 횟수에 따라 결정될 수 있다.
- [0131] 도 8은 도 2의 물리 페이지의 다른 실시 예를 설명하기 위한 도면이다.
- [0132] 도 8을 참조하면, 도 7의 물리 페이지와 대비하여 하나의 물리 페이지는 복수의 서브 페이지들을 포함할 수 있다. 복수의 서브 페이지들 각각은 메인 영역 및 스페어 영역을 포함할 수 있다. 데이터를 리드하거나 프로그램하는 동작은 서브 페이지 단위로 수행될 수 있다.
- [0133] 실시 예에서, 물리 페이지는 서브 페이지 1 및 서브 페이지 2를 포함할 수 있다. 하나의 물리 페이지가 포함하는 서브 페이지의 개수는 본 실시 예에 제한되지 않는다.
- [0134] 도 7에서 설명된 바와 유사하게, 유저 데이터는 하나의 서브 페이지의 메인 영역에 저장될 수 있다. 유저 데이터에 대응되는 히스토리 정보는 서브 페이지의 스페어 영역에 저장될 수 있다. 히스토리 정보는 유저 데이터가 저장될 서브 페이지의 물리 주소와 유저 데이터에 대응되는 시퀀스 정보를 포함할 수 있다.
- [0135] 실시 예에서, 서브 페이지의 물리 주소는, 선택된 페이지를 포함하는 메모리 블록을 지시하는 블록 인덱스와 메모리 블록에 포함된 복수의 페이지들 중 선택된 페이지를 지시하는 페이지 인덱스를 포함할 수 있다. 선택된 페이지는 서브 페이지를 포함하는 물리 페이지일 수 있다. 다른 실시 예에서, 서브 페이지의 물리 주소는 앞에서 설명된 블록 인덱스 및 페이지 인덱스를 포함하고, 선택된 페이지에 포함된 복수의 서브 페이지들 중 유저 데이터가 저장되는 서브 페이지를 지시하는 서브 페이지 인덱스를 추가로 포함할 수 있다.
- [0137] 도 9는 실시 예에 따른 히스토리 정보를 저장하는 동작을 설명하기 위한 도면이다.
- [0138] 도 9를 참조하면, 메모리 장치는 제1 및 제2 플레인들(Plane 1 및 Plane 2)을 포함할 수 있다. 제1 플레인(Plane 1)은 메모리 블록들(BLK1\_1 및 BLK2\_1)을 포함할 수 있다. 제2 플레인(Plane 2)은 메모리 블록들(BLK1\_2 및 BLK2\_2)을 포함할 수 있다. 도 9에서, 메모리 블록들 각각은 제1 및 제2 페이지들(Page1 및 Page 2)을 포함할 수 있다.
- [0139] 하나의 메모리 장치에 포함된 플레인들의 개수, 하나의 플레인에 포함된 메모리 블록들의 개수, 하나의 메모리 블록에 포함된 페이지들의 개수는 본 실시 예에 제한되지 않는다.
- [0140] 실시 예에서, 메모리 장치는 멀티 플레인 동작을 수행할 수 있다. 멀티 플레인 동작은 서로 다른 플레인에 포함되는 둘 이상의 메모리 블록들에 대해 동시에 데이터를 저장하는 동작일 수 있다. 멀티 플레인 동작은 서로 다른 플레인에 포함되는 둘 이상의 메모리 블록들에 저장된 데이터를 동시에 리드하는 동작일 수 있다.
- [0141] 도 1을 참조하여 설명된 메모리 컨트롤러는 호스트로부터 수신한 쓰기 요청에 따라, 쓰기 데이터를 메모리 장치에 저장하도록 메모리 장치를 제어할 수 있다. 쓰기 데이터는 호스트로부터 제공받은 데이터일 수 있다.
- [0142] 메모리 컨트롤러는 호스트로부터 쓰기 데이터의 논리 주소를 제공받을 수 있다. 메모리 컨트롤러는 쓰기 데이터의 논리 주소와 매핑되는 물리 주소에 쓰기 데이터를 저장하도록 메모리 장치를 제어할 수 있다. 쓰기 데이터의

논리 주소와 매핑되는 물리 주소는 쓰기 데이터가 저장될 메모리 장치의 물리 주소일 수 있다.

- [0143] 도 9에서, 각 페이지는 도 7에 설명된 물리 페이지와 동일한 구성을 가질 수 있다. 따라서, 각 페이지의 빗금 쳐지지 않은 영역은 메인 영역이고, 빗금 쳐진 영역은 스페어 영역일 수 있다.
- [0144] 제 1 쓰기 요청(Write\_1)에 따라, 제1 데이터(DATA\_A)가 메모리 장치에 저장될 수 있다. 제1 데이터(DATA\_A)는 페이지 단위로 저장되는 데이터 청크들(DATA\_CHUNK\_A1~A2)로 구분될 수 있다.
- [0145] 메모리 장치의 멀티 플레인 동작에 따라, 메모리 블록(BLK1\_1)의 제1 페이지(Page 1)에 데이터 청크(DATA\_CHUNK\_A1)를 저장하는 프로그램 동작과 메모리 블록(BLK1\_2)의 제1 페이지(Page 1)에 데이터 청크(DATA\_CHUNK\_A2)를 저장하는 프로그램 동작은 동시에 수행될 수 있다.
- [0146] 메모리 블록(BLK1\_1)의 제1 페이지(Page 1)의 메인 영역에 데이터 청크(DATA\_CHUNK\_A1)가 저장될 수 있다. 메모리 블록(BLK1\_1)의 제1 페이지(Page 1)의 스페어 영역에 데이터 청크(DATA\_CHUNK\_A1)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0147] 히스토리 정보는 제1 데이터(DATA\_A)의 논리 주소(LBA1)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA\_CHUNK\_A1)가 저장된 페이지의 물리 주소(BLK1\_1+Page1)를 포함할 수 있다. 데이터 청크(DATA\_CHUNK\_A1)에 대응되는 시퀀스 정보는 1일 수 있다. 메모리 장치에 의해 첫 번째로 수행된 프로그램 동작이기 때문이다.
- [0148] 메모리 블록(BLK1\_2)의 제1 페이지(Page 1)의 메인 영역에 데이터 청크(DATA\_CHUNK\_A2)가 저장될 수 있다. 메모리 블록(BLK1\_2)의 제1 페이지(Page 1)의 스페어 영역에 데이터 청크(DATA\_CHUNK\_A2)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0149] 히스토리 정보는 제1 데이터(DATA\_A)의 논리 주소(LBA1)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA\_CHUNK\_A2)가 저장된 페이지의 물리 주소(BLK1\_2+Page1)를 포함할 수 있다. 데이터 청크(DATA\_CHUNK\_A2)에 대응되는 시퀀스 정보는 1일 수 있다.
- [0150] 제 2 쓰기 요청(Write\_2)에 따라, 제2 데이터(DATA\_B)가 메모리 장치에 저장될 수 있다. 제2 데이터(DATA\_B)는 페이지 단위로 저장되는 데이터 청크들(DATA\_CHUNK\_B1~B3)로 구분될 수 있다.
- [0151] 메모리 장치의 멀티 플레인 동작에 따라, 메모리 블록(BLK1\_1)의 제2 페이지(Page 2)에 데이터 청크(DATA\_CHUNK\_B1)를 저장하는 프로그램 동작과 메모리 블록(BLK1\_2)의 제2 페이지(Page 2)에 데이터 청크(DATA\_CHUNK\_B2)를 저장하는 프로그램 동작은 동시에 수행될 수 있다.
- [0152] 메모리 블록(BLK1\_1)의 제2 페이지(Page 2)의 메인 영역에 데이터 청크(DATA\_CHUNK\_B1)가 저장될 수 있다. 메모리 블록(BLK1\_1)의 제2 페이지(Page 2)의 스페어 영역에 데이터 청크(DATA\_CHUNK\_B1)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0153] 히스토리 정보는 제2 데이터(DATA\_B)의 논리 주소(LBA2)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA\_CHUNK\_B1)가 저장된 페이지의 물리 주소(BLK1\_1+Page2)를 포함할 수 있다. 데이터 청크(DATA\_CHUNK\_B1)에 대응되는 시퀀스 정보는 2일 수 있다. 메모리 장치에 의해 두 번째로 수행된 프로그램 동작이기 때문이다.
- [0154] 메모리 블록(BLK1\_2)의 제2 페이지(Page 2)의 메인 영역에 데이터 청크(DATA\_CHUNK\_B2)가 저장될 수 있다. 메모리 블록(BLK1\_2)의 제2 페이지(Page 2)의 스페어 영역에 데이터 청크(DATA\_CHUNK\_B2)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0155] 히스토리 정보는 제2 데이터(DATA\_B)의 논리 주소(LBA2)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA\_CHUNK\_B2)가 저장된 페이지의 물리 주소(BLK1\_2+Page2)를 포함할 수 있다. 데이터 청크(DATA\_CHUNK\_B2)에 대응되는 시퀀스 정보는 2일 수 있다.
- [0156] 메모리 블록(BLK2\_1)의 제1 페이지(Page 1)의 메인 영역에 데이터 청크(DATA\_CHUNK\_B3)가 저장될 수 있다. 메모리 블록(BLK2\_1)의 제1 페이지(Page 1)의 스페어 영역에 데이터 청크(DATA\_CHUNK\_B3)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0157] 히스토리 정보는 제2 데이터(DATA\_B)의 논리 주소(LBA2)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA\_CHUNK\_B3)가 저장된 페이지의 물리 주소(BLK2\_1+Page1)를 포함할 수 있다. 데이터 청크(DATA\_CHUNK\_B3)에 대응되는 시퀀스 정보는 3일 수 있다.
- [0158] 제 3 쓰기 요청(Write\_3)에 따라, 제3 데이터(DATA\_C)가 메모리 장치에 저장될 수 있다. 제3 데이터(DATA\_C)는

페이지 단위로 저장되는 데이터 청크들(DATA CHUNK\_C1~C3)로 구분될 수 있다.

- [0159] 메모리 블록(BLK2\_2)의 제1 페이지(Page 1)의 메인 영역에 데이터 청크(DATA CHUNK\_C1)가 저장될 수 있다. 메모리 블록(BLK2\_2)의 제1 페이지(Page 1)의 스페어 영역에 데이터 청크(DATA CHUNK\_C1)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0160] 히스토리 정보는 제3 데이터(DATA\_C)의 논리 주소(LBA3)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA CHUNK\_C1)가 저장된 페이지의 물리 주소(BLK2\_2+Page1)를 포함할 수 있다. 데이터 청크(DATA CHUNK\_C1)에 대응되는 시퀀스 정보는 4일 수 있다.
- [0161] 메모리 장치의 멀티 플레인 동작에 따라, 메모리 블록(BLK2\_1)의 제2 페이지(Page 2)에 데이터 청크(DATA CHUNK\_C2)를 저장하는 프로그램 동작과 메모리 블록(BLK2\_2)의 제2 페이지(Page 2)에 데이터 청크(DATA CHUNK\_C3)를 저장하는 프로그램 동작은 동시에 수행될 수 있다.
- [0162] 메모리 블록(BLK2\_1)의 제2 페이지(Page 2)의 메인 영역에 데이터 청크(DATA CHUNK\_C2)가 저장될 수 있다. 메모리 블록(BLK2\_1)의 제2 페이지(Page 2)의 스페어 영역에 데이터 청크(DATA CHUNK\_C2)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0163] 히스토리 정보는 제3 데이터(DATA\_C)의 논리 주소(LBA3)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA CHUNK\_C2)가 저장된 페이지의 물리 주소(BLK2\_1+Page2)를 포함할 수 있다. 데이터 청크(DATA CHUNK\_C2)에 대응되는 시퀀스 정보는 5일 수 있다. 메모리 장치에 의해 다섯 번째로 수행된 프로그램 동작이기 때문이다.
- [0164] 메모리 블록(BLK2\_2)의 제2 페이지(Page 2)의 메인 영역에 데이터 청크(DATA CHUNK\_C3)가 저장될 수 있다. 메모리 블록(BLK2\_2)의 제2 페이지(Page 2)의 스페어 영역에 데이터 청크(DATA CHUNK\_C3)에 대응되는 히스토리 정보가 저장될 수 있다.
- [0165] 히스토리 정보는 제3 데이터(DATA\_C)의 논리 주소(LBA3)를 포함할 수 있다. 히스토리 정보는 데이터 청크(DATA CHUNK\_C3)가 저장된 페이지의 물리 주소(BLK2\_2+Page2)를 포함할 수 있다. 데이터 청크(DATA CHUNK\_C3)에 대응되는 시퀀스 정보는 5일 수 있다.
- [0167] 도 10은 실시 예에 따른 히스토리 정보가 갱신되는 동작을 설명하기 위한 도면이다.
- [0168] 도 9 및 도 10을 참조하면, 메모리 장치는 도 9의 메모리 장치와 비교할 때, 제1 플레인(Plane 1)은 메모리 블록(BLK3\_1)을 더 포함할 수 있다. 제2 플레인(Plane 2)은 메모리 블록(BLK3\_2)을 더 포함할 수 있다.
- [0169] 실시 예에서, 가비지 컬렉션과 같은 백그라운드 동작이 수행될 때, 메모리 장치의 특정 영역에 저장된 데이터는 메모리 장치의 다른 영역에 이동되어 저장될 수 있다. 백그라운드 동작은 도 1을 참조하여 설명된 메모리 컨트롤러의 제어에 따라 호스트의 요청과 무관하게 수행될 수 있다.
- [0170] 제1 가비지 컬렉션 동작(GC1)에 따라, 메모리 블록(BLK1\_1)의 제1 페이지(Page 1)의 메인 영역에 저장된 데이터 청크(DATA CHUNK\_A1)는 메모리 블록(BLK3\_1)의 제1 페이지(Page 1)의 메인 영역에 저장될 수 있다.
- [0171] 메모리 블록(BLK3\_1)의 제1 페이지(Page 1)의 스페어 영역에는 데이터 청크(DATA CHUNK\_A1)에 대응되는 이전 히스토리 정보(BLK1\_1+Page1, Seq1)가 저장될 수 있다. 메모리 블록(BLK3\_1)의 제1 페이지(Page 1)의 스페어 영역에는 데이터 청크(DATA CHUNK\_A1)에 대응되는 현재 히스토리 정보(BLK3\_1+Page1, Seq6)가 저장될 수 있다.
- [0172] 제1 가비지 컬렉션 동작(GC1)에 따라, 메모리 블록(BLK1\_2)의 제1 페이지(Page 1)의 메인 영역에 저장된 데이터 청크(DATA CHUNK\_A2)는 메모리 블록(BLK3\_1)의 제2 페이지(Page 2)의 메인 영역에 저장될 수 있다.
- [0173] 메모리 블록(BLK3\_1)의 제2 페이지(Page 2)의 스페어 영역에는 데이터 청크(DATA CHUNK\_A2)에 대응되는 이전 히스토리 정보(BLK1\_2+Page1, Seq1)가 저장될 수 있다. 메모리 블록(BLK3\_1)의 제2 페이지(Page 2)의 스페어 영역에는 데이터 청크(DATA CHUNK\_A2)에 대응되는 현재 히스토리 정보(BLK3\_1+Page2, Seq7)가 저장될 수 있다.
- [0174] 실시 예에서, 메모리 블록이 소거되면, 메모리 블록에 포함된 페이지들 각각의 스페어 영역에 저장된 히스토리 정보들은 삭제될 수 있다.
- [0175] 실시 예에서, 데이터가 저장된 페이지의 스페어 영역을 리드하면, 해당 데이터의 논리 주소에 대응되는 히스토리 정보를 획득할 수 있다. 히스토리 정보는 해당 데이터가 이전에 저장된 페이지들의 물리 주소와 저장될 당시의 프로그램 순서를 나타내는 시퀀스 정보를 포함할 수 있다. 데이터의 히스토리 정보는 메모리 장치의 쓰기 패턴이나 불량을 분석하는데 사용될 수 있다. 데이터의 히스토리 정보는 메모리 장치의 성능 테스트하는데 사용

될 수 있다.

- [0177] 도 11은 실시 예에 따른 메모리 컨트롤러의 동작을 설명하기 위한 순서도이다.
- [0178] 도 11을 참조하면, S1101단계에서, 메모리 컨트롤러는 메모리 장치에 저장할 데이터 수신할 수 있다. 구체적으로 저장할 데이터는 호스트로부터 제공받은 데이터이거나, 메모리 장치에 저장된 데이터가 리드된 데이터일 수 있다.
- [0179] S1103단계에서, 메모리 컨트롤러는 데이터를 저장하는 프로그램 동작이 메모리 장치가 몇 번째로 수행할 프로그램 동작인지를 나타내는 시퀀스 정보를 생성할 수 있다. 구체적으로 시퀀스 정보는 메모리 장치에 의해 수행된 프로그램 동작들의 총 횟수에 따라 결정되고, 메모리 장치에 포함된 복수의 페이지들 중 선택된 페이지에 데이터를 저장하는 프로그램 동작이 수행될 순번을 나타내는 정보일 수 있다.
- [0180] S1105단계에서, 메모리 컨트롤러는, 선택된 페이지의 메인 영역에 데이터를 저장하고, 선택된 페이지의 스페어 영역에 선택된 페이지의 물리 주소 및 시퀀스 정보를 포함하는 히스토리 정보를 저장하는 프로그램 커맨드를 메모리 장치에 제공할 수 있다.
- [0181] S1107단계에서, 메모리 컨트롤러는 메모리 장치의 특정 영역에 저장된 데이터를 메모리 장치의 선택 영역으로 이동시키는 동작이 발생했는지를 판단할 수 있다. 판단결과, 데이터의 이동이 발생하면, S1101단계로 진행하고, 그렇지 않으면 동작을 종료한다. 데이터를 이동시키는 동작은 가비지 컬렉션 동작과 같은 백그라운드 동작일 수 있다.
- [0183] 도 12는 도 1의 메모리 컨트롤러의 다른 실시 예를 설명하기 위한 도면이다.
- [0184] 도 12를 참조하면, 메모리 컨트롤러(1000)는 호스트(Host) 및 메모리 장치에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 메모리 컨트롤러(1000)는 메모리 장치를 액세스하도록 구성된다. 예를 들면, 메모리 컨트롤러(1000)는 메모리 장치의 쓰기, 읽기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 메모리 컨트롤러(1000)는 메모리 장치 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(1000)는 메모리 장치를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0185] 메모리 컨트롤러(1000)는 프로세서부(Processor; 1010), 메모리 버퍼부(Memory Buffer; 1020), 에러 정정부(ECC; 1030), 호스트 인터페이스(Host Interface; 1040), 버퍼 제어부(Buffer Control Circuit; 1050), 메모리 인터페이스(Memory Interface; 1060) 그리고 버스(Bus; 1070)를 포함할 수 있다.
- [0186] 버스(1070)는 메모리 컨트롤러(1000)의 구성 요소들 사이에 채널(channel)을 제공하도록 구성될 수 있다.
- [0187] 프로세서부(1010)는 메모리 컨트롤러(1000)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서부(1010)는 호스트 인터페이스(1040)를 통해 외부의 호스트와 통신하고, 메모리 인터페이스(1060)를 통해 메모리 장치와 통신할 수 있다. 또한 프로세서부(1010)는 버퍼 제어부(1050)를 통해 메모리 버퍼부(1020)와 통신할 수 있다. 프로세서부(1010)는 메모리 버퍼부(1020)를 동작 메모리, 캐시 메모리(cache memory) 또는 버퍼 메모리(buffer memory)로 사용하여 저장 장치의 동작을 제어할 수 있다.
- [0188] 프로세서부(1010)는 플래시 변환 계층(FTL)의 기능을 수행할 수 있다. 프로세서부(1010)는 플래시 변환 계층(FTL)을 통해 호스트가 제공한 논리 블록 어드레스(logical block address, LBA)를 물리 블록 어드레스(physical block address, PBA)로 변환할 수 있다. 플래시 변환 계층(FTL)은 맵핑 테이블을 이용하여 논리 블록 어드레스(LBA)를 입력 받아, 물리 블록 어드레스(PBA)로 변환시킬 수 있다. 플래시 변환 계층의 주소 맵핑 방법에는 맵핑 단위에 따라 여러 가지가 있다. 대표적인 어드레스 맵핑 방법에는 페이지 맵핑 방법(Page mapping method), 블록 맵핑 방법(Block mapping method), 그리고 혼합 맵핑 방법(Hybrid mapping method)이 있다.
- [0189] 프로세서부(1010)는 호스트(Host)로부터 수신된 데이터를 랜더마이징하도록 구성된다. 예를 들면, 프로세서부(1010)는 랜더마이징 시드(seed)를 이용하여 호스트(Host)로부터 수신된 데이터를 랜더마이징할 것이다. 랜더마이징된 데이터는 저장될 데이터로서 메모리 장치에 제공되어 메모리 셀 어레이에 프로그램된다.
- [0190] 프로세서부(1010)는 리드 동작 시 메모리 장치로부터 수신된 데이터를 디랜더마이징하도록 구성된다. 예를 들면, 프로세서부(1010)는 디랜더마이징 시드를 이용하여 메모리 장치로부터 수신된 데이터를 디랜더마이징할 것이다. 디랜더마이징된 데이터는 호스트(Host)로 출력될 것이다.
- [0191] 실시 예로서, 프로세서부(1010)는 소프트웨어(software) 또는 펌웨어(firmware)를 구동함으로써 랜더마이징 및

디랜더마이즈를 수행할 수 있다.

- [0192] 메모리 버퍼부(1020)는 프로세서부(1010)의 동작 메모리, 캐시 메모리 또는 버퍼 메모리로 사용될 수 있다. 메모리 버퍼부(1020)는 프로세서부(1010)가 실행하는 코드들 및 커맨드들을 저장할 수 있다. 메모리 버퍼부(1020)는 프로세서부(1010)에 의해 처리되는 데이터를 저장할 수 있다. 메모리 버퍼부(1020)는 SRAM(Static RAM), 또는 DRAM(Dynamic RAM)을 포함할 수 있다.
- [0193] 에러 정정부(1030)는 에러 정정을 수행할 수 있다. 에러 정정부(1030)는 메모리 인터페이스(1060)를 통해 메모리 장치에 기입될 데이터에 기반하여 에러 정정 인코딩(ECC encoding)을 수행할 수 있다. 에러 정정 인코딩된 데이터는 메모리 인터페이스(1060)를 통해 메모리 장치로 전달될 수 있다. 에러 정정부(1030)는 메모리 장치로부터 메모리 인터페이스(1060)를 통해 수신되는 데이터에 대해 에러 정정 디코딩(ECC decoding)을 수행할 수 있다. 예시적으로, 에러 정정부(1030)는 메모리 인터페이스(1060)의 구성 요소로서 메모리 인터페이스(1060)에 포함될 수 있다.
- [0194] 호스트 인터페이스(1040)는 프로세서부(1010)의 제어에 따라, 외부의 호스트와 통신하도록 구성된다. 호스트 인터페이스(1040)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 통신하도록 구성될 수 있다.
- [0195] 버퍼 제어부(1050)는 프로세서부(1010)의 제어에 따라, 메모리 버퍼부(1020)를 제어하도록 구성된다.
- [0196] 메모리 인터페이스(1060)는 프로세서부(1010)의 제어에 따라, 메모리 장치와 통신하도록 구성된다. 메모리 인터페이스(1060)는 채널을 통해 커맨드, 어드레스 및 데이터를 메모리 장치와 통신할 수 있다.
- [0197] 예시적으로, 메모리 컨트롤러(1000)는 메모리 버퍼부(1020) 및 버퍼 제어부(1050)를 포함하지 않을 수 있다.
- [0198] 예시적으로, 프로세서부(1010)는 코드들을 이용하여 메모리 컨트롤러(1000)의 동작을 제어할 수 있다. 프로세서부(1010)는 메모리 컨트롤러(1000)의 내부에 제공되는 비휘발성 메모리 장치(예를 들어, Read Only Memory)로부터 코드들을 로드할 수 있다. 다른 예로서, 프로세서부(1010)는 메모리 장치로부터 메모리 인터페이스(1060)를 통해 코드들을 로드(load)할 수 있다.
- [0199] 예시적으로, 메모리 컨트롤러(1000)의 버스(1070)는 제어 버스(control bus) 및 데이터 버스(data bus)로 구분될 수 있다. 데이터 버스는 메모리 컨트롤러(1000) 내에서 데이터를 전송하고, 제어 버스는 메모리 컨트롤러(1000) 내에서 커맨드, 어드레스와 같은 제어 정보를 전송하도록 구성될 수 있다. 데이터 버스와 제어 버스는 서로 분리되며, 상호간에 간섭하거나 영향을 주지 않을 수 있다. 데이터 버스는 호스트 인터페이스(1040), 버퍼 제어부(1050), 에러 정정부(1030) 및 메모리 인터페이스(1060)에 연결될 수 있다. 제어 버스는 호스트 인터페이스(1040), 프로세서부(1010), 버퍼 제어부(1050), 메모리 버퍼부(1020) 및 메모리 인터페이스(1060)에 연결될 수 있다.
- [0201] 도 13은 본 발명의 실시 예에 따른 저장 장치가 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- [0202] 도 13을 참조하면, 메모리 카드 시스템(2000)은 메모리 컨트롤러(2100), 메모리 장치 (2200), 및 커넥터(2300)를 포함한다.
- [0203] 메모리 컨트롤러(2100)는 메모리 장치(2200)와 연결된다. 메모리 컨트롤러(2100)는 메모리 장치(2200)를 액세스하도록 구성된다. 예를 들어, 메모리 컨트롤러(2100)는 메모리 장치(2200)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성될 수 있다. 메모리 컨트롤러(2100)는 메모리 장치(2200) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(2100)는 메모리 장치(2200)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다. 메모리 컨트롤러(2100)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)와 동일하게 구현될 수 있다.
- [0204] 예시적으로, 메모리 컨트롤러(2100)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에러 정정부와 같은 구성 요소들을 포함할 수 있다.

- [0205] 메모리 컨트롤러(2100)는 커넥터(2300)를 통해 외부 장치와 통신할 수 있다. 메모리 컨트롤러(2100)는 특정한 통신 규격에 따라 외부 장치(예를 들어, 호스트)와 통신할 수 있다. 예시적으로, 메모리 컨트롤러(2100)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer system interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 다양한 통신 규격들 중 적어도 하나를 통해 외부 장치와 통신하도록 구성된다. 예시적으로, 커넥터(2300)는 상술된 다양한 통신 규격들 중 적어도 하나에 의해 정의될 수 있다.
- [0206] 예시적으로, 메모리 장치(2200)는 EEPROM (Electrically Erasable and Programmable ROM), 낸드 플래시 메모리, 노어 플래시 메모리, PRAM (Phase-change RAM), ReRAM (Resistive RAM), FRAM (Ferroelectric RAM), STT-MRAM(Spin-Torque Magnetic RAM) 등과 같은 다양한 비휘발성 메모리 소자들로 구성될 수 있다.
- [0207] 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어 PC 카드 (PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro, eMMC), SD 카드(SD, miniSD, microSD, SDHC), 범용 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0209] 도 14는 본 발명의 실시 예에 따른 저장 장치가 적용된 SSD(Solid State Drive) 시스템을 보여주는 블록도이다.
- [0210] 도 14를 참조하면, SSD 시스템(3000)은 호스트(3100) 및 SSD(3200)를 포함한다. SSD(3200)는 신호 커넥터(3001)를 통해 호스트(3100)와 신호(SIG)를 주고 받고, 전원 커넥터(3002)를 통해 전원(PWR)을 입력 받는다. SSD(3200)는 SSD 컨트롤러(3210), 복수의 플래시 메모리들(3221~322n), 보조 전원 장치(3230), 및 버퍼 메모리(3240)를 포함한다.
- [0211] 본 발명의 실시 예에 따르면, SSD 컨트롤러(3210)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)의 기능을 수행할 수 있다.
- [0212] SSD 컨트롤러(3210)는 호스트(3100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(3221~322n)을 제어할 수 있다. 예시적으로, 신호(SIG)는 호스트(3100) 및 SSD(3200)의 인터페이스에 기반된 신호들일 수 있다. 예를 들어, 신호(SIG)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer system interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 인터페이스들 중 적어도 하나에 의해 정의된 신호일 수 있다.
- [0213] 보조 전원 장치(3230)는 전원 커넥터(3002)를 통해 호스트(3100)와 연결된다. 보조 전원 장치(3230)는 호스트(3100)로부터 전원(PWR)을 입력 받고, 충전할 수 있다. 보조 전원 장치(3230)는 호스트(3100)로부터의 전원 공급이 원활하지 않을 경우, SSD(3200)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(3230)는 SSD(3200) 내에 위치할 수도 있고, SSD(3200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(3230)는 메인 보드에 위치하며, SSD(3200)에 보조 전원을 제공할 수도 있다.
- [0214] 버퍼 메모리(3240)는 SSD(3200)의 버퍼 메모리로 동작한다. 예를 들어, 버퍼 메모리(3240)는 호스트(3100)로부터 수신된 데이터 또는 복수의 플래시 메모리들(3221~322n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(3221~322n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(3240)는 DRAM, SDRAM, DDR SDRAM, LPDDR SDRAM, GRAM 등과 같은 휘발성 메모리 또는 FRAM, ReRAM, STT-MRAM, PRAM 등과 같은 비휘발성 메모리들을 포함할 수 있다.
- [0216] 도 15는 본 발명의 실시 예에 따른 저장 장치가 적용된 사용자 시스템을 보여주는 블록도이다.
- [0217] 도 15를 참조하면, 사용자 시스템(4000)은 애플리케이션 프로세서(4100), 메모리 모듈(4200), 네트워크 모듈(4300), 스토리지 모듈(4400), 및 사용자 인터페이스(4500)를 포함한다.
- [0218] 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들, 운영체제(OS; Operating System), 또는 사용자 프로그램 등을 구동시킬 수 있다. 예시적으로, 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 인터페이스들, 그래픽 엔진 등을 포함할 수 있다. 애플리

케이션 프로세서(4100)는 시스템-온-칩(SoC; System-on-Chip)으로 제공될 수 있다.

- [0219] 메모리 모듈(4200)은 사용자 시스템(4000)의 주 메모리, 동작 메모리, 버퍼 메모리, 또는 캐쉬 메모리로 동작할 수 있다. 메모리 모듈(4200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR SDRAM, LPDDR2 SDRAM, LPDDR3 SDRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 비휘발성 랜덤 액세스 메모리를 포함할 수 있다. 예시적으로 애플리케이션 프로세서(4100) 및 메모리 모듈(4200)은 POP(Package on Package)를 기반으로 패키징되어 하나의 반도체 패키지로 제공될 수 있다.
- [0220] 네트워크 모듈(4300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(4300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, Wi-Fi 등과 같은 무선 통신을 지원할 수 있다. 예시적으로, 네트워크 모듈(4300)은 애플리케이션 프로세서(4100)에 포함될 수 있다.
- [0221] 스토리지 모듈(4400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(4400)은 애플리케이션 프로세서(4100)로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(4400)은 스토리지 모듈(4400)에 저장된 데이터를 애플리케이션 프로세서(4100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(4400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 비휘발성 반도체 메모리 소자로 구현될 수 있다. 예시적으로, 스토리지 모듈(4400)은 사용자 시스템(4000)의 메모리 카드, 외장형 드라이브 등과 같은 탈착식 저장 매체(removable drive)로 제공될 수 있다.
- [0222] 예시적으로, 스토리지 모듈(4400)은 복수의 비휘발성 메모리 장치들을 포함할 수 있고, 복수의 비휘발성 메모리 장치들은 도 1을 참조하여 설명된 메모리 장치(100)와 동일하게 동작할 수 있다. 스토리지 모듈(4400)은 도 1을 참조하여 설명된 저장 장치(50)와 동일하게 동작할 수 있다.
- [0223] 사용자 인터페이스(4500)는 애플리케이션 프로세서(4100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로 데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(4500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 압전 소자 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(4500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모니터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.
- [0225] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.
- [0226] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0227] 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.
- [0228] 상술한 실시 예들에서, 모든 단계는 선택적으로 수행의 대상이 되거나 생략의 대상이 될 수 있다. 또한 각 실시 예에서 단계들은 반드시 순서대로 일어날 필요는 없으며, 뒤바뀔 수 있다. 한편, 본 명세서와 도면에 개시된 본 명세서의 실시 예들은 본 명세서의 기술 내용을 쉽게 설명하고 본 명세서의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 명세서의 범위를 한정하고자 하는 것은 아니다. 즉 본 명세서의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.
- [0229] 한편, 본 명세서와 도면에는 본 발명의 바람직한 실시 예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

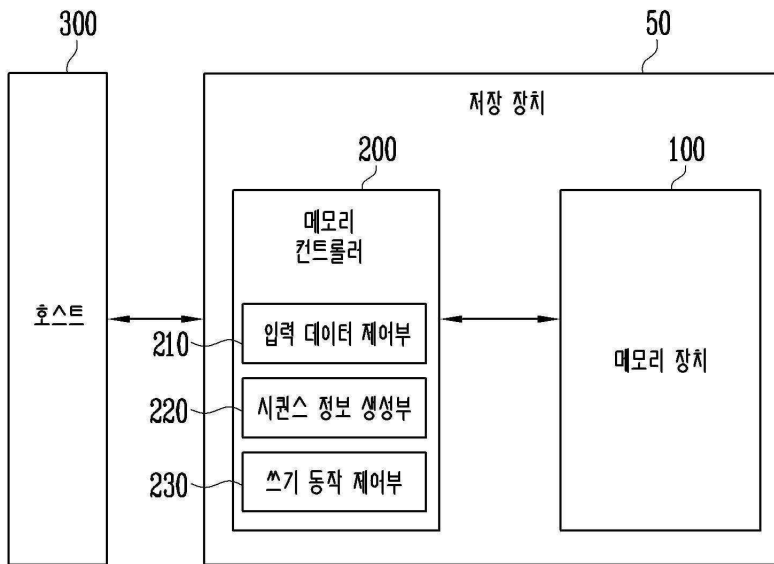
**부호의 설명**

[0231]

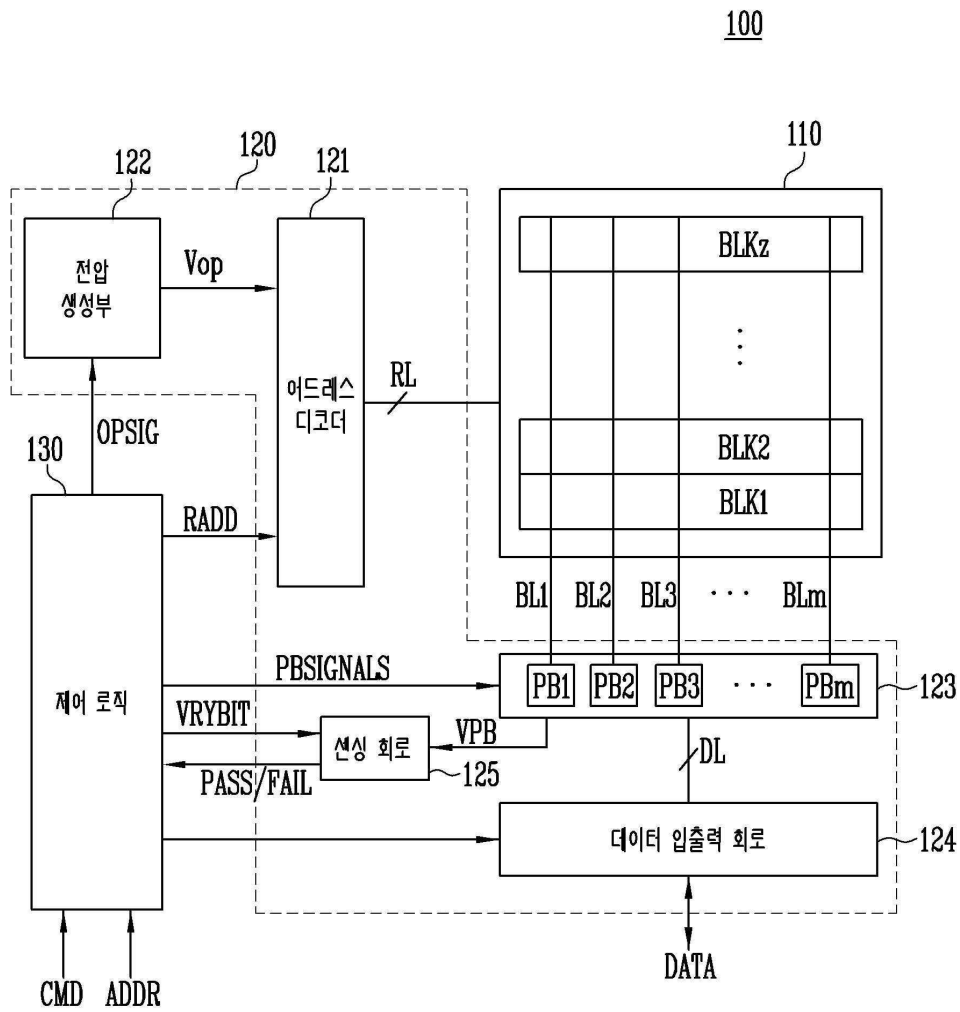
- 50: 저장장치
- 100: 메모리 장치
- 200: 메모리 컨트롤러
- 210: 입력 데이터 제어부
- 220: 시퀀스 정보 생성부
- 230: 쓰기 동작 제어부
- 300: 호스트

**도면**

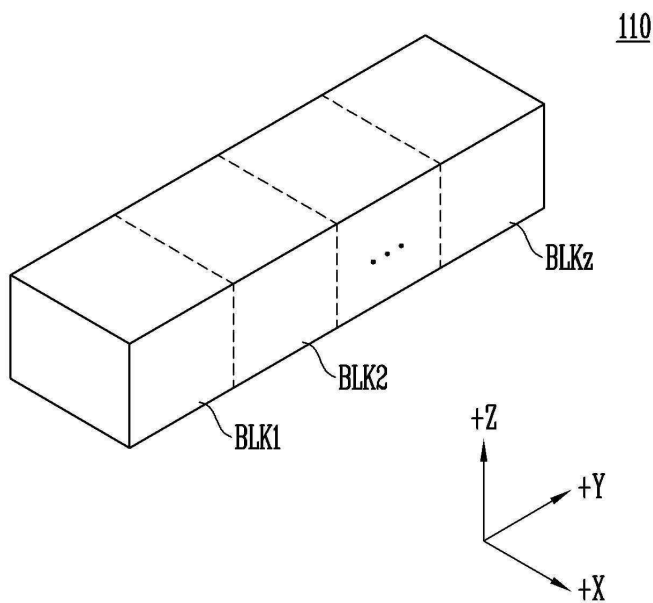
**도면1**



도면2

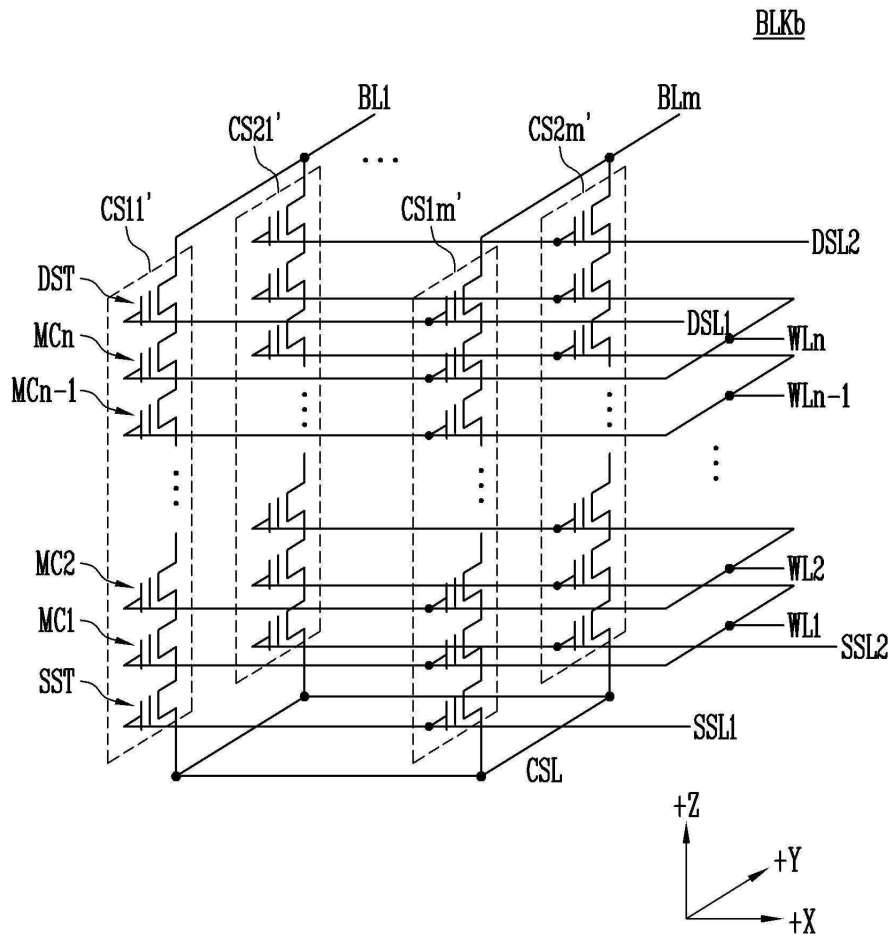


도면3

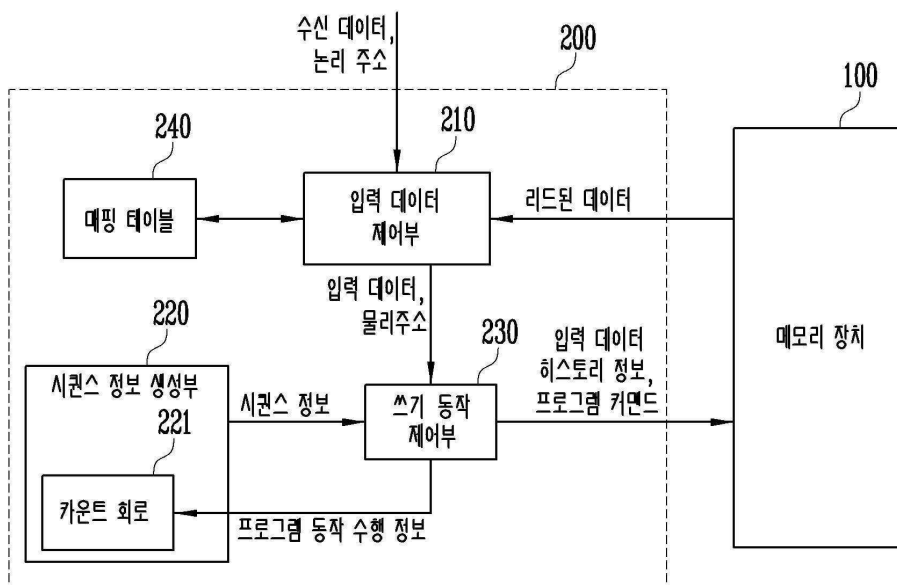




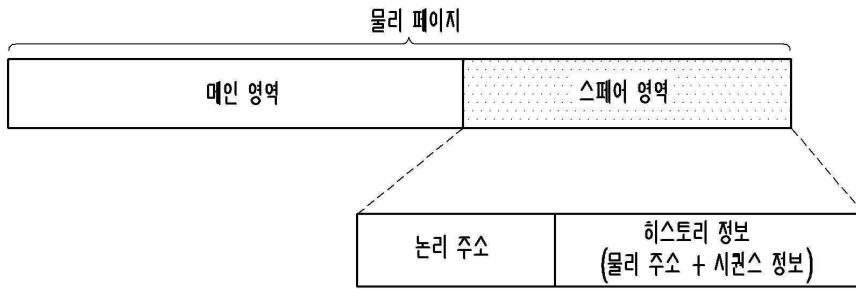
도면5



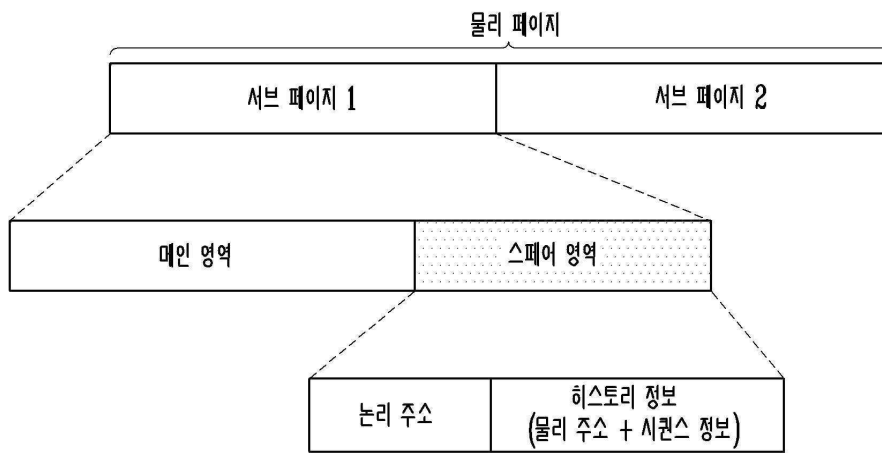
도면6



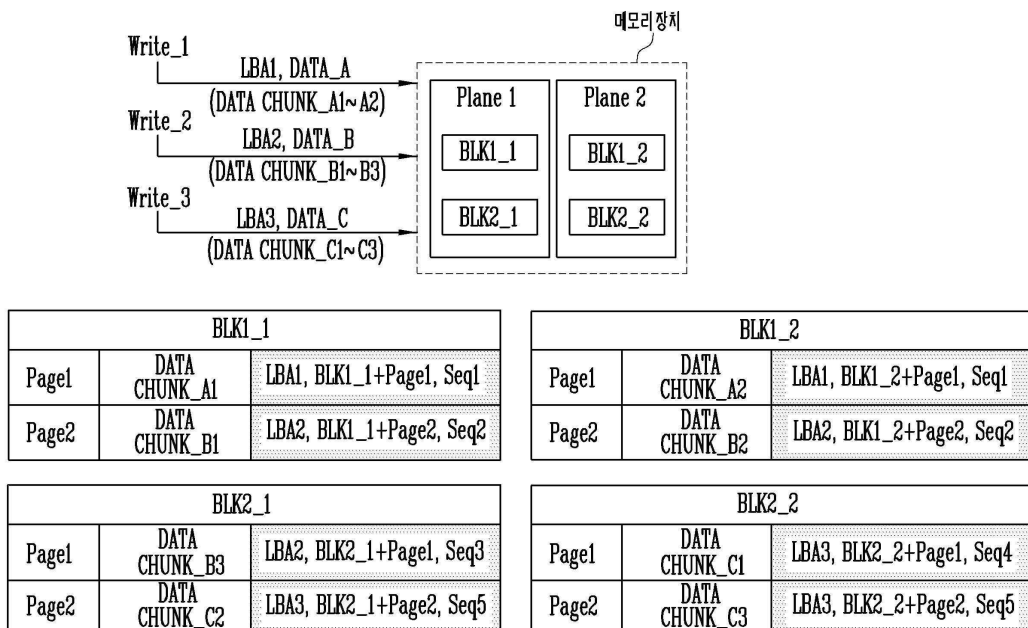
도면7



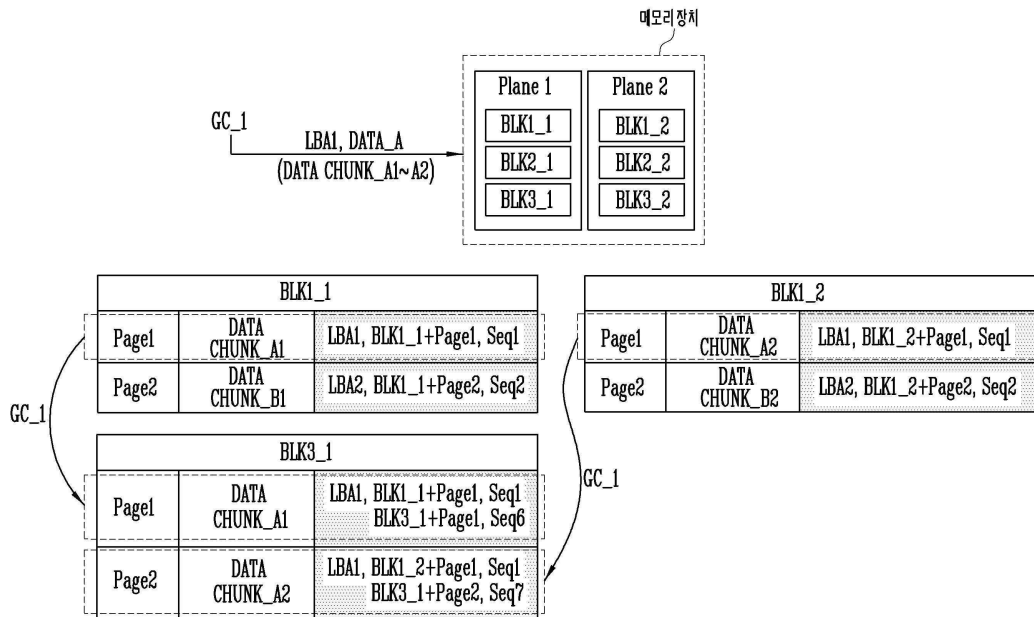
도면8



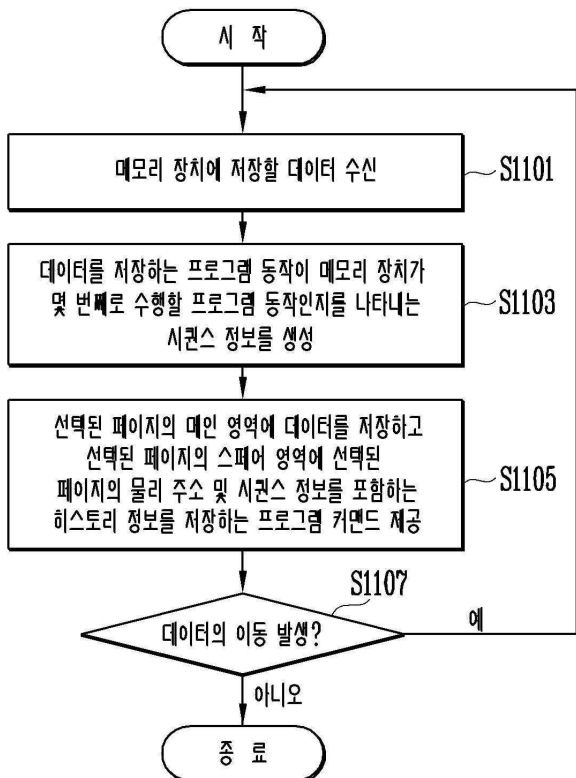
도면9



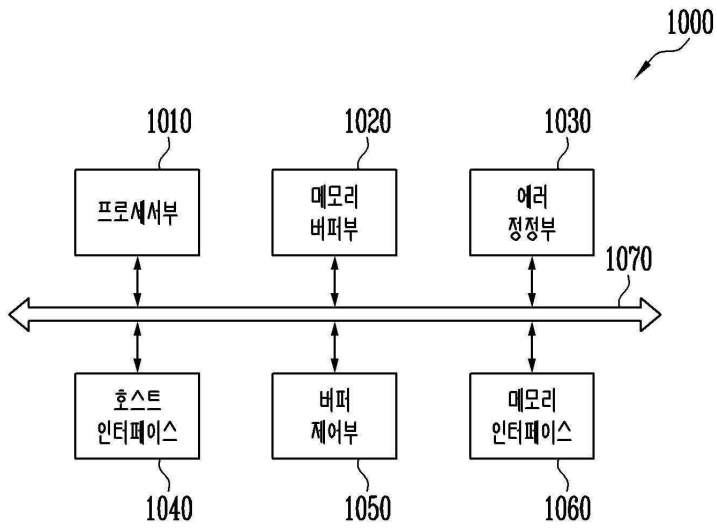
도면10



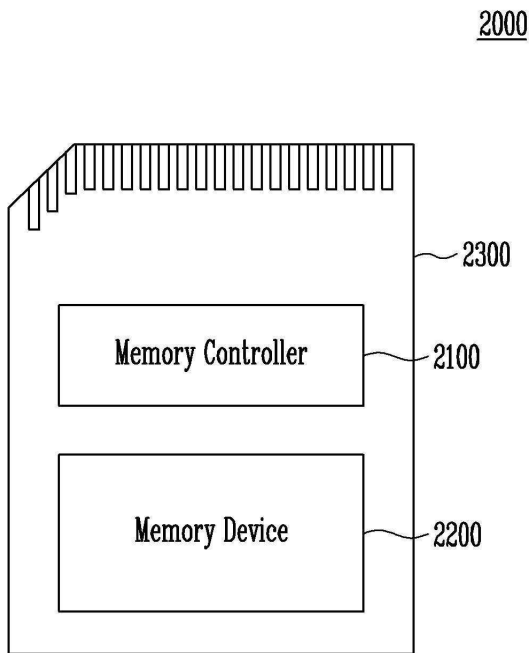
도면11



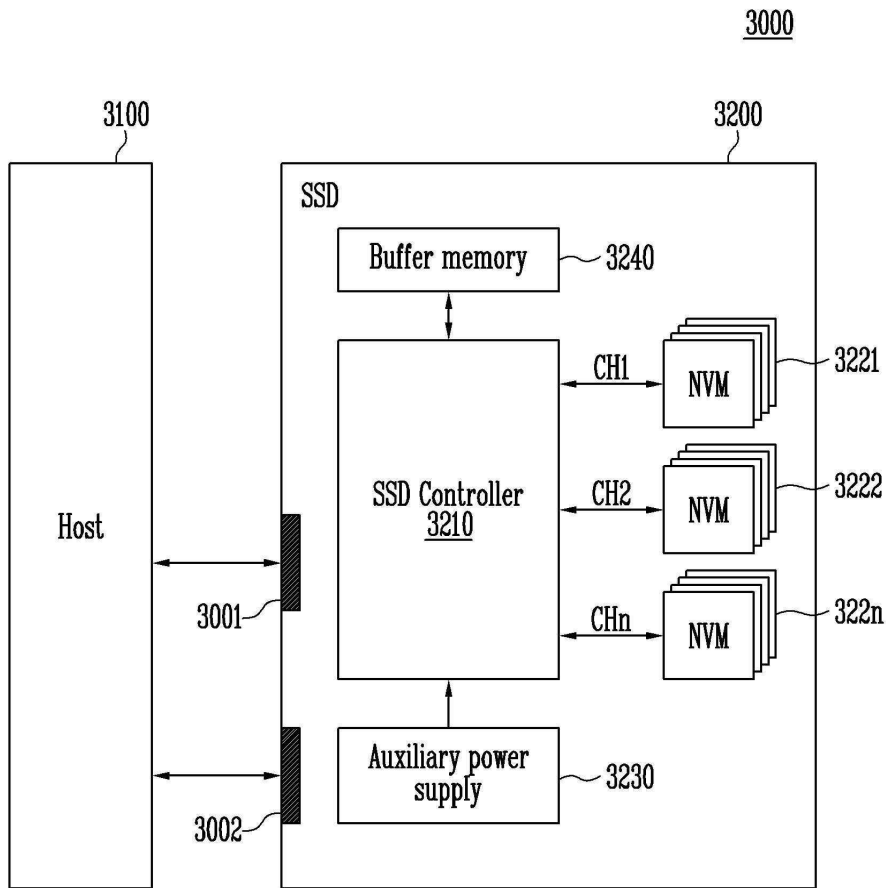
도면12



도면13



도면14



도면15

4000

