



[12] 发明专利申请公开说明书

[21] 申请号 200410005938.9

[43] 公开日 2004年8月25日

[11] 公开号 CN 1523842A

[22] 申请日 2004.2.23
 [21] 申请号 200410005938.9
 [30] 优先权
 [32] 2003.2.21 [33] JP [31] 043652/2003
 [71] 申请人 大塚宽治
 地址 日本东京
 共同申请人 宇佐美保 冲电气工业株式会社
 三洋电机株式会社
 日商·夏普股份有限公司
 株式会社东芝
 日本电气株式会社
 株式会社日立制作所
 松下电器产业株式会社
 三菱电机株式会社
 [72] 发明人 大塚宽治 宇佐美保

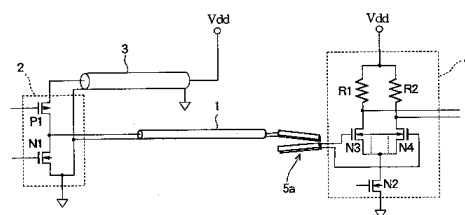
[74] 专利代理机构 中国国际贸易促进委员会专利
 商标事务所
 代理人 付建军

权利要求书5页 说明书28页 附图25页

[54] 发明名称 信号传输装置与互连结构

[57] 摘要

例如集成电路中用于传输数字信号的装置包括信号传输线，以及在一端或两端处的定向耦合器。定向耦合器阻挡数字信号的直流分量，同时传输包括足够高次谐波的交流分量，以传输清晰的脉冲波形。适当的定向耦合器包括位于具有不同介电常数的材料中的两个相邻线对。该装置也可以包括反相器类型的驱动器，差分放大器类型的接收器，终接电阻器，和用于提供电源到驱动器的电源-地传输线对。全金属传输线结构优选地从驱动器中的输出互连到接收器中的输入互连而保持。



1. 一种信号传输装置，包括：

具有发送端、接收端、和特性阻抗的信号传输线，其包括具有阻容延迟的信号线元件，用于传输在发送端输入的数字信号；

第一驱动器，其具有反相器结构和开态电阻，用于将数字信号提供到信号传输线的发送端；

电源-地传输线对，用于提供电源到第一驱动器，其具有足够低的特性阻抗，以驱动第一驱动器的开态电阻与信号传输线的特性阻抗的总和；

第一接收器，其具有差分放大器结构，用于接收来自信号传输线接收端的数字信号，并且检测所接收的数字信号；以及

第一定向耦合器，其连接在第一驱动器与信号传输线的发送端之间，或者连接在信号传输线的接收端与第一接收器之间，用于阻挡数字信号的直流分量并传递数字信号的宽带交流分量。

2. 根据权利要求 1 的信号传输装置，其中从第一驱动器中的输出互连到第一接收器中的输入互连的所有信号线元件、包括信号传输线中的所有信号线元件和第一定向耦合器中的所有信号线元件都是金属的。

3. 根据权利要求 1 的信号传输装置，其中传输线结构在从第一驱动器中的输出互连到第一接收器中的输入互连的所有信号线元件、包括信号传输线中的所有信号线元件和第一定向耦合器中的所有信号线元件中保持。

4. 根据权利要求 1 的信号传输装置，其中第一定向耦合器包括能量输入线对和能量传输线对，它们具有预先确定的长度，接近地配置在不同介电常数的材料中，能量输入线对与能量传输线对相隔预先确定的间距。

5. 根据权利要求 4 的信号传输装置，其中能量输入线对配置于其中的材料具有比能量传输线对和周围互连线配置于其中的材料高的介电常数。

6. 根据权利要求 4 的信号传输装置, 其中能量输入线对配置在具有比能量传输线对和周围互连线配置于其中的材料低的介电常数的空气或另一种材料中。

7. 根据权利要求 1 的信号传输装置, 其中第一定向耦合器连接在信号传输线的接收端与第一接收器之间, 而没有定向耦合器连接在第一驱动器与信号传输线的发送端之间。

8. 根据权利要求 7 的信号传输装置, 其中第一定向耦合器包括具有断开且浮动的输出端的能量输入线对、和具有断开且浮动的输入端的能量传输线对。

9. 根据权利要求 1 的信号传输装置, 其中第一定向耦合器连接在第一驱动器与信号传输线的发送端之间, 还包括连接到信号传输线的接收端的第二定向耦合器。

10. 根据权利要求 9 的信号传输装置, 其中:

第二定向耦合器连接在信号传输线的接收端与第一接收器之间;

第一定向耦合器包括具有断开且浮动的输出端的第一能量输入线对和具有断开且浮动的输入端的第一能量传输线对; 以及

第二定向耦合器包括具有断开且浮动的输出端的第二能量输入线对和具有断开且浮动的输入端的第二能量传输线对。

11. 根据权利要求 9 的信号传输装置, 其中:

第一接收器直接连接到信号传输线的接收端;

第一定向耦合器包括具有断开且浮动的输出端的第一能量输入线对和具有断开且浮动的输入端的第一能量传输线对;

第二定向耦合器包括具有断开且浮动的输出端的第二能量输入线对和具有断开且浮动的输入端的第二能量传输线对;

还包括跨越第二能量传输线对的输出端而连接的、用于防止信号反射的终接电阻器。

12. 根据权利要求 11 的信号传输装置, 其中第二定向耦合器和终接电阻器是金属的。

13. 根据权利要求 1 的信号传输装置, 其中第一定向耦合器连接在

第一驱动器与信号传输线的发送端之间，而没有定向耦合器连接到信号传输线的接收端。

14. 根据权利要求 13 的信号传输装置，其中：

第一定向耦合器包括具有断开且浮动的输出端的第一能量输入线对和具有断开且浮动的输入端的第一能量传输线对；以及

第一接收器直接连接到信号传输线的接收端；

还包括跨越信号传输线的接收端而连接的、用于防止信号反射的终端电阻器。

15. 根据权利要求 14 的信号传输装置，其中第一定向耦合器和终端电阻器是金属的。

16. 根据权利要求 1 的信号传输装置，其中第一驱动器包括连接以形成反相器的 p 沟道金属氧化物半导体 (MOS) 晶体管和 n 沟道 MOS 晶体管。

17. 根据权利要求 1 的信号传输装置，其中第一驱动器包括：

连接以形成反相器的一对 n 沟道 MOS 晶体管；以及

用于将 n 沟道 MOS 晶体管的源-漏电容上下抽吸的一对倒转方式的 MOS 变容二极管。

18. 根据权利要求 1 的信号传输装置，其中第一接收器包括：

衬底；以及

配置在单个阱中的差分输入 MOS 晶体管对，该单个阱与衬底电绝缘。

19. 根据权利要求 18 的信号传输装置，其中第一接收器还包括电流控制 MOS 晶体管，其具有将电流提供到差分输入 MOS 晶体管对的漏极，该漏极也连接到差分输入 MOS 晶体管对配置于其中的单个阱，从而提供差分输入 MOS 晶体管对的反馈栅偏压。

20. 根据权利要求 1 的信号传输装置，其中第一接收器包括：

差分输入晶体管对；以及

作为输出级连接到差分输入晶体管对的门锁电路。

21. 根据权利要求 1 的信号传输装置，其中信号传输线的特性阻抗

从发送端到接收端是均一的。

22. 根据权利要求 1 的信号传输装置，其中信号传输线配置在具有均一介电常数的同质介电材料中。

23. 根据权利要求 1 的信号传输装置，其中信号传输线是层叠对传输线、对共面传输线、或被保护共面传输线。

24. 根据权利要求 1 的信号传输装置，其中信号传输线满足下面的条件，其中 L 表示信号线长度， λ 表示正弦信号分量波长， v 表示信号传输线上的电磁波速度，并且 f 表示在信号线上传输的脉冲信号的最大频率：

$$L \geq (1/40)\lambda = (1/40)(v/f).$$

25. 根据权利要求 1 的信号传输装置，其中信号传输线满足下面的条件，其中 d 表示信号传输线中一对信号线元件的面向侧之间的距离， w 表示面向侧的导体宽度， t 表示导体厚度，并且 s 表示相邻信号传输线之间的间隔：

$$2wd < ts.$$

26. 根据权利要求 1 的信号传输装置，其中电源-地传输线对提供电能到 n 个第一驱动器，其中 n 是正整数，并且电源-地线对的特性阻抗 Z_{0p} 与信号传输线的特性阻抗 Z_{0s} 满足下面的条件：

$$Z_{0p} < Z_{0s}/n.$$

27. 根据权利要求 1 的信号传输装置，其中第一驱动器、信号传输线、第一定向耦合器、和第一接收器在单个半导体芯片中形成。

28. 根据权利要求 1 的信号传输装置，其中第一驱动器和第一接收器在不同的半导体芯片中形成，并且包括信号传输线和第一定向耦合器的互连结构配置在芯片之间。

29. 根据权利要求 1 的信号传输装置，其中信号传输线在其发送端及其接收端处为双向信号传输而分支，还包括：

第二驱动器，其具有反相器结构和开态电阻；

第二定向耦合器，其将第二驱动器连接到信号传输线的接收端；以及

第二接收器，其具有差分放大器结构，连接到信号传输线的发送端以接收由第二驱动器发送的信号。

30. 一种包括在逻辑电路或存储电路中、用于传输数字信号的互连结构，包括：

具有发送端和接收端的信号传输线，其包括具有阻容延迟的信号线元件，用于传输数字信号；以及

定向耦合器，其连接到信号传输线的发送端或接收端，用于阻挡数字信号的直流分量并传递数字信号的宽带交流分量。

信号传输装置与互连结构

技术领域

本发明涉及用于在传输线上传输数字（脉冲）信号的信号传输装置，尤其涉及传输线的信号线结构。

背景技术

数字信号具有可以分解为从直流（dc）分量到基本时钟频率分量及其高次谐波的范围内的变化的正弦分量的傅里叶级数的复合波形。因为其波形的复杂性，数据信号不能够通过滤波器电路，例如当仅传输单正弦频率或窄带频率时使用的电感器-电容器（LC）滤波器电路来传输。常规数字信号传输装置使用传输线与其驱动器和接收器之间的 dc 耦合。因为常规 dc 耦合，数字信号的 dc 分量与基本时钟频率分量和其他高频分量一起传输。也就是，引起 dc 电流，消耗不必要的功率。

关于数字信号传输的相关信息可以在例如日本未经审查专利申请公开 11-284126，2000-174505，以及 2002-124635 号中找到。更多信息可以在 Otsuka 等人，“Measurement of Potential Swing by Electric Field on Package Transmission Lines”，Proceedings of ICEP，pp.490-495（“包传输线上由电场引起的电势摆动的测量”；ICEP 会议论文集，pp.490-495）（2001 年 4 月，在下文中称作参考文献 1a）；Otsuka 等人，“Measurement Evidence of Mirror Potential Traveling on Transmission Lines”，Technical Digest of 5th VLSI Packaging Workshop of Japan，pp.27-28（“传输线上镜电势传播的测量证据”；第 5 届日本 VLSI 封装专题讨论会技术文摘，pp.27-28）（2000 年 12 月，在下文中称作参考文献 1b）；以及 Otsuka 等人，“Sutakkuto pea senro”（Stacked-pair lines），JIEP Journal，Vol.4，No.7，pp.556-561（“Sutakkuto pea senro”（层叠对线），JIEP 杂志，第 4 卷，第 7 号，pp.556-561）（2001

年 11 月，在下文中称作参考文献 2) 中找到。更多的信息也出现在日本应用物理学会的硅技术研究组在某会期中的第 15 次会议上一篇名称为“Chokosoku taso haisen gijutsu no kadai to tenbo tokushu”的论文(“Problems and prospects in ultra-high-speed multilayer interconnect technology”(超高速多层互连技术中的问题与展望)，2000 年 2 月 18 日，东京大学，Yamagami Hall，在下文称作硅技术会议)中。

发明内容

本发明的目的在于减少由数字信号 dc 分量的传输所引起的不必要的功率消耗。

本发明提供一种具有定向耦合器的传输线，当传输宽带交流(ac)分量时，该定向耦合器阻挡数字信号的 dc 分量。定向耦合器可以配置在传输线的发送端或接收端，或者配置在两端。功率消耗因仅传输宽带 ac 分量而减少。

集成电路中最长的互连倾向于是互连不同功能块的总线。本发明主要针对这些总线，也称作全局信号线。与这些总线相关的长阻容(RC)延迟在具有千兆赫时钟的芯片中变得无法忍受，所以以千兆赫速度操作的芯片常规地具有许多转接电路。但是，这些转接电路与 RC 电路元件一起，消耗足够的能量以在电源与地电平中产生称作地面反跳的波动。地面反跳可以使得逻辑电路不正确地操作，并且它也是电磁干扰的因素。能量的消耗也限制这些芯片在移动设备中的使用，并且因需要散热而导致结构的复杂化。通过减少功率消耗，所发明的信号传输装置缓和这些问题。

互补金属氧化物半导体(CMOS)反相器经常用作总线的基本驱动电路。所发明的信号传输装置使用具有这种最简单反相器或缓冲器结构的驱动器，而不需要任何新的电路或新的制造过程，并且尽管未来的技术进步，它将仍然是可适用的。

互连大规模集成电路芯片内的不同功能块的传输线可以看作分布常数(constant)线。给定理想的电源，分布常数传输线的长度确定它的延迟

时间，使得芯片能够被设计在具有例如 64 位位宽度的数据通路上具有非常低的时钟偏移，并且使得时钟信号能够分布在具有仅几个皮秒或更少偏移的传输线的 H-树形网络上。所发明的信号传输装置使用这种类型的传输线。

理想地，电磁能限制在传输线内，所以在积分元件中不存在由 RC 延迟所引起的这种类型的波形失真。虽然最大振幅因传输线的 dc 电阻根据欧姆定律而降低，这引起可以忽略的延迟，因为波形没有失真，并且如果具有给定位宽度的承载数据的不同线具有相同的结构的大小，偏移实际上变为零。

如果电源和地的电流源和渗漏能力从一个反相器到另一个反相器有所不同，但是因为反相器仅可以尽这些能力允许的快地转换状态，来自不同反相器的波形仅将不会偏移；它们将包括额外的谐波分量，引起单一谐振现象。因此，在本发明中，电源从包括成对的电源线和地线的电源-地传输线对提供。电源-地传输线对的特性阻抗(characteristic impedance)可以关于激励晶体管的开态电阻(on-resistance)和信号传输线的 RC 延迟来设置，以便提供足够的电流源和渗漏能力，即使开态电阻和 RC 延迟比较大。这是本发明的一个特征。

信号传输线类似于具有某种直径的水管；能量反射在线中的不连续处发生。如果从不连续处反射回来的能量由另一个不连续处再次向前反射，随后重复的多次反射可以导致谐振，产生基本上无法预测的波形。本发明的第二特征在于数字信号传输线可以通过使用从发送端到接收端具有相同特性阻抗的传输线结构，类似于从开始到结束具有一个直径的水管，来设计以即阻挡直流电又防止反射。

存在有四种众所周知的反射防止方法。第一种方法，其经常在印制电路板或卡上使用，是在驱动器端插入阻尼电阻器。第二种方法是设计驱动器的开态电阻以与传输线的特性阻抗相匹配。第三种方法是设计位于双向总线两端的驱动器的开态电阻以与传输线的电阻相匹配（其也可以具有插入在两端的阻尼电阻器）。第四种方法，其是理想的方法但是因为它具有连续电流的缺点而按照惯例不被喜欢，是在传输线的端部提

供匹配的终接电阻器。本发明将这些方法从电路板延伸到片上总线，并且提供将终接电阻器通过耦合器连接到传输线端部的第五种方法，从而避免连续电流的问题。

本发明的第三特征在于从驱动器互连到接收器互连的整个信号传输线可以起信号以电磁波速度，而不是直流速度在其上传播的真实传输线。这要求不仅使用定向耦合器来阻挡 dc 信号分量，而且使用金属信号线元件。虽然信号可以以电磁波速度在金属线元件上传播，该速度不在信号传输依赖于载流子迁移率的半导体中获得。因此，从晶体管接点开始，在本发明中使用的所有信号线元件优选地是金属的；多晶硅（多晶硅）或金属半导体复合材料（例如硅化物）不应当在线元件中使用。如果必要的话，接收器可以具有金属栅电极。在器件设计阶段中，平面构造和金属化构造应当在传输线必须能够以电磁波速度传输信号的前提下设计，并且晶体管的规划应当从那里进行。

本发明第三特征的实现使得具有比十千兆赫高几倍的时钟频率的数字信号能够在十毫米（10mm）长的传输线上传输，并且给予总线系统足够的能力以适应反相器和缓冲器转换速度的未来发展。

本发明提供一种简单且可伸缩的信号传输装置与互连结构，其可以缩减到非常小的尺寸，并且使得功率消耗能够减少。

附图说明

在附图中：

图 1 是说明本发明第一实施方案的原理图，其在接收端具有单耦合器；

图 2 是说明本发明第二实施方案的原理图，其具有双耦合器结构；

图 3 是说明本发明第三实施方案的原理图，其具有包括终接电阻器的双耦合器结构；

图 4 是说明本发明第四实施方案的原理图，其在发送端具有单耦合器；

图 5 是说明本发明第五实施方案的原理图，其具有包括终接电阻器

的双耦合器结构;

图 6 是说明脉冲信号的分量的波形图;

图 7 是最小全局信号线长度的表格;

图 8 是说明常规单端数字信号传输电路的原理图;

图 9A 和 9B 是说明常规差分数字信号传输电路的原理图;

图 10 是说明电能传送的原理图;

图 11A 是说明在接收端具有单个定向耦合器的信号传输电路的操作的原理图;

图 11B 是图 11A 中的定向耦合器的横截面视图;

图 11C 是说明在发送端具有单个定向耦合器的信号传输电路的操作的原理图;

图 11D 是图 11C 中的定向耦合器的横截面视图;

图 12A 和 12B 是说明横向电磁传播模式 (TEM) 的失真的平行微条纹传输线的仿真横截面透视图;

图 12C 说明在图 12A 和 12B 中使用的电场比例;

图 13A 和 13B 是说明 TEM 失真的平行微条纹传输线的仿真顶视图;

图 13C 说明在图 13A 和 13B 中使用的电场比例;

图 14A, 14B, 和 14C 是通过使用散射参数 (S 参数) 说明电磁能到层叠对传输线中相邻线的传送的图表;

图 15 是说明本发明实施方案中的信号传输的典型波形图;

图 16A 是层叠对传输线的横截面视图, 其说明 TEM 通线;

图 16B 是微条纹传输线的横截面视图, 其说明 TEM 通线;

图 17A 显示对共面传输线的横截面透视图;

图 17B 显示补保护共面传输线的横截面透视图;

图 17C 显示层叠对传输线的横截面透视图;

图 17D 显示补保护层叠对传输线的横截面透视图;

图 18 显示图 5 中第五实施方案中的示范性驱动器互连结构的平面图;

图 19 显示图 18 中的结构的截面图;

图 20A 是具有高介电材料插入层的定向耦合器结构的透视图;

图 20B 是具有空气层的层叠定向耦合器结构的透视图;

图 20C 是图 20A 和 20B 中的定向耦合器的顶视平面图;

图 21 是显示定向耦合器尺寸的缩放比例的实例的表格;

图 22A 和 22B 是显示图 20A 中所示类型的定向耦合器的仿真结果的图表;

图 23A 和 23B 是显示图 20B 中所示类型的定向耦合器的仿真结果的图表;

图 24A 是说明由着重集成电路的仿真程序 (SPICE) 执行的图 20A 中所示类型的定向耦合器的仿真中使用的参数的透视图;

图 24B 是在图 24A 中的 SPICE 仿真中使用的输入脉冲的图表;

图 24C 是由图 24A 中的 SPICE 仿真导出的输出电压波形的图表;

图 24D 是由图 24A 中的 SPICE 仿真导出的输出电流波形的图表;

图 25A 是说明在图 20B 中所示类型的定向耦合器的 SPICE 仿真中使用的参数的透视图;

图 25B 是在图 25A 中的 SPICE 仿真中使用的输入脉冲的图表;

图 25C 是由图 25A 中的 SPICE 仿真导出的输出电压波形的图表;

图 25D 是由图 25A 中的 SPICE 仿真导出的输出电流波形的图表;

图 26 是说明为双向信号传输而改编的第二实施方案的变体的原理图。

具体实施方式

本发明的实施方案现在将参考附加附图来描述, 其中相似的元件用相似的参考符号来表示。实施方案包括在接收端具有单耦合器的第一实施方案 (图 1), 具有双耦合器结构的第二实施方案 (图 2), 具有包括终接电阻器的双耦合器结构的第三实施方案 (图 3), 在发送端具有单耦合器的第四实施方案 (图 4), 以及具有包括终接电阻器的双耦合器结构的第五实施方案 (图 5)。

参考图 1, 第一实施方案 (在接收端具有单耦合器) 中的信号传输装置包括信号传输线 1, 驱动器 2, 电源-地传输线对 3, 接收器 4, 以及定向耦合器 5a, 所有这些都配置在单个大规模集成 (LSI) 电路芯片 (没有显示) 中。

信号传输线 1 包括成对的信号线和地线。信号传输线 1 足够长以在其发送端和接收端之间具有不可忽略的 RC 延迟。

驱动器 2 直接连接到信号传输线 1 的发送端。定向耦合器 5a 插入在信号传输线 1 的接收端与接收器 4 之间。

驱动器 2 包括 p 沟道金属氧化物半导体 (PMOS) 晶体管 P1 和 n 沟道金属氧化物半导体 (NMOS) 晶体管 N1。PMOS 晶体管 P1 与 NMOS 晶体管 N1 在电源和地之间串联以形成 CMOS 反相器。将要在信号传输线 1 上传输的数字信号输入到 PMOS 晶体管 P1 与 NMOS 晶体管 N1 的栅电极。PMOS 晶体管 P1 与 NMOS 晶体管 N1 的漏电极 (其形成驱动器 2 的输出端) 连接到信号传输线 1 中信号线的发送端。NMOS 晶体管 N1 的源电极连接到 LSI 芯片的衬底地 (基准地), 并且连接到信号传输线 1 中地线的发送端。

驱动器 2 通过电源-地传输线对 3 通电。电源-地传输线对 3 连接到以预先确定的电压 V_{dd} 提供电源的电源电路 (没有显示), 或者连接到附近的旁路电容器 (去耦电容器, 没有显示)。电源-地传输线对 3 包括电源线和地线。电源线的一端连接到驱动器 2 中 PMOS 晶体管 P1 的源电极; 电源线的另一端连接到电源电路的电源端或旁路电容器。电源-地传输线对 3 中的地线两端接地: 一端通过驱动器 2 连接到 LSI 芯片的衬底地; 另一端连接到电源电路的接地端或旁路电容器。

接收器 4 包括 NMOS 晶体管 N2, N3, N4, 和一对电阻器 R1, R2。输入 NMOS 晶体管 N3 和 N4 的差分对的漏电极通过电阻器 R1, R2 连接到电源 V_{dd} 。电流控制 NMOS 晶体管 N2 的漏电极连接到 NMOS 晶体管 N3 和 N4 的源电极; NMOS 晶体管 N2 的源电极连接到 LSI 芯片的衬底地 (基准地)。

定向耦合器 5a 具有包括能量输入线对和能量传输线对的简单且紧

密的结构，能量输入线对和能量传输线对都具有预先确定的长度，接近地配置在不同介电常数的材料中。定向耦合器 5a 阻挡输入数字信号的 dc 分量，并且传递宽带 ac 分量。能量输入线对的输入端连接到信号传输线 1 的接收端；输出端任由其断开和浮动。能量传输线对的输出端连接到接收器 4 中的差分输入 NMOS 晶体管 N3 和 N4 的栅电极；该线对的输入端任由其断开和浮动。

参考图 2，第二实施方案中的信号传输装置将插入在驱动器 2 和信号传输线 1 的发送端之间的第二定向耦合器 5b 增加到第一实施方案的信号传输装置。该定向耦合器 5b 具有类似于定向耦合器 5a 的结构的简单且紧密的结构。定向耦合器 5b 中的能量输入线对的输入端连接到驱动器 2 的输出端和基准地；输出端任由其断开和浮动。能量传输线对的输出端连接到信号传输线 1 的发送端；该线对的输入端任由其断开和浮动。

参考图 3，第三实施方案中的信号传输装置不同于第二实施方案中的信号传输装置在于，信号传输线 1 接收端处的定向耦合器 5c 连接到终接电阻器 6a 而不是连接到接收器 4。接收器 4 直接连接到信号传输线 1 的接收端。定向耦合器 5c 具有类似于第一实施方案中的定向耦合器 5a 的结构的简单且紧密的结构。定向耦合器 5c 中的能量输入线对的输入端连接到信号传输线 1 的接收端；该线对的输出端任由其断开和浮动。终接电阻器 6a 跨越定向耦合器 5c 中的能量传输线对的输出端而连接；该线对的输入端任由其断开和浮动。

参考图 4，第四实施方案中的信号传输装置通过去除接收端处的定向耦合器 5c 而不同于第三实施方案中的信号传输装置。接收器 4 再次直接连接到信号传输线 1 的接收端。终接电阻器 6b 跨越信号传输线 1 的接收端而连接。

参考图 5，第五实施方案中的信号传输装置通过包括另一个驱动器 12 和另一个接收器 14 而不同于第三实施方案中的信号传输装置。当待传输的数字信号是差分信号时，第五实施方案适用。

驱动器 12 包括一对 NMOS 晶体管 N11, N12，一对倒转方式

NMOS 变容二极管 B1, B2, 以及电阻器 R10。差分数字信号输入到在电源和地之间串联的 NMOS 晶体管 N11 和 N12 的栅电极。形成驱动器 12 输出端的 NMOS 晶体管 N11 的源电极和 NMOS 晶体管 N12 的漏电极, 连接到信号传输线 1 中信号线的发送端。NMOS 晶体管 N11 的漏电极通过电阻器 R10 连接到电源-地传输线对 3 的电源线。NMOS 晶体管 N12 的源电极连接到 LSI 芯片的衬底地 (基准地)。NMOS 变容二极管 B1 的源和漏电极连接到 NMOS 晶体管 N11 的漏电极, 并且 NMOS 变容二极管 B1 的栅电极连接到 NMOS 晶体管 N12 的栅电极; NMOS 变容二极管 B2 的源和漏电极连接到 NMOS 晶体管 N12 的漏电极, 并且 NMOS 变容二极管 B2 的栅电极连接到 NMOS 晶体管 N11 的栅电极。

接收器 14 通过包括闩锁电路 F1 而不同于图 3 中的接收器 4, 该闩锁电路 F1 作为输出级连接到输入 NMOS 晶体管 N3 和 N4 的差分对的漏极。

防止芯片中比较长的信号线中的 RC 延迟的一种方法在上面提及的硅技术会议时描述。在该方法中, 具有不可忽略的 RC 延迟的长 (全局) 信号线定义为其信号线长度 L_{Global} 满足下列条件 (1) 的信号线, 该条件可能用基本正弦信号分量的波长 (λ) 给出, 或者用信号线上的电磁波速度 (v) 和信号线上传输的脉冲信号的最大频率 (f) 给出。

$$L_{Global} \geq (1/40)\lambda = (1/40)(v/f) \quad \dots(1)$$

电磁波速度由真空中的光速 (c_0), 围绕信号线的介电材料的相对磁导率 (μ_r) 以及该介电材料的介电常数 (ϵ_r) 给出如下面的等式中。

$$V = c_0/\sqrt{(\mu_r\epsilon_r)} \quad \dots(2)$$

条件 (1) 中的系数 1/40 将参考图 6 在下面说明, 图 6 说明数字信号中一个脉冲的波形分量。脉冲信号具有包括基本正弦分量和高次谐波正弦分量的复合波形。近似的脉冲波形 w_a 通过将三次和五次谐波分量 (f_3, f_5) 加到基本分量 (f_1) 而获得。几乎完美的脉冲波形通过同样增加七次, 九次和十一次谐波分量来获得。因此, 脉冲信号可以看作包括具有高达比脉冲频率高一个数量级的频率的分量。例如, 如果脉冲信号

具有一千兆赫 (1GHz) 的最大频率, 高达 10GHz 的频率必须考虑。而且, 最小谐振频率对应于 $(1/4)\lambda$, 与在音叉中一样。

因此, 条件(1)规定, 信号传输线必须看作分布常数线, 如果它长于所传输脉冲信号的最高分量频率的波长 $(1/10)\lambda$ 的四分之一, 也就是长于 $(1/40)\lambda$ 。在硅技术会议时的公开内容中, 允许安全裕度 α : $(1/40)\lambda - \alpha$ 定义为以常规形式可以看作集总常数电路的 (局部) 信号线的极限长度。

本发明涉及一种如由条件(1)所定义的全局信号线 (因线结构和所传输脉冲信号的频率而具有不可忽略的 RC 延迟), 并且涉及该信号线的一种驱动器和接收器。本发明可适用于具有比十千兆赫高几倍的时钟频率的数字信号。

图 7 是对于各种脉冲频率 (f) 和对于电磁波速度 (v) 的三个值, 以米 (m) 为单位的片上全局信号线长度的最小值 $L_{\text{Global-Min}}$ 的表格, 也指出所考虑的高次谐波的最大频率 ($10f$)。

与家用电源线中一样, 两个信号线基本地为电能传输所需要。这些信号线具有类似于水管直径的电导。电导的倒数是特性阻抗 Z_0 。

直径所对应的物理量是存储于每单位长度信号线的电感 L_0 和电容 C_0 中的能量。能量以与信号频率相对应的频率重复地存储和消除, 因此遇到阻抗 Z , 阻抗 Z 是交流 (ac) 电路中电流的对抗。与将电能转化成热能的电路元件, 例如 dc 电阻元件或者成对信号线之间的漏电导不同, 该阻抗 Z 不损失能量, 而是以某一延迟释放它, 所以它看作由下面的等式给出的虚数, 其中 ω 代表角频率而 j 代表负一的平方根。

$$Z = j\omega L_0 \quad \dots(3a)$$

$$Z = 1/(j\omega C_0) \quad \dots(3b)$$

等式 (3a) 和 (3b) 指示阻抗 Z 包括每单位长度信号线的电感 L_0 和电容 C_0 。信号线上的特性电阻 Z_0 如下面的等式 (4) 中作为这些阻抗 Z 的几何平均给出。

$$Z_0 = \sqrt{(j\omega L_0 / j\omega C_0)} = \sqrt{(L_0 / C_0)} \quad \dots(4)$$

因为角频率 (ω), 虚数单位 (j) 和单位长度在等式 (4) 中消除, 特性阻抗 Z_0 是实数, 其不是每单位长度指定的并且不随频率而变化。

因此特性阻抗 Z_0 是对于短信号线和对于无限长度的信号线相同的特殊物理概念。简单地说，特性阻抗 Z_0 确定信号线关于电能的孔径。

集总常数电路理论的普遍误解在于，因为信号线也是 LC 网络，其必须看作分布常数网络，RC 延迟的问题不可避免。应当理解，在传输线上出现的电磁现象与 RC 延迟完全不同，其实际上是可以避免的。

本发明中的传输线是具有芯片内全局信号线的整个电路，或者跨越芯片的整个电路。本发明提供一种不阻碍能量传输的结构。包括传输线和相关晶体管的该结构类似于供水系统中的水管和阀门，该供水系统包括从河流中引入水的管道。

图 8 是说明单端型的常规数字信号传输电路的原理图。虽然在图 8 中仅有一个信号线 16，根据物理原则，按照惯例被忽略的成对地线 17（或电源线）对于电能的传输是绝对必要的。

图 9A 是说明差分电流型逻辑（CML）电路的原理图，而图 9B 说明低压差分信号（LVDS）电路。这两种电路都传输差分数字信号；两种电路都被认为适合于高速传输并且在近年来已经经常使用。虽然就电能来说，差分信号可以在任意对的线上传输，图 9A 和 9B 中常规电路中的传输线 18 参照地，以便匹配器件之间的基准电压水平，使得它们类似于三相 ac 线。因此，它们需要适合于线的耦合系数的终接电阻器，但是实际上，经常不提供适当的端接法。这些差分电路的显著缺点在于，差分信号因晶体管特性的变化而频率偏移，当状态跃迁发生时产生大的峰值电流，并且引起电磁干扰（EMI）。另一个问题是晶体管的必需数目增加。

本发明提供一种简单的结构，其中由图 8 中所示的反相器类型的驱动器所产生的常规单端信号通过使用消除对电能传输的阻碍的差分电路来传输。

在上述实施方案中，差分耦合器 5a, 5b, 和 5c 是当通过宽带 ac 信号时阻挡直流电并且防止多次反射的电路。

第一实施方案（如图 1 中所示在接收端具有单耦合器）具有最简单的电路结构。电荷能够移动到信号传输线 1 中，但是没有 dc 电流的稳

流，因为接收端处的定向耦合器 5a 双重断开：能量输入线对在输入端断开，并且能量输出线对在输出端断开。移至定向耦合器 5a 输出端的能量不能逸出，但是被保存好像在存储单元中。当信号传输线 1 比较短时，第一实施方案中的结构是理想的。

具有图 2 中所示的双耦合器结构的第二实施方案使得电荷向信号传输线 1 中的流动到达最小，当信号传输线 1 比较长时，这是期望的。信号传输线 1 发送端处的定向耦合器 5b 阻挡来自信号传输线 1 和接收电路系统的 dc 分量，仅将宽带 ac 分量作为电能传递到信号传输线。信号传输线 1 在一个方向上传输电磁波，但是不传送电荷。接收器 4 保持在带电状态，类似于第一实施方案中提及的存储单元。

图 3 中所示具有包括终接电阻器的双耦合器结构的第三实施方案，仅由信号跃迁能操作接收器 4。跨越定向耦合器 5c 的能量输出线对的输出端而连接的终接电阻器 6a 通过当信号的逻辑电平反转时允许简短放电发生来避免能量碰撞（在跃迁之后，信号能量均匀地转化成热能）。

如图 4 中所示在发送端具有单耦合器的第四实施方案是第三实施方案的简化版本，当信号传输线接近光速性能时可适用。连接到信号传输线 1 的发送端的定向耦合器 5b 是具有从例如一百兆赫到十千兆赫几倍的平滑通频带的高通滤波器。

当从驱动器输出的信号在信号传输线 1 的信号线上传输时，互补信号在具有例如五十到七十五欧姆（ $50\Omega\sim 75\Omega$ ）阻抗的信号传输线 1 中的地线上传输（参看参考文献 1a, 1b, 和 2）。这在驱动器 2 与图 8 中的常规电路中一样具有单反相器级的第一，第二，第三和第四实施方案中，和在驱动器 12 具有差分结构的第五实施方案中，同样适用。

虽然驱动器 2 或 12 使用 LSI 芯片的衬底地（基准地），在信号传输过程中，远离驱动器而导向的地线与信号线电磁耦合，并且它承载的互补信号独立于基准地而工作。这从电磁波传输物理学中得出，而不是从集总常数电路理论中得出。在信号传输线 1 的接收端，在信号线上传输的信号与在地线上传输的互补信号是可以由差分接收器接收的差分信号。

虽然如果信号传输线 1 电磁封闭传输噪声可以避免, 可能期望接收器 4 或 14 中的差分输入 MOS 晶体管 N3 和 N4 配置在不连接到衬底地的阱(well)结构(也就是与衬底地电绝缘的阱)中。那么, 即使接收信号包括共模噪声, 并且从基准电势偏移, 因为 MOS 晶体管 N3 和 N4 配置在同一阱结构中, 它们可以检测到正确的电势差, 并且信号可以正确地接收, 不管它们与地电平的关系。

但是, 如果输入 MOS 晶体管 N3 和 N4 的差分对放置在不连接到衬底地的阱中, 大的信号摆幅可以导致锁定。这可以通过将阱连接到电流控制 MOS 晶体管 N2 的漏极来防止, 如由图 1~5 中的虚线所指示的, 以便向差分输入 MOS 晶体管 N3 和 N4 提供适当的反馈栅偏压。如果芯片具有锁定不会发生的结构, 例如硅绝缘体(SOI)结构, 该连接是不必要的。

当电源(Vdd)通过包括地线的线对, 例如通过图 1~5 中所示的电源-地传输线对 3 提供时, 如果驱动器 2 或 12 中的反相器中晶体管的开态电阻在 $500\Omega\sim 1k\Omega$ 的范围中并且信号传输线 1 的特性阻抗 Z_0 为 50Ω , 信号振幅 V_s 由下面的不等式所约束:

$$(50/550) \times V_{dd} \geq V_s \geq (50/1050) \times V_{dd} \quad \dots(5)$$

接收器 4 或 14 是检测信号振幅 V_s 电平的读出放大器。如图 1~5 中所示的差分放大器结构是优选的。

如果(数字)脉冲信号具有 10GHz 的频率, 信号电压的上升时间(t_r)和下降时间(t_f)最大为三十五皮秒(35ps), 并且通常短于 35ps。这些高速电压变化是通过定向耦合器传输的高次谐波的宽带的一部分, 该定向耦合器具有阻挡信号 dc 分量的滤波器功能。即使脉冲信号是具有大 dc 分量的控制信号, 例如使能信号或确认信号, 或者列地址选通(CAS), 行地址选通(RAS)或片选(CS)信号, 通过耦合器的高次谐波提供足够的电能以充电形成接收器的读出放大器中晶体管的栅极, 使得脉冲信号可以被接收然后锁存在下一级闩锁电路 F1(图 5 中的接收器 14 中所示)中。

如图 9A 和 9B 中的常规电路中电阻器例如上拉电阻 19 或终接电阻

器 20 到传输线接收端的直接连接使得具有大直流分量的控制信号连续地消耗电能，这在基本上是集总常数电路的集成电路芯片中是不期望的。虽然终接电阻器对于防止具有比图 7 中所示线长度短的波长的高次谐波的反射是必需的，不需要将额外的 dc 分量转化成热能。这是本发明的基本原理，它也是为什么插入阻挡 dc 分量的耦合器的原因。

在本发明的实施方案中，为了以电磁波速度传输数字信号，信号传输线 1 自身，差分耦合器 5a, 5b, 和 5c, 终接电阻器 6a 和 6b, 以及从驱动器 2 或 12 中晶体管的输出互连到接收器 4 或 14 中晶体管的输入互连，优选地包括接收器输入晶体管 N3 和 N4 的栅电极的电路结构的所有其他部分都是金属的。多晶半导体电阻器和信号线不应当使用，因为即使当外加饱和电场时，多晶半导体中的载流子迁移率仅为大约每秒五十千米 ($5 \times 10^4 \text{m/s}$)，比电磁波的速度少三个数量级。

本发明的实施方案也在从驱动器 2 或 12 中的输出互连到接收器 4 或 14 中的输入互连，优选地包括接收器输入晶体管 N3 和 N4 的栅电极的所有信号线元件中，保持该传输线结构。

图 10 是说明具有终接电阻器但是没有定向耦合器的传输线 1 中电能传送（移动电荷）的原理图。激励晶体管表示成与具有电阻 R_{on} （开态电阻）的电阻器串联的开关。在连接到电源 Vdd 的激励晶体管导通的一刹那，从电源线 3a 看到的负载是该晶体管的开态电阻 R_{on} 与信号传输线的特性阻抗 Z_{0s} 的总和，并且作为结果的电流由下面的等式（6）给出。

$$i = V_{dd}/(R_{on}+Z_{0s}) \quad \dots(6)$$

由等式（6）给出的电流（i）在信号传输线 1 上连续流动持续或者该晶体管保持导通的持续时间 t_{on} ，或者传播延迟时间 t_{pd} ，无论哪一个较短。

当经过时间 t_{pd} 后信号能量到达传输线的远端时，负载 Z_{0s} 消失，并且用终接电阻器的电阻 R_L 取代。如果传输线类似于水管，管道现在装满水。两个负载 Z_{0s} 和 R_L 相等，所以电流（i）不变。结果，由信号传送的电荷量 Q 由导通脉冲时间 t_{on} 控制，并且由下面的等式（7）给出。

$$Q = i \times t_{on} \quad \dots(7)$$

接下来考虑如果当电荷在信号传输线 1 上根据电磁波矢量仍然朝向终接电阻器移动时，信号变高，将会发生什么。连接到地的激励晶体管导通，而连接到电源的激励晶体管关闭。因为信号电平等于地电平，电流 (i) 为零，但是在信号传输线 1 内，电荷继续朝向终接电阻器移动，就像即使在管道的输入端已经断连接之后，水保持其动能并且继续朝向管道的输出端流动一样。当该移动电荷的能量到达终接电阻器时，它转化成热能。连接到地的晶体管的导通不会使该电荷移动停止，该电荷移动继续，好像连接到地的晶体管不起作用一样。

出于上述原因，当脉冲信号切断时，图 10 中的电路不会使能量消散，并且消耗比图 9A 和 9B 中的常规差分信号电路少的能量。但是，在图 8 中的常规电路中，电荷（能量）的移动限于给负载电容 C_L 充电所需的量 Q ($Q = C_L \times V_{dd}$)，所以图 10 中的电路消耗比图 8 中的常规电路多的能量。本发明通过插入定向耦合器在这方面改进信号传输装置。

电源-地传输线对将在下面说明。图 9A 和 9B 中的常规电路起电流开关的作用。如果它们理想地操作，直流电连续地流动并且地面反跳不会发生，这是为什么这些电路被认为适合于高速信号传输的原因。但是，在实际转换中，开关晶体管的漏级和源极之间以及漏级和衬底地之间的总电容被充电或放电，引起非常陡峭的电流尖脉冲。这不能由旁路电容器来防止，因为旁路电容器的电感。

如果图 9A 和 9B 中的电路中的脉冲信号频率为 20GHz，上升时间 (t_r) 和下降时间 (t_f) 必须等于或小于 17.5ps。如果电源电压 V_{dd} 为 1 伏特 (V) 并且 $R_{on} + R_L = 950\Omega + 50\Omega$ ，电流 (i) 为一毫安 (1mA)，并且电压摆幅为 0.1V。即使使用具有比较小电感例如一百皮亨的旁路电容器 ($L_0 = 100\text{pH}$)，电源电压降 V_{drop} 由下面的等式给出。

$$V_{drop} = L_0 \times (di/dt) \quad \dots(8a)$$

$$= 100\text{pH} \times 1\text{mA}/17.5\text{ps}$$

$$= 5.7\text{mV} \quad \dots(8b)$$

这意味着十个驱动器不能从同一电源通电而不在电源线上引起 57mV 的电压降。如果电流转换偏移和在 LVDS 系统中使用的 NMOS 和 PMOS 晶体管的不同性能特性也考虑在内，地面反跳变得难以控制。

在本发明中，电源从基本上不具有杂散电容和电感但是具有特性阻抗 Z_{0p} 的电源-地传输线对 3 提供，如图 10 中所示。

可以从具有特性阻抗 Z_{0p} 的电源-地传输线对提供的最大容许电流 I_{max} 由下面的等式给出。

$$I_{max} = V_{dd}/Z_{0p} \quad \dots(9)$$

如果电源电压 V_{dd} 为 1V 并且特性阻抗 Z_{0p} 为 25Ω ，40mA 的电流 I_{max} 可以瞬时提供，没有相关的频率特性。

与水不同，其不能在充满的管道中以给定速度瞬时地开始移动，电磁波总是以光速 ($1.5-3.0 \times 10^8 \text{m/s}$) 传播。因为吸引电荷以便给电容充电的晶体管中的载流子迁移率慢大约三个数量级（在饱和电场中， $5 \times 10^4 \text{m/s}$ ），出于所有实际的目的，上面的电流 I_{max} 可以瞬时地获得。

但是，在获得该电流的一刹那，惯性问题出现。仅如果情况类似于供水系统，其中导向各个住宅的支管比它们从中分支出来的总水管小得多，以至于总水管中的水流基本上未受干扰，该问题可以忽略。

在图 10 中，如果形成驱动器的反相器中晶体管的开态电阻为 R_{on} ，并且信号传输线的特性阻抗为 Z_{0s} ，作为驱动器电阻性负载和终接电阻的总和的电阻性负载 R_D （从电源所看到的）由下面的等式给出。

$$R_D = R_{on} + Z_{0s} \quad \dots(10)$$

如果开态电阻 R_{on} 在 $500\Omega \sim 1\text{k}\Omega$ 的范围内，并且特性阻抗 Z_{0s} 为 50Ω ，电阻性负载 R_D 在 $550\Omega \sim 1050\Omega$ 的范围内。

如果电源电压 V_{dd} 为 1 伏特 (V) 并且 $R_D = R_{on} + R_L = 950\Omega + 50\Omega$ ，电流 (i) 为 1mA，并且电压摆幅为 0.1V，消耗图 10 中 40mA 的最大容许电流 I_{max} 的仅百分之二点五 (2.5%)。如果十个驱动器被驱动，消耗最大容许电流 I_{max} 的 25%。虽然 25% 足够引起可检测的地面反跳，该反跳被由比电磁波速度小三个数量级的晶体管的有限载流子迁

移率所引起的延迟而削弱，所以实际上没有问题出现。

当单个电源-地传输线对提供电能到 n 个信号驱动器时，其中 n 是正整数，电源-地线对的特性阻抗 Z_{0p} 是足够的，如果下面的不等式成立，如在日本未经审查专利申请公开 11-284126 和 2000-174505 号中记录的。

$$Z_{0p} < R_D/n \quad \dots(11)$$

因此，本发明使用具有足够低以驱动等于驱动器开态电阻和信号传输线特性阻抗的总和的电阻性负载的特性阻抗的电源-地传输线对，该电源-地传输线对从驱动器延伸到电源电路，或者延伸到附近的旁路电容器。

图 11A 和 11C 是说明在发送或接收端具有单耦合器的信号传输电路操作的原理图。图 11A 中的信号传输电路在结构上与第一实施方案类似，并且通过用图 1 或图 2 中所示的第一或第二实施方案中使用的定向耦合器 5a 来代替接收端处的终接电阻器而不同于图 10 中的信号传输电路。图 11C 中的信号传输电路通过用图 2~5 中所示的第二到第五实施方案中发送端处使用的定向耦合器 5b 来代替接收端处的定向耦合器 5a 而不同于图 11A 中的信号传输电路。

虽然图 11A 中的信号传输电路连接到差分接收器的栅极，其接收端因定向耦合器而有效地断开。虽然图 11C 中的信号传输电路连接到驱动器，其发送端因定向耦合器而有效地断开。图 11A 和 11C 中的信号传输电路通过不消耗 dc 能量而不同于图 9A 和 9B 中的常规电路。

虽然同轴传输线在图 11A 和 11C 中作为典型信号传输线而显示，层叠对传输线，条纹传输线，微条纹传输线，槽线，或共平面形波导可以代替地使用。虽然在图 11B 和 11D 中的横截面视图中，定向耦合器由层叠对表面层线表示，其他类型的定向耦合器可以使用，包括在图 20A 和 20B 中作为实例显示的类型。

包含在定向耦合器中的物理现象将在下面说明。在传输线上传播的电磁波以横向电磁模式 (TEM) 传播，其中相关电和磁通线都垂至于传播方向而延伸。在图 11B 和 11D 中的定向耦合器的横截面图中，由虚线

指示的圆表示由电磁波占据的空间，也就是，电和磁通线的有效空间扩展。（理论上，电和磁通线无限扩展，但是仅有可以忽略量的能量出现在所示圆之外）。

电磁波在空气中以光速（ c_0 ）传播，其由真空的磁导率（ μ_0 ）和介电常数（ ϵ_0 ）如下面的等式中给出。

$$c_0 = 1/\sqrt{(\mu_0\epsilon_0)} = 3 \times 10^8 \text{ (m/s)} \quad \dots(12)$$

电磁波在介电材料中以如下面等式中由介电材料的相对磁导率（ μ_r ）和相对介电常数（ ϵ_r ）给出的速度（ v ）传播。

$$v = c_0/\sqrt{(\mu_r\epsilon_r)} \quad \dots(13)$$

如果 ϵ_r 为四并且 μ_r 为 1， $v = 1.5 \times 10^8 \text{ (m/s)}$ 。

输入到定向耦合器的信号作为 TEM 波出发，但是随着波的传播，空气中的传播速度（ c_0 ）与介电材料中的传播速度（ v ）之间的差使得横向电磁传播模式失真。最初，因为层叠线对中的强耦合，电磁场有效地限制在某一范围，使得到相邻线对的串音可以忽略，但是随着传播模式变得失真，耦合变弱，并且有效电磁场扩展开，促进电磁能向相邻层叠线对的传送。

图 12A 和 12B 是说明横向电磁传播模式失真的三个平行微条纹传输线的仿真横截面透视图，并且图 13A 和 13B 是仿真顶视图。图 12A 和 13A 中的微条纹传输线具有表面层结构，其包括在地平面上的介电层的表面上形成的微条纹。该结构通常类似于图 11B 和 11D 中的结构。图 12B 和 13B 中的微条纹传输线具有嵌入式结构，其中微条纹嵌入在介电材料中。具有 3GHz 频率的正弦波信号输入到三个传输线的中间一个。图 12A 和 12B 显示在横截面中看到的通过中间传输线的场强分布。图 12C 和 13C 指示电场比例。

在表面层微条纹传输线中，场分布在空气中比在介电材料中传播得快从而远，如图 12A 中所看到的。在内层微条纹传输线中，传播模式被保持，如图 12B 中所看到的。

在表面层结构中，输入到三个线的中间一个的 3GHz 正弦信号的电磁能量扩展开，引起场能在 200mm 的长度内向两个相邻线的完全传送，如在图 13A 中底部的放大视图中看到的。在嵌入式结构中，场能不

传送到相邻线，如图 13B 中看到的。

图 14A, 14B, 和 14C 是通过使用散射参数 (S 参数) 说明电磁能在层叠对传输线之间传送的曲线图。在图 14A 中, 线宽 L 等于相邻传输线之间的间隔 S 。在图 14B 中, $L/S = 1/0.5$ 。在图 14C 中, $L/S = 1/0.25$ 。正弦信号输入到三个层叠对传输线的外侧一个。S11 是该外侧线上电磁波能量的反射特性, S21 是该外侧线上电磁波能量的传输特性, S41 表示相邻的中间线远端处的串音能量, 并且 S61 表示另一个外侧线的远端处的串音能量。这些参数的值在垂直轴上以负的单位例如分贝表示; 以千兆赫为单位的频率在水平轴上表示。

相邻线之间的间隔越小, 串音能量 (S41 和 S61) 超过传输能量 (S21) 的频率变得越低。然后串音特性继续以依赖于频率的重复循环方式在传输特性上下变化。因此, 相邻线之间的间隔与线之间能量耦合的频率特性紧密相关, 并且给定耦合特性可以在短线长中再现, 如果间隔非常小。

本发明使用定向耦合器作为满足字面上高通滤波器条件的装置, 通过阻挡从 dc 到 100MHz 的频带, 在该范围中存在有比较小的噪声振荡, 同时允许所有高频率的能量传送。因此, 定向耦合器起宽带耦合器的作用。

因为相邻线对的特性与图 14A, 14B, 和 14C 中所示的频率不一致, 必须为定向耦合器设置适当的条件, 例如能量输入线对和能量传输线对的长度, 相邻线对之间的间距 (图 11A 和 11C 中的间距 g), 以及线对配置于其中的介电材料的介电常数。

提供上述宽带定向耦合器的一种方法是, 使得间距 (g) 可变, 如图 11A 和 11C 中所示。除图 11A 和 11C 中的分级间距结构以外的宽带耦合器结构也是可能的。

如果定向耦合器设计成起宽带耦合器的作用, 在图 11A 中接收端处具有定向耦合器的信号传输电路中, 信号传输线的接收端实际上是定向耦合器中能量输入线对的断开端。因此, 信号传输线间接地终接; 不消耗 dc 功率, 但是所有 ac 分量的能量传送到定向耦合器中的相邻能量传输线对中, 并且或者存储在该相邻线对中或者消散在终接电阻器中, 而不引起复杂且麻烦的反射。在图 11C 中发送端处具有定向耦合器的信号

传输电路中，所有 ac 分量的能量通过定向耦合器传送到信号传输线，但是 dc 分量被阻挡，使得不消耗 dc 功率而仅有 ac 分量在信号传输线上传输。在任何一种情况下，主要效果是功率不被直流电流动所消耗。而且，全部信号振幅可以获得，即使对于长时间保持开或关的控制信号。

与本发明的宽带耦合器相比较，作为 LC 电路实现的高通滤波器仅传递窄带的频率。如果等效于本宽带耦合器的宽带高通滤波器作为 LC 电路来实现，电路在规模上将不得不非常大。而且，脉冲信号的频率越高，LC 电路的设计变得越难。对于具有 20GHz 频率的脉冲信号，例如，在 LC 电路中实现宽带高通滤波器几乎是不可能的。

图 15 是说明本发明实施方案中的信号传输的典型波形图。 V_{in} 是输入信号； V_{out} 是输出信号。虚线表示当如在第一或第二实施方案中终接电阻器不存在时输出信号 V_{out} 的波形；实线是当如在第三或第四实施方案中终接电阻器存在时的波形。

由驱动器中的晶体管的开态电阻确定的信号振幅低于电源电压 V_{dd} 。对于时钟信号或类似的信号，传输信号的波形变成接收信号的波形。但是，当传输信号的保持时间比较长时，接收信号的波形按照耦合器的 RC 积分衰减特性沿着衰减曲线下降到零伏特，因为 dc 分量不通过耦合器，而通过耦合器的高次谐波的能量消散在终接电阻器中，如果终接电阻器存在的话。因为接收信号慢慢地衰减，不存在负尖峰；接收器中的差分放大器的输出不反转。在脉冲信号的末端，接收信号可能变成负的，并且不需要基准电势的差分读出放大器可能反转，但是如果门锁定电路（例如图 5 中的门锁定电路 F1）作为输出级连接到差分读出放大器，信号可以正确地检测，而不管保持时间的长度。

如果信号传输线比较长，直流电如上所述流动持续传播延迟时间 t_{pd} 。在图 10 中的电路中，电荷的整个流动消散在终接电阻器中。但是，在图 11A 中的电路中，仅信号的跃迁能由耦合器放电到相邻线对；代表 dc 分量的电荷聚集在信号传输线中，并且不放电直到驱动器转换回 NMOS 晶体管可以将电荷导向地的状态。然后，dc 分量反向流动并且输出到地。该放电不同于图 8 中常规电路中负载电容 C_L 的放电；dc 分量作为持续时间等于传播延迟时间 t_{pd} 的脉冲而放电。

在图 11A 的电路和图 1 中的第一实施方案中，如果传播延迟时间 t_{pd} 长于半个时钟周期，信号传输线的充电在 dc 分量放电结束之前开始，引起信号失真，好像由多次反射引起的那样。因此，如果下面的不等式成立，可以使用第一实施方案。

$$t_{pd} < 1/2 \text{ 时钟周期} \quad \dots(14)$$

图 2~4 中的第二到第四实施方案中的电路设计成避免完全充电信号传输线。仅信号的跃迁能传送到信号传输线上，在那里它以电磁波速度传播到接收器；dc 电荷不存储在信号传输线中，即使传播延迟时间 t_{pd} 大于半个时钟周期，如在图 11C 中的电路中。该能量全部都通过耦合器传送，或者消散在终接电阻器中，所以电流不通过驱动器中地侧上的 NMOS 晶体管而流动，正像电流不通过图 10 中的 NMOS 晶体管流动一样。

对于时钟信号或类似的信号，第二到第四实施方案中的接收信号的波长与第一实施方案中相同，如在图 15 中左侧上显示的。当传输信号的保持时间比较长时，接收信号的波形在第二实施方案中按照虚线（与在第一实施方案中一样），或者在第三或第四实施方案中按照实线。因此，当终接电阻器不存在时（如第一或第二实施方案中），图 15 中的虚线波形适用；实线波形指示终接电阻器的存在（如第三或第四实施方案中）。

不必要将图 3 中第三实施方案中的终接电阻器 6a 的阻抗与定向耦合器 5c 的输出阻抗相匹配，但是必须选择使得长脉冲衰减曲线能够看作 RC 积分曲线的电阻值。

因为第二到第四实施方案中驱动器中的 NMOS 晶体管不导电，好像该晶体管可以删去，但是在那种情况下，直流电的流动可以逐渐地增加电路偏压，并且驱动器可能最终停止操作，所以该 NMOS 晶体管是必需的。但是，使用两个 NMOS 晶体管来形成驱动器中的反相器是可能的，如图 5 中的第五实施方案中。

虽然 NMOS 晶体管 N11 和 N12 在图 5 中的第五实施方案中与输入差分信号同步操作，对于它们不需要互补地操作。NMOS 晶体管 N11 和 N12 的不同漏电压引起它们开态电阻的差异，即使它们的大小相同，但是开态电阻的差异不表现出任何问题，因为 NMOS 晶体管 N12 的目

的在于向地提供基准。

因为驱动器 12 的开态电阻可能相当高，可能不需要另外的限流措施，但是如果驱动器 12 中的晶体管的开态电阻低，电阻器 R10 可能插入在电源侧上，如图 5 中所示。

虽然接收器 14 中的读出放大器必须被设计，以检测小的信号摆幅，这可能在普通器件设计的范畴内。定向耦合器 5b, 5c 的大小也使得它们能够通过使用片上互连技术来形成，如下面所描述的。

图 5 中的第五实施方案包括 NMOS 变容二极管 B1 和 B2，其将驱动器 NMOS 晶体管 N11 和 N12 的源-漏电容来回抽吸。该电容必须在到 NMOS 晶体管 N11 和 N12 的输入信号跃迁时充电或放电。电源提供足够电流的能力也暗示着在这些跃迁点产生突然充电或放电电流尖脉冲的能力，这可能导致电磁干扰 (EMI)。NMOS 变容二极管 B1 和 B2 解决该 EMI 问题，并且也通过再循环充电来减少功率消耗。NMOS 变容二极管的插入在日本未经审查专利申请公开 2002-124635 中公开。

从耦合器，接收器，和到传输线自身的驱动器的上述讨论中返回，传输线中的横向电磁模式 (TEM) 将按照库仑，高斯，安培，法拉第，和麦克斯韦的经典理论在下面说明。根据电荷的电磁波描述可能不完全正确；爱因斯坦指出，麦克斯韦等式与狭义相对论相容，并且对于在空间中传播的电磁波，也成立。但是，传输线现象应当通过包括等离子体激元和磁子的光子的行为来说明。

图 16A 和 16B 是说明横向电磁模式的具有电通线 E 的层叠对传输线和微条纹传输线的横截面视图。在传输线的横截面中，圆表示空穴 (正电荷) 而实点表示电子 (负电荷)。电通线 E 从正电荷开始并且总是在负电荷中的一个处终止。

电通线 E 在成对线的两个面向侧上最密集地分布，在那里正和负电荷由库仑力彼此吸引，并且在相对侧上稀疏地分布，在那里它们无限延伸到空间中。面向侧之间的距离越短，吸引力变得越强，并且电通线的密度变得越高。

如果由这些通线限制的电荷在进入纸张的方向上同步移动，也就是如果电流流动，磁通线 B 产生。磁通线 B 围绕电流流动的线打环，环围绕正电荷的流动顺时针定向，或者围绕负电荷的流动逆时针定向。在成

对线的面向侧之间，磁通线 B 在相同方向上定向并且彼此增强；面向侧之间的距离越短，该效应变得越强。在相对侧上，磁通线 B 具有无限延伸的自然空间分布。电和磁通线以这样一种方式产生，即它们总是以直角相交。在两个线之间的中心空间中，电矢量垂直地向下延伸，而磁矢量水平地向左延伸。

横向电磁模式如此称呼，因为电磁场在垂至于电流流动方向的平面上链接电荷，如在上面定向耦合器的物理学的描述中注意的。电磁场的扩展是能量的扩展，并且信号能（电压与电流的乘积）传播同时保持该空间扩展。如果仅考虑电磁能有效扩展的横截面，如图 16A 和 16B 中所示，成对线之间的距离（ d ）越短，电磁通线的空间扩展变得越小。

在微条纹传输线中，成对线的一个是平面，并且负电荷试图在该平面中扩展开，但是它们被电通线 E 限制到正电荷，所以扩展被自然地限制，如图 16B 中所示。该扩展可以通过朝向位于该平面下的成对线的镜像而延伸电通线来几何地描绘。负电荷在平面中的流动形成水平压扁的圆形状的磁通线，其增强围绕面向线的磁通线，如图 16A 中。平面中的电势分布是不均匀的：负电荷在其中流动的平面部分中的电势低于其中没有负电荷的流动的平面部分中的电势（ $0V$ ）。成对线中的电势相互补充的关键思想可以从图 16A 和 16B 中理解，如参考文献 1a, 1b, 和 2 中说明的。

可以看出，电磁场在图 16B 中微条纹传输线中比在图 16A 中层叠对传输线中扩展地远。当由图 16A 和 16B 中点划线所表示的相邻线以等于线宽的间距而存在时，虽然相邻线位于层叠对传输线的有效电磁场外部，相邻线占据微条纹传输线中电磁场的有效扩展的一部分。当变化的电磁场穿过导线时，根据法拉第定律，电磁感应出现在导线中，引起串音。虽然电磁场对于恒定电流（直流）具有类似的扩展，电流不改变，所以即使电磁场穿过另一个导线，串音不会出现。频率越高，串音问题变得越严重。在本情况下，导线是形成传输线的线对的一部分。

图 17A, 17B, 17C 和 17D 显示对共面传输线，补保护共面传输线（在两侧上具有共模导体），层叠对传输线，和补保护层叠对传输线（上下具有共模导体）作为能够在集成电路（IC）芯片中使用的传输线结构的实例的横截面透视图，考虑图 16A 和 16B 中描述的原理。

传输线结构的最重要特征在于，必须存在清晰的线对。次要特征在于线必须配置在具有均一介电常数的同质介电材料中，使得脉冲信号可以传输而在定向耦合器中看不到横向电磁模式的失真。

如果线对中面向侧之间的距离为 (d) (参看图 16A, 16B, 17A, 和 17C), 面向侧的导体宽度为 (w) (参看图 16A), 导体厚度为 (t), 并且两个相邻相对之间的距离为 (s) (参看图 17A, 17B, 17C, 和 17D), 当下面的不等式成立时, 在上面的意义上线对具有清晰的结构。

$$2wd < ts \quad \dots(15)$$

线对中的耦合强度等于 $1/(wd)^2$, 并且相邻线对之间的耦合强度为 $1/(ts)^2$ 。不等式 (15) 暗示着, 每个线对内的耦合比相邻线对之间的耦合强多于四倍。这看起来好像允许串音高达信号能量的 25%, 这是不可以忽略的量, 但是耦合是强各向异性的, 其由面向侧之间的耦合支配, 而不是向在圆筒中各向同性。串音已经用实验方法确定到小于 5%。

作为第五实施方案中互连布局的实例, 图 18 显示作为集总常数电路块的驱动器与全局信号传输线之间互连结构的平面图而图 19 显示截面图, 对于类似的元件使用与图 5 中相同的参考符号。图 18 显示左右配置的 NMOS 晶体管和 NMOS 变容二极管; 图 19 显示首尾连接配置的它们。

在图 18 和 19 中, p 型区域或 p 阱 ($p1$) 在 n 型半导体衬底或半导体衬底的 n 型层中形成。NMOS 晶体管 N11 包括 n 型漏极扩散 ($n1$), n 型源极扩散 ($n2$), 栅电极 ($n3$), 漏极接点 ($n4$), 源极接点 ($n5$), 漏极互连 ($n6$), 源极互连 ($n7$), 以及栅极互连线 ($n8$)。NMOS 变容二极管 B1 包括一对 n 型扩散 ($b1$ 和 $b2$), 栅电极 ($b3$), 一对接点 ($b4$ 和 $b5$), 源-漏互连 ($b6$), 以及栅极互连线 ($b8$)。

图 18 和 19 中的电源-地传输线对 3 包括电源线 3a 和地线 3b。电源线 3a 通过接触元件 21 连接到钼电阻器 R10。地线 3b 通过接触元件 22 连接到定向耦合器 5b 中的能量输入线对的地侧线。旁路电容器 C1 沿着电源-地传输线对 3 处处配置 (仅显示一个)。

在图 18 和 19 中 NMOS 变容二极管 B1 和 NMOS 晶体管 N11 配置在同一 p 阱 ($p1$) 中, 使得电荷可以被上下抽吸。

包括电源线 3a 和地线 3b 的共面电源-地传输线对 3 直接在驱动器

中的 NMOS 晶体管 N11 和 NMOS 变容二极管 B1 上运行。包括栅极互连线 (n8 和 b8)、输入信号在其上接收的另一个共面传输线延伸直到栅电极 (n3 和 b3)。

包括源极互连 n7 和地线 3b 的驱动器的输出形成短的层叠对传输线，地在顶部，导向定向耦合器 5b 中的能量输入线对。定向耦合器 5b 中的能量传输线对连接到其上的层叠对信号传输线 1 延伸到接收器。

电源线 3a，地线 3b，漏极接点 n4，源极接点 n5，漏极互连 n6，源极互连 n7，栅极互连线 n8，接点 b4 和 b5，源-漏互连 b6，栅极互连线 b8，接触元件 21 和 22，定向耦合器 5b，以及信号传输线 1，优选地包括栅电极 (n3 和 b3)，都是金属的。

在图 19 中，电源-地传输线对和相邻线对 (没有显示) 的介电层厚度，导体宽度，导体厚度等也被选择，使得不等式 (15) 成立。驱动器中的 NMOS 晶体管 N12 和 NMOS 变容二极管 B2 在结构上类似于图 18 和 19 中所示的 NMOS 晶体管 N11 和 NMOS 变容二极管 B1。输入信号通过其在接收器处接收的互连结构类似于图 18 和 19 中所示的驱动器中的输入信号互连结构。

在本发明的实施方案中，从驱动器中的输出晶体管接点到接收器中的输入晶体管栅极连接线的的所有信号线元件都保持传输线结构。因此，具有比 10GHz 高几倍的频率的脉冲信号可以被传输。

从驱动器中的输出晶体管接点到接收器中的输入晶体管栅极连接线的的所有信号线元件也都是金属，而不是半导体。这使得信号能够以电磁波速度传播。因为从栅电极到传输线的通路短，可以使用多晶硅栅电极，但是金属电极是优选的。虽然共面电源-地传输线对在图 18 和 19 中所示的驱动器中使用，其他类型的电源-地传输线对也可以使用。

定向耦合器的结构在下面说明。该结构的基本原理在于，从定向耦合器的输入端看到的特性阻抗与连接到输入端的传输线的特性阻抗完全相同，并且从定向耦合器的输出端看到的特性阻抗与连接到输出端的传输线的特性阻抗完全相同。通常，如果传输线的结构在信号传播方向上不改变，该结构可以根据其在信号传播方向上的单位长度按比例缩放。也就是，如果相同的相对位置保持在垂至于传播方向的平面中，传输特性保持相同。该规则的例外是，减少的导体横截面不可避免地引起增加

的 dc 电阻。虽然相同的定标规则应用于定向耦合器，因为形状在信号传播方向上改变，相应的整型因子增加，但是近似三维定标律适用。因为 IC 芯片上的定向耦合器必须具有小尺寸，该三维定标律非常有效。

图 20A, 20B, 和 20C 说明典型的定向耦合器结构。在图 20A 中，一层具有高介电常数的材料插入到该结构中。在图 20B 中，定向耦合器具有空气层，其等效于一层具有低介电常数的材料的插入；介电常数比为 1:3.2。图 20C 是图 20A 或 20B 中的定向耦合器的顶视图，其指示能量输入线对和能量传输线在相互对立端 (PORT-1, PROT-2) 处连接到外部电路，并且在它们的不连接端任由其断开。电磁场是可伸缩的；图 21 给出对于三个典型定标值定向耦合器的大小。D 是每个线对中两个线之间的介电层的厚度，t 是 (能量输入线对的) 导体层的厚度，w 是导体层的宽度，L 是信号线的长度，并且 g 是相邻信号线对之间的距离； h_1 (0.4mm, 例如) 是能量传输线上介电层的高度，并且 h_2 (0.68mm, 例如) 是能量传输线对配置于其中的介电层的高度。

图 22A, 22B, 23A, 和 23B 是显示典型定向耦合器的仿真结果的曲线图。图 22A 和 22B 中仿真的定向耦合器具有如图 20A 中所示插入的一层高介电材料；图 23A 和 23B 中仿真的定向耦合器具有如图 20B 中所示的一层低介电材料。因为能量输入线对的输入端是 port-1 而能量传输线对的输出端是 port-2, S21 是传输特性，而 S11 是反射特性。

在具有如图 20A 中所示插入的一层高介电材料的类型的定向耦合器中，能量传输线对配置在二氧化硅 (SiO_2) 中，其是周围互连配置于其中的相同类型的介电材料，具有 3.2 的相对介电常数 (ϵ_r)；能量输入线对配置在氧化铝中，其具有较高的介电常数 ($\epsilon_r = 8$)。

在具有如图 20B 中所示的一层低介电材料的类型的定向耦合器中，能量传输线对配置在二氧化硅 ($\epsilon_r = 3.2$) 中，与周围互连一样；能量输入线对配置在空气中，其具有较低的介电常数 ($\epsilon_r = 1$)。能量输入线对也可以配置在具有比二氧化硅低的介电常数的介电材料中。

如由图 21 中的尺寸所指示的，本发明的实施方案提供具有图 20A, 20B, 和 20C 中所示的简单结构的微型定向耦合器，其可以在 IC 芯片中实现。如果定向耦合器的两个相对配置于其中的介电材料的介电常数之间的差增加，线对之间的间距 (g) 可以增加，并且另一个耦合

器尺寸可以减小。

在图 20A 中，TEM 波形在配置于具有比周围介电层（二氧化硅）高的介电常数的介电层（氧化铝）中的线对中失真；在图 20B 中，TEM 波形在配置于具有比周围介电层（二氧化硅）低的介电常数的介电层（空气）中的定向耦合器中失真。虽然图 20B 显示配置在具有相对介电常数 3.2 的二氧化硅的介电层上的空气层，如果上介电层和下介电层的相对介电常数为 3.2 和 9.6，类似的效果可以被提供。

图 24A~24D 和 25A~25D 说明由众所周知的着重集成电路的仿真程序（SPICE）获得的定向耦合器仿真结果。图 24A 和 25A 显示定向耦合器的仿真类型，图 24B 和 25B 显示输入脉冲波形，图 24C 和 25C 显示输出电压波形，并且图 24D 和 25D 显示输出电流波形。图 24A，24B，24C，和 24D 中的定向耦合器具有如图 20A 中所示插入的一层高介电材料，并且使用图 22A 中的 S21 参数来仿真；图 25A，25B，25C，和 25D 中的定向耦合器具有如图 20B 中所示插入的一层低介电材料，并且通过使用图 23A 中的 S21 参数来仿真。

这些仿真中的输入脉冲具有二十五皮秒的上升时间（ $t_r = 25\text{ps}$ ）和五纳秒的保持时间（5ns）；包括寄生电容的接收器中晶体管的栅极电容为 0.2 皮法（pF），并且漏电流电阻为 $1\text{M}\Omega$ 。仿真没有显示任何问题，无论使用这些类型的定向耦合器的哪种类型。

虽然已经假设，在上述实施方案中，驱动器，信号传输线，定向耦合器，和接收器在同一半导体芯片中形成，驱动器和接收器可以在不同的半导体芯片中形成，并且包括本发明的信号传输线和定向耦合器的互连结构可以配置在芯片之间。

包括信号传输线和定向耦合器的所发明的互连结构可以用于逻辑电路或存储电路中的互连。在这种情况下，可以使用没有驱动器和/或接收器的互连结构。

上述实施方案可以通过将信号传输线的发送和接收端分支并且在每一端提供驱动器和接收器来为数字信号的双向传输而修改。图 26 显示基于第二实施方案的这种修改的实例。定向耦合器 5a，5b 消除了对于三态驱动器的需要。配置在驱动器 2 和信号传输线 1 之间的定向耦合器 5b 足够保证当一个驱动器不活动时，它将不干扰其他驱动器的数字信号

传输。

本领域技术人员容易认识到，在由附加权利要求书所定义的本发明的范围内，进一步的修改是可能的。

图1

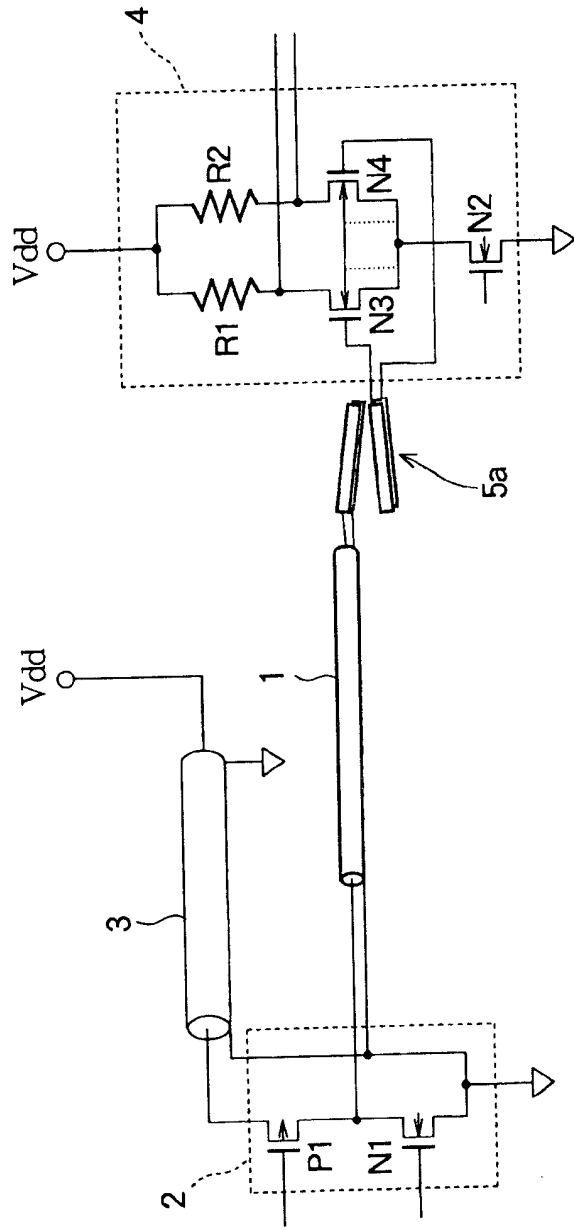


图 2

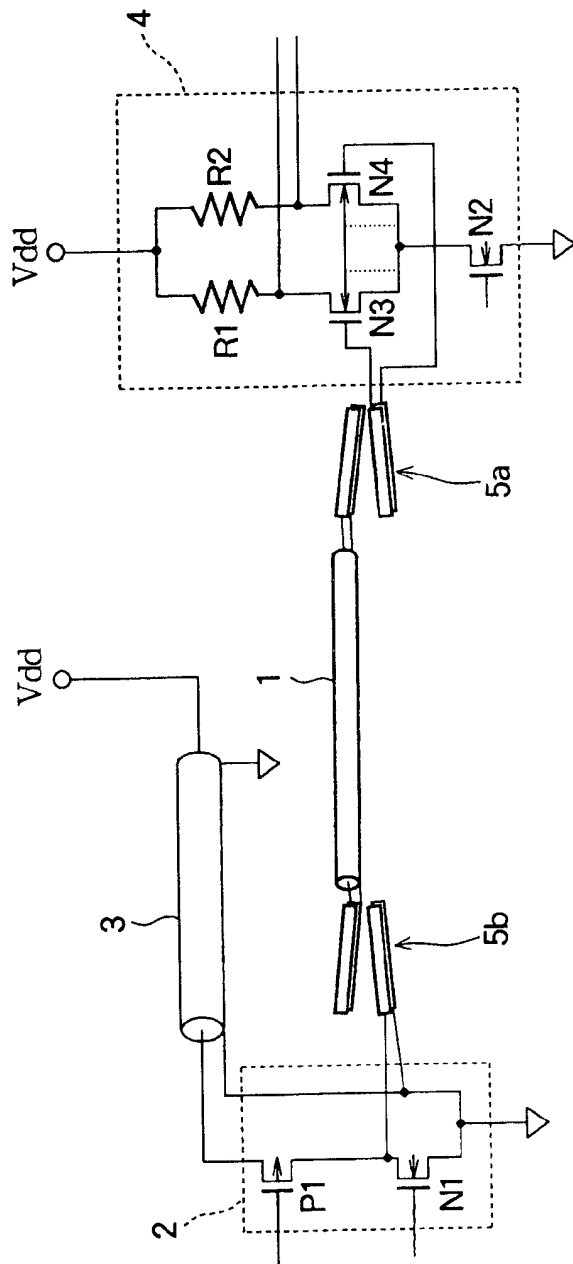


图3

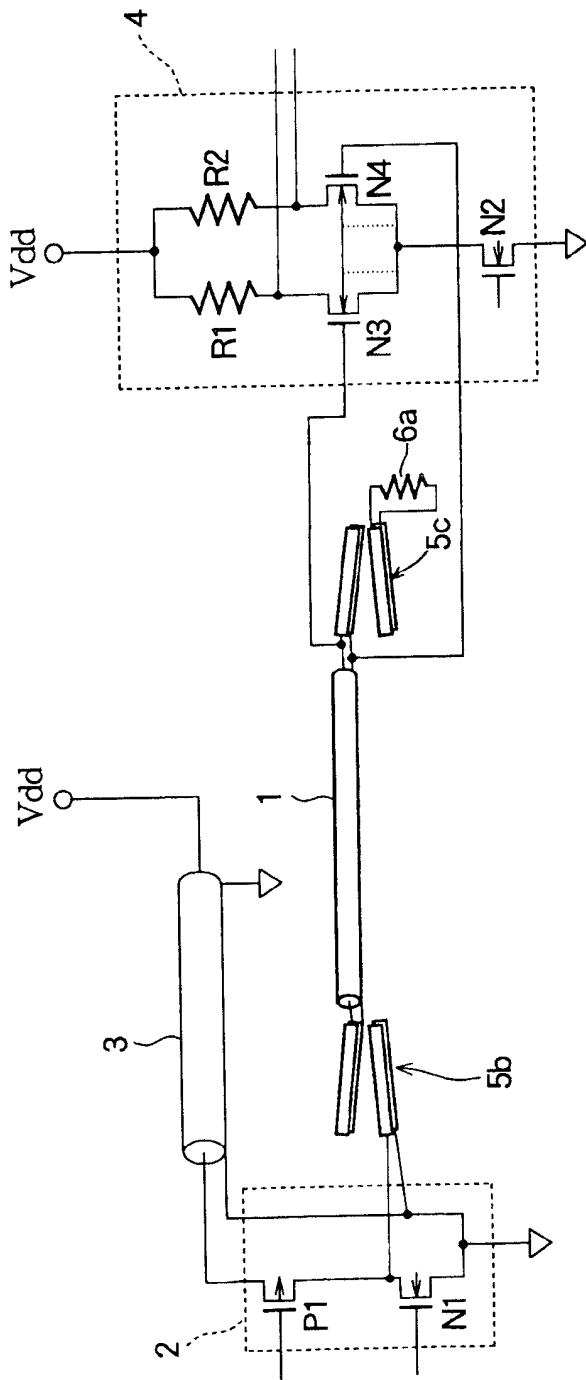


图 4

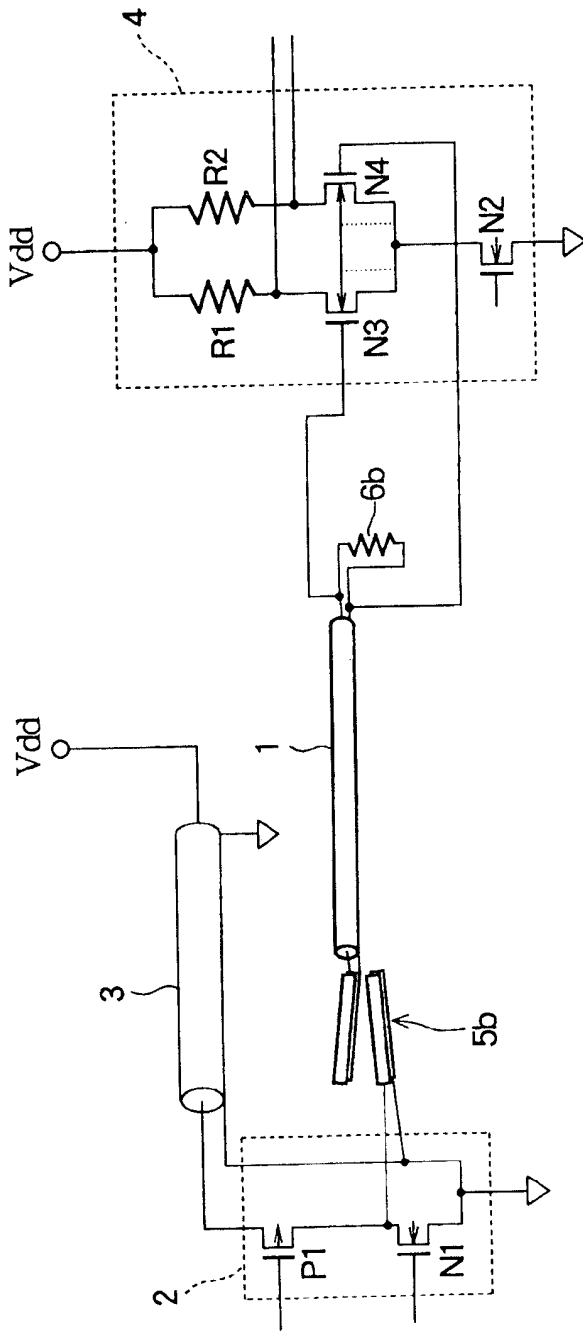


图 5

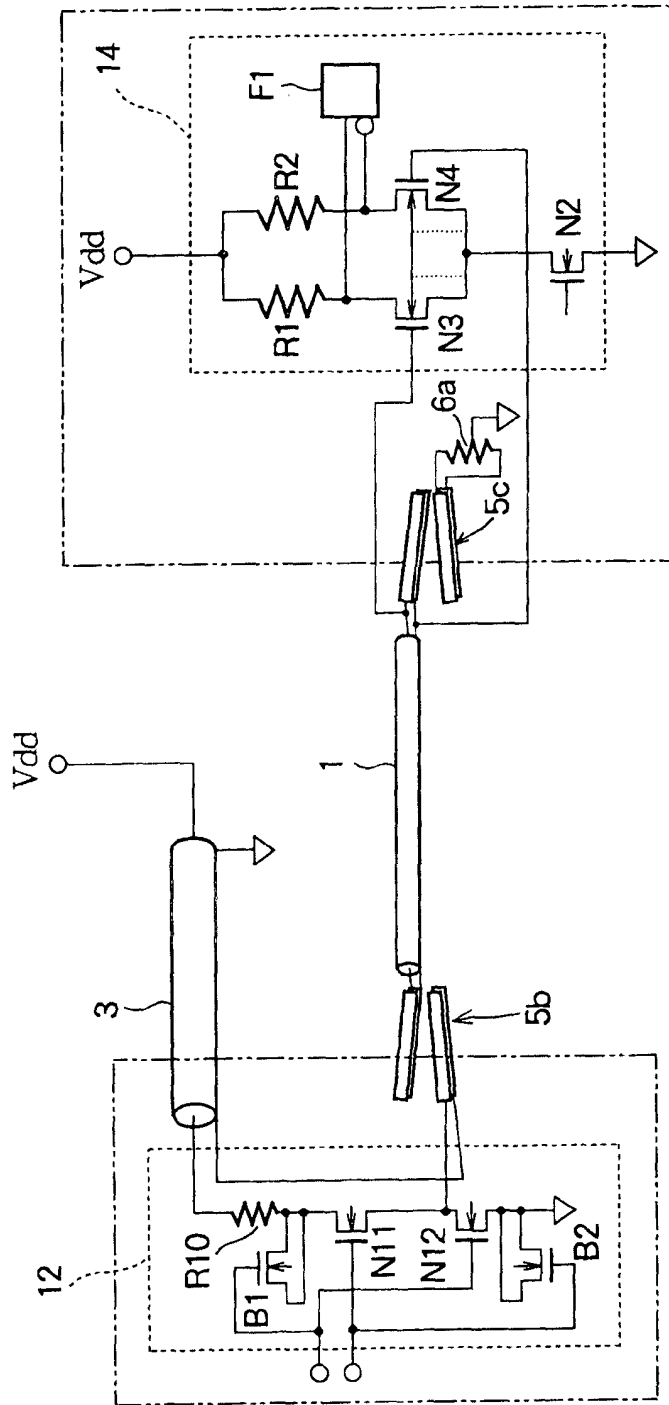


图6

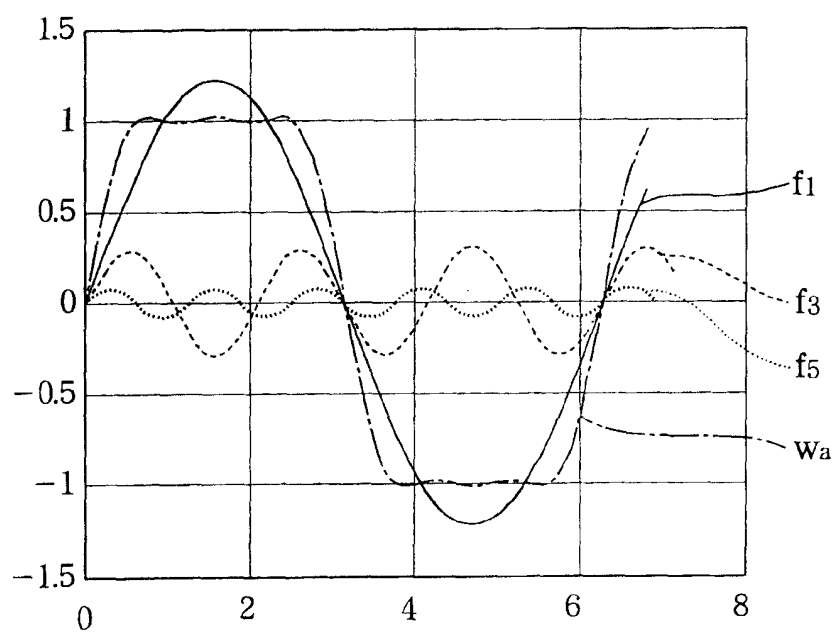


图7

f [MHz]	10f [GHz]	$L^{\text{Global:Min}}(\text{m})$ $v = 1 \times 10^6 \text{ m/s}$	$L^{\text{Global:Min}}(\text{m})$ $v = 1.5 \times 10^6 \text{ m/s}$	$L^{\text{Global:Min}}(\text{m})$ $v = 2 \times 10^6 \text{ m/s}$
5	0.05	0.5	0.75	1
10	0.1	0.25	0.375	0.5
50	0.5	0.05	0.075	0.1
80	0.8	0.03125	0.0375	0.0625
100	1	0.025	0.0375	0.05
300	3	0.008325	0.012485	0.01665
500	5	0.005	0.0075	0.01
1000 (1GHz)	10	0.0025	0.00375	0.005
10000 (10GHz)	100	0.00025	0.000375	0.0005
100GHz	1000	25 μm	37.5 μm	50 μm

图8
现有技术

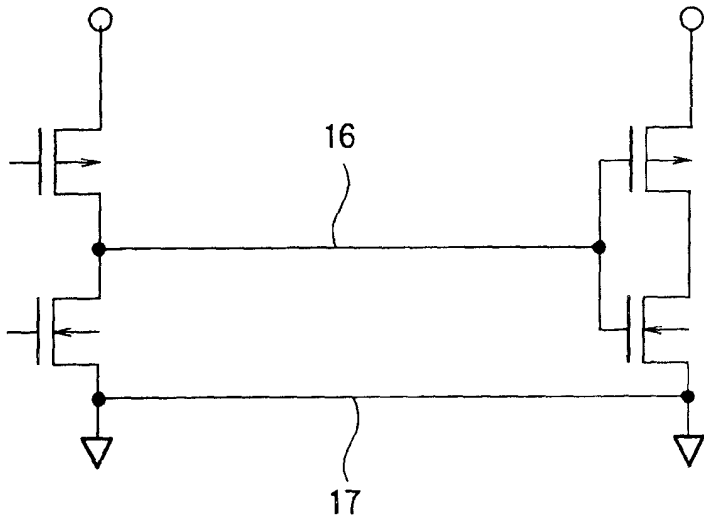


图9A
现有技术

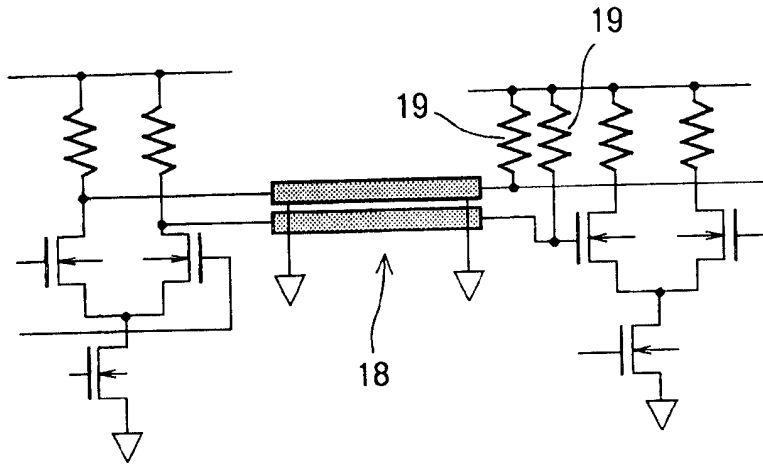


图9B
现有技术

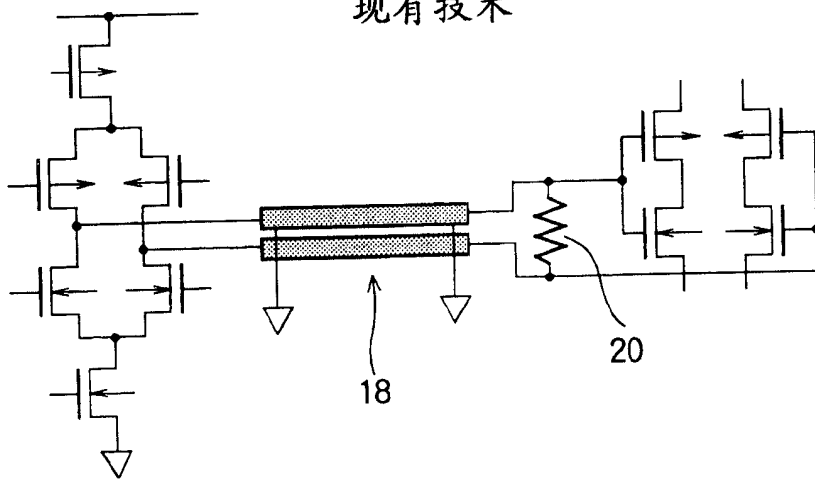


图10
现有技术

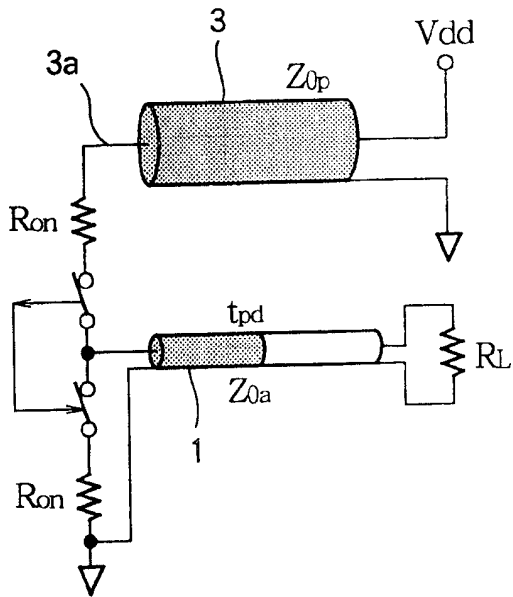


图 11A

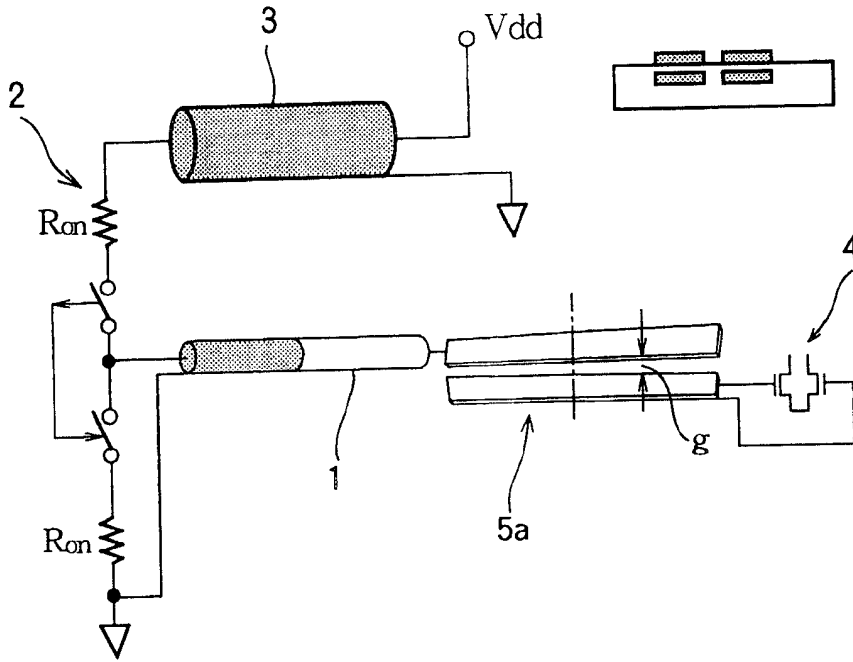


图 11B



图 11C

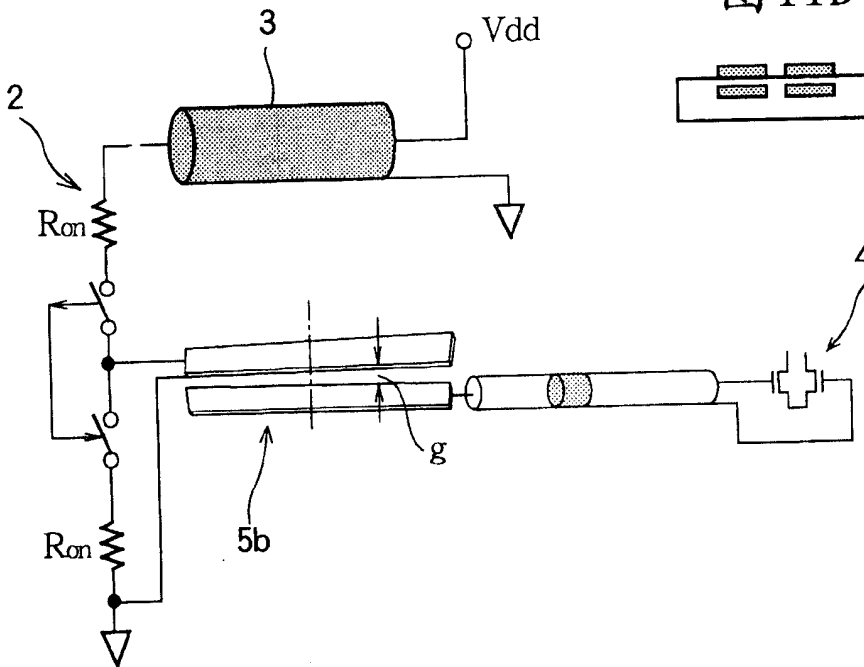


图 11D



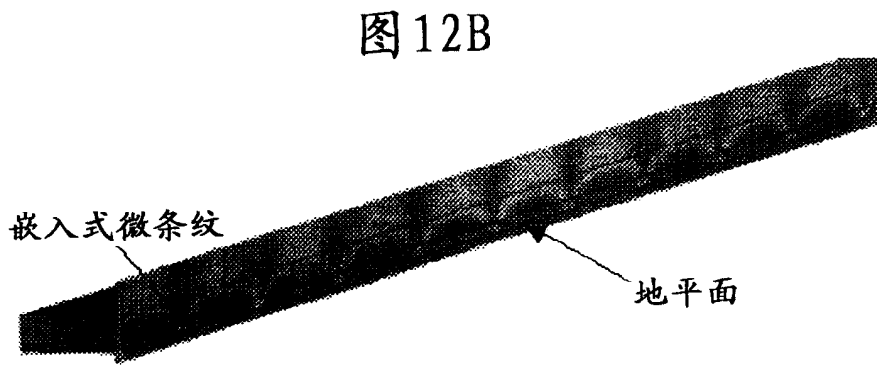
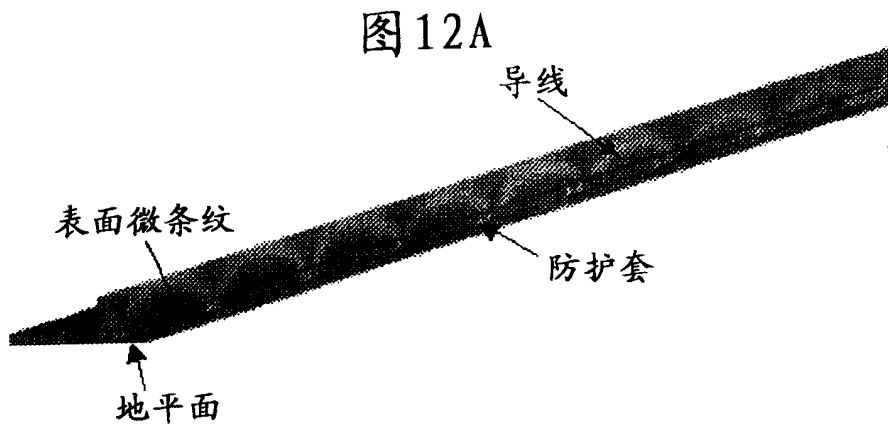


图 12C



图 13A

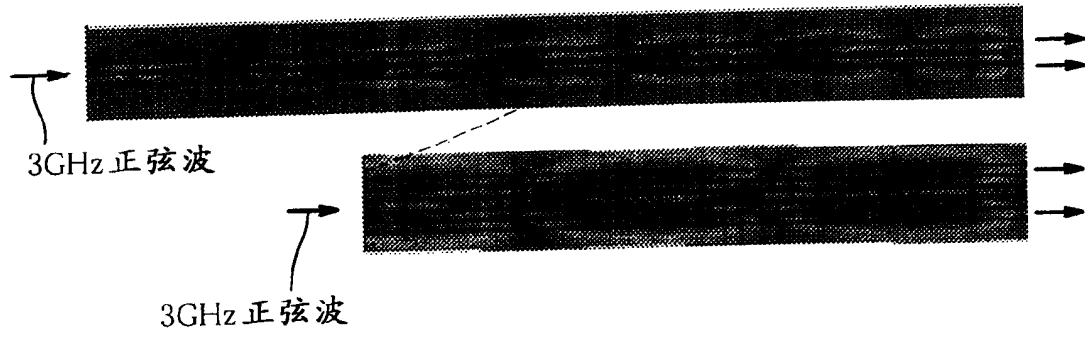


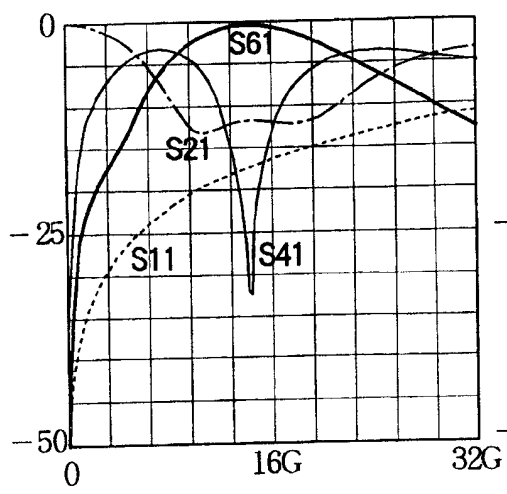
图 13B



图 13C

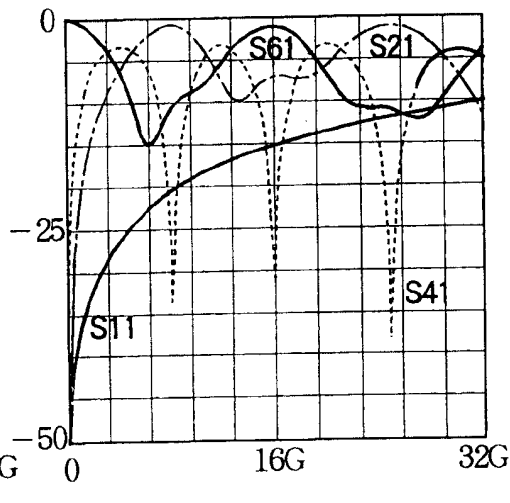
0 V/m  1.31e+004 V/m

图 14A



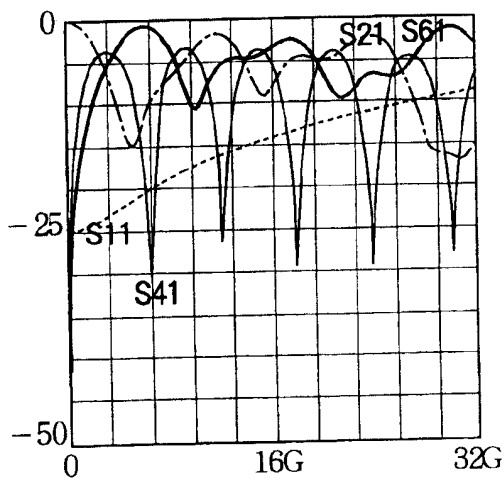
正弦波频率 (Hz)
L/S=1/1

图 14B



正弦波频率 (Hz)
L/S=1/0.5

图 14C



正弦波频率 (Hz)
L/S=1/0.25

图15

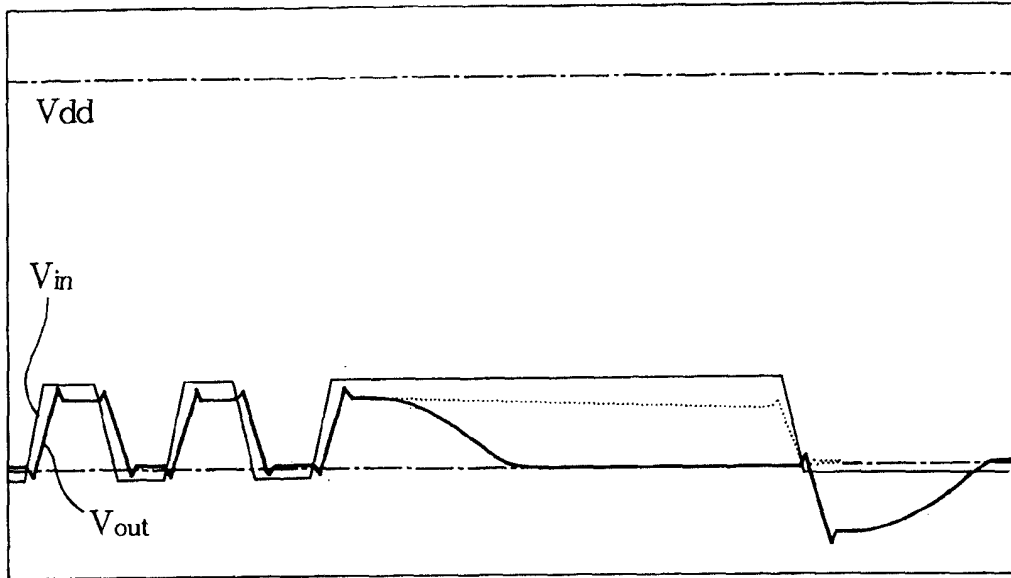


图16A

图16B

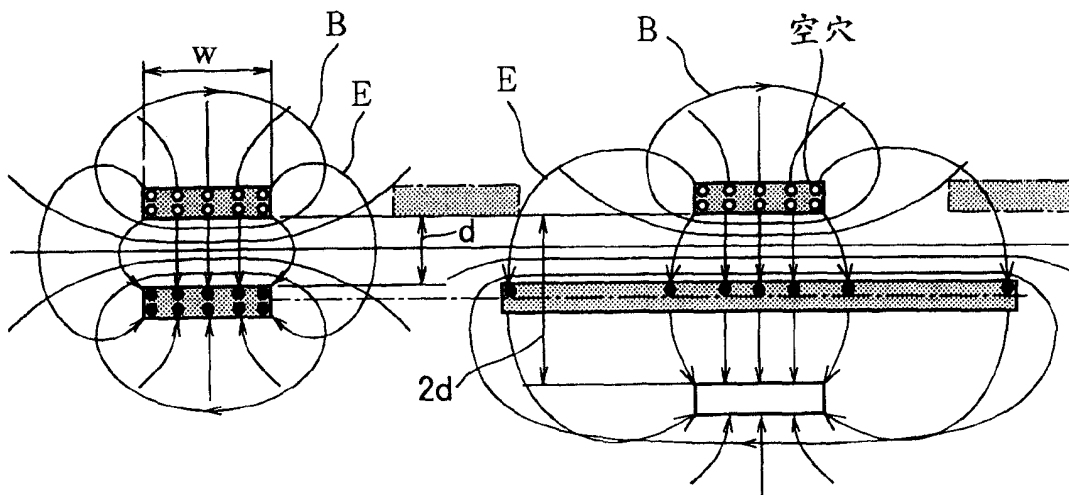


图17A

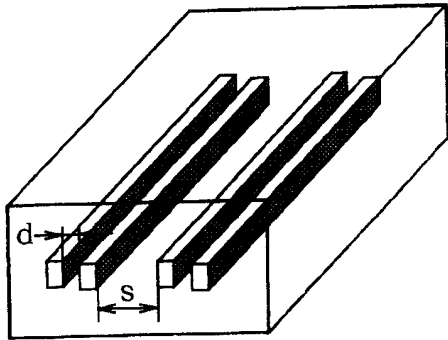


图17B

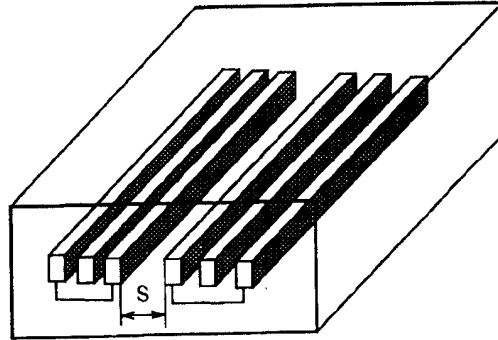


图17C

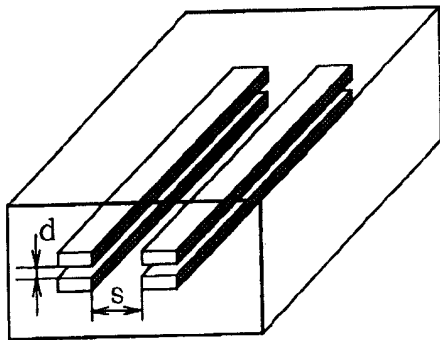


图17D

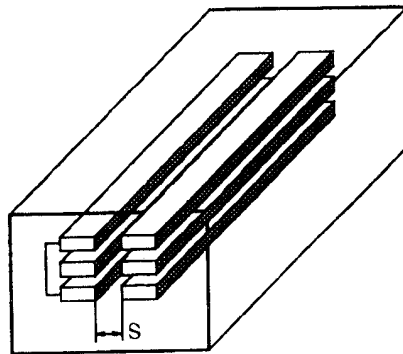


图18

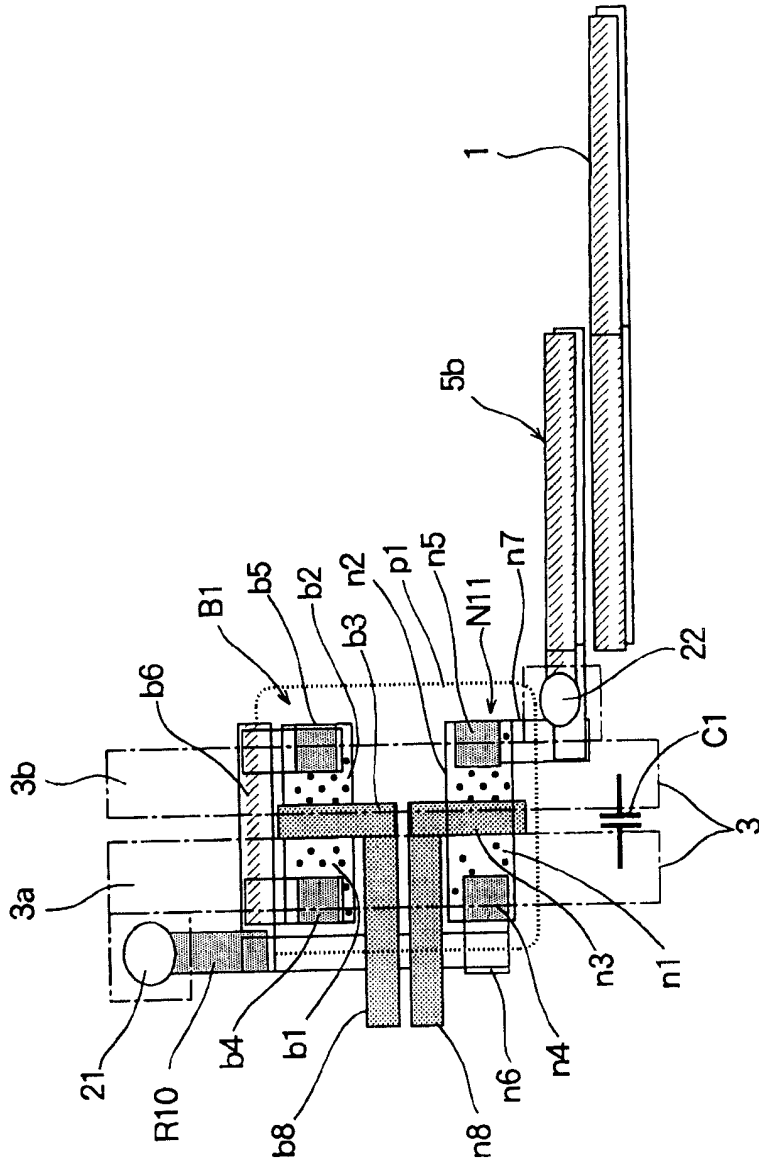


图 19

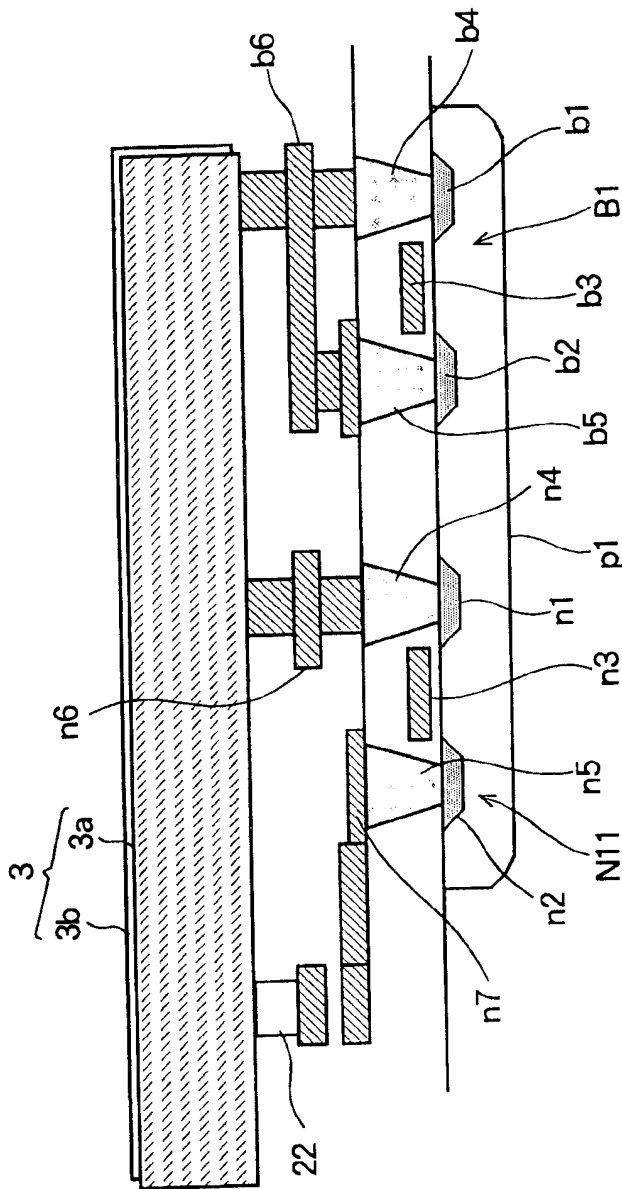
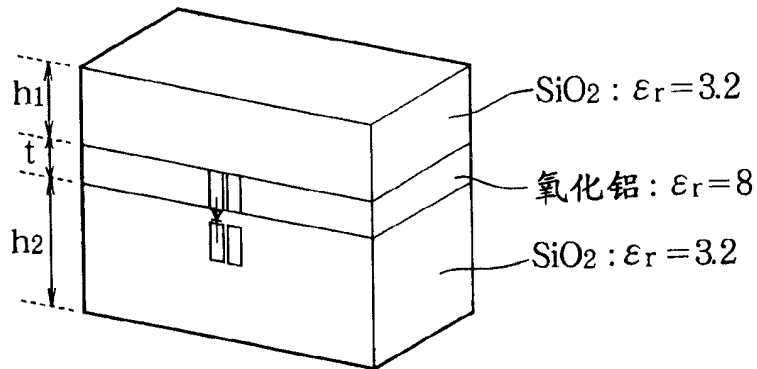


图 20A



$h_1 = 0.4\text{mm}$ $h_2 = 0.68$

图 20B

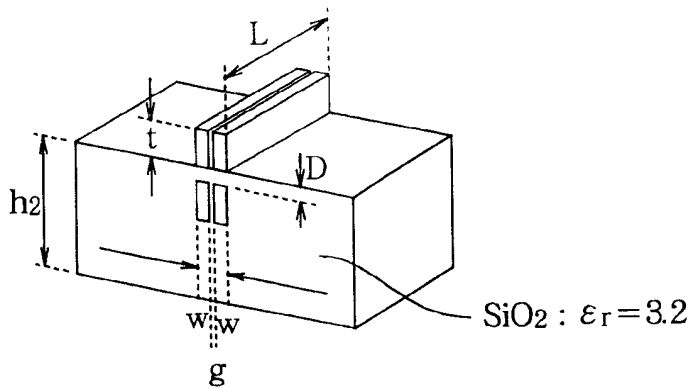


图 20C

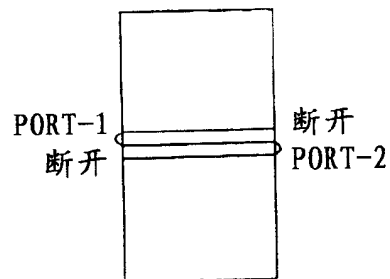


图 21

比例	1	1/100	1/1000
L	1mm	10 μ m	1 μ m
w	0.08mm	0.8 μ m	80nm
g	0.01mm	0.1 μ m	10nm
t	0.2mm	2 μ m	0.2 μ m
D	0.08mm	0.8 μ m	80nm

图 22A

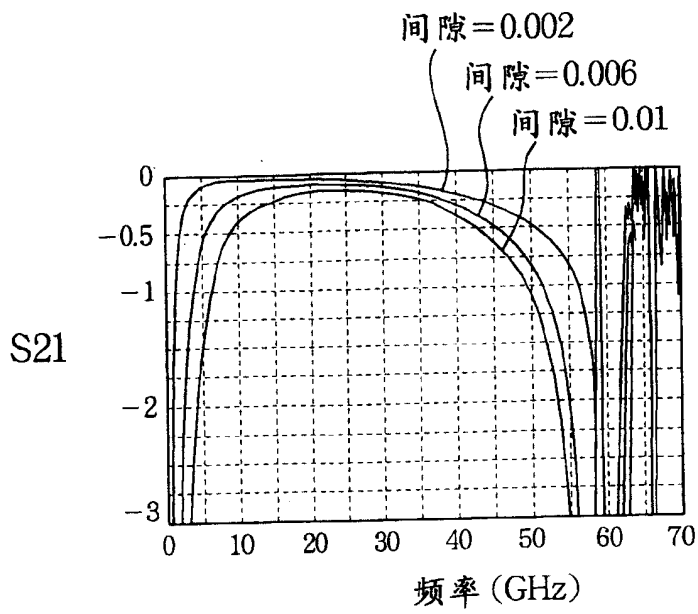


图 22B

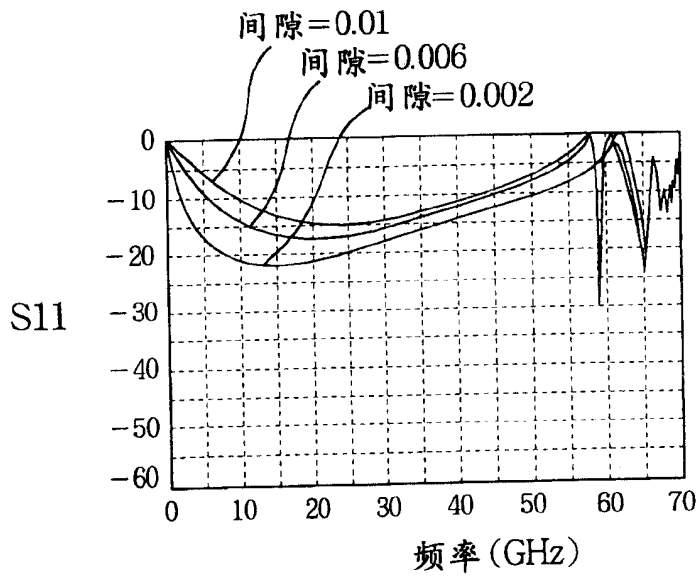


图 23A

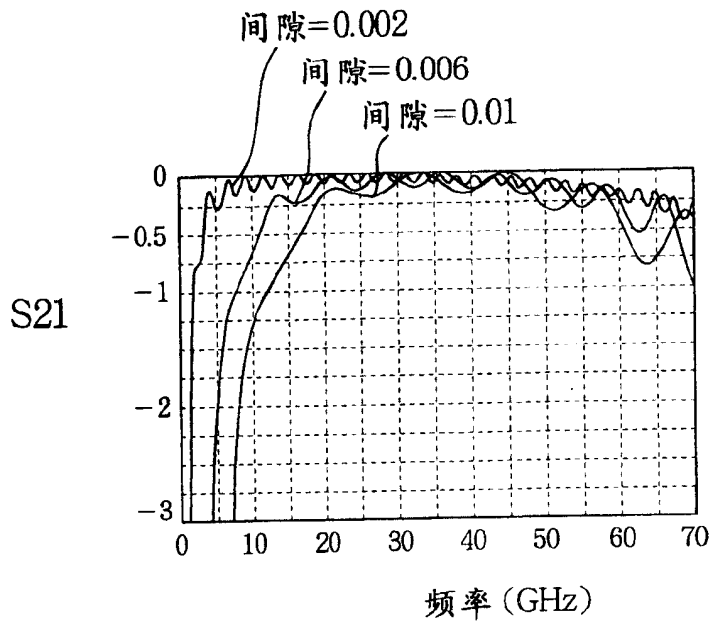


图 23B

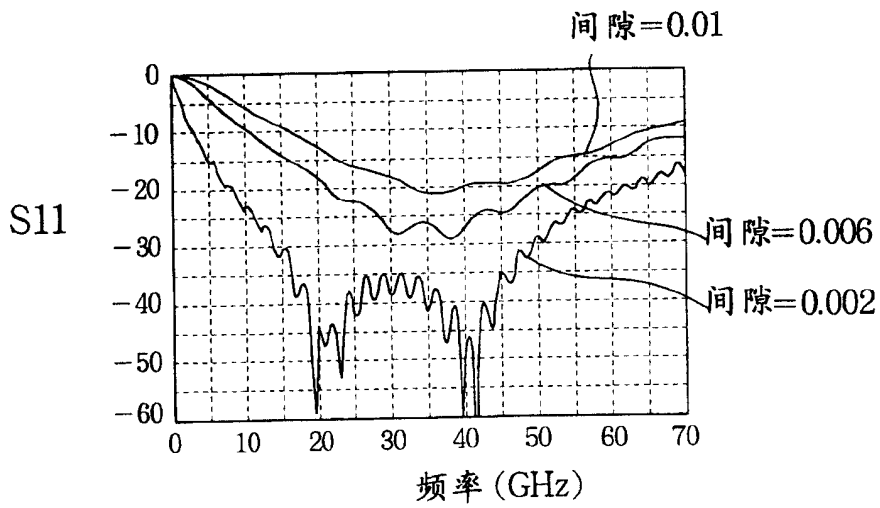


图 24A

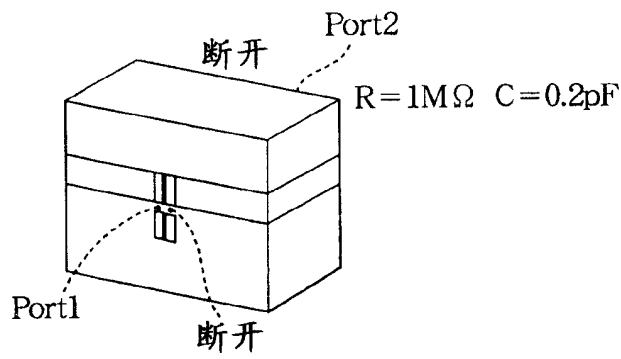


图 24B

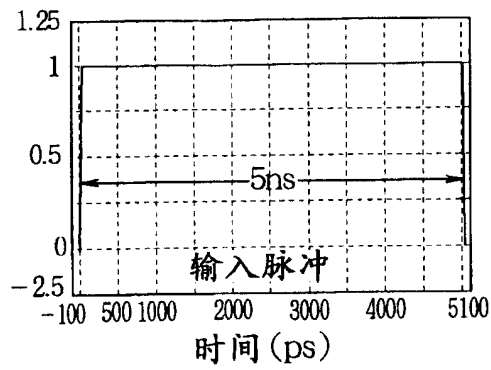


图 24C

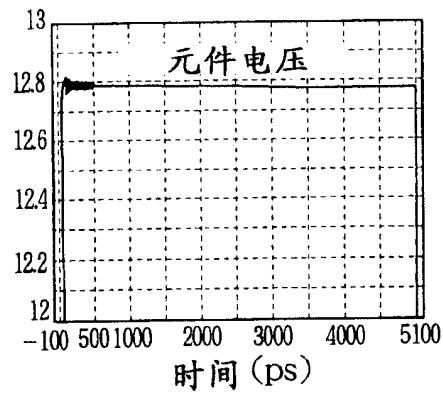
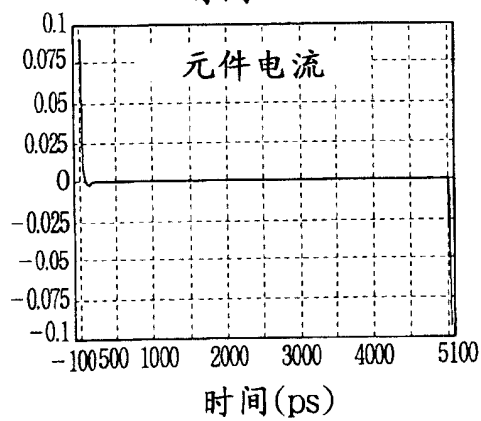


图 24D



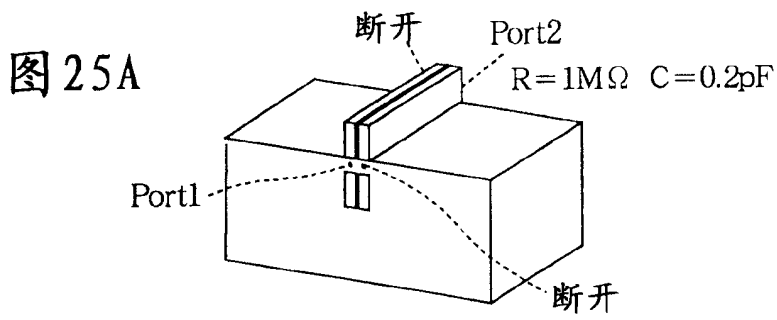


图 25B

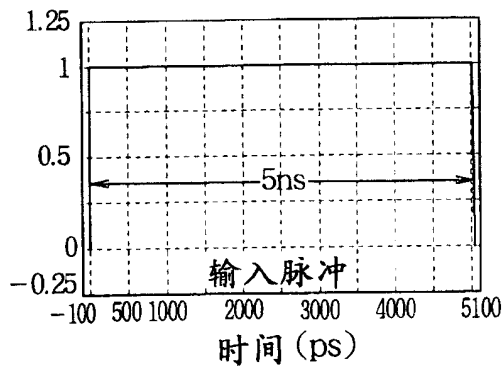


图 25C

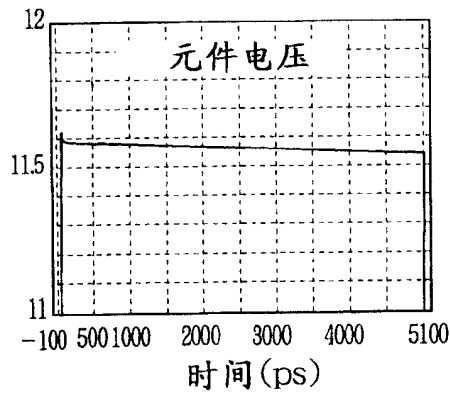


图 25D

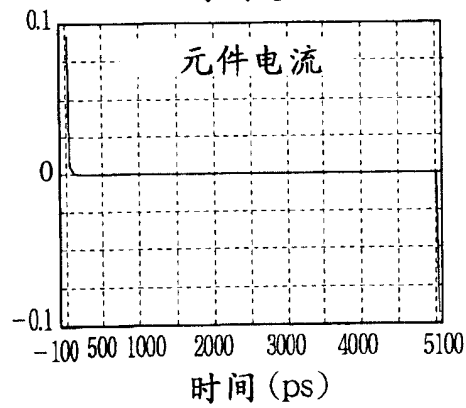


图26

