

19 RÉPUBLIQUE FRANÇAISE
 INSTITUT NATIONAL
 DE LA PROPRIÉTÉ INDUSTRIELLE
 PARIS

11 N° de publication :
 (à n'utiliser que pour les
 commandes de reproduction)

2 587 527

21 N° d'enregistrement national :

85 13699

51 Int Cl⁴ : G 09 G 3/36.

12 **DEMANDE DE BREVET D'INVENTION**

A1

22 Date de dépôt : 16 septembre 1985.

30 Priorité :

71 Demandeur(s) : *COMMISSARIAT A L'ENERGIE ATOMIQUE, Etablissement de Caractère Scientifique, Technique et Industriel. — FR.*

43 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 12 du 20 mars 1987.

72 Inventeur(s) : Jean Dijon et Thierry Leroux.

60 Références à d'autres documents nationaux apparentés :

73 Titulaire(s) :

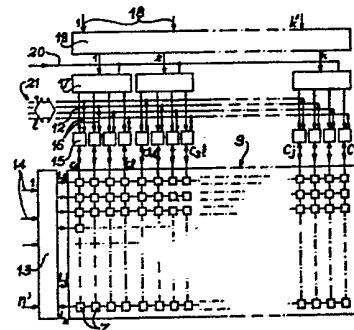
74 Mandataire(s) : Brevatome.

54 Dispositif de commande d'un imageur matriciel à mémoire intégrée et son procédé de commande.

57 Dispositif de commande d'un imageur matriciel à mémoire intégrée et son procédé de commande.

Ce dispositif de commande comprend une première famille de n conducteurs lignes L_i et une deuxième famille de m conducteurs colonnes C_j véhiculant des signaux appropriés à l'excitation d'un matériau d'affichage électrooptique aux points images 7 formant la mémoire intégrée de l'imageur 9, ce dispositif comprend en outre, un premier circuit de sélection 13 connecté à n' lignes d'adresses 14 et aux n conducteurs lignes L_i avec $n \leq 2^n$; m circuits de lecture/écriture 15 connectés chacun à un conducteur colonne C_j et regroupés en k paquets de l circuits chacun, avec $m = lk$, chaque $p^{\text{ème}}$ circuit de lecture/écriture d'un paquet étant connecté à la $p^{\text{ème}}$ ligne d'un bus 21 de données de l lignes, avec p entier tel que $1 \leq p \leq l$, et k circuits de traitement 17 connectés chacun d'une part à un paquet de l circuits de lecture/écriture 15 et, d'autre part à un deuxième circuit de sélection 19 connecté lui-même à k' lignes d'adresses 18 avec $k \leq 2_{k'}$.

Application aux dispositifs d'affichage à cristaux liquides.



FR 2 587 527 - A1

Dispositif de commande d'un imageur matriciel à mémoire
intégrée et son procédé de commande

La présente invention concerne un dispositif
de commande d'un imageur matriciel à mémoire intégrée
5 et son procédé de commande.

L'invention s'applique en particulier à tout
imageur matriciel comprenant un matériau d'affichage
électro-optique dont une propriété optique telle qu'une
opacité, un indice de réfraction une transparence, une
10 absorption, etc..., peut être modifiée à l'aide d'une
excitation quelconque.

L'invention s'applique particulièrement bien
à des imageurs matriciels à cristaux liquides sans ni-
veau de gris, utilisés par exemple comme convertisseurs
15 d'informations électriques en informations optiques,
pour le traitement des images optiques en temps réel
pour l'affichage analogique.

Dans le reste du texte, on prendra pour plus
de clarté l'exemple du cristal liquide, étant bien en-
20 tendu que tout autre matériau électro-optique peut être
envisagé.

La figure 1a représente, en coupe, un imageur
matriciel classique à cristal liquide, la figure 1b re-
présente cet imageur en vue éclatée et la figure 1c, le
25 circuit de commande associé à un point image élémentaire
de l'imageur.

Un imageur matriciel comprend, comme repré-
senté sur les figures 1a et 1b, deux parois isolantes
1, 3 en regard l'une de l'autre, maintenues écartées et
30 scellées par un joint 2 disposé sur leur pourtour. En-
tre ces parois 1, 3 est intercalée une couche de cris-
tal liquide 4.

Sur la face interne de la paroi 1 est répar-
tie une première famille de n lignes d'électrodes, no-
35 tées L_i , parallèles, avec i entier tel que $1 \leq i \leq n$,

constituées par des bandes conductrices continues. De même, sur la face interne de l'autre paroi 3 est répartie une deuxième famille de m colonnes d'électrodes, notées C_j , parallèles, avec j entier tel que $1 \leq j \leq m$, constituées également par des bandes conductrices continues. Les n lignes et les m colonnes d'électrodes sont croisées. Ces n lignes et ces m colonnes d'électrodes servent à véhiculer des signaux électriques, respectivement des signaux lignes et des signaux colonnes, appropriés à l'excitation des molécules de cristal liquide 4.

La région de recouvrement de la ligne d'électrodes L_i et de la colonne d'électrodes C_j définit un point image I_{ij} de l'imageur, constitué d'un condensateur. La partie de la ligne d'électrodes et la partie de la colonne d'électrodes qui sont en regard l'une de l'autre forment ainsi les armatures respectivement inférieure et supérieure du condensateur dont le matériau d'affichage, notamment le cristal liquide, intercalé entre ces armatures forme le diélectrique.

La figure 1c représente de façon connue un circuit de commande associé à un condensateur 7 représentant un point image I_{ij} . Ainsi, au croisement d'une ligne d'électrodes L_i et d'une colonne d'électrodes C_j est associé un transistor 5 à effet de champ, connecté au condensateur 7 permettant la mémorisation de l'information à afficher au point image I_{ij} . Lorsqu'on applique sur la ligne L_i un signal électrique supérieur à la tension de seuil du transistor 5, ce transistor est à l'état passant ; il va donc transférer le signal électrique appliqué à la colonne C_j dans le condensateur 7 du point image I_{ij} . Lorsque le signal électrique appliqué sur la ligne L_i est inférieur à la tension de seuil du transistor 5, ce transistor se bloque quel que soit le signal de la colonne C_j et ne transmet aucun

signal au condensateur 7 du point image I_{ij} , qui conservera de ce fait sa charge initiale. Il en est de même pour chaque point image élémentaire de l'imageur.

5 Le signal électrique colonne transmis au condensateur 7, crée un champ électrique entre les armatures de celui-ci. Ce champ provoque alors une orientation collective des molécules de cristal liquide comprises entre les armatures du condensateur 7, lorsque le signal transmis est supérieur à une certaine tension, dite de seuil, correspondant à la valeur minimale nécessaire pour exciter le cristal liquide. En utilisant l'orientation collective et l'excitation ponctuelle des molécules de cristal liquide, on fait apparaître ainsi une image sur l'ensemble de l'imageur.

10 Le circuit de commande décrit ci-dessus est utilisé dans d'autres imageurs matriciels que celui représenté sur les figures 1a et 1b ; il est notamment utilisé dans un imageur comprenant, sur la face interne de l'une des parois, une contre-électrode formée d'une couche conductrice continue et, sur la face interne de l'autre paroi, une pluralité d'électrodes points réparties en matrice. Les zones de recouvrement de ces électrodes points avec la contre-électrode définissent des points images élémentaires.

25 Chaque électrode point de ce dispositif est connectée à un circuit de commande du même type que celui représenté en figure 1c. Ainsi, pour un point image I_{ij} , l'électrode point correspondante constitue l'armature inférieure du condensateur et la partie de la contre-électrode en regard de ladite électrode point, l'armature supérieure. Cette électrode point est connectée par l'intermédiaire d'un transistor à un conducteur ligne et à un conducteur colonne véhiculant les signaux d'excitation du cristal liquide.

30 Dans le reste du texte, on utilisera les termes de conducteurs lignes et de conducteurs colonnes

pour désigner aussi les électrodes lignes et les électrodes colonnes croisées (figures 1a, 1b). Les signaux d'excitation du cristal liquide sont envoyés sur ces conducteurs lignes et ces conducteurs colonnes à partir
5 d'un dispositif de commande.

Un tel dispositif de commande comprend de façon connue, une mémoire d'image externe à l'imageur connectée par l'intermédiaire d'interfaces à des moyens de commande tels qu'un ordinateur, un contrôleur
10 d'image connecté à la mémoire d'image externe, par l'intermédiaire de circuits logiques, des circuits d'élaboration de signaux vidéo séries connectés au contrôleur d'image et des circuits de traitement des signaux vidéo connectés à ces circuits d'élaboration.

15 Le ordinateur gère les différents éléments du dispositif de commande et transmet les informations à afficher à la mémoire d'image externe.

Le contrôleur d'image permet de lire par balayage les informations qui sont enregistrées dans la
20 mémoire d'image externe. Les circuits d'élaboration transmettent aux circuits de traitement des signaux vidéo, élaborés à partir des signaux fournis par le contrôleur d'images. Ces circuits de traitement permettent de transcrire les signaux vidéo à partir de moyens tels
25 que des registres à décalage, en signaux lignes et en signaux colonnes. Ces derniers sont transmis respectivement aux conducteurs lignes et aux conducteurs colonnes, de façon à obtenir un affichage point par point de l'imageur.

30 Ce dispositif de commande permet uniquement d'écrire des informations dans les points images de l'imageur. Pour rafraîchir une information en un point image, on la réécrit en prenant l'information correspondante dans la mémoire d'images externe et non au
35 point image lui-même. Le rafraîchissement est effectué

toutes les 20 millisecondes et de ce fait la fréquence du signal vidéo qui contient les informations à afficher en série doit être rapide de l'ordre de 5 MHz. En conséquence, le dispositif de commande doit être réalisé en technologie rapide, c'est-à-dire en silicium monocristallin, ce qui a pour inconvénients de rendre sa fabrication complexe et son coût de fabrication élevé.

L'invention a pour but de remédier à ces inconvénients et notamment de réaliser un dispositif de commande dont la mémoire d'image est intégrée à l'imageur, permettant d'écrire mais aussi de lire et de rafraîchir des informations dans des points images de l'imageur ; ce dispositif de commande peut être réalisé en technologie lente.

De façon plus précise, l'invention a pour objet un dispositif de commande d'un imageur matriciel comprenant une première famille de n conducteurs lignes et une deuxième famille de m conducteurs colonnes véhiculant des signaux appropriés à l'excitation d'un matériau d'affichage électrooptique, un point image de l'imageur, formé d'un condensateur dont le diélectrique est constitué du matériau d'affichage, étant connecté à un conducteur ligne et à un conducteur colonne par l'intermédiaire d'un interrupteur, caractérisé en ce qu'un point image constituant une mémoire point de l'imageur dans laquelle on peut écrire, lire et rafraîchir une information, ce dispositif de commande comprend :

- m circuits de lecture/écriture connectés chacun à un conducteur colonne pour écrire, lire et rafraîchir une information aux points images associés audit conducteur colonne, lesdits circuits de lecture/écriture étant regroupés en k paquets de l circuits de lecture/écriture chacun, avec m , l et k entiers tels que $m = l.k$, $1 \leq l \leq m$ et $1 \leq k \leq m$, les paquets de l circuits de lecture/écriture étant connectés à un bus de

données bidirectionnel de l lignes, le $p^{\text{ième}}$ circuit de lecture/écriture d'un paquet étant relié à la $p^{\text{ième}}$ ligne dudit bus, avec p entier tel que $1 \leq p \leq l$, - k circuits de traitement connectés chacun à un paquet de l circuits de lecture/écriture, ces circuits de traitement recevant des signaux de commande pour sélectionner les opérations de lecture, d'écriture et de rafraîchissement effectuées par les circuits de lecture/écriture.

10 De façon avantageuse, le dispositif de commande comprend un premier circuit de sélection tel qu'un décodeur connecté en entrée à n' lignes d'adresses et en sortie aux n conducteurs lignes avec $n \leq 2^{n'}$, pour sélectionner un seul conducteur ligne à la fois.

15 De préférence, le dispositif de commande comprend un deuxième circuit de sélection tel qu'un décodeur connecté en entrée à k' lignes d'adresses et en sortie aux k circuits de traitement avec $k \leq 2^{k'}$ pour sélectionner un seul paquet de l conducteurs colonnes en choisissant un circuit de traitement à la fois.

20 Selon un mode préféré de réalisation du dispositif, chaque ligne du bus de données bidirectionnel comprend un seul conducteur apte à véhiculer les informations dans deux sens opposés.

25 Selon une variante de réalisation du dispositif, chaque ligne du bus de données bidirectionnel comprend un premier et un deuxième conducteurs aptes à véhiculer les informations respectivement dans un premier et un deuxième sens, lesdits premier et deuxième sens étant opposés.

30 Le dispositif de commande conforme à l'invention n'utilise pas de mémoire d'image externe, ce qui a pour conséquence de simplifier sa réalisation. De plus,

L'affichage réalisé dans l points images à la fois permet une réalisation en technologie lente, c'est-à-dire en silicium amorphe.

5 Selon un autre mode préféré de réalisation du dispositif de commande, l'interrupteur est un transistor.

Selon un mode de réalisation du dispositif de commande, chaque circuit de lecture/écriture comprend :

- 10 - des moyens d'écriture comportant, dans le sens de transfert de l'information, un premier circuit de traitement et un premier amplificateur reliés entre eux,
- 15 - des moyens de lecture connectés en parallèle aux moyens d'écriture, ces moyens de lecture comportant dans le sens de transfert de l'information, un second amplificateur connecté à un dispositif de mémorisation lui-même connecté à un deuxième circuit de traitement, le dispositif de mémorisation étant en outre
- 20 connecté au premier circuit de traitement pour permettre le rafraîchissement de l'information lue et mémorisée.

Selon un mode préféré de réalisation du dispositif de commande, le premier circuit de traitement

25 de chaque circuit de lecture/écriture comprend un premier transistor connecté en série au premier amplificateur, servant à transférer une information à écrire à ce premier amplificateur, et un deuxième transistor connecté d'une part au premier transistor et à l'amplificateur et, d'autre part, au dispositif de mémorisation,

30 ce deuxième transistor servant à transférer une information lue à réécrire.

Selon un autre mode préféré de réalisation du dispositif de commande, le dispositif de mémorisation

35 de chaque circuit de lecture/écriture comprend un tran-

sistor connecté d'une part au deuxième circuit de traitement et au second amplificateur et, d'autre part, à un condensateur et au premier circuit de traitement.

5 Selon un autre mode préféré de réalisation du dispositif de commande, le deuxième circuit de traitement de chaque circuit de lecture/écriture est un comparateur à fenêtre, ou tout dispositif permettant à partir de l'information lue de déterminer l'état du point image concerné.

10 Selon un autre mode préféré de réalisation du dispositif de commande, l'un des premier et second amplificateurs de chaque circuit de lecture/écriture est un amplificateur inverseur servant à appliquer un signal alternatif aux points images.

15 L'invention a également pour objet un procédé de commande d'un dispositif conforme à l'invention, caractérisé en ce que pour écrire, lire et rafraîchir une information dans l points images à la fois, on sélectionne le conducteur ligne et le paquet de l conducteurs colonnes correspondants, l'information étant véhiculée de façon bidirectionnelle des l points images au bus de l lignes de données, les opérations à effectuer en ces l points images étant sélectionnées par les signaux envoyés aux l circuits de lecture/écriture des l conducteurs colonnes par le circuit de traitement correspondant.

20
25
30 D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre donnée à titre purement illustratif et non limitatif.

La description est faite en référence aux figures 1a à 4b annexées dans lesquelles :

35 - les figures 1a, 1b et 1c, déjà décrites, représentent respectivement une coupe d'un imageur matriciel à électrodes croisées de type connu, une vue

éclatée de cet imageur et enfin un circuit de commande d'un point image de l'imageur,

5 - la figure 2 représente un synoptique du dispositif de commande selon l'invention d'un imageur matriciel,

- la figure 3 représente un circuit de lecture/écriture d'un point image de l'imageur associé au circuit de commande selon l'invention de ce point image,

10 - la figure 4a représente un chronogramme d'exemple de signaux appliqués à un conducteur ligne et à un conducteur colonne et le signal résultant au point image correspondant, lors d'une opération d'écriture selon l'invention, et

15 - la figure 4b représente un chronogramme d'exemple de signaux appliqués à un conducteur ligne et à un conducteur colonne et le signal résultant au point image correspondant, lors d'une opération de lecture selon l'invention.

20 Sur la figure 2 est représenté un imageur matriciel 9 comportant $n.m$ points images élémentaires 7. Ces points images 7 sont définis par le croisement de n conducteurs lignes, notés L_i , et m conducteurs colonnes, notés C_j , avec i et j entiers tels que $1 \leq i \leq n$ et $1 \leq j \leq m$.

25 Ces conducteurs lignes et colonnes peuvent être comme on l'a vu précédemment, aussi bien les électrodes lignes et les électrodes colonnes d'un imageur à bandes croisées (figures 1a, 1b) que les conducteurs lignes et les conducteurs colonnes associés aux électrodes points d'un autre type d'imageur.

30 Chaque point image 7 est connecté à un conducteur ligne L_i et à un conducteur colonne C_j par un interrupteur 5 tel qu'un transistor, comme représenté sur la figure 3, chaque point image 7 étant représenté par un condensateur.

35 Un premier circuit de sélection 13 tel qu'un décodeur est connecté à n lignes d'adresse 14 et aux n

conducteurs lignes, notés L_j , avec $n \leq 2^n$. Les m conducteurs colonnes, notés C_j , sont regroupés en k paquets de l conducteurs colonnes chacun, chaque conducteur colonne C_j étant connecté à un circuit 15 de lecture/écriture. Les m conducteurs colonnes et leurs circuits 15 de lecture/écriture correspondants sont regroupés en k paquets de l conducteurs colonnes et de l circuits 15, par l'intermédiaire de circuits de traitement 17, un circuit de traitement 17 par paquet de l conducteurs colonnes et de l circuits 15 de lecture/écriture. Il y a donc k circuits de traitement 17 dans un dispositif de commande selon l'invention.

Chaque circuit 15 de lecture/écriture d'un paquet est connecté au circuit de traitement 17 correspondant à ce paquet par un conducteur 12. Par ailleurs, chaque circuit de lecture/écriture 15 d'un paquet est relié à une ligne d'un bus 21 de données bidirectionnel de l lignes, le $p^{\text{ième}}$ circuit de lecture/écriture d'un paquet étant relié à la $p^{\text{ième}}$ ligne du bus 21, avec p entier tel que $1 \leq p \leq l$. Chaque circuit de lecture/écriture est relié à la ligne correspondante du bus 21, par un conducteur 16 bidirectionnel ou par deux conducteurs aptes à véhiculer les informations en sens opposés l'un de l'autre. Dans le reste du texte, on prendra l'exemple particulier d'un conducteur 16 bidirectionnel.

Chaque ligne du bus bidirectionnel 21 comprend un conducteur unique apte à véhiculer les informations dans deux sens opposés ou bien un premier et un deuxième conducteurs aptes à véhiculer les informations respectivement dans un premier et un deuxième sens, les premier et deuxième sens étant opposés.

Chaque circuit de traitement 17 est connecté en outre à des moyens de commande (non représentés) tels qu'un calculateur par un conducteur 20 et à un deuxième circuit de sélection 19 tel qu'un décodeur. Ce

deuxième circuit de sélection 19 est connecté en entrée à k' lignes d'adresses 18, avec $k < 2^{k'}$.

5 Les premier et deuxième circuits de sélection 13 et 19 ainsi que chaque circuit de traitement 17 sont réalisés par des portes logiques selon des principes connus. En revanche, les circuits de lecture/écriture 15 seront décrits plus en détail, en référence aux figures 3 à 4b.

10 Chaque point image 7 de l'imageur, représenté par un condensateur, a la capacité de mémoriser des informations. L'ensemble de ces condensateurs 7 constitue une mémoire d'image intégrée à l'imageur, dans laquelle on peut écrire, lire et rafraîchir des informations dans L points images d'un paquet colonne à la fois.

15 La suite de la description permet de comprendre le fonctionnement d'un tel dispositif.

20 Ainsi, pour effectuer une opération d'écriture, de lecture ou de rafraîchissement dans L points images correspondant à un même conducteur ligne L_i , et à un paquet de L conducteurs colonnes $C_j, C_{j+1}, \dots, C_{j+L}$, on sélectionne tout d'abord la ligne L_i et le paquet de L conducteurs colonnes $C_j, C_{j+1}, \dots, C_{j+L}$.

25 Pour sélectionner un conducteur ligne L_i , on envoie, à partir des moyens de commande tel qu'un calculateur (non représenté), des signaux électriques sur les n' lignes d'adresses 14 en entrée du circuit de sélection 13. Un signal nul correspond à l'élément binaire "0" et un signal non nul à l'élément binaire "1".

30 Le circuit de sélection 13 va donc sélectionner à partir des n' signaux parallèles des n' lignes d'adresses 14, un seul conducteur ligne L_i parmi les n conducteurs lignes qui lui sont connectés. Le circuit de sélection 13 envoie donc un signal électrique supérieur à la tension de seuil des transistors 5, au conducteur ligne L_i .

35

sélectionné et un signal inférieur à cette tension de seuil, aux autres conducteurs lignes. Tous les transistors 5 connectés au conducteur ligne L_j sélectionné, vont donc se trouver à l'état passant, tandis que les autres transistors 5 associés aux autres lignes seront bloqués.

De même, pour sélectionner un paquet de l conducteurs colonnes C_j, \dots, C_{j+l} , on envoie à partir des moyens de commande sur l'entrée du circuit de sélection 19, k signaux parallèles par l'intermédiaire des k lignes d'adresses 18. Le circuit de sélection 19 va alors sélectionner un circuit de traitement 17 parmi les k circuits de traitement 17 du dispositif qui lui sont connectés.

Lorsqu'un circuit de traitement 17 est sélectionné, il élabore des signaux de validation de lecture, d'écriture ou de rafraîchissement, en fonction des signaux issus du circuit de sélection 19 et des signaux de commande (lecture/écriture/rafraîchissement) issus des moyens de commande et véhiculés par le conducteur 20. Ces signaux de validation sont alors envoyés aux l circuits de lecture/écriture 15 qui sont connectés au circuit de traitement 17 sélectionné par les conducteurs 12.

Suivant les signaux de validation fournis par le circuit de traitement 17, les informations sont transférées du bus de données bidirectionnel 21 de l lignes vers les l circuits de lecture/écriture 15 connectés à ce circuit de traitement, dans le cas d'une opération d'écriture ou inversement dans le cas d'une opération de lecture.

Les l circuits de lecture/écriture 15 sélectionnés par chaque circuit de traitement 17 permettent donc d'écrire des informations provenant du bus 21 de données, aux l points images correspondant aux croisements des l conducteurs colonnes C_j, \dots, C_{j+l} avec le

conducteur ligne L_i ; l'information véhiculée par la $p^{\text{ème}}$ ligne de données du bus 21, telle que $1 \leq p \leq l$, est transmise au $p^{\text{ème}}$ conducteur colonne du paquet sélectionné et affiché par le $p^{\text{ième}}$ point image correspondant, p étant un entier. Inversement pour lire les informations stockées dans les l points images, l'information du $p^{\text{ième}}$ point image est transmise à la $p^{\text{ième}}$ ligne de données du bus 21. De même, pour rafraîchir les informations dans les l points images, on réécrit l'information lue dans ces l points images, l'information lue au $p^{\text{ième}}$ point image est réécrite dans ce point image. On effectue ainsi des opérations d'écriture, de lecture et même de rafraîchissement sur l points images à la fois.

En répétant ces opérations pour l'ensemble des paquets de l points images correspondant au croisement d'un seul conducteur ligne L_i avec l conducteurs colonnes C_j, \dots, C_{j+l} d'un paquet, on affiche une image sur l'ensemble de l'imageur 9.

La figure 3 représente en détail un exemple de circuit de lecture/écriture 15 connecté à un conducteur colonne C_j , lui-même connecté au transistor 5 de commande du point image 7 correspondant.

Un circuit de lecture/écriture 15 comprend dans le sens de transfert de l'information, provenant d'une ligne du bus 21 de données, du conducteur 16 vers le conducteur colonne C_j correspondant, lors d'une opération d'écriture, un premier circuit de traitement 25 connecté à un amplificateur 27. De même, un circuit de lecture/écriture comprend en parallèle, dans le sens de transfert de l'information d'un conducteur colonne C_j vers le conducteur 16 correspondant, lors d'une opération de lecture, un amplificateur inverseur 29 connecté à un deuxième circuit de traitement 33 et un dispositif de mémorisation 31 connecté à la fois à l'amplificateur

inverseur 29 et au deuxième circuit de traitement 33. Le dispositif de mémorisation 31 est connecté en outre au premier circuit de traitement 25.

5 L'information à écrire, à lire ou à réécrire en un point image 7 est constituée par la différence de potentiel appliquée entre les armatures du condensateur correspondant à ce point image.

10 Dans l'exemple du circuit de lecture/écriture représenté en figure 3, le premier circuit de traitement 25 est réalisé par deux transistors 24, 26 reliés de façon à constituer un aiguillage ; le dispositif de mémorisation 31 est réalisé par un transistor 30 et un condensateur 32. Le deuxième circuit de traitement 33 est réalisé par un comparateur à fenêtre bien
15 connu de l'homme de l'art formé par exemple d'un amplificateur contre-réactionné ou bien de portes logiques et de ponts diviseurs ; il peut être également réalisé par tout dispositif permettant à partir de l'information lue de déterminer l'état du point image correspon-
20 dant.

Le condensateur 32 est relié d'une part au transistor 30 et au transistor 26 et, d'autre part, à la masse ; le transistor 30 est relié à la fois au circuit de traitement 33 et à l'amplificateur 29, et
25 enfin, le transistor 26 est relié à la fois au transistor 25 et à l'amplificateur 27.

Les signaux de validation d'une opération d'écriture ou d'une opération de rafraîchissement d'une information au point image 7, et les signaux de validation d'une opération de lecture en ce point image 7
30 sont élaborés par le circuit de traitement 17 associé au circuit de lecture/écriture 15. Ces signaux de validation sont constitués par des signaux électriques non nuls appliqués au circuit 15 en E et en 37 pour une
35 opération d'écriture en L et en 35 pour une opération

de lecture et en R et en 37 pour une opération de rafraîchissement.

5 Pour effectuer une opération de lecture, d'écriture ou de rafraîchissement au point image 7, correspondant à un conducteur ligne L_i et à un conducteur colonne C_j , on sélectionne donc le conducteur ligne L_i et le conducteur colonne C_j . Le transistor 5 associé à ce point image est alors à l'état passant.

10 Une opération d'écriture peut être effectuée lorsqu'un signal électrique est envoyé en E sur le transistor 24 du circuit de traitement 25 et un signal électrique est envoyé en 37 sur l'amplificateur 27, pour valider ce dernier. Le transistor 24 et l'amplificateur 27 étant alors à l'état passant, l'information véhiculée sous forme de signal électrique par le conducteur 16 et provenant de la ligne correspondante du bus 21 de données va passer par le transistor 24 puis être amplifiée par l'amplificateur 27 avant d'être transmise au conducteur C_j . Le transistor 5 étant à l'état passant, le signal va être transmis au condensateur 7 correspondant au point image par ce transistor 5. Entre les armatures du condensateur 7, il s'établit alors une différence de potentiel proportionnelle au signal transmis, cette différence de potentiel va créer un champ électrique qui va donc exciter les molécules du cristal liquide intercalées entre les armatures de ce condensateur.

25 L'information affichée en ce point 7 dépend donc du signal transmis par la ligne du bus 21 de données bidirectionnel.

30 Pour lire une information au point image 7, on envoie un signal électrique en 35 sur le circuit de traitement 33 et un signal électrique en L sur le transistor 30 du dispositif de mémorisation 31. L'information contenue par le condensateur 7, sous forme de

35

champ électrique, est transférée vers l'amplificateur inverseur 29, l'amplificateur 27 étant en état de haute impédance du fait qu'il n'ait pas reçu de signal électrique en 37. A la sortie de l'amplificateur 29, le
5 signal provenant du condensateur 7 est inversé et transmis d'une part au dispositif de mémorisation 31 et, d'autre part, au circuit de traitement 33. Le transistor 30 du dispositif de mémorisation ayant reçu un signal électrique en L est à l'état passant, il
10 transmet donc au condensateur 32 le signal lu afin de mémoriser temporairement l'information contenue par ce signal. D'autre part, le circuit de traitement 33 ayant reçu un signal électrique en 35 va transmettre le signal lu vers la ligne correspondante du bus 21 de données bidirectionnel par l'intermédiaire du conduc-
15 teur 16.

L'information lue et contenue dans le condensateur 32, sous forme de champ électrique, permet de rafraîchir périodiquement le point image correspondant, en réécrivant cette information mémorisée. Ainsi,
20 pour réécrire une information, on envoie un signal électrique en R sur le transistor 26 du circuit de traitement 25 et un signal électrique en 37 sur l'amplificateur 27. Le transistor 26 et l'amplificateur 27
25 étant à l'état passant et les autres transistors 24, 30 étant bloqués, l'information va donc passer par le transistor 26 et par l'amplificateur 27 avant d'être transmise au conducteur colonne C_j correspondant. L'information initialement contenue dans le condensateur 7,
30 sous forme de signal électrique, va être réécrite avec une polarité inverse du fait de l'inversion de signal effectué par l'amplificateur inverseur 29.

L'amplificateur 29 a été choisi inverseur, mais on aurait pu tout aussi bien prendre l'amplifica-
35 teur 27 inverseur et l'amplificateur 29 non inverseur.

A chaque rafraîchissement de l'information, la polarité du signal correspondant va être inversée ; l'application d'un signal alternatif au condensateur 7 permet ainsi de prolonger la durée de vie du matériau d'affichage, tel que le cristal liquide, intercalé entre les armatures du condensateur 7. Le rafraîchissement est effectué sur une période d'environ 20 ms.

Les chronogrammes des figures 4a et 4b montrent des exemples de signaux d'excitation V_{L_i} , V_{C_j} appliqués respectivement à un conducteur ligne L_i et à un conducteur colonne C_j pour écrire (figure 4a) et pour lire (figure 4b) une information au point image correspondant 7, et les signaux résultants V_{ij} au point image. Les signaux d'excitation représentés sur cette figure sont des signaux rectangulaires impulsionnels, mais d'autres signaux tels que des signaux sinusoïdaux auraient pu également être appliqués.

Le signal V_{L_i} appliqué au conducteur ligne L_i est non nul pendant un temps T_L appelé temps ligne, égal à la période d'adressage T divisée par le nombre de conducteurs lignes, n , du dispositif. En dehors de ce temps ligne T_L , le signal V_{L_i} est nul. Les transistors associés au conducteur ligne L_i sont donc à l'état passant uniquement pendant l'impulsion non nulle du signal V_{L_i} , c'est-à-dire pendant un temps T_L .

Ainsi, lors d'une opération d'écriture (figure 4a), le transistor 5 associé au point image 7 correspondant à un conducteur ligne L_i et à un conducteur colonne C_j étant à l'état passant, il transmet le signal V_{C_j} appliqué à la colonne C_j , au condensateur 7 correspondant au point image. Lorsque le signal V_{C_j} est non nul, il s'établit entre les armatures du condensateur 7 une différence de potentiel égale au signal V_{C_j} . Le signal résultant V_{ij} vu par le cristal liquide a donc la même amplitude que le signal V_{C_j} . Pendant toute

La durée du temps d'adressage T , les armatures du condensateur restent chargées, le point image correspondant garde donc pendant ce temps T l'information écrite pendant le temps ligne T_L .

5 Une opération de rafraîchissement consiste à écrire l'information lue. Elle s'effectue donc comme précédemment, le signal V_{ij} résultant sera le même mais de polarité inverse à celle de la période précédente.

10 Lors d'une opération de lecture (figure 4b), comme pour une opération d'écriture ou de rafraîchissement, le transistor associé au point image, dans lequel l'information doit être lue, doit être à l'état passant. L'opération de lecture s'effectue donc au moment où le signal V_{Lj} appliqué au conducteur ligne L_j est non nul.

15 Une équipartition de la charge C_{ij} (image du signal V_{ij}) contenue par le condensateur 7, dans ce même condensateur et dans une éventuelle capacité parasite associée au conducteur colonne C_j , produit un signal V_{Cj} qui est alors transféré par le conducteur colonne C_j au circuit de lecture/écriture 15. Après lecture du signal V_{ij} contenu par le condensateur 7, la différence de potentiel entre les armatures de ce condensateur 7 n'est pas nulle. Il reste des charges qui vont disparaître peu à peu pendant le reste de la période d'adressage T . Le signal V_{ij} va donc décroître peu à peu à partir d'un niveau maximum 40 obtenu lors d'une opération d'écriture.

20 Le dispositif de commande conforme à l'invention peut être facilement intégré à un imageur classique avec des dispositifs annexés.

25 De plus, il permet du fait de l'intégration de la mémoire d'image à l'imageur, de réaliser une économie notamment d'une mémoire d'image externe à l'imageur, d'un contrôleur d'écran, de circuits d'élabora-

35

tion de signaux vidéo utilisés dans des dispositifs de commande connus. Il permet en outre une lecture de l'information contenue dans cette mémoire intégrée, et de ce fait, le rafraîchissement de l'information lue. De plus, les opérations de lecture, d'écriture ou de rafraîchissement s'effectuant dans L points images à la fois, le dispositif conforme à l'invention peut être réalisé en technologie lente et notamment en silicium amorphe.

Les exemples des différents circuits décrits ci-dessus du dispositif conforme à l'invention, ne sont pas limitatifs. En effet, d'autres modifications peuvent être apportés à ces circuits sans sortir du cadre de l'invention. Le bus 21 de données bidirectionnel aurait pu notamment être connecté aux circuits de lecture/écriture 15 par l'intermédiaire des circuits de traitement 17, ces circuits 17 auraient alors transféré les informations du bus 21 aux circuits de lecture/écriture 15 et inversement. De plus, les circuits de sélection 13, 19 décrits figure 2 ne sont pas indispensables au fonctionnement du dispositif conforme à l'invention, ils permettent de diminuer le nombre de connexions.

REVENDECATIONS

1. Dispositif de commande d'un imageur matriciel (9) comprenant une première famille de n conducteurs lignes (L_i) et une deuxième famille de m conducteurs colonnes (C_j) véhiculant des signaux appropriés à l'excitation d'un matériau d'affichage électrooptique, un point image de l'imageur, formé d'un condensateur (7) dont le diélectrique est constitué du matériau d'affichage, étant connecté à un conducteur ligne (L_i) et à un conducteur colonne (C_j) par l'intermédiaire d'un interrupteur (5), caractérisé en ce qu'un point image (7) constituant une mémoire point de l'imageur dans laquelle on peut écrire, lire et rafraîchir une information, ce dispositif de commande comprend :
- 5 - m circuits de lecture/écriture (15) connectés chacun à un conducteur colonne (C_j) pour écrire, lire et rafraîchir une information aux points images associés audit conducteur colonne (C_j), lesdits circuits de lecture/écriture (15) étant regroupés en k paquets de
 - 10 l circuits de lecture/écriture chacun, avec m , l et k entiers tels que $m=l.k$, $1 \leq l \leq m$ et $1 \leq k \leq m$, les paquets de l circuits de lecture/écriture étant connectés à un bus (21) de données bidirectionnel de l lignes, le $p^{\text{ième}}$ circuit de lecture/écriture d'un paquet étant relié à la $p^{\text{ième}}$ ligne dudit bus, avec p
 - 15 entier tel que $1 \leq p \leq l$,
 - 20 - k circuits de traitement (17), connectés chacun à un paquet de l circuits de lecture/écriture (15), ces circuits de traitement recevant des signaux de commande pour sélectionner les opérations de lecture, d'écriture et de rafraîchissement effectuées par les
 - 25 circuits (15) de lecture/écriture.
 - 30

2. Dispositif de commande selon la revendication 1, caractérisé en ce qu'il comprend un premier

circuit de sélection (13) connecté en entrée à n' lignes d'adresses (14) et en sortie aux n conducteurs lignes (L_i), avec $n \leq 2^{n'}$, pour sélectionner un seul conducteur ligne à la fois.

5 3. Dispositif de commande selon l'une quelconque des revendications 1 et 2, caractérisé en ce qu'il comprend un deuxième circuit de sélection (19) connecté en entrée à k' lignes d'adresses (18) et en sortie aux k circuits de traitement (17), avec $k \leq 2^{k'}$ pour sélectionner un seul
10 paquet de l conducteurs colonnes (C_j) en choisissant un circuit de traitement (17) à la fois.

 4. Dispositif de commande selon l'une quelconque des revendications 2 et 3, caractérisé en ce que
15 le premier et/ou le deuxième circuits de sélection sont des décodeurs.

 5. Dispositif de commande selon l'une quelconque des revendications 1 à 4, caractérisé en ce que chaque ligne du bus
20 (21) de données bidirectionnel comprend un seul conducteur apte à véhiculer les informations dans deux sens opposés.

 6. Dispositif de commande selon l'une quelconque des revendications 1 à 4, caractérisé en ce que chaque ligne du
25 bus (21) de données bidirectionnel comprend un premier et un deuxième conducteurs aptes à véhiculer les informations respectivement dans un premier et un deuxième sens, lesdits premier et deuxième sens étant opposés.

 7. Dispositif de commande selon l'une quelconque des revendications 1 à 6, caractérisé en ce que l'interrupteur (5) est un transistor.

30 8. Dispositif de commande selon l'une quelconque des revendications 1 à 7, caractérisé en ce que chaque circuit de lecture/écriture (15) comprend :

- des moyens d'écriture (25, 27) comportant, dans le
sens de transfert de l'information, un premier circuit de traitement (25) et un premier amplificateur
35 (27) reliés entre eux,

- des moyens de lecture (29, 31, 33) connectés en parallèle aux moyens d'écriture, ces moyens de lecture comportant dans le sens du transfert de l'information, un second amplificateur (29) connecté à un dispositif de mémorisation (31) lui-même connecté à un deuxième circuit de traitement (33), le dispositif de mémorisation étant en outre connecté au premier circuit de traitement (25) pour permettre le rafraîchissement de l'information lue et mémorisée.

9. Dispositif de commande selon la revendication 8, caractérisé en ce que le premier circuit de traitement (25) comprend un premier transistor (24) connecté en série au premier amplificateur (27), servant à transférer une information à écrire à ce premier amplificateur, et un deuxième transistor (26) connecté d'une part au premier transistor (24) et à l'amplificateur (27) et, d'autre part, au dispositif de mémorisation (31), ce deuxième transistor (26) servant à transférer une information lue à réécrire.

10. Dispositif de commande selon l'une quelconque des revendications 8 et 9, caractérisé en ce que le dispositif de mémorisation (31) comprend un transistor (30) connecté d'une part au deuxième circuit de traitement (33) et au second amplificateur (29) et, d'autre part, à un condensateur (32) et au premier circuit de traitement (25).

11. Dispositif de commande selon l'une quelconque des revendications 8 à 10, caractérisé en ce que le deuxième circuit de traitement (33) est un comparateur à fenêtre.

12. Dispositif de commande selon l'une quelconque des revendications 8 à 11, caractérisé en ce que l'un des premier et second amplificateurs (27, 29) est un amplificateur inverseur servant à appliquer un signal alternatif aux points images.

13. Procédé de commande du dispositif selon l'une quelconque des revendications 1 à 12, caractérisé en ce que pour écrire, lire et rafraîchir une information dans l points images à la fois, on sélectionne le conducteur ligne (L_i) et le paquet de l conducteurs colonnes (C_j) correspondants, l'information étant véhiculée de façon bidirectionnelle des l points images au bus (21) de l lignes de données, les opérations à effectuer en ces l points images étant sélectionnées par les signaux envoyés (35, 37, E, R, L) aux l circuits de lecture/écriture (15) des l conducteurs colonnes (C_j) par le circuit de traitement (17) correspondant.

1.2

FIG. 1a

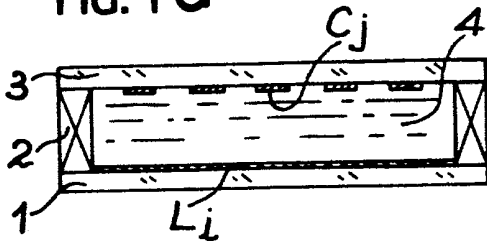


FIG. 1c

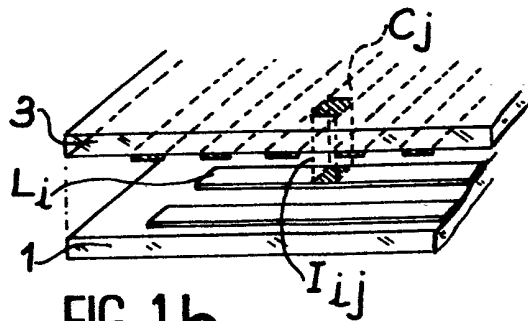
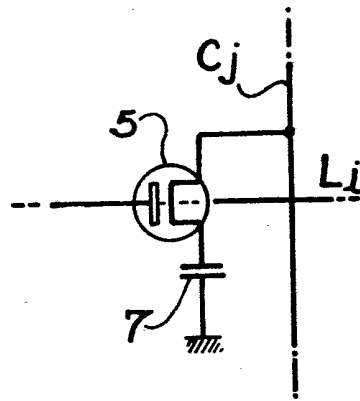
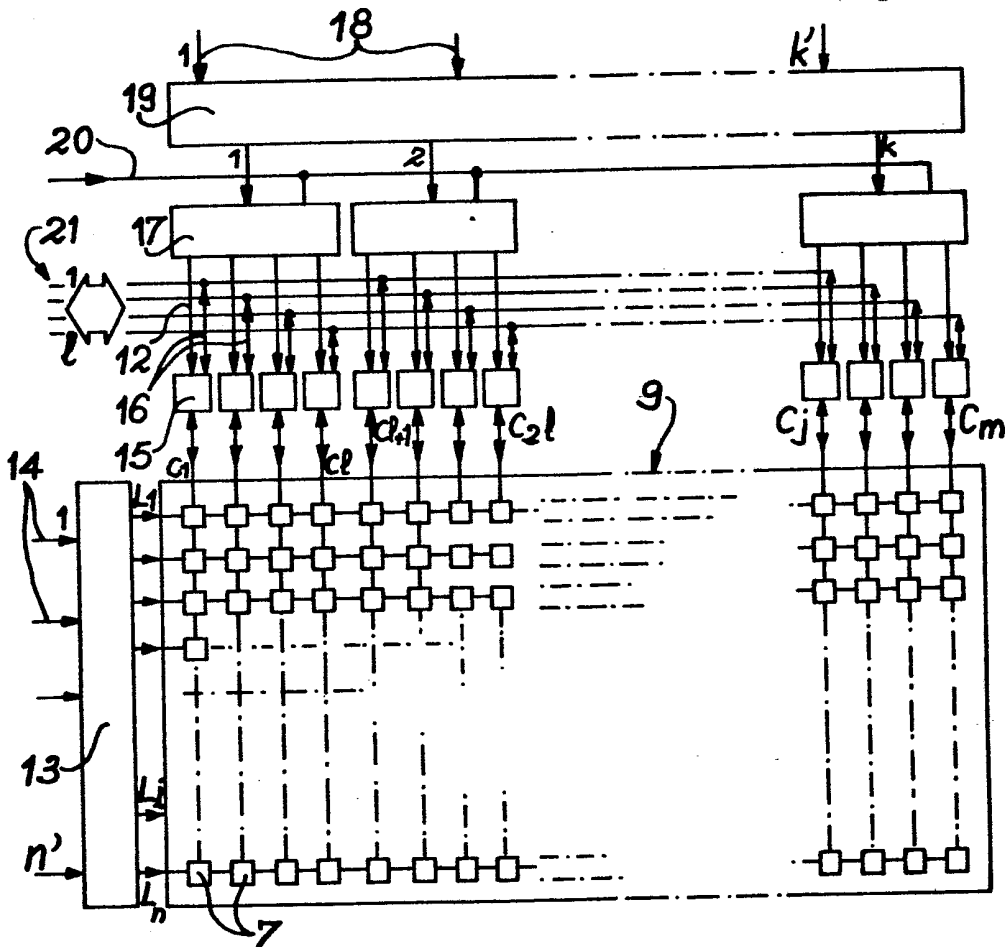


FIG. 1b

FIG. 2



2.2

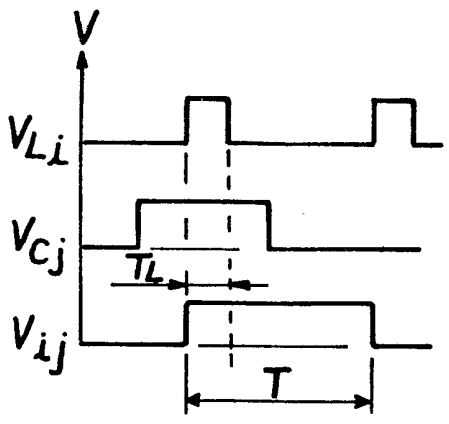
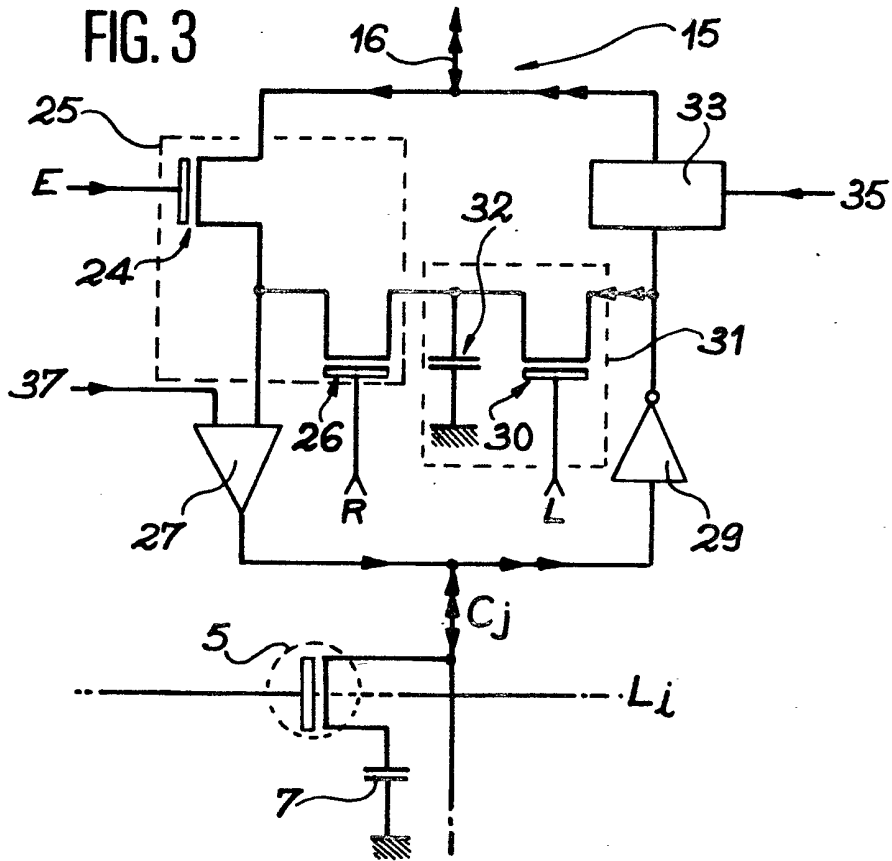


FIG. 4a

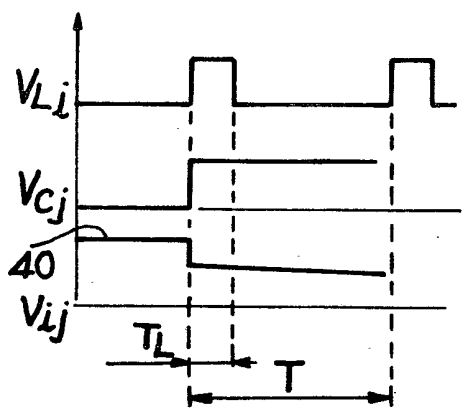


FIG. 4b