



<p>(51) 国際特許分類6 H04N 1/028, 1/04, 5/335</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/62526</p> <p>(43) 国際公開日 2000年10月19日(19.10.00)</p>
<p>(21) 国際出願番号 PCT/JP99/01967</p> <p>(22) 国際出願日 1999年4月13日(13.04.99)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)[JP/JP] 〒435-8558 静岡県浜松市市野町1126番地の1 Shizuoka, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 杉山行信(SUGIYAMA, Yukinobu)[JP/JP] 水野誠一郎(MIZUNO, Seiichiro)[JP/JP] 〒435-8558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka, (JP)</p> <p>(74) 代理人 弁理士 長谷川芳樹, 外(HASEGAWA, Yoshiki et al.) 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo, (JP)</p>	<p>(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)</p> <p>添付公開書類 国際調査報告書</p>	

(54) Title: IMAGING DEVICE

(54) 発明の名称 撮像装置

(57) Abstract

An imaging device (10) comprises n photodiodes (PD1-PDn), n signal processing circuits (SP1-SPn), and n output switches (SW1-SWn). Each signal processing circuit comprises an integrator (12) for amplifying the output from the photodiode, a buffer circuit (14) which holds the output from the integrator (12), a first switch (16) provided between the photodiode and the integrator (12), a second switch (18) for connecting the photodiode with an overflow drain ( $V_{ofd}$ ), a third switch (20) provided between the integrator (12) and the buffer circuit (14), a fourth switch (22) for connecting the buffer circuit (14) and a reference voltage ( $V_{ref}$ ) source, and a control circuit (24) for controlling the operation of the first to fourth switches depending on the results of comparison between the output voltage from the integrator (12) and the reference voltage ( $V_{ref}$ ).

(57)要約

撮像装置10は、n個のフォトダイオードPD1~PDnと信号処理回路SP1~SPnと出力用スイッチSW1~SWnとを接続した構成となっている。各信号処理回路は、フォトダイオードの出力を増幅する積分回路12、積分回路12の出力を保持するバッファ回路14、フォトダイオードと積分回路12との間に設けられた第1のスイッチ16、フォトダイオードとオーバフロートレーンV<sub>ofd</sub>とを接続する第2のスイッチ18、積分回路12とバッファ回路14との間に設けられた第3のスイッチ20、バッファ回路14と基準電圧V<sub>ref</sub>源とを接続する第4のスイッチ22、積分回路12からの出力電圧と基準電圧V<sub>ref</sub>との比較結果に基づいて上記第1~第4のスイッチの開放・短絡を制御する制御回路24とを備えて構成される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストラリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ	ML	マリ	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	MN	モンゴル	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MW	マラウイ	UG	ウガンダ
CH	スイス	IE	アイルランド	MX	メキシコ	US	米国
CI	コートジボワール	IL	イスラエル	MZ	モザンビーク	UZ	ウズベキスタン
CM	カメルーン	IN	インド	NE	ニジェール	VN	ヴェトナム
CN	中国	IS	アイスランド	NL	オランダ	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NO	ノルウェー	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NZ	ニュージーランド	ZW	ジンバブエ
CY	キプロス	KE	ケニア	PL	ポーランド		
CZ	チェッコ	KG	キルギスタン	PT	ポルトガル		
DE	ドイツ	KP	北朝鮮	RO	ルーマニア		
DK	デンマーク	KR	韓国				

## 明細書

### 撮像装置

### 技術分野

- 5 本発明は、撮像装置に関するものである。

### 背景技術

- 比較的大きな撮像対象を撮像する場合、あるいは、撮像対象の近傍から近接画像を撮像する場合などに用いられる撮像装置として、シリコンフォトダイオードなどの受光素子を複数配列した撮像装置が知られている。
- 10

- かかる撮像装置の具体例として、例えば特開平6-178046号公報に記載された固体撮像装置があげられる。上記固体撮像装置は、複数のフォトダイオードを配列し、各フォトダイオード毎に、フォトダイオードから出力された電荷を蓄積するとともに蓄積電荷量に応じた電圧信号を出力する積分回路を設け、さら
- 15
- に当該積分回路と外部への出力ラインとを接続するスイッチとを備えた構成となっており、各フォトダイオードからの出力信号を順次外部に出力できるようになっている。

- 上記撮像装置は、複数のフォトダイオードを配列して撮像範囲を大きくしているため、大きな撮像対象や近接画像を撮像することが可能となり、例えば食品中の異物検査、手荷物検査などに使用されるX線非破壊検査装置用ディテクタ、あ
- 20
- るいはファックスなどの画像読み取り装置に設けられている画像読み取り用密着型リニアイメージセンサなどとして広く用いられている。

### 発明の開示

- 25 上記撮像装置は、複数のフォトダイオードを配列して撮像範囲を大きくしているため大きな撮像対象や近接画像を撮像することが可能となる反面、以下のよう

な欠点を有している。

すなわち、食品中の異物検査であれ手荷物検査であれ、撮像対象は様々な形状を有しており、画像読み取り装置で読み取る原稿も様々な大きさを有する場合があります。そのため、撮像装置の受光領域、すなわちフォトダイオードの配列には、  
5 撮像対象を透過してなる強度の小さい光と、撮像対象を透過しないきわめて強度の大きい背景光とが同時に入射することになる。

ここで、例えばファックスなどの画像読み取り装置に設けられている画像読み取り用密着型リニアイメージセンサについて考えてみる。ファックスなどの画像読み取り装置では、撮像画像から白地の背景部分と黒地の文字部分とを判別しなくてはならない。そのため、これらに用いられる画像読み取り用密着型リニアイメージセンサは、微弱光であっても背景部分と文字部分との判別ができるように、  
10 通常、ダイナミックレンジが原稿の白地の背景部分を透過してなる透過光強度とほぼ等しくなるように調整されている。

しかし、このような調整の下では、原稿によって覆われていない部分の受光領域、すなわちフォトダイオードには、原稿を透過してなる透過光の数十倍の強度を有する光が入射することになり、後段の積分回路にも過剰な電荷が流入することになる。  
15

ここで、積分回路への過剰な電荷の流入は、積分回路を構成するオペアンプの入出力電圧にオフセット変動を生じさせ、かかるオフセット変動は、当該オペアンプのバイアス電圧を変動させることになる。  
20

各フォトダイオードに接続された各積分回路内のオペアンプには、通常、共通のバイアス電圧が印加されているため、1つの積分回路内のオペアンプにおけるバイアス電圧の変動は、他の積分回路内のオペアンプにも影響し、その結果、積分回路に誤動作が生じるといった問題がある。

そこで本発明は、積分回路に過剰電荷が流入することに起因するオペアンプのバイアス電圧の変動を防止し、誤動作が少なく、安定して動作する撮像装置を提  
25

供することを課題とする。

上記課題を解決するために、本発明の撮像装置は、複数の受光素子と、上記受光素子それぞれに設けられ、上記受光素子から出力された電荷を蓄積し、該蓄積された電荷の量に応じた電圧信号を出力するリセット可能な積分回路部と、上記積分回路部それぞれの出力側に設けられ、上記積分回路部と外部への出力ラインとを接続する出力用スイッチと、上記受光素子と上記積分回路部との間に直列に挿入された第1のスイッチと、上記積分回路部からの出力電圧の絶対値が所定の基準電圧より小さい場合は上記第1のスイッチを短絡し、上記積分回路部からの出力電圧の絶対値が上記所定の基準電圧以上の場合は上記第1のスイッチを開放する制御回路部とを備えたことを特徴としている。

積分回路部からの出力電圧の絶対値が所定の基準電圧より小さい場合に第1のスイッチを短絡するため、通常は受光素子からの出力電荷が積分回路部に蓄積可能となる一方で、積分回路部からの出力電圧の絶対値が所定の基準電圧以上の場合に第1のスイッチを開放するため、受光素子からの出力電荷が過剰となった時に過剰電荷の積分回路部への流入を防止できる。その結果、積分回路部を構成するオペアンプのオフセット電圧の変動、さらにはバイアス電圧の変動を有効に防止でき、誤動作を少なくし、動作を安定させることが可能となる。

#### 図面の簡単な説明

- 20 図1は、撮像装置の回路構成図である。  
図2は、撮像装置の構成図である。  
図3Aは、撮像装置の平面図である。  
図3Bは、撮像装置の前面図である。  
図3Cは、撮像装置の側面図である。
- 25 図4は、撮像装置の動作を示すタイミングチャートである。  
図5は、撮像装置の回路構成図である。

図6は、撮像装置の動作を示すタイミングチャートである。

図7は、撮像装置の回路構成図である。

図8は、撮像装置の動作を示すタイミングチャートである。

## 5 発明を実施するための最良の形態

本発明の実施形態にかかる撮像装置について図面を用いて説明する。まず、本実施形態にかかる撮像装置の構成について説明する。図1は本実施形態にかかる撮像装置の回路構成を示したものである。

撮像装置10は、カソードに所定の逆バイアス電圧 $V_{dd}$ が印加された $n$  ( $n$ は2以上の整数)個のフォトダイオード(受光素子)PD1~PD $n$ と、各フォトダイオードPD1~PD $n$ から出力された電荷信号を個々に蓄積して、蓄積電荷量に応じた電圧信号を出力する $n$ 個の信号処理回路SP1~SP $n$ と、各信号処理回路SP1~SP $n$ の出力側に設けられ、各信号処理回路SP1~SP $n$ と外部への出力ライン $L_{out}$ とを接続する $n$ 個の出力用スイッチSW1~SW $n$ とを備えて構成される。

$n$ 個の信号処理回路SP1~SP $n$ は全て同様の構成となっているため、ここでは1つの信号処理回路SP1についてのみ説明する(図1においても信号処理回路SP2~SP $n$ の回路図は省略されている)。

信号処理回路SP1は、フォトダイオードPD1から出力された電荷を蓄積して、蓄積された電荷の量に応じた電圧信号を出力するリセット可能な積分回路12と、積分回路12からの出力電圧信号を一時的に保持するバッファ回路14と、フォトダイオードPD1のアノードと積分回路12の入力端との間に直列に挿入された第1のスイッチ16と、フォトダイオードPD1のアノードとフォトダイオードPD1から出力された過剰電荷を取り除くためのオーバフロートレーン $V_{ofd}$ とを接続する第2のスイッチ18と、積分回路12の出力端とバッファ回路14の入力端との間に直列に挿入された第3のスイッチ20と、バッファ回路1

4の入力端と所定の基準電圧 $V_{ref}$ を供給する供給源とを接続する第4のスイッチ22と、積分回路12からの出力電圧と基準電圧 $V_{ref}$ との比較結果に基づいて上記第1～第4のスイッチの開放・短絡を制御する制御回路24とを備えて構成される。

- 5 積分回路12は、入力端から入力された信号を増幅して出力端から出力するためのオペアンプ26と、フォトダイオードPD1から出力された電荷を蓄積するためにオペアンプ26に対して並列に接続されたキャパシタ28と、外部から入力されるリセットパルスによりキャパシタ28に蓄積された電荷を放電（リセット）するためにキャパシタ28に対して並列に接続されたリセットスイッチ30とを備えて構成される。

- 10 バッファ回路14は、積分回路12の出力端から出力された出力電圧を電荷として保持するキャパシタ32と、出力用スイッチSW1の短絡とともにキャパシタ32に保持された電圧を増幅して外部への出力ライン $L_{out}$ に出力するオペアンプ34と、外部から入力されるホールドパルスによって短絡されるとともに短絡されることによって積分回路12の出力端とキャパシタ32とを接続するホールドスイッチ36とを備えて構成される。

- 15 制御回路24は、積分回路12からの出力電圧と基準電圧 $V_{ref}$ とが入力され、積分回路12からの出力電圧の絶対値（本実施形態にかかる撮像装置10では、フォトダイオードのP型層を積分回路12に接続しており、出力電圧は正となるため、以下単に出力電圧という）が基準電圧 $V_{ref}$ より小さい場合は論理値1を出力し、また、積分回路12からの出力電圧が基準電圧 $V_{ref}$ 以上の場合には論理値0を出力するコンパレータ38と、コンパレータ38から出力された論理値を一時的に保持するラッチ回路40と、ラッチ回路40から出力された論理値をそのまま又は反転させて上記第1～第4のスイッチ16、18、20、22の制御のための論理信号（以下、制御信号という）を生成するための4個のインバータ  
20 42、44、46、48とを備えて構成される。

ここで、制御回路部 24 によるスイッチ制御機能について詳細に説明する。第 1～第 4 のスイッチ 16、18、20、22 は、各スイッチに入力される制御信号 S1～S4 の論理値が 1 の場合は開放、0 の場合は短絡されるようになっている。

5 第 1 のスイッチ 16 には、コンパレータ 38 から出力された論理値をインバータ 42 によって反転した制御信号 S1 が入力される。すなわち、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  より小さい場合は、制御信号 S1 は 0 となり、また、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  以上の場合は、制御信号 S1 は 1 となる。従って、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  より小さい場合は、第 1 のスイッチ 16 は短絡され、また、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  以上の場合は、第 1 のスイッチ 16 は開放される。

15 また、第 2 のスイッチ 18 には、コンパレータ 38 から出力された論理値をインバータ 42 によって反転し、インバータ 44 によってさらに反転した制御信号 S2 が入力される。従って、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  より小さい場合は、第 2 のスイッチ 18 は開放され、また、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  以上の場合は、第 2 のスイッチ 18 は短絡される。

20 また、第 3 のスイッチ 20 には、コンパレータ 38 から出力された論理値をインバータ 42、44、46 によってそれぞれ反転した制御信号 S3 が入力される。従って、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  より小さい場合は、第 3 のスイッチ 20 は短絡され、また、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  以上の場合は、第 3 のスイッチ 20 は開放される。

25 さらに、第 4 のスイッチ 22 には、コンパレータ 38 から出力された論理値をインバータ 42、44、46、48 によってそれぞれ反転した制御信号 S4 が入力される。従って、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  より小さい場合は、第 4 のスイッチ 22 は開放され、また、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  以上の場合は、第 4 のスイッチ 22 は短絡される。



図 2 は、本実施形態にかかる撮像装置を基板上に構成した際の構成図であり、  
図 3 A は本実施形態にかかる撮像装置を基板上に構成した際の平面図、図 3 B は  
同前面図、図 3 C は同側面図である。

図 2 に示すように、 $n$  個のフォトダイオード PD 1 ~ PD  $n$  は、フォトダイオ  
ードアレイ 5 0 としてフォトダイオードアレイチップ 5 2 上に形成されている。  
また、 $n$  個の信号処理回路 SP 1 ~ SP  $n$  は、信号処理回路アレイ 5 4 としてア  
ンプアレイチップ 5 6 上に形成されている。また、 $n$  個の出力用スイッチ SW 1  
~ SW  $n$ 、及び、上記  $n$  個の出力用スイッチ SW 1 ~ SW  $n$  の開放・短絡を制御  
するシフトレジスタ 5 8 も、アンプアレイチップ 5 6 上に形成されている。さら  
に、フォトダイオードアレイチップ 5 2 及びアンプアレイチップ 5 6 は、セラミ  
ック基板 6 0 上に固定されており、フォトダイオードアレイチップ 5 2 及びアン  
プアレイチップ 5 6 は、保護カバー 6 2 によって覆われている（図 3 A ~ 図 3 C  
参照）。

図 3 A ~ 図 3 C に示すように、セラミック基板 6 0 の端部には、外部からの信  
号入力又は外部への信号出力を行うためのコネクタ用パッド 6 4 及びコネクタピ  
ン 6 6 が設けられており、セラミック基板 6 0 上に設けられたメタル配線（図示  
せず）を介して信号処理回路 SP 1 ~ SP  $n$ 、出力用スイッチ SW 1 ~ SW  $n$ 、  
シフトレジスタ 5 8 等に接続されている（図 2 参照）。ここで、信号処理回路 S  
P 1 ~ SP  $n$  に設けられているリセットスイッチ 3 0 及びホールドスイッチ 3 6  
の開放・短絡制御は、それぞれコネクタ用パッド 6 4 及びコネクタピン 6 6 を介  
して外部から入力されたリセットパルス及びホールドパルスによって行われるこ  
とになる。また、出力用スイッチ SW 1 ~ SW  $n$  の開放・短絡は、外部からシフ  
トレジスタ 5 8 に入力されたスタートパルス及びクロックパルスに基づいて制御  
され、外部への出力ライン  $L_{out}$  を介してビデオ出力として外部に出力されるこ  
とになる（図 2 参照）。

続いて、本発明の実施形態にかかる撮像装置の作用について説明する。図 4 は、

撮像装置 10 の基本的動作を示すタイミングチャートである。

外部から入力されるリセットパルスが論理値 1 (以下、オンという) になると、積分回路 12 のリセットスイッチ 30 が短絡され、キャパシタ 28 に蓄積された電荷が放電 (リセット) される (図 4 中の T1)。その後、リセットパルスが論  
5 理値 0 (以下、オフという) になると、キャパシタ 28 への電荷の蓄積が開始される (図 4 中の T2)。

また、外部から入力されるホールドパルスがオンになると、バッファ回路 14 のホールドスイッチ 36 が短絡され、積分回路 12 のキャパシタ 28 に蓄積された電荷がバッファ回路 14 のキャパシタ 32 に流出し、保持される (図 4 中の T  
10 3)。

バッファ回路 14 のキャパシタ 32 に電荷が保持された状態で、シフトレジスタ 58 によって出力用スイッチ SW1 ~ SWn が順次短絡されると、各信号処理回路内のバッファ回路 14 から外部への出力ライン L<sub>out</sub> に出力信号が順次読み出される (図 4 中の T4)。

15 上記リセットパルス及びホールドパルスは、定期的にオンになる信号であるので、各フォトダイオード PD1 ~ PDn から出力された信号を所定の時間間隔毎に読み出すことが可能となり、すなわち撮像対象を撮像することができる。

続いて、撮像装置 10 の動作をより詳細に説明する。撮像装置 10 の動作は、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  より小さい場合と、積分回路 12  
20 からの出力電圧が基準電圧  $V_{ref}$  以上の場合とで大きく異なる。

まず、積分回路 12 からの出力電圧が常に基準電圧  $V_{ref}$  より小さい場合について考える。図 5 は、積分回路 12 からの出力電圧が基準電圧  $V_{ref}$  より小さい場合のフォトダイオード PD1、信号処理回路 SP1、出力用スイッチ SW1 の等価回路 (制御回路 24 を除く) であり、図 6 は積分回路 12 からの出力電圧が  
25 常に基準電圧  $V_{ref}$  より小さい場合の、ホールドスイッチ 36 の入力端 (A 点、図 5 参照) の電位及び第 1 ~ 第 4 のスイッチ 16、18、20、22 の開放・短

絡の様子を表すタイミングチャートである。尚、図6内の第1～第4のスイッチにおいてHは短絡、Lは開放を示すものとする。

積分回路12からの出力電圧が常に基準電圧 $V_{ref}$ より小さい場合は、第1のスイッチ16は常に短絡、第2のスイッチ18は常に開放、第3のスイッチ20は常に短絡、第4のスイッチ22は常に開放となる。従って、図5に示すようにフォトダイオードPD1から出力された電荷はリセットパルスがオンになる毎に常に積分回路12のキャパシタ28に蓄積され、ホールドパルスがオンになるとバッファ回路14のキャパシタ32に流出して保持され、出力用SW1が短絡するタイミングで外部への出力ライン $L_{out}$ に読み出される。

次に、積分回路12からの出力電圧が基準電圧 $V_{ref}$ 以上の場合について考える。図7は、積分回路12からの出力電圧が基準電圧 $V_{ref}$ 以上の場合のフォトダイオードPD1、信号処理回路SP1、出力用スイッチSW1の等価回路（制御回路24を除く）であり、図8は積分回路12からの出力電圧が基準電圧 $V_{ref}$ 以上の場合の、ホールドスイッチ36の入力端（A点、図7参照）の電位及び第1～第4のスイッチ16、18、20、22の開放・短絡の様子を表すタイミングチャートである。尚、図8において、T5は積分回路12からの出力電圧が基準電圧 $V_{ref}$ より小さい期間、T6は積分回路12からの出力電圧が基準電圧 $V_{ref}$ 以上の期間を示している。

図7に示すように、積分回路12からの出力電圧が基準電圧 $V_{ref}$ 以上の場合、第1のスイッチ16は開放、第2のスイッチ18は短絡、第3のスイッチ20は開放、第4のスイッチ22は短絡となる。第1のスイッチ16を開放し、第2のスイッチ18を短絡することで、図7に示すようにフォトダイオードPD1から出力された過剰な電荷を積分回路12に流入させることなく、オーバフロー dren  $V_{fd}$ に流出させて除去することができる。また、第3のスイッチ20を開放し、第4のスイッチ22を短絡することで、積分回路12からの出力される高電圧ではなく、基準電圧 $V_{ref}$ を外部への出力ライン $L_{out}$ に出力すること

ができる。

具体的には、図8に示すように、積分回路12からの出力電圧が基準電圧 $V_{r.ref}$ より小さい場合、すなわち期間T5は、第1のスイッチ16が短絡、第2のスイッチ18が開放、第3のスイッチ20が短絡、第4のスイッチ22が開放されるため、フォトダイオードPD1、信号処理回路SP1、出力用スイッチSW1は図5に示すような等価回路（制御回路24を除く）となり、図6を用いて説明したような動作をする。一方、積分回路12からの出力電圧が基準電圧 $V_{r.ref}$ 以上の場合、すなわち期間T6は、第1のスイッチ16が開放、第2のスイッチ18が短絡、第3のスイッチ20が開放、第4のスイッチ22が短絡されるため、フォトダイオードPD1、信号処理回路SP1、出力用スイッチSW1は図7に示すような等価回路（制御回路24を除く）となり、積分回路12からの出力電圧が基準電圧 $V_{r.ref}$ 以上となっている間、A点の電位は $V_{r.ref}$ に維持される。この状態で、出力用SW1が短絡すると、電圧 $V_{r.ref}$ が外部への出力ライン $L_{out}$ に読み出される。尚、この状態でリセットパルスがオンになると、積分回路12のキャパシタ28が放電され、積分回路12からの出力電圧が低下するため、第1のスイッチ16が短絡、第2のスイッチ18が開放、第3のスイッチ20が短絡、第4のスイッチ22が開放の状態、すなわち図5に示す等価回路の状態に戻る。

続いて、本発明の実施形態にかかる撮像装置の効果について説明する。撮像装置10は、積分回路12からの出力電圧が基準電圧 $V_{r.ref}$ 以上の場合に制御回路24が、第1のスイッチ16を開放、第2のスイッチ18を短絡、第3のスイッチ20を開放、第4のスイッチ22を短絡させる。積分回路12からの出力電圧が基準電圧 $V_{r.ref}$ 以上の場合に第1のスイッチ16を開放、第2のスイッチ18を短絡することで、フォトダイオードPD1から出力された過剰な電荷を積分回路12に流入させることなく、オーバフロー dren  $V_{of.d}$ に流出させて除去することができる。従って、積分回路12内のオペアンプ26のオフセット電圧の

変動を防止でき、当該オフセット電圧の変動に起因するバイアス電圧の変動を有効に防止することができる。その結果、バイアス電圧の変動に伴う、他のフォトダイオードの出力信号の変動が除去され、誤動作を少なくし、動作を安定させることが可能となる。

5       また、積分回路12からの出力電圧が基準電圧 $V_{ref}$ 以上の場合に第3のスイッチ20を開放、第4のスイッチ22を短絡することで、積分回路12からの出力される高電圧ではなく、基準電圧 $V_{ref}$ を外部への出力ライン $L_{out}$ に出力することができる。従って、極端に強度の大きい信号が外部に出力されることが防止され、外部への出力信号を安定させることが可能となる。

10       尚、上記の説明では、フォトダイオードのP型層を積分回路12に接続する場合について、撮像装置10の具体的な動作を詳述した。しかしながら、撮像装置10は、受光素子として表面がN型の薄層であるフォトダイオードを用いても実現可能である。この場合は、積分回路12の出力極性が逆になり、これに続くコンパレータ38の動作も関係が逆転する。

15

#### 産業上の利用可能性

本発明の撮像装置は、食品中の異物検査、手荷物検査などに使用されるX線非破壊検査装置用ディテクタ、あるいはファックスなどの画像読み取り装置に設けられている画像読み取り用密着型リニアイメージセンサなどとして利用可能である。

20

## 請求の範囲

### 1. 複数の受光素子と、

前記受光素子それぞれに設けられ、前記受光素子から出力された電荷を蓄積し、  
該蓄積された電荷の量に応じた電圧信号を出力するリセット可能な積分回路部と、

5 前記積分回路部それぞれの出力側に設けられ、前記積分回路部と外部への出力  
ラインとを接続する出力用スイッチと、

前記受光素子と前記積分回路部との間に直列に挿入された第1のスイッチと、

前記積分回路部からの出力電圧の絶対値が所定の基準電圧より小さい場合は前  
記第1のスイッチを短絡し、前記積分回路部からの出力電圧の絶対値が前記所定

10 の基準電圧以上の場合には前記第1のスイッチを開放する制御回路部と

を備えたことを特徴とする撮像装置。

### 2. 前記受光素子と前記受光素子から出力された電荷を取り除くため

のオーバフロー dren とを接続する第2のスイッチ

をさらに備え、

15 前記制御回路部は、前記積分回路部からの出力電圧の絶対値が前記所定の基準  
電圧より小さい場合は前記第2のスイッチを開放し、前記積分回路部からの出力  
電圧の絶対値が前記所定の基準電圧以上の場合には前記第2のスイッチを短絡する  
ことを特徴とする請求項1に記載の撮像装置。

### 3. 前記積分回路部と前記出力用スイッチとの間に直列に挿入された

20 第3のスイッチと、

前記出力用スイッチと前記所定の基準電圧を供給する供給源とを接続する第4  
のスイッチと

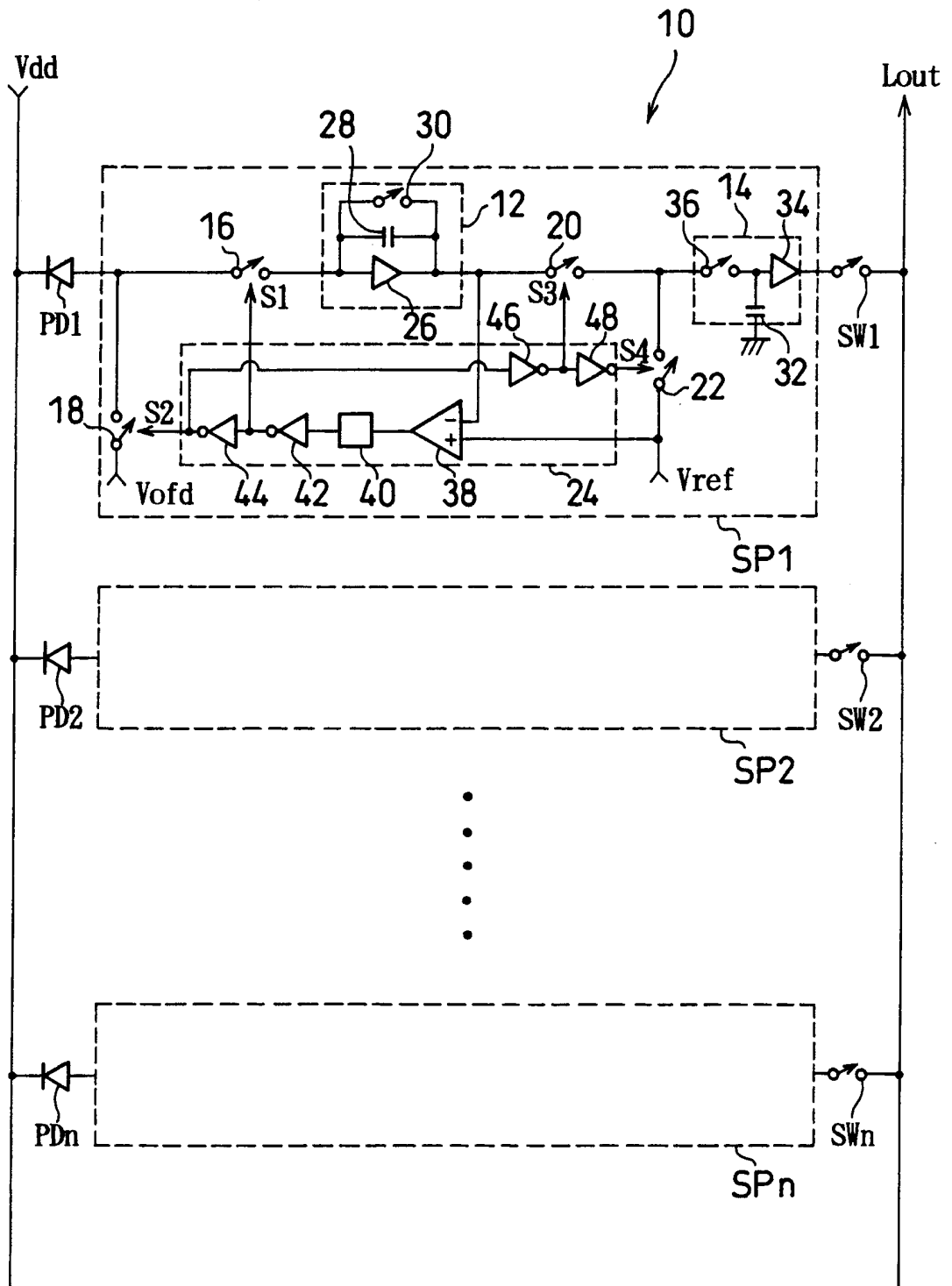
をさらに備え、

前記制御回路部は、前記積分回路部からの出力電圧の絶対値が前記所定の基準  
25 電圧より小さい場合は前記第3のスイッチを短絡するとともに前記第4のスイッ

チを開放し、前記積分回路部からの出力電圧の絶対値が前記所定の基準電圧以上

の場合は前記第3のスイッチを開放するとともに前記第4のスイッチを短絡することを特徴とする請求項1または2に記載の撮像装置。

図 1





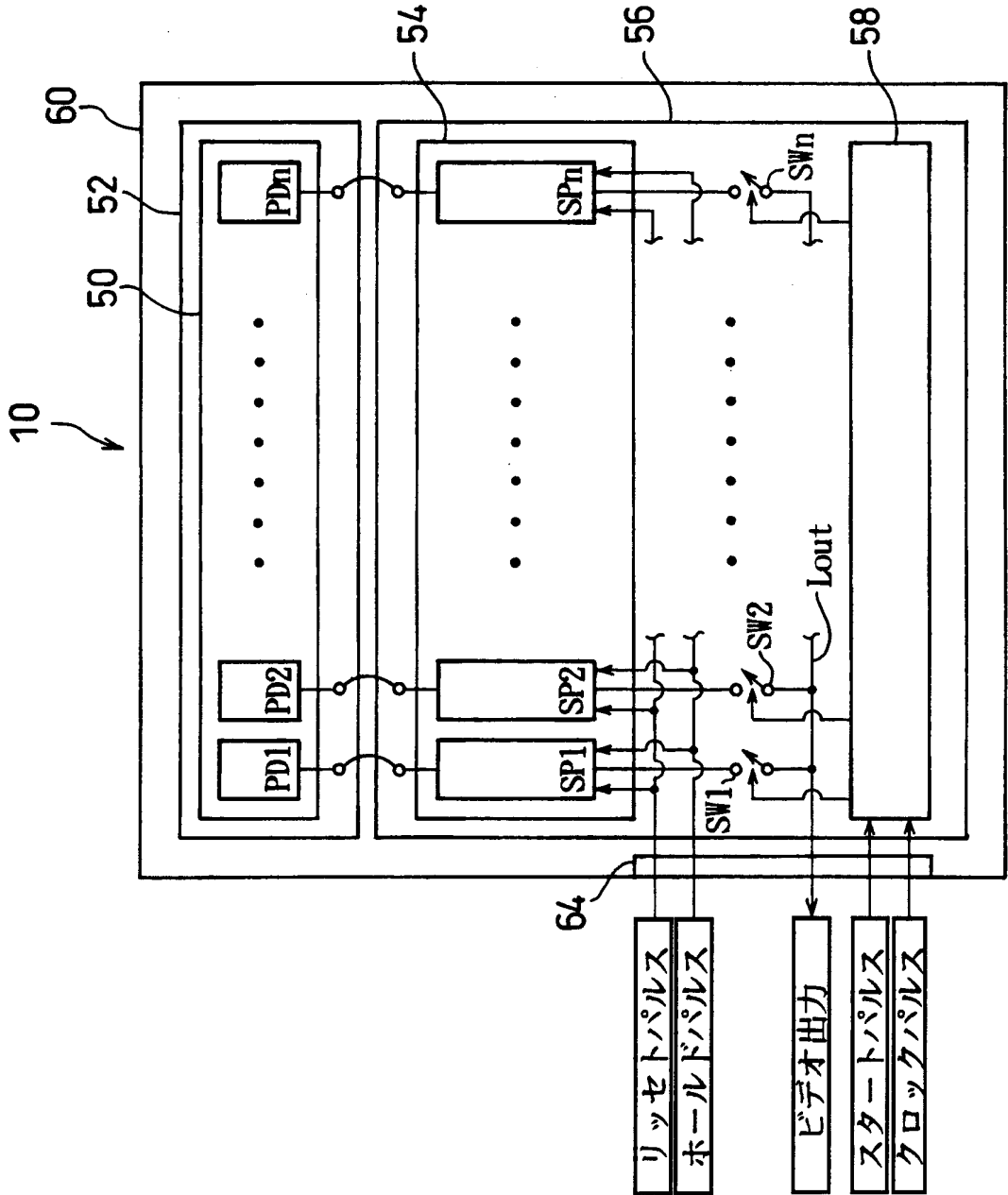


図2

図3A

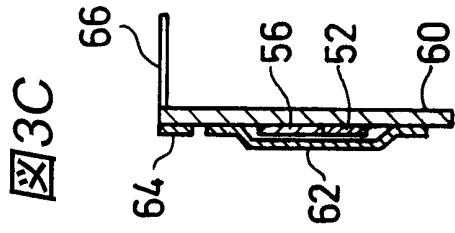
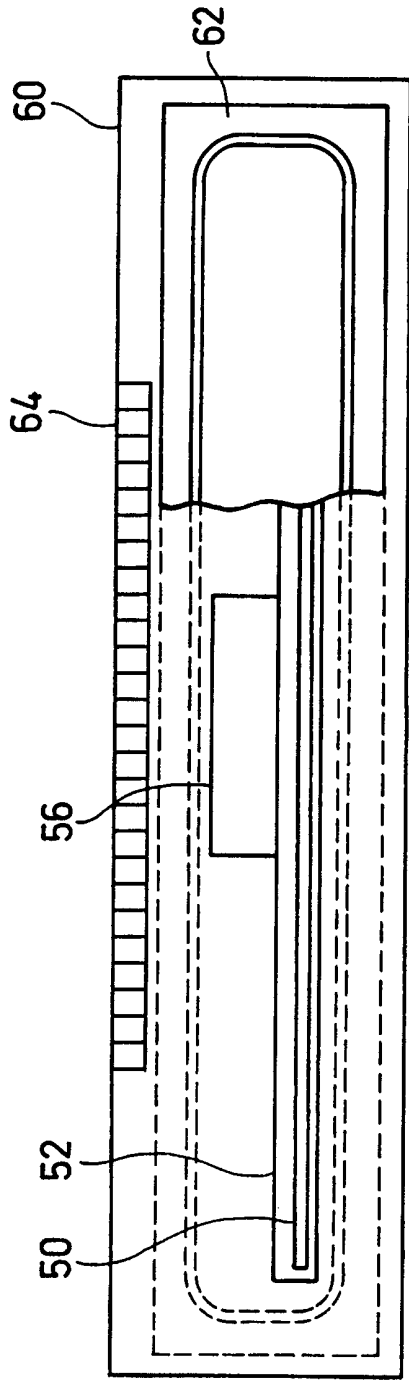


図3B

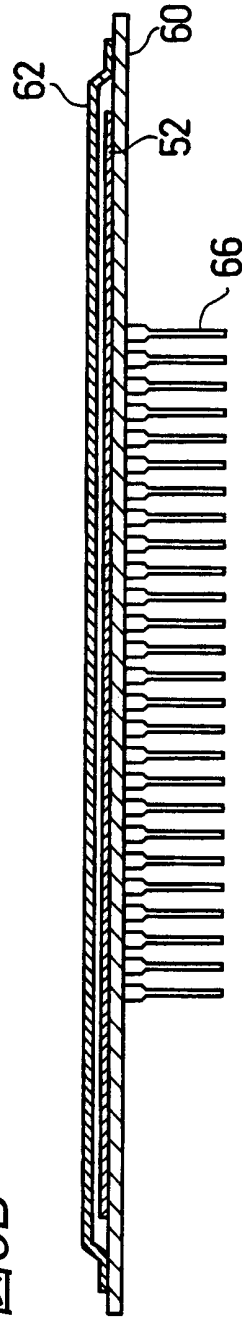


図4

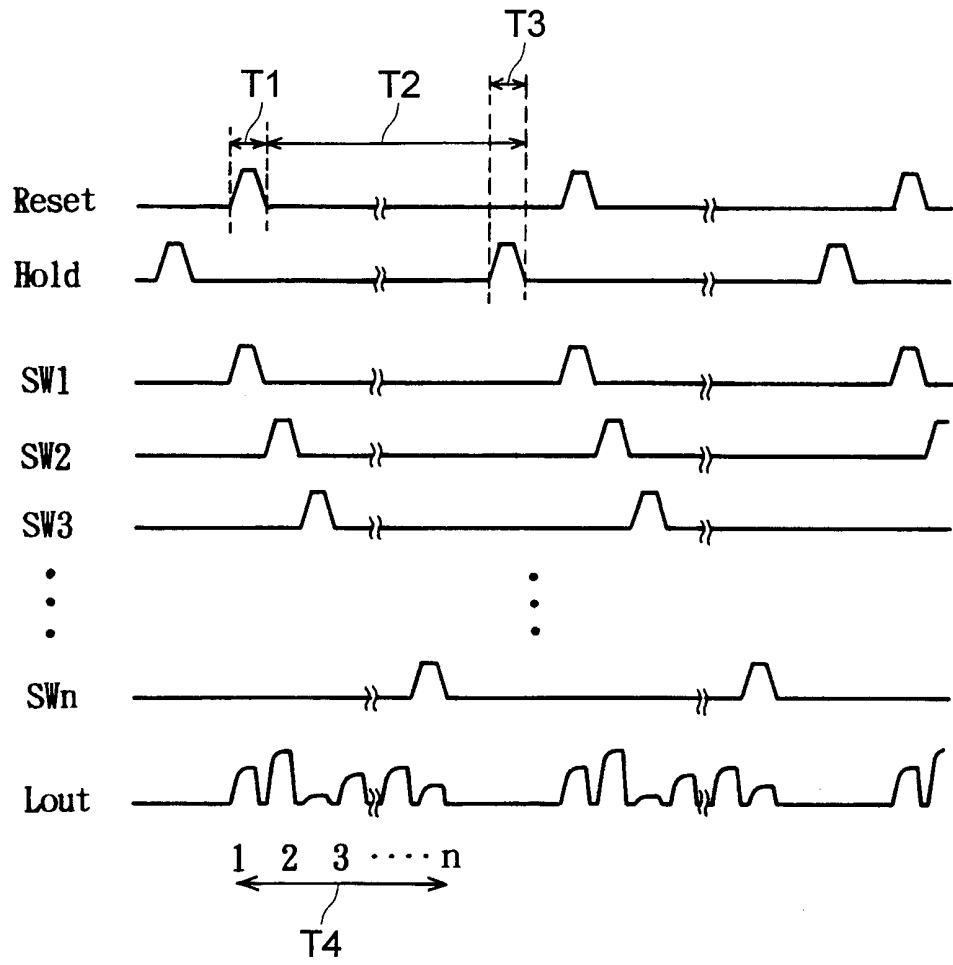


図5

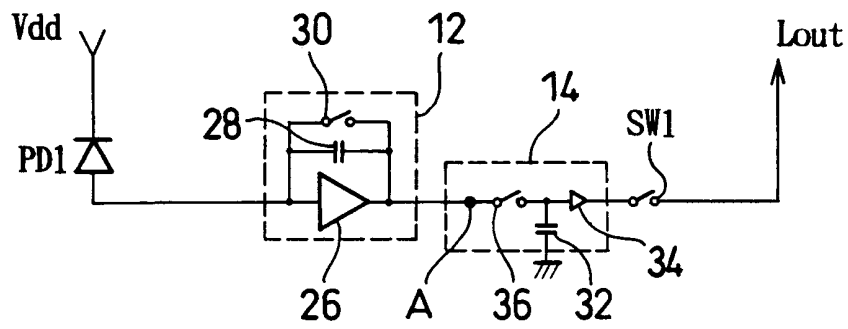


図6

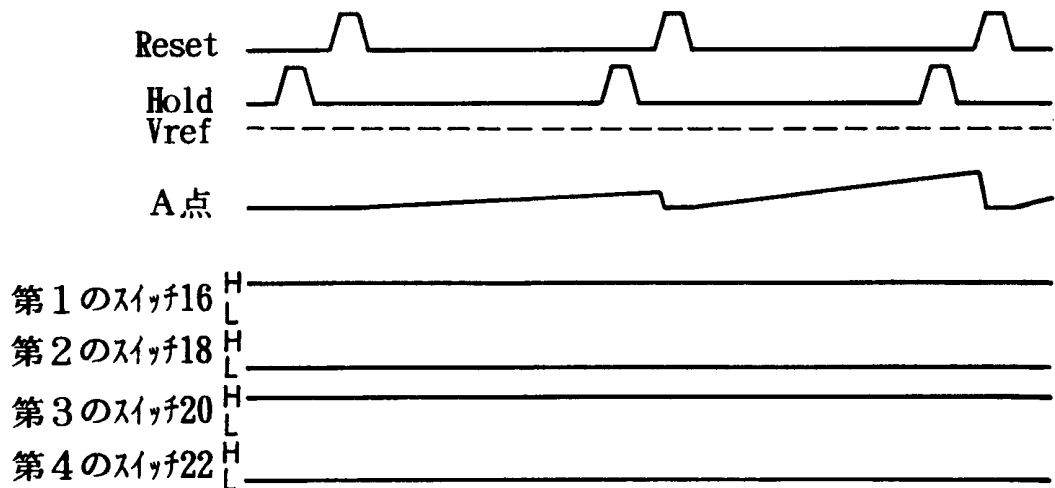


図7

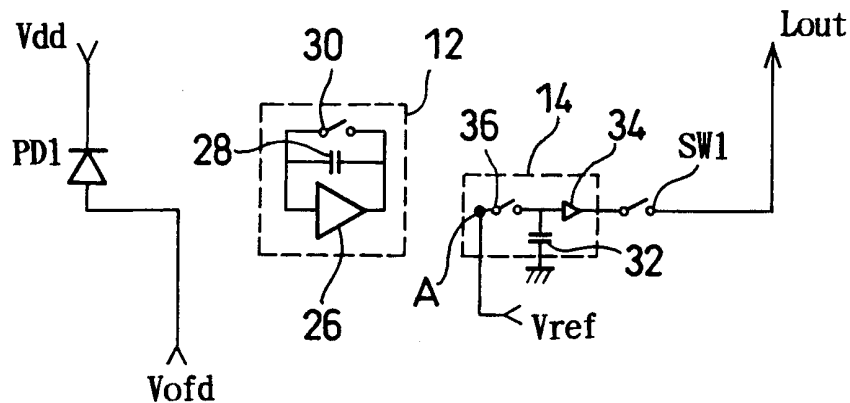
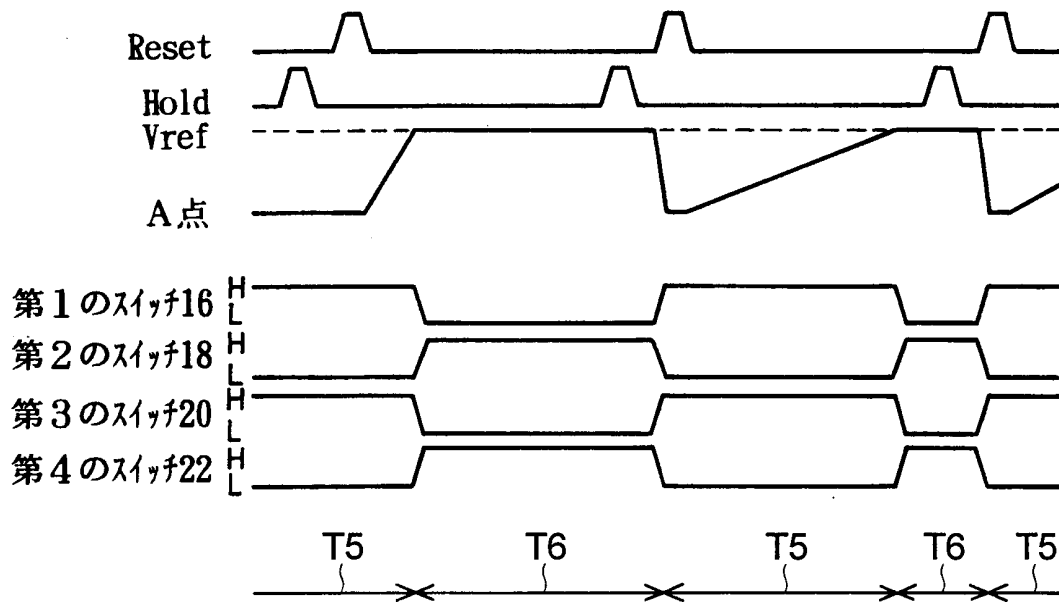


図8



**INTERNATIONAL SEARCH REPORT**

International application No.  
**PCT/JP99/01967**

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>6</sup> H04N1/028, 1/04, 5/335

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>6</sup> H04N1/028, 1/04, 5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-267672, A (Kaneka Corp.), 24 September, 1992 (24. 09. 92) (Family: none)	1-3
A	JP, 5-215602, A (Fuji Electric Co., Ltd.), 24 August, 1993 (24. 08. 93) (Family: none)	1-3
A	JP, 6-105069, A (Kaneka Corp.), 15 April, 1994 (15. 04. 94) (Family: none)	1-3
A	JP, 6-178046, A (Hamamatsu Photonics K.K.), 24 June, 1994 (24. 06. 94) (Family: none)	1-3

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
6 July, 1999 (06. 07. 99)

Date of mailing of the international search report  
21 July, 1999 (21. 07. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>6</sup> H04N 1/028, 1/04, 5/335		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>6</sup> H04N 1/028, 1/04, 5/335		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996 日本国公開実用新案公報 1971-1999 日本国実用新案登録公報 1996-1999 日本国登録実用新案公報 1994-1999		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
関連する 請求の範囲の番号	請求の範囲の番号	
A	J P, 4-267672, A (鐘淵化学工業株式会社) 24. 9月. 1992 (24. 09. 92) (ファミリーなし)	1-3
A	J P, 5-215602, A (富士電機株式会社) 24. 8月. 1993 (24. 08. 93) (ファミリーなし)	1-3
A	J P, 6-105069, A (鐘淵化学工業株式会社) 15. 4月. 1994 (15. 04. 94) (ファミリーなし)	1-3
A	J P, 6-178046, A (浜松ホトニクス株式会社) 24. 6月. 1994 (24. 06. 94) (ファミリーなし)	1-3
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。
* 引用文献のカテゴリ 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献
国際調査を完了した日 06. 07. 99	国際調査報告の発送日 21.07.99	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 大野 雅宏	5V 8113
電話番号 03-3581-1101 内線 3531		