(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 4 月 25 日(25.04.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/058167 A1

(51) 国際特許分類:
H04N 5/374 (2011.01) *H04N 5/357* (2011.01)
H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2012/076351

(22) 国際出願日: 2012 年 10 月 11 日(11.10.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-230676 2011 年 10 月 20 日(20.10.2011) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 若林　準人(WAKABAYASHI Hayato); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP). 植野　洋介(UENO Yosuke); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP).

(74) 代理人: 稲本　義雄，外(INAMOTO Yoshio et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号　西新宿木村屋ビルディング９階 Tokyo (JP).

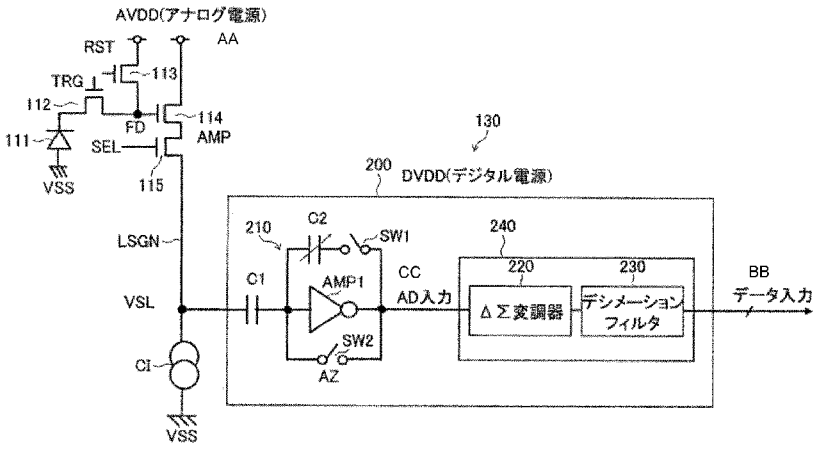
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SOLID-STATE IMAGE SENSOR AND CAMERA SYSTEM

(54) 発明の名称 : 固体撮像素子およびカメラシステム



130 DVDD (digital power source) AA AVDD (analog power source)
220 ΔΣ modulator BB Data input
230 Decimation filter CC A/D input

(57) **Abstract**: The present invention pertains to a solid-state image sensor and camera system that enable a solid-state image sensor and camera system, which are capable of achieving high image quality that provides low noise in low illumination without increasing an oversampling number, to be provided. The solid-state image sensor and camera system have: a pixel array unit in which pixels containing photodiodes, which convert optical signals into electrical signals, are arranged; and a reading unit that reads analog image signals from the pixels to a signal line, and processes the analog pixel signals that were read by column. The reading unit includes a ΔΣ modulator having a function for converting the analog image pixel signals into digital signals; and an amplifier which is positioned on the input side of the ΔΣ modulator, and amplifies the analog pixel signals read to the signal line by means of a gain to be set, and inputs the analog pixel signals to the ΔΣ modulator.

(57) 要約:

[続葉有]

WO 2013/058167 A1

本技術は、オーバーサンプリング数を増やすことなく、低照度における低ノイズ化を図れる高画質化を実現することが可能な固体撮像素子およびカメラシステムを提供することができる固体撮像素子およびカメラシステムに関する。 光信号を電気信号に変換するフォトダイオードを含む画素が配列された画素アレイ部と、画素からのアナログ画像信号を信号線に読み出し、読み出したアナログ画素信号をカラム単位で処理する読み出し部と、を有し、読み出し部は、アナログ画素信号をデジタル信号に変換する機能を有するΔΣ変調器と、ΔΣ変調器の入力側に配置され、信号線に読み出されたアナログ画素信号を設定されるゲインをもって増幅して上記ΔΣ変調器に入力する増幅器と、を含む。

明　細　書

発明の名称 ： 固体撮像素子およびカメラシステム

技術分野

[0001] 本発明は、ＣＭＯＳイメージセンサに代表される固体撮像素子およびカメラシステムに関するものである。

背景技術

[0002] 近年、ＣＣＤに代わる固体撮像素子（イメージセンサ）として、ＣＭＯＳ（Ｃｏｍｐｌｉｍｅｎｔａｒｙ　Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）イメージセンサが注目を集めている。

これはＣＭＯＳイメージセンサが次の課題を克服しているからである。

すなわち、ＣＣＤ画素の製造には専用プロセスを必要とし、また、その動作には複数の電源電圧が必要であり、さらに複数の周辺ＩＣを組み合わせて動作させる必要がある。

このようなＣＣＤの場合、システムが非常に複雑化するといった処々の問題を、ＣＭＯＳイメージセンサが克服しているからである。

[0003] ＣＭＯＳイメージセンサは、その製造には一般的なＣＭＯＳ型集積回路と同様の製造プロセスを用いることが可能であり、また単一電源での駆動が可能で、さらにＣＭＯＳプロセスを用いたアナログ回路や論理回路を同一チップ内に混在させることができる。

このため、ＣＭＯＳイメージセンサは、周辺ＩＣの数を減らすことができるといった、大きなメリットを複数持ち合わせている。

[0004] このような、ＣＭＯＳイメージセンサは、低消費電力、高速性の優位性を活かして、デジタルカメラやカムコーダー、高級一眼レフカメラ、監視カメラ、車載カメラ、誘導装置などの撮像装置において、撮像素子として広く用いられている。

また最近では、画像処理などの機能回路ブロックも一緒にオンチップ化した、高性能、高画質のイメージセンサも登場し始めている。

[0005] ＣＣＤの出力回路は、浮遊拡散層（ＦＤ：Floating Diffusion)を有するＦＤアンプを用いた１チャネル（ｃｈ）出力が主流である。

これに対して、ＣＭＯＳイメージセンサは画素毎にＦＤアンプを持ち合わせており、その出力は、画素アレイの中のある一行を選択し、それらを同時に列方向へと読み出すような列並列出力型が主流である。

これは、画素内に配置されたＦＤアンプでは十分な駆動能力を得ることは難しく、したがってデータレートを下げることが必要で、並列処理が有利とされているからである。

[0006] この列並列出力型ＣＭＯＳイメージセンサの信号出力回路については実に様々なものが提案されている。その形態のひとつが列毎にアナログーデジタル変換装置（以下、ＡＤＣ（Analog digital converter)と略す）を備え、デジタル信号として画素信号を取り出すタイプである。

[0007] 列並列型のＡＤＣを搭載したＣＭＯＳイメージセンサは、たとえば非特許文献１や特許文献１に開示されている。

[0008] また、高精度なＡＤ変換を実現するために、ΔΣ変調器を用いたＣＭＯＳイメージセンサが提案されている（たとえば特許文献２、非特許文献２参照）。

[0009] 特許文献２には、アナログＣＤＳ後にデルタシグマ（ΔΣ）ＡＤ変換する変換器が記載されている。この特許文献２のＣＭＯＳイメージセンサにおける画像信号の処理技術では、画素内のフォトダイオードからの受光信号を列ごとに配置されたアナログＣＤＳ回路に通すことにより、信号中に含まれるノイズを除去し、その後ΔΣＡＤ変換を行う。

[0010] 非特許文献２には、デジタルＣＤＳ機能を搭載するΔΣ型ＡＤ変換器が記載されている。非特許文献２に記載された技術では、オーバーサンプリング数を増やすことでノイズを低減することが可能である。

先行技術文献

特許文献

[0011] 特許文献1：特開２００５－３２３３３１号公報

特許文献2：特許３９０４１１１号公報、図１

非特許文献

[0012] 非特許文献1：W. Yang等 (W. Yan et. Al., “An Integrated 800x600 CMOS Image System,” ISSCC Digest of Technical Papers, pp. 304-305、 Feb., 1999)

非特許文献2：A 2.1M Pixels,120frame/s CMOS Image Sensor with column-parallel ΔΣADC Architecture、FIG.1、FIG.5

発明の概要

発明が解決しようとする課題

[0013] ところが、特許文献２に記載された技術では、ＣＤＳ後の信号をＡＤ変換するため、サンプリング時のノイズが残ってしまう。

すなわち、この技術では、ＣＤＳ後のアナログ信号をサンプルするときのｋＴＣノイズが残り、影響を小さくするためには容量値を大きくするなどチップ面積増加につながってしまう。

[0014] また、非特許文献２に記載された技術では、低照度の撮像状態では、出力デジタル値を大きくとるためにゲイン設定を行う必要があり、ノイズはゲイン倍されるという欠点がある。

すなわち、この技術では、低照度の撮像状態では、出力デジタル値を大きくとるためにゲイン設定を行う必要があり、ノイズはゲイン倍されるという欠点がある。

[0015] 本発明は、オーバーサンプリング数を増やすことなく、低照度における低ノイズ化を図れる高画質化を実現することが可能な固体撮像素子およびカメラシステムを提供することにある。

課題を解決するための手段

[0016] 本発明の第１の観点の固体撮像素子は、光信号を電気信号に変換するフォトダイオードを含む画素が配列された画素アレイ部と、上記画素からのアナログ画像信号を信号線に読み出し、読み出したアナログ画素信号をカラム単

位で処理する読み出し部と、を有し、上記読み出し部は、上記アナログ画素信号をデジタル信号に変換する機能を有するΔΣ変調器と、上記ΔΣ変調器の入力側に配置され、上記信号線に読み出されたアナログ画素信号を設定されるゲインをもって増幅して上記ΔΣ変調器に入力する増幅器と、を含む。

[0017] 本発明の第２の観点のカメラシステムは、固体撮像素子と、上記固体撮像素子に被写体像を結像する光学系と、を有し、上記固体撮像素子は、光信号を電気信号に変換するフォトダイオードを含む画素が配列された画素アレイ部と、上記画素からのアナログ画像信号を信号線に読み出し、読み出したアナログ画素信号をカラム単位で処理する読み出し部と、を有し、上記読み出し部は、上記アナログ画素信号をデジタル信号に変換する機能を有するΔΣ変調器と、上記ΔΣ変調器の入力側に配置され、上記信号線に読み出されたアナログ画素信号を設定されるゲインをもって増幅して上記ΔΣ変調器に入力する増幅器と、を含む。

発明の効果

[0018] 本発明によれば、オーバーサンプリング数を増やすことなく、低照度における低ノイズ化を図れる高画質化を実現することが可能となる。

図面の簡単な説明

[0019] [図1]本実施形態に係るＣＭＯＳイメージセンサ（固体撮像素子）の構成例を示す図である。

[図2]本実施形態に係るＣＭＯＳイメージセンサの画素の一例を示す図である。

[図3]本実施形態に係る画素と信号線に接続されたカラム回路の基本構成を示す図である。

[図4]本実施形態に係るΔΣＡＤ変換器の基本構成を示す図である。

[図5]本実施形態に係る２次のΔΣ変調器の基本構成を示す図である。

[図6]本実施形態に係る２次のΔΣＡＤ変調器を適用したΔΣＡＤ変換器を含むカラム回路の具体的な回路構成を示す図である。

[図7]本実施形態における画素およびカラム回路の動作タイミング例を示すタ

イミングチャートである。

[図8]本実施形態に係るカラム回路の高照度時と低照度時のレベルダイヤについて説明するための図である。

[図9]比較例の回路の高照度時と低照度時のレベルダイヤについて説明するための図である。

[図10]本実施形態に係る画素と信号線に接続されたカラム回路において増幅器に差動型アンプを適用した他の構成を示す図である。

[図11]本実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

発明を実施するための形態

[0020] 以下、本発明の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

１．固体撮像素子の構成の概要

２．読み出し回路の構成の概要

３．増幅器およびΔΣＡＤ変換器の回路構成例

４．カメラシステムの構成例

[0021] ＜１．固体撮像素子の構成の概要＞

図１は、本実施形態に係るＣＭＯＳイメージセンサ（固体撮像素子）の構成例を示す図である。

[0022] 本ＣＭＯＳイメージセンサ１００は、画素アレイ部１１０、画素駆動部としての行選択回路（Ｖｄｅｃ）１２０、およびカラム毎にΔΣ変調によるＡＤ変換機能を有するカラム読み出し回路１３０を有する。

[0023] 本実施形態において、ＡＤ変換部は、ΔΣ変調機能を有するΔΣ変調器、ΔΣ変調器の入力段に配置される増幅器、およびΔΣ変調器の出力段に配置されるデシメーションフィルタ回路により形成される。たとえばΔΣ変調器およびデシメーションフィルタ回路によるΔΣＡＤ変換器は画素単位に画素信号を入出力するように構成されている。

本実施形態において、カラム読み出し回路１３０において、ＣＤＳ処理は

、ＡＤ変換後に行われる。

なお、行選択回路１２０およびカラム読み出し回路１３０により読み出し部が形成される。

[0024] 後で詳述するが、本実施形態のＣＭＯＳイメージセンサ１００は、ΔΣ変換器の入力段に増幅器を配置することで低照度のノイズを改善することが可能となっている。

本実施形態のＣＭＯＳイメージセンサ１００は、増幅器によりＡＤ入力レンジを一定幅に調整することでΔΣＡＤ変換器の定数を変更することなしに実現することができる。

ＣＭＯＳイメージセンサ１００は、増幅器の効果によりΔΣＡＤ変換器のノイズスペックが緩和でき、容量値、サンプリング回数など小さくすることが可能となっている。

ＣＭＯＳイメージセンサ１００は、増幅器としてたとえばΔΣ変調器で使用するインバータと同じ構成を用いることでレベルシフトさせる値をゲインによらず固定で設定でき、ＡＤ変換可能な入力レンジの確保が容易になっている。また増幅器として差動型を用いることも可能である。

また、ＣＭＯＳイメージセンサ１００は、ΔΣＡＤ変換器を用いることで増幅器の容量値を小さくすることが可能になっている。

[0025] 画素アレイ部１１０は、複数の画素回路１１０ＡがＭ行×Ｎ列の２次元状（マトリクス状）に配列されている。

[0026] 図２は、本実施形態に係るＣＭＯＳイメージセンサの画素の一例を示す図である。

[0027] この画素回路１１０Ａは、光電変換素子としてのフォトダイオード（ＰＤ：Photo Diode、以下単にＰＤというときもある）１１１を有する。

そして、画素回路１１０Ａは、この１個のフォトダイオード１１１に対して、転送トランジスタ１１２、リセットトランジスタ１１３、増幅トランジスタ１１４、および選択トランジスタ１１５の４つのトランジスタを能動素子として有する。

転送トランジスタ１１２、リセットトランジスタ１１３、増幅トランジスタ１１４、および選択トランジスタ１１５は、絶縁ゲート型電界効果トランジスタ（ＦＥＴ）により形成される。図２の例では、ｎチャネルのＦＥＴが適用されているが、ｐチャネルのＦＥＴを適用することも可能である。

なお、ここでは４トランジスタ型の画素回路の例を示しているが、選択トランジスタを有している３トランジスタ型等の適用も可能である。

[0028] フォトダイオード１１１は、入射光をその光量に応じた量の電荷（ここでは電子）に光電変換する。

転送トランジスタ１１２は、フォトダイオード１１１と出力ノードとしてのフローティングディフュージョンＦＤ（以下、単にＦＤというときもある）との間に接続されている。転送トランジスタ１１２は、転送制御線ＬＴＲＧを通じてそのゲート（転送ゲート）に制御信号である転送信号ＴＲＧが与えられる。

これにより、転送トランジスタ１１２は、フォトダイオード１１１で光電変換された電荷（電子）をフローティングディフュージョンＦＤに転送する。

[0029] リセットトランジスタ１１３は、電源ラインＬＶＤＤとフローティングディフュージョンＦＤとの間に接続され、リセット制御線ＬＲＳＴを通してそのゲートに制御信号であるリセット信号ＲＳＴが与えられる。

これにより、リセットトランジスタ１１３は、フローティングディフュージョンＦＤの電位を電源ラインＬＶＤＤの電位にリセットする。

[0030] フローティングディフュージョンＦＤには、増幅トランジスタ１１４のゲートが接続されている。増幅トランジスタ１１４は、選択トランジスタ１１５を介して信号線ＬＳＧＮに接続され、画素部外の定電流源ＣＩとソースフォロアを構成している。

そして、選択制御線ＬＳＥＬを通してアドレス信号に応じた制御信号である選択信号ＳＥＬが選択トランジスタ１１５のゲートに与えられ、選択トランジスタ１１５がオンする。

選択トランジスタ１１５がオンすると、増幅トランジスタ１１４はフローティングディフュージョンＦＤの電位を増幅してその電位に応じた電圧を信号線ＬＳＧＮに出力する。信号線ＬＳＧＮを通じて、各画素から出力された電圧は、カラム読み出し回路１３０に出力される。

これらの動作は、たとえば転送トランジスタ１１２、リセットトランジスタ１１３、および選択トランジスタ１１５の各ゲートが行単位で接続されていることから、１行分の各画素について同時に行われる。

[0031] 画素アレイ部１１０に配線されているリセット制御線ＬＲＳＴ、転送制御線ＬＴＲＧ、および選択制御線ＬＳＥＬが一組として画素配列の各行単位で配線されている。

ＬＲＳＴ、ＬＴＲＧ、ＬＳＥＬの各制御線はそれぞれＭ本ずつ設けられている。

これらのリセット制御線ＬＲＳＴ、転送制御線ＬＴＲＧ、および選択制御線ＬＳＥＬは、行選択回路１２０により駆動される。

[0032] 行選択回路１２０は、画素アレイ部１１０の中の任意の行に配置された画素の動作を制御する。行選択回路１２０は、制御線ＬＳＥＬ、ＬＲＳＴ、ＬＴＲＧを通して画素を制御する。

[0033] カラム読み出し回路１３０は、行選択回路１２０により読み出し制御された画素行のデータを、信号線ＬＳＧＮを介して受け取り、後段の信号処理回路に転送する。

読み出し回路１３０は、各カラムに増幅器およびその出力に接続されたＡＤ変換器（アを含む。

ＡＤＣは、ΔΣ変調機能を有するΔΣ変調器により形成され、たとえばΔΣ変調器によるＡＤＣは画素単位に画素信号を入出力するように構成されている。

[0034] ＜２．読み出し回路の構成の概要＞

図３は、本実施形態に係る画素と信号線に接続されたカラム回路の基本構成を示す図である。

[0035] カラム回路２００は、図３に示すように、入力が信号線ＬＳＧＮに接続された増幅器２１０、および増幅器２１０の出力対して縦続接続されたΔΣ変調器２２０とデシメーションフィルタ回路を含んで構成されている。

そして、縦続接続されたΔΣ変調器２２０およびデシメーションフィルタ回路２３０によりΔΣＡＤ変換器２４０が構成される。

図３の例では、画素１１０Ａをアナログ電源（ＡＶＤＤ）、増幅器２１０、ΔΣ変調器２２０、デシメーションフィルタ回路２３０をデジタル電源（ＤＶＤＤ）とした構成で示している。

後述するように画素の振幅レベルによっては、増幅器をデジタル電圧以上の電源、たとえばアナログ電源とすることでも対応可能である。

[0036] 増幅器２１０は、インバータ型アンプＡＭＰ１、入力容量Ｃ１、可変のフィードバック容量Ｃ２、ゲインスイッチＳＷ１、およびオートゼロ（ＡＺ）用スイッチＳＷ２を含んで構成されている。

入力容量Ｃ１の第１端子が信号線ＬＳＧＮに接続され、第２端子がインバータ型アンプＡＭＰ１の入力端子に接続されている。

フィードバック容量Ｃ２とゲインスイッチＳＷ１がインバータ型アンプＡＭＰ１の出力端子と入力端子間に直列に接続されている。

オートゼロ用スイッチＳＷ２がインバータ型アンプＡＭＰ１の出力端子と入力端子間に接続されている。

[0037] 増幅器２１０は、画素１１０Ａのリセット時にオートゼロ用スイッチＳＷ２がオンにされて、インバータ型アンプＡＭＰ１のオフセット等をキャンセルし、入力電位および出力電位をたとえばおおよそ（１／２）ＤＶＤＤに設定する。

増幅器２１０は、入力容量Ｃ１とフィードバック容量Ｃ２の容量比Ｃ１：Ｃ２が可変で、ゲインを変更可能であり、かつ、ゲイン変更時にＡＤ変換器であるΔΣ変調器２２０の入力フルスケール幅を一定とする機能を有している。

また、別の実施形態として電源電圧ノイズ耐性向上のため差動型の増幅器

を用いてもよい。

[0038] 図４は、本実施形態に係るΔΣＡＤ変換器の基本構成を示す図である。

図４は、ΔΣＡＤ変換器２４０の動作概要を併せて示している。

[0039] ΔΣ変調器２２０は、少なくとも積分器２２１、量子化器２２２、および画素回路１１０Ａへのフィードバック系の一部を形成するデジタルアナログ変換器（ＤＡＣ）２２３、およびレベルシフト機能を有する加算器２２４を含んで構成される。

ΔΣ変調器２２０においては、画素回路１１０Ａから得られた信号は積分器２２１、量子化器２２２を通して１ビットデータとして出力される。

ΔΣＡＤ変換器２４０は、量子化器の出力側に、１ビットデータを多ビット化するデシメーション回路（デシメーションフィルタ回路）２３０が配置される。

デシメーションフィルタ回路２３０は、基本的にタイムスロット毎に“１”の数をデジタル加算する。

[0040] 図４は、１次のΔΣＡＤ変調器２２０を例に示しているが、ｎ次、たとえば図５および図６に示すように、２次のΔΣ変調器２２０Ａを適用することが望ましい。

また、図５および図６の例では、デシメーションフィルタ回路としては、２次のデシメーションフィルタ回路２３０Ａが適用されている。ただし、デシメーションフィルタ回路は３次のデシメーションフィルタ回路を適用することも可能である。

[0041] ＜３．増幅器およびΔΣＡＤ変換器の回路構成例＞

図５は、本実施形態に係る２次のΔΣ変調器の基本構成を示す図である。

図６は、本実施形態に係る２次のΔΣ変調器を適用したΔΣＡＤ変換器を含むカラム回路の具体的な回路構成を示す図である。

図６は、本技術の特徴である入力信号の前段にチョッパ型の増幅器（アンプ）と複数の容量を切り替えることで画素信号を増幅することが可能になる回路構成を示している。

[0042] ２次のΔΣ変調器２２０Ａは、図５に示すように、インクリメンタル型ΔΣＡＤ変換器として構成され、ΔΣ変調器としての２つの積分器２２１１，２２１２、２つのＤＡＣ２２３１，２２３２、および２つの加算器２２４，２２５を含んで構成されている。

なお、図５において、ｕはアナログ信号を、ｖはデジタル信号を示している。

加算器２２４は入力部として機能する。

[0043] 図６のカラム回路２００Ａは、画素信号ＶＳＬの増幅器２１０をΔΣ変調器２２０Ａの前段（入力段）に配置することで、高ゲイン（低照度）設定でも低ノイズ化を実現している。

また、カラム回路２００Ａは、増幅器２１０の回路構成とΔΣ変調器の一部の回路構成を同様にすることで、ＡＤ変換の入力レベルの調整を容易にすることができる。

２次のΔΣ変調器２２０Ａは、インクリメンタル型ΔΣＡＤ変換器として構成され、ΔΣ変調器としての２つの積分器２２１１，２２１２、２つのＤＡＣ２２３１，２２３２、および２つの加算器２２４，２２５を含んで構成されている。

インクリメンタル型ΔΣＡＤ変換器を搭載したＣＭＯＳイメージセンサではオーバーサンプリング回数Ｍによってノイズ抑制効果をもつ。

[0044] 加算器２２４は、増幅器２１０で増幅された画素信号ＶＳＬまたはＤＡＣ２２３１を介してフィードバックされた信号を入力する。

加算器２２４は、増幅器２１０による画素信号ＶＳＬを入力する場合には、そのレベルをレベルシフト（図６の例ではレベルダウン）させて第１ステージの積分器２２１１に出力する。

[0045] 加算器２２４は、容量Ｃ１１（Ｃｓ），Ｃ１２、ノードＮＤ１１～ＮＤ１３、スイッチＳＷ１１～ＳＷ１４を有する。

容量Ｃ１１はノードＮＤ１１とノードＮＤ１３との間に接続され、容量Ｃ１２はノードＮＤ１２とノードＮＤ１３との間に接続されている。

スイッチＳＷ１１は増幅器２１０の出力とノードＮＤ１１間に接続され、スイッチＳＷ１２はノードＮＤ１２と基準電位（たとえばグランド）ＶＳＳとの間に接続されている。

スイッチＳＷ１３はＤＡＣ２２３１の出力とノードＮＤ１１との間に接続され、スイッチＳＷ１４はノードＮＤ１２とバイアス信号Ｖｂｉａｓの供給ラインとの間に接続されている。

スイッチＳＷ１１およびＳＷ１２は信号Φ１がアクティブ（たとえばハイレベル）のときに導通状態に保持され、スイッチＳＷ１３およびＳＷ１４は信号Φ２がアクティブ（たとえばハイレベル）のときに導通状態に保持される。

信号Φ１と信号Φ２は相補的なレベルをとる。したがって、スイッチＳＷ１１およびＳＷ１２が導通状態に保持されているときは、スイッチＳＷ１３およびＳＷ１４は非導通状態に保持される。逆に、スイッチＳＷ１３およびＳＷ１４が導通状態に保持されているときは、スイッチＳＷ１１およびＳＷ１２は非導通状態に保持される。

加算器２２４において、容量Ｃ１２とスイッチＳＷ１２はレベルシフタとして機能する。

[0046] 第１ステージの積分器２２１１は、積分回路として機能するインバータ型アンプＡＭＰ２１、入力容量Ｃ２１、フィードバック容量Ｃ２２、ノードＮＤ２１～ＮＤ２４、スイッチＳＷ２１～ＳＷ２５を有する。

ノードＮＤ２１は加算器２２４の出力ノードＮＤ１３に接続されている。

インバータ型アンプＡＭＰ２１は、入力端子がノードＮＤ２２に接続され、出力端子がノードＮＤ２３に接続されている。

入力容量Ｃ２１はノードＮＤ２１とノードＮＤ２２との間に接続され、フィードバック容量Ｃ２２はノードＮＤ２４とノードＮＤ２３との間に接続されている。

スイッチＳＷ２１はノードＮＤ２２とノードＮＤ２４との間に接続されている。すなわち、フィードバック容量Ｃ２２とスイッチＳＷ２１はインバー

タ型アンプＡＭＰ２１の出力端子と入力端子との間に直列に接続されている。

スイッチＳＷ２２はノードＮＤ２１と基準電位（たとえばグランド）ＶＳＳとの間に接続されている。

スイッチＳＷ２３はノードＮＤ２１とノードＮＤ２４との間に接続され、スイッチＳＷ２４はノードＮＤ２３とノードＮＤ２４との間に接続されている。すなわち、リセット用のスイッチＳＷ２４はインバータ型アンプＡＭＰ２１の出力端子と入力端子との間に接続されている。

スイッチＳＷ２５は第１ステージの積分器２２１１の出力ノードであるノードＮＤ２３に接続されている。

スイッチＳＷ２１およびＳＷ２２は信号Φ１がアクティブ（たとえばハイレベル）のときに導通状態に保持され、スイッチＳＷ２３は信号Φ２がアクティブ（たとえばハイレベル）のときに導通状態に保持される。

信号Φ１と信号Φ２は相補的なレベルをとる。したがって、スイッチＳＷ２１およびＳＷ２２が導通状態に保持されているときは、スイッチＳＷ２３は非導通状態に保持される。逆に、スイッチＳＷ２３が導通状態に保持されているときは、スイッチＳＷ２１およびＳＷ２２は非導通状態に保持される。

スイッチＳＷ２４はリセット信号ΦＲＳＴがアクティブ（たとえばハイレベル）のときに導通状態に保持される。リセット信号ΦＲＳＴは画素のリセット信号ＲＳＴと同相で同期がとられている。

スイッチＳＷ２５は、信号Φ２がアクティブのときに導通状態に保持され、第１ステージの積分器２２１１の出力を次段の加算器２２５に入力させる。

[0047] 加算器２２５は、容量Ｃ３０、ノードＮＤ３０、およびスイッチＳＷ３０を有する。

ノードＮＤ３０は、第１ステージの積分器２２１１の出力スイッチＳＷ２５に接続されている。

スイッチＳＷ３０は、ＤＡＣ２２３２の出力とノードＮＤ３０との間に接続され、容量Ｃ３０はノードＮＤ３０と次段の第２ステージの積分器２２１２に入力ノード（ＮＤ３１）との間に接続されている。

スイッチＳＷ３０は、信号Φ１がアクティブ（たとえばハイレベル）のときに導通状態に保持される。

[0048] 第２ステージの積分器２２１２は、積分回路として機能するインバータ型アンプＡＭＰ３１、入力容量Ｃ３１、フィードバック容量Ｃ３２、ノードＮＤ３１～ＮＤ３４、スイッチＳＷ３１～ＳＷ３５を有する。

ノードＮＤ３１は加算器２２５の容量Ｃ３０に接続されている。

インバータ型アンプＡＭＰ３１は、入力端子がノードＮＤ３２に接続され、出力端子がノードＮＤ３３に接続されている。

入力容量Ｃ３１はノードＮＤ３１とノードＮＤ３２との間に接続され、フィードバック容量Ｃ３２はノードＮＤ３４とノードＮＤ３３との間に接続されている。

スイッチＳＷ３１はノードＮＤ３２とノードＮＤ３４との間に接続されている。すなわち、フィードバック容量Ｃ３２とスイッチＳＷ３１はインバータ型アンプＡＭＰ３１の出力端子と入力端子との間に直列に接続されている。

スイッチＳＷ３２はノードＮＤ３１と基準電位（たとえばグランド）ＶＳＳとの間に接続されている。

スイッチＳＷ３３はノードＮＤ３１とノードＮＤ３４との間に接続され、スイッチＳＷ３４はノードＮＤ３３とノードＮＤ３４との間に接続されている。すなわち、リセット用のスイッチＳＷ３４はインバータ型アンプＡＭＰ３１の出力端子と入力端子との間に接続されている。

スイッチＳＷ３５は第２ステージの積分器２２１２の出力ノードであるノードＮＤ３３に接続されている。

スイッチＳＷ３１およびＳＷ３２は信号Φ２がアクティブ（たとえばハイレベル）のときに導通状態に保持され、スイッチＳＷ２３は信号Φ１がアク

ティブ（たとえばハイレベル）のときに導通状態に保持される。

信号Φ１と信号Φ２は相補的なレベルをとる。したがって、スイッチＳＷ３１およびＳＷ３２が導通状態に保持されているときは、スイッチＳＷ３３は非導通状態に保持される。逆に、スイッチＳＷ３３が導通状態に保持されているときは、スイッチＳＷ３１およびＳＷ２２は非導通状態に保持される。

したがって、第２ステージの積分器２２１２は第１ステージの積分器２２１１と逆相で動作し、相補的な処理を行う。

スイッチＳＷ３４はリセット信号ΦＲＳＴがアクティブ（たとえばハイレベル）のときに導通状態に保持される。リセット信号ΦＲＳＴは画素のリセット信号ＲＳＴと同相で同期がとられている。

スイッチＳＷ３５は、信号Φ１がアクティブのときに導通状態に保持され、第２ステージの積分器２２１２の出力を次段の量子化器２２２の一方の入力端子に入力させる。

[0049] 量子化器２２２は、一方の入力端子と基準電位（たとえばグランド）ＶＳＳとの間に容量Ｃ４０が接続され、他方の入力端子が基準電位ＶＳＳに接続されている。

量子化器２２２から出力されるデジタル信号Ｄ２２２は、１ビットＤＡＣ２２３２にフィードバックされ、また、フリップフロップＦＦ１１を介して１ビットＤＡＣ２２３１にフィードバックされる。

量子化器２２２から出力されるデジタル信号Ｄ２２２は、次段のデシメーションフィルタ２３０に出力される。

[0050] ２次のデシメーションフィルタ回路２３０Ａは、積分器（リップルカウンタ）２３１とデータを保持し加算する累算器（アキュムレータ）２３２より構成される。アキュムレータ２３２は、加算器、レジスタＲＥＧ等を含んで構成される。

[0051] 上記したように、本カラム回路２００Ａは、ΔΣＡＤＣ２２０Ａの積分器としてインバータ（型アンプ）が採用されている。これにより、素子数を減

らすことによるレイアウト効率と低消費化だけでなくオートゼロを実施することでインバータのオフセットやフリッカノイズのキャンセルを行っている。

リセット時の画素信号は１ビットＤＡＣ２２３１，２２３２からのフィードバック信号との差をとられ第１ステージまたは第２ステージの積分器（インバータ型アンプ））２２１１，２２１２に入力される。

ここで積分された後、量子化器（コンパレータ）２２２に入力され、ある一定電圧との比較で１または０を出力する。そしてこの量子化器２２２の出力はフィードバックループを通って、１ビットＤＡＣ２２３１，２２３２に入力される。

１ビットＤＡＣ２２３１，２２３２は、量子化器２２２からの１、０に応じて入力信号から一定電圧を減算し加算器２２４，２２５を介して積分器（インバータ型アンプ）２２１１，２２１２に入力する。

[0052] デシメーションフィルタ回路２３０Ａでは１，０の粗密波信号をある時間で積分する（従来技術１では７bitごと）し、そのデータを累積化することで１４bitのデジタル出力に変換する。

また、デシメーションフィルタ２３０で画素のリセット信号を粗密信号化として累積積分した後に、ビット反転を行い、画素のデータ信号を同様に積算することでデジタルＣＤＳを実現し、スイッチによるチャージインジェクションノイズ低減を実現している。

本実施形態では２次のデシメーションフィルタ回路の構成としたが、２次以上での構成も可能である。

[0053] ［アナログゲインと入力レンジ］

次に、ΔΣＡＤＣ２００Ａの入力段に配置される増幅器２１０のアナログゲインとΔΣＡＤＣ２００Ａの入力レンジについて説明する。

表１に本実施形態の増幅器２１０におけるアナログゲイン設定例を示す。

[0054]

[表1]

アナログゲイン設定と回路定数例

Analog Gain [dB]	信号振幅[mV]	Gain [C1/C2]	ADC入力幅 [mV]
0	1000	0.5	500
6	500	1	
12	250	2	
18	125	4	

[0055] 表１の例では、高照度時（たとえば入力振幅が１Ｖ）には、増幅器２１０の入力容量とフィードバック容量の容量比Ｃ１：Ｃ２を１：２にすることで画素信号を１／２倍してΔΣモジュレータに入力する。このときの、ΔΣＡＤＣ２２０Ａの入力幅は０．５Ｖになる。

また、入射光量の少ない低照度時（入力振幅が１２５ｍＶ）には容量比を１：０．２５とすることで１８ｄＢ（８倍）の信号増幅を実現しＡＤの入力幅を０．５Ｖに調整する。

つまり、ゲイン変更時にもΔΣＡＤＣ２２０Ａからみた入力フルスケール幅は一定となり、ΔΣモジュレータの容量比などの定数は固定で構成することができる。

なお、表１の例では、入力振幅が５００ｍＶのときには容量比を１：１とすることで６ｄＢ（２倍）の信号増幅を実現しＡＤの入力幅を０．５Ｖに調整する。

入力振幅が２５０ｍＶのときには容量比を１：０．５とすることで１２ｄＢ（４倍）の信号増幅を実現しＡＤの入力幅を０．５Ｖに調整する。

[0056] ［画素およびカラム回路の動作タイミング例］

図７の（Ａ）～（Ｈ）は、本実施形態における画素およびカラム回路の動作タイミング例を示すタイミングチャートである。

図７の（Ａ）は１水平走査期間を示す水平同期信号ＨＳＹＮＣを、図７の（Ｂ）は画素の選択信号ＳＥＬを、図７の（Ｃ）は画素のリセット信号ＲＳ

Ｔを、図７の（Ｄ）は画素の転送信号ＴＲＧをそれぞれ示している。

図７の（Ｅ）は増幅器２１０のスイッチＳＷ２に供給されるオートゼロ信号ＡＺを示している。図７（Ｆ）はデシメーションフィルタ回路２３０Ａのリップルカウンタ２３１のリセット信号ΦＲ１を、図７の（Ｇ）はデシメーションフィルタ回路２３０Ａのアキュムレータ２３２のリセット信号ΦＲ２をそれぞれ示している。図７の（Ｈ）は信号線ＬＳＧＮに読み出される画素信号ＶＳＬを示している。

[0057] 画素１１０Ａにおいて、行の選択信号ＳＥＬが立ち上がったのちリセット信号ＲＳＴにてフローティングディフュージョンＦＤをリセットする。その際に、増幅器２１０のリセット（オートゼロＡＺ）を行うことで増幅器２１０のオフセットキャンセルとリセット信号の動作電圧を決定する（本説明では１／２ＤＶＤＤ付近）。

その後、転送信号（転送パルス）ＴＲＧによって画素信号ＶＳＬを読み出し、データ信号の出力を行う。

ΔΣＡＤＣ２２０Ａとしては積分器２２１１，２２１２でリセット信号、データ信号を複数回サンプリング（オーバーサンプリングＭ）し平均化を行う。

その際に、パルスφＲ１、φＲ２によってデシメーションフィルタ回路２３０のリップルカウンタ２３１のリセット、累算器（アキュミュレータ）２３２のリセットを行う。

[0058] ［レベルダイヤ］

次に、本実施形態に係るカラム回路の高照度時と低照度時のレベルダイヤについて説明する。ここでは、比較例として非特許文献２のＦＩＧ．５の回路の高照度時と低照度時のレベルダイヤについて示す。

[0059] 図８の（Ａ）および（Ｂ）は、本実施形態に係るカラム回路の高照度時と低照度時のレベルダイヤについて説明するための図である。

図９の（Ａ）および（Ｂ）は、比較例の回路の高照度時と低照度時のレベルダイヤについて説明するための図である。

[0060] 図９に示すように、比較例の構成では高照度、低照度での入力信号を固定値でレベルシフトしてしまうと、ＡＤ変換器としての入力レンジが１／２ＤＶＤＤ付近より変動し安定性の確保が困難である。

これを回避するためにレベルシフト値を入射光量で変動させる手法をとるにはバイアス（Ｖｂｉａｓ）回路の構成が複雑化してしまう。

本実施形態では、増幅器２１０に積分器２２１１，２２１２と同じサイズ比（ＰＭＯＳ／ＮＭＯＳ）を使用することで、図８に示すように、オートゼロ時の反転レベルは入射光量にかかわらず１／２ＤＶＤＤ付近に設定される。

オートゼロ時の信号をリセット信号としてΔΣ変調器に入れる際に、ＡＤの入力レンジ範囲に揃えるためにレベルシフトを行う必要がある。

本実施形態では、増幅器２１０でのゲイン設定により入力振幅幅は揃えられているだけでなく、ΔΣ変調器２２０Ａは増幅器２１０と同じサイズ比の構成のため動作点も同程度に設定されることから、レベルシフト量も固定値として設定できる。

これにより、バイアス値Ｖｂｉａｓの変更も特に不要となり回路構成をシンプルにすることが可能になる。

[0061] なお、本説明はインバータ型の増幅器（アンプ）を例に説明したが、図１０に示すように、差動型アンプでも参照電圧(Ｖｒｅｆ)をΔΣ変調器２００の積分器（インバータ型）とサイズ比（ＰＭＯＳ／ＮＭＯＳ）を用いて生成することで実現することができる。

[0062] 図１０は、本実施形態に係る画素と信号線に接続されたカラム回路において増幅器に差動型アンプを適用した他の構成を示す図である。

増幅器２１０Ａは、差動型アンプＡＭＰ１Ａ、入力容量Ｃ１、可変のフィードバック容量Ｃ２、ゲインスイッチＳＷ１、オートゼロ（ＡＺ）用スイッチＳＷ２、および基準電圧生成部２１１を含んで構成されている。

入力容量Ｃ１の第１端子が信号線ＬＳＧＮに接続され、第２端子が差動型アンプＡＭＰ１Ａの一方の入力端子に接続されている。

フィードバック容量Ｃ２とゲインスイッチＳＷ１が差動型アンプＡＭＰ１Ａの出力端子と一方の入力端子間に直列に接続されている。

オートゼロ用スイッチＳＷ２が差動型アンプＡＭＰ１Ａの出力端子と一方の入力端子間に接続されている。

[0063] そして、基準電圧生成部２１１は、デジタル電源ＤＶＤＤと基準電位ＶＳＳ間に直列に接続されたＰＭＯＳトランジスタＰＴ１とＮＭＯＳトランジスタＮＴ１により形成されている。ＰＭＯＳトランジスタＰＴ１のドレインとＮＭＯＳトランジスタＮＴ１のドレイン同士の接続点によりノードＮＤ２１１が形成され、ゲート同士の接続点によりノードＮＤ２１２が形成されている。これらノードＮＤ２１１とＮＤ２１２が接続され、かＴ、差動型アンプＡＭＰ１Ａの他方の入力端子に接続されている。

基準電圧生成部２１１は、差動型アンプＡＭＰ１Ａの他方の入力端子に、上記インバータ型積分器を形成する素子と同等のサイズ比（ＰＭＯＳ／ＮＭＯＳ）をもって生成した基準電圧Ｖｒｅｆを供給する。

[0064] 本例においても、増幅器２１０Ａでのゲイン設定により入力振幅幅は揃えられているだけでなく、ΔΣ変調器２２０は増幅器２１０Ａと同じサイズ比の構成のため動作点も同程度に設定されることから、レベルシフト量も固定値として設定できる。

これにより、バイアス値Ｖｂｉａｓの変更も特に不要となり回路構成をシンプルにすることが可能になる。

[0065] 図３および図１０では増幅器２１０，２１０ＡとΔΣＡＤ変換器の電源を同電源として記載しているが、増幅器２１０，２１０Ａをデジタル電圧以上の電源たとえばアナログ電源（ＡＶＤＤ）としても、レベルシフトの値が大きくなるだけで固定値を利用することができる。

またオートゼロを行うことで画素のリセット電位のバラツキも吸収することが可能になる。

[0066] ［アナログゲインによるノイズ低減効果］

また、本実施形態に係るカラム回路の構成ではインクリメンタル型による

平均化に加えてアナログゲインによりのノイズの低減効果が期待できる。

インクリメンタル型での量子化ノイズ、ｋＴＣノイズおよび増幅器でのノイズの算出について説明する。

２次のΔΣ変調器とデシメーションフィルタ回路を用いた場合のトータルノイズＶｎはオーバーサンプリングＭによる平均化により次のように表される。

[0067] $Vn^2 = Vs^2 * 4 / (3M)$ と表される。

ここで$Vs^2 = Vsf$（ソースフォロア）$^2 + Vadc$（ＡＤ変換器）^{2}とする。

[0068] アナログゲインＧによる割戻し効果とオーバーサンプリングＭによる平均化の効果のため増幅器熱雑音$Vamp^2$、量子化雑音$VSLB^2$、ΔΣ変調器のｋＴＣ雑音 $Vadc^2$は次のように表すことができる。

[0069] $Vamp^2 = 4 / 3M * kT / 3G^2 * (1+G) / (Cs + C1 / (1+G))$

$VLSB^2 = 4 / (G * (M+1) * M)^2 * VFS^2$

$Vadc^2 = 4 / (3G^2 * M) * 5 * k * T / Cs$

ここでＣ１１=Ｃｓ，Ｇ＝Ｃ１／Ｃ２，ＶＦＳ(量子化器フルスケール電圧)、ｋ(ボルツマン係数)とする。

[0070] つまり、低照度での状態で信号出力確保のためゲイン設定が必要な状態では上記アナログゲイン割戻し効果により、ノイズ特性は改善されることになる。

一方、比較例の構成では、デジタル出力をゲイン倍する必要があり信号だけでなくノイズまで増加することになる。

本実施形態では、増幅器２１０についてもΔΣ回路構成と組み合わせることでオーバーサンプリングの効果のため熱雑音が低減される。

よって、単純な増幅器およびＡＤ変換器の構成に比較して、より小さな容量を用いることができレイアウトの実装面積が小さくなるコスト低減効果や微細化画素に対する対応も可能になる。

本実施形態では、２次のデシメーションフィルタ構成で説明したが、より高次（３次）のフィルタ構成においても同様な効果を得ることができる。

[0071] 以上説明したように、本実施形態によれば、以下の効果を得ることができる。

ΔΣＡＤ変換器を搭載したＣＭＯＳイメージセンサに増幅器を搭載することで低照度のノイズを改善することができる。

入力信号に対し増幅器により一定出力幅に調整することでΔΣＡＤ変換器の定数を変更することなしにゲイン設定ができる。ＡＤ変換部への追加回路が必要なくなるため、チップ面積を小さくすることができる。またレベルシフトの値も増幅率に依存せず固定とすることができ、回路構成を容易にできる。

増幅器の効果によりΔΣＡＤ変換器のノイズスペックが緩和でき、容量値を小さくするできることによるチップ面積のシュリンク、またはサンプリング回数を少なくしクロック周波数を落とすことができることによる低消費電力化を実現することができる。

また、増幅器としてもΔΣＡＤ変換の平均化の効果によりより実装面積を小さくすることができる。

[0072] このような効果を有する固体撮像素子は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

[0073] ＜４．カメラシステムの構成例＞

図１１は、本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

[0074] 本カメラシステム３００は、図１１に示すように、本実施形態に係るＣＭＯＳイメージセンサ（固体撮像素子）１００が適用可能な撮像デバイス３１０を有する。

さらに、カメラシステム３００は、この撮像デバイス３１０の画素領域に入射光を導く（被写体像を結像する）光学系、たとえば入射光（像光）を撮像面上に結像させるレンズ３２０を有する。

カメラシステム３００は、撮像デバイス３１０を駆動する駆動回路(ＤＲＶ)３３０と、撮像デバイス３１０の出力信号を処理する信号処理回路(ＰＲＣ)３４０と、を有する。

[0075] 駆動回路３３０は、撮像デバイス３１０内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス３１０を駆動する。

[0076] また、信号処理回路３４０は、撮像デバイス３１０の出力信号に対して所定の信号処理を施す。

信号処理回路３４０で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路３４０で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出される。

[0077] 上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス３１０として、先述した固体撮像素子１００を搭載することで、低消費電力で、高精度なカメラが実現できる。

[0078] なお、本技術は以下のような構成もとることができる。

（１）光信号を電気信号に変換するフォトダイオードを含む画素が配列された画素アレイ部と、

上記画素からのアナログ画像信号を信号線に読み出し、読み出したアナログ画素信号をカラム単位で処理する読み出し部と、を有し、

上記読み出し部は、

上記アナログ画素信号をデジタル信号に変換する機能を有するΔΣ変調器と、

上記ΔΣ変調器の入力側に配置され、上記信号線に読み出されたアナログ画素信号を設定されるゲインをもって増幅して上記ΔΣ変調器に入力する増幅器と、を含む

固体撮像素子。

（２）上記増幅器は、

上記アナログ画素信号の入力振幅に応じたゲイン設定が可能で、上記ΔΣ変調器の入力フルスケール幅が一定となるように増幅を行う

上記（１）記載の固体撮像素子。

（３）上記ΔΣ変調器は、

上記増幅器で増幅された上記画素信号をレベルシフトして積分器に入力する入力部を有し、

上記レベルシフト量は、固定値として設定される

上記（２）記載の固体撮像素子。

（４）上記ΔΣ変調器は、

インバータ型積分器を含む少なくとも一つの積分器と、

最終段となる上記積分器の出力信号を量子化してデジタル信号を出力する量子化器と、

上記量子化器によるデジタル信号をアナログ信号に変換し、上記積分器の入力側に帰還させるデジタルアナログ変換器と、を含む、ｎ（ｎは１を含む正数）次の変調器として形成され、

上記増幅器は、

上記積分器の上記インバータ型積分器と同じ構成のインバータ型アンプまたは差動型アンプを含む

上記（１）から（３）のいずれか一に記載の固体撮像素子。

（５）上記ΔΣ変調器の積分器は、

上記インバータ型積分器の入力端子側に接続された入力容量と、

上記インバータ型積分器の出力端子と入力端子間に接続されたフィードバック容量と、を含み、

上記増幅器は、

上記インバータ型アンプの入力端子側に接続された入力容量と、

上記インバータ型アンプの出力端子と入力端子間に接続されたフィードバック容量と、を含む

上記（４）記載の固体撮像素子。

（６）上記ΔΣ変調器の積分器は、

上記インバータ型積分器の入力端子側に接続された入力容量と、

上記インバータ型積分器の出力端子と入力端子間に接続されたフィードバック容量と、を含み、

上記増幅器は、

上記差動型アンプの一方の入力端子側に接続された入力容量と、

上記差動型アンプの出力端子と一方の入力端子間に接続されたフィードバック容量と、

上記差動型アンプの他方の入力端子に、上記インバータ型積分器を形成する素子と同等のサイズ比をもって生成した基準電圧を供給する基準電圧生成部と、を含む

上記（４）記載の固体撮像素子。

（７）上記増幅器は、

上記入力容量と上記フィードバック容量の容量比を変更することにより、上記アナログ画素信号の入力振幅に応じたゲインを設定可能である

上記（５）または（６）記載の固体撮像素子。

（８）上記増幅器は、

上記アンプの出力端子と入力端子の電位を所定電位にリセットするリセット用スイッチを含む

上記（５）から（７）のいずれか一に記載の固体撮像素子。

（９）上記画素は、

フローティングディフュージョンの電荷をリセットするリセット機能を含み、

上記増幅器のリセット用スイッチは、

上記画素のリセット動作に並行して導通状態に保持されて、上記アンプの出力端子と入力端子の電位のリセットを行う

上記（８）記載の固体撮像素子。

（１０）上記読み出し部は、

上記ΔΣ変調器によるデジタル信号を多ビット化するデシメーションフィルタ回路を含む

上記（１）から（９）のいずれか一に記載の固体撮像素子。

（１１）固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光信号を電気信号に変換するフォトダイオードを含む画素が配列された画素アレイ部と、

上記画素からのアナログ画像信号を信号線に読み出し、読み出したアナログ画素信号をカラム単位で処理する読み出し部と、を有し、

上記読み出し部は、

上記アナログ画素信号をデジタル信号に変換する機能を有するΔΣ変調器と、

上記ΔΣ変調器の入力側に配置され、上記信号線に読み出されたアナログ画素信号を設定されるゲインをもって増幅して上記ΔΣ変調器に入力する増幅器と、を含む

カメラシステム。

符号の説明

[0079] １００・・・固体撮像素子、１１０・・・画素アレイ部、１１０Ａ・・・画素回路、１１１・・・光電変換素子、１１２・・・転送トランジスタ、１１３・・・リセットトランジスタ、１１４・・・増幅トランジスタ、１１５・・・選択トランジスタ、１２０・・・行選択回路（画素駆動部）、１３０・・・カラム読み出し回路、２００，２００Ａ・・・カラム回路、２１０，２１０Ａ・・・増幅器、２２０，２２０Ａ・・・ΔΣ変調器（、２２１，２２１１，２２１２・・・積分器、２２２・・・量子化器、２２３，２２３１，２２３２・・・ＤＡＣ、２２４，２２５・・・加算器、２３０・・・デシメーションフィルタ回路、２４０・・・ΔΣＡＤ変換器、３００・・・カメ

ラシステム、３１０・・・撮像デバイス、３２０・・・駆動回路、３３０・・・レンズ（光学系）、３４０・・・信号処理回路。

請求の範囲

[請求項1] 光信号を電気信号に変換するフォトダイオードを含む画素が配列された画素アレイ部と、

上記画素からのアナログ画像信号を信号線に読み出し、読み出したアナログ画素信号をカラム単位で処理する読み出し部と、を有し、

上記読み出し部は、

上記アナログ画素信号をデジタル信号に変換する機能を有するΔΣ変調器と、

上記ΔΣ変調器の入力側に配置され、上記信号線に読み出されたアナログ画素信号を設定されるゲインをもって増幅して上記ΔΣ変調器に入力する増幅器と、を含む

固体撮像素子。

[請求項2] 上記増幅器は、

上記アナログ画素信号の入力振幅に応じたゲイン設定が可能で、上記ΔΣ変調器の入力フルスケール幅が一定となるように増幅を行う

請求項１記載の固体撮像素子。

[請求項3] 上記ΔΣ変調器は、

上記増幅器で増幅された上記画素信号をレベルシフトして積分器に入力する入力部を有し、

上記レベルシフト量は、固定値として設定される

請求項２記載の固体撮像素子。

[請求項4] 上記ΔΣ変調器は、

インバータ型積分器を含む少なくとも一つの積分器と、

最終段となる上記積分器の出力信号を量子化してデジタル信号を出力する量子化器と、

上記量子化器によるデジタル信号をアナログ信号に変換し、上記積分器の入力側に帰還させるデジタルアナログ変換器と、を含む、ｎ（ｎは１を含む正数）次の変調器として形成され、

上記増幅器は、

上記積分器の上記インバータ型積分器と同じ構成のインバータ型アンプまたは差動型アンプを含む

請求項１記載の固体撮像素子。

[請求項5] 上記ΔΣ変調器の積分器は、

上記インバータ型積分器の入力端子側に接続された入力容量と、

上記インバータ型積分器の出力端子と入力端子間に接続されたフィードバック容量と、を含み、

上記増幅器は、

上記インバータ型アンプの入力端子側に接続された入力容量と、

上記インバータ型アンプの出力端子と入力端子間に接続されたフィードバック容量と、を含む

請求項４記載の固体撮像素子。

[請求項6] 上記ΔΣ変調器の積分器は、

上記インバータ型積分器の入力端子側に接続された入力容量と、

上記インバータ型積分器の出力端子と入力端子間に接続されたフィードバック容量と、を含み、

上記増幅器は、

上記差動型アンプの一方の入力端子側に接続された入力容量と、

上記差動型アンプの出力端子と一方の入力端子間に接続されたフィードバック容量と、

上記差動型アンプの他方の入力端子に、上記インバータ型積分器を形成する素子と同等のサイズ比をもって生成した基準電圧を供給する基準電圧生成部と、を含む

請求項４記載の固体撮像素子。

[請求項7] 上記増幅器は、

上記入力容量と上記フィードバック容量の容量比を変更することにより、上記アナログ画素信号の入力振幅に応じたゲインを設定可能

である

請求項５または請求項６記載の固体撮像素子。

[請求項8] 上記増幅器は、

上記アンプの出力端子と入力端子の電位を所定電位にリセットするリセット用スイッチを含む

請求項５または請求項６記載の固体撮像素子。

[請求項9] 上記画素は、

フローティングディフュージョンの電荷をリセットするリセット機能を含み、

上記増幅器のリセット用スイッチは、

上記画素のリセット動作に並行して導通状態に保持されて、上記アンプの出力端子と入力端子の電位のリセットを行う

請求項８記載の固体撮像素子。

[請求項10] 上記読み出し部は、

上記ΔΣ変調器のデジタル信号を多ビット化するデシメーションフィルタ回路を含む

請求項１記載の固体撮像素子。

[請求項11] 固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光信号を電気信号に変換するフォトダイオードを含む画素が配列された画素アレイ部と、

上記画素からのアナログ画像信号を信号線に読み出し、読み出したアナログ画素信号をカラム単位で処理する読み出し部と、を有し、

上記読み出し部は、

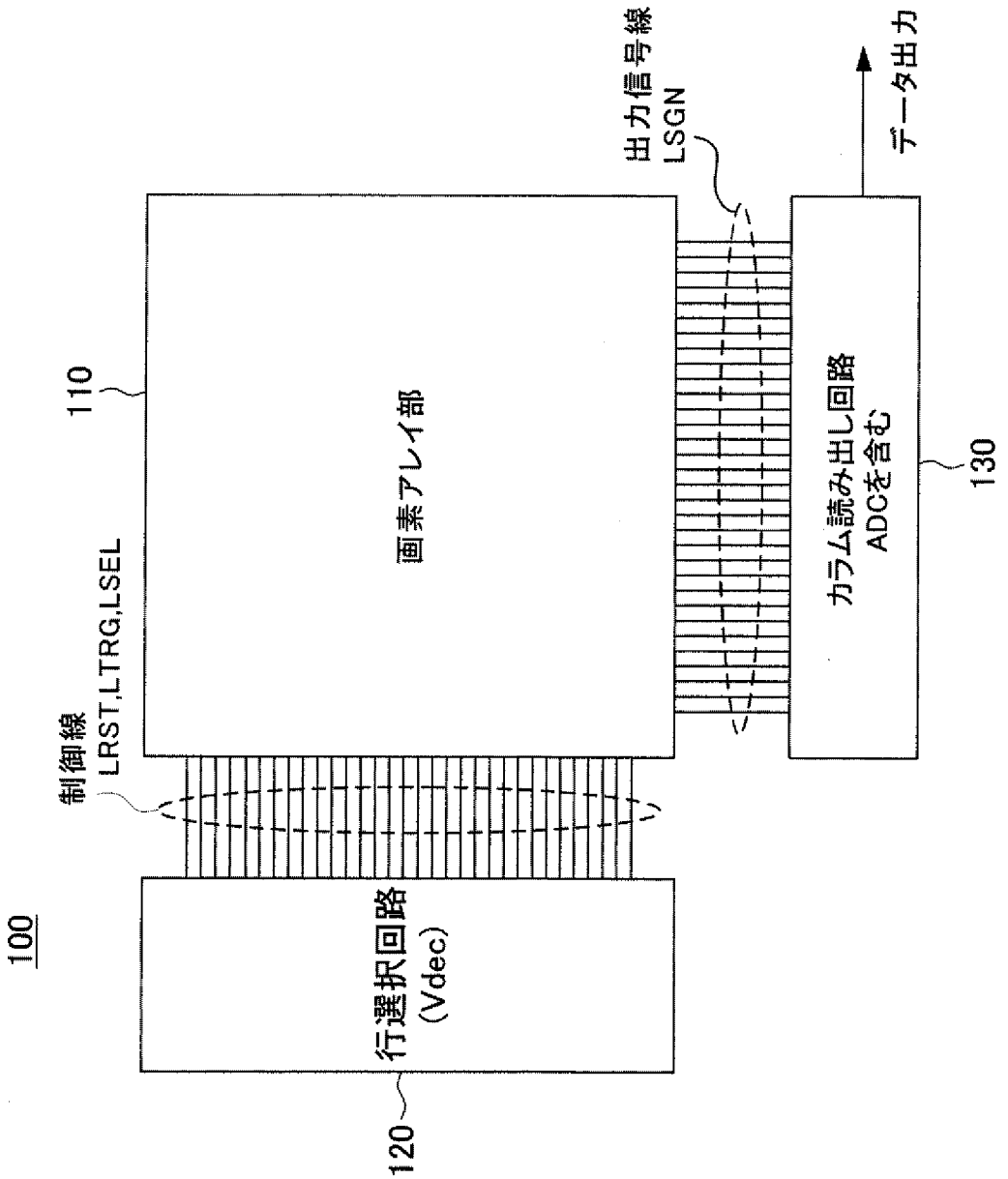
上記アナログ画素信号をデジタル信号に変換する機能を有するΔΣ変調器と、

上記ΔΣ変調器の入力側に配置され、上記信号線に読み出され

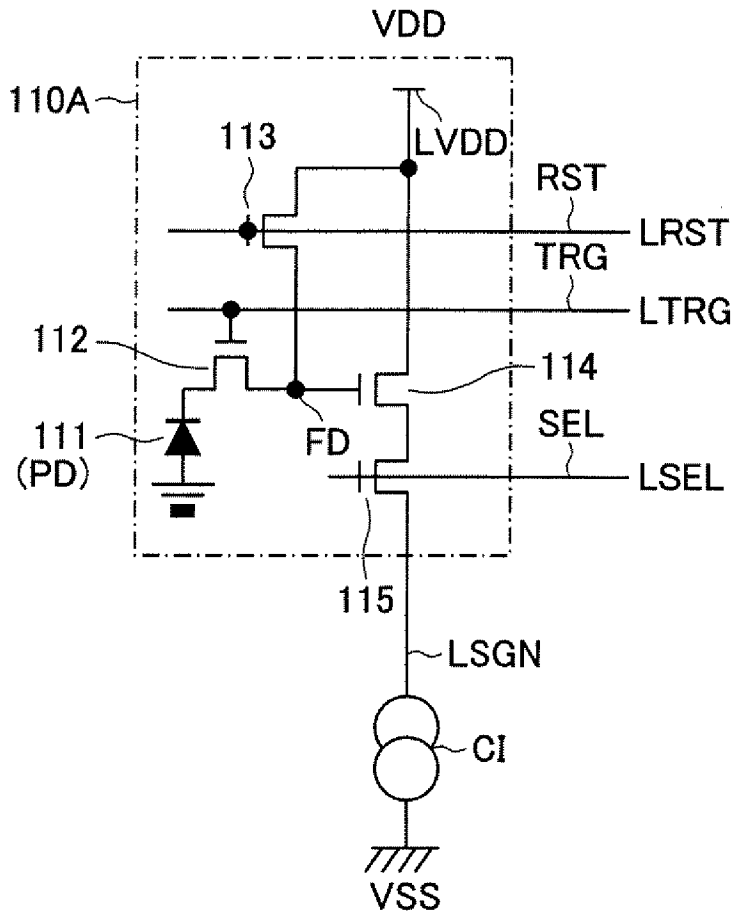
たアナログ画素信号を設定されるゲインをもって増幅して上記ΔΣ変調器に入力する増幅器と、を含む

カメラシステム。

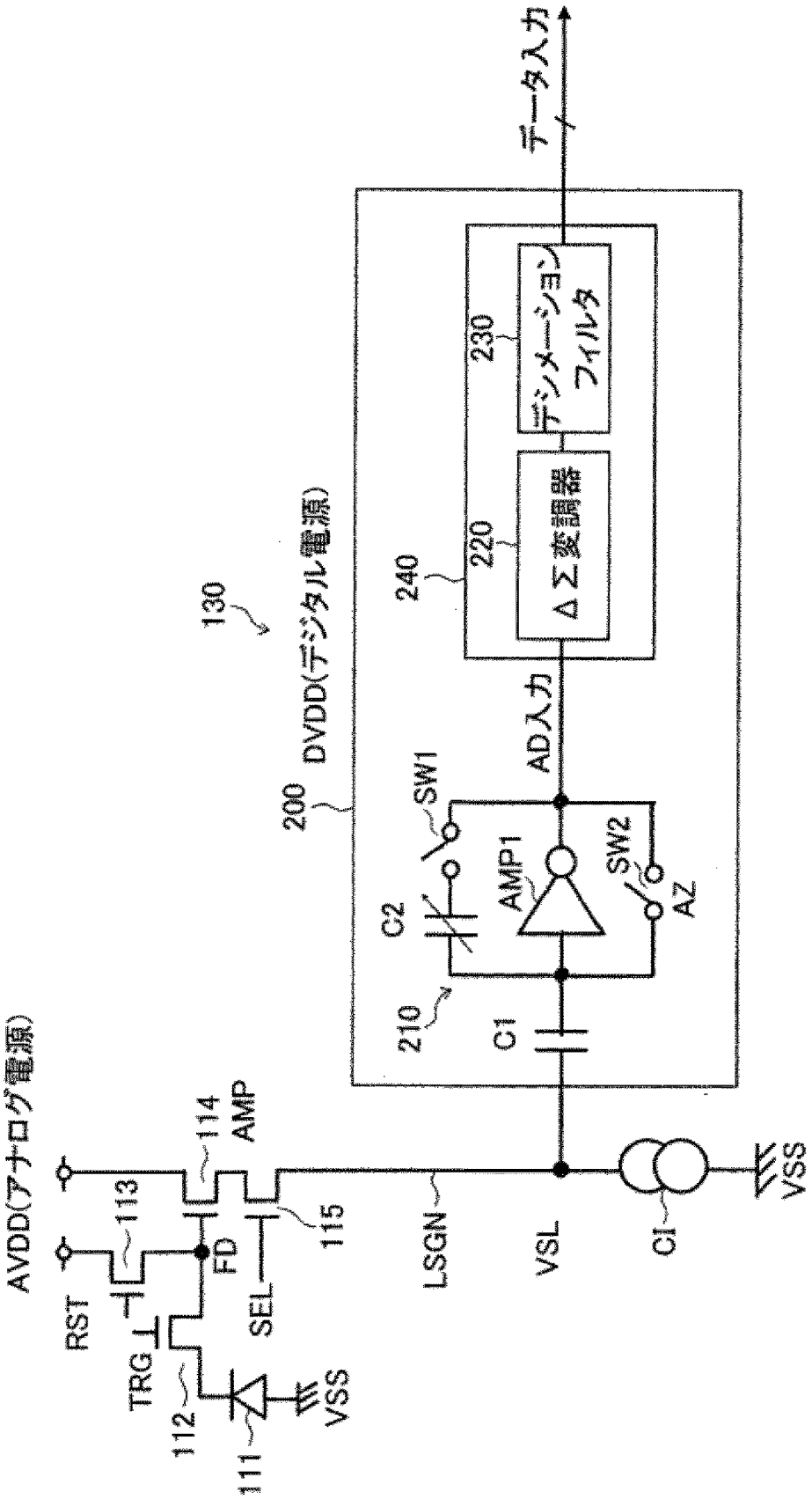
[図1]


100
制御線
LRST,LTRG,LSEL
110
画素アレイ部
出力信号線
LSGN
データ出力
カラム読み出し回路
ADCを含む
130
行選択回路
(Vdec)
120

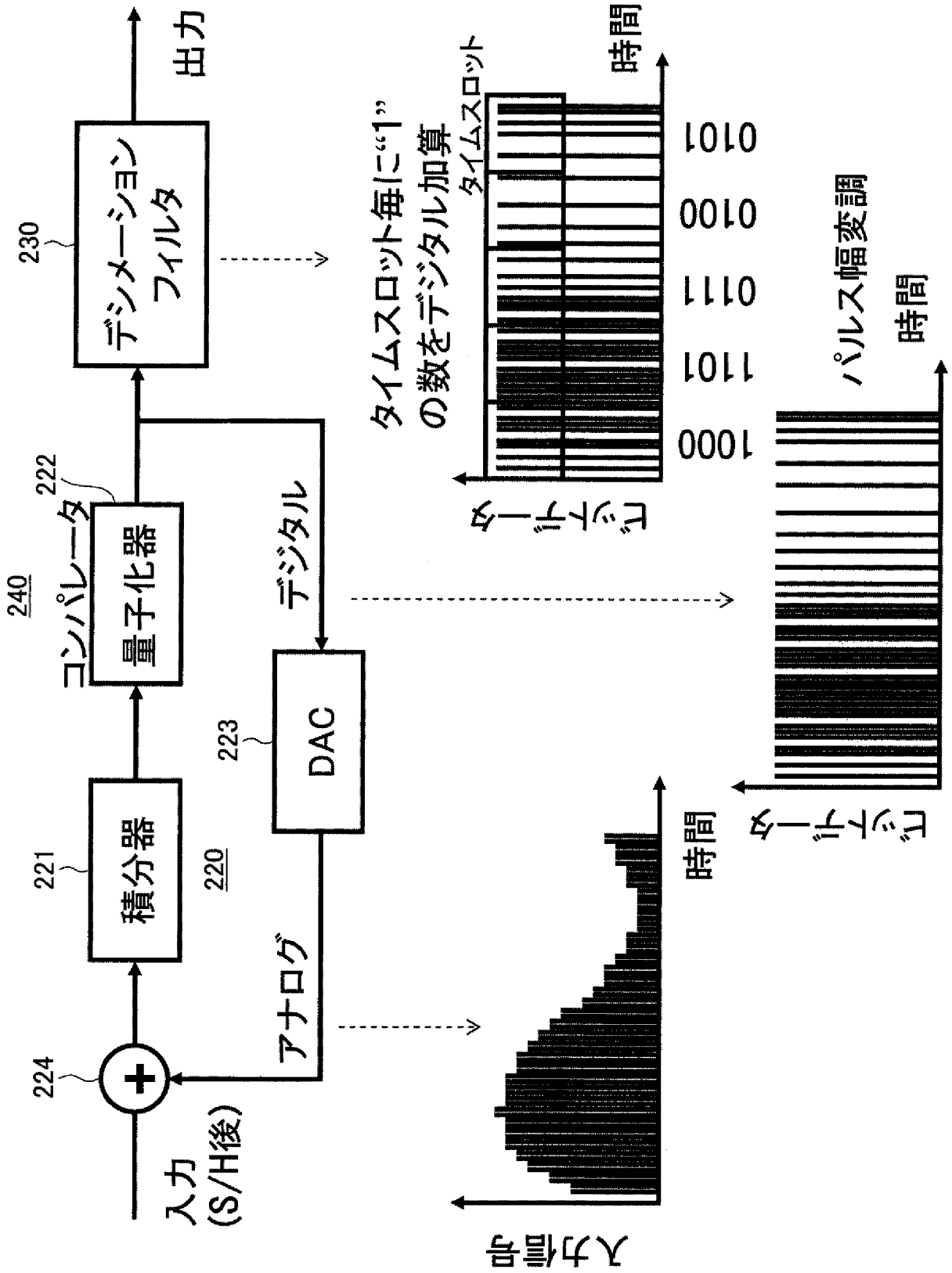
[図2]


VDD
110A
113
LVDD
RST
LRST
TRG
LTRG
112
114
111
(PD)
FD
SEL
LSEL
115
LSGN
CI
VSS

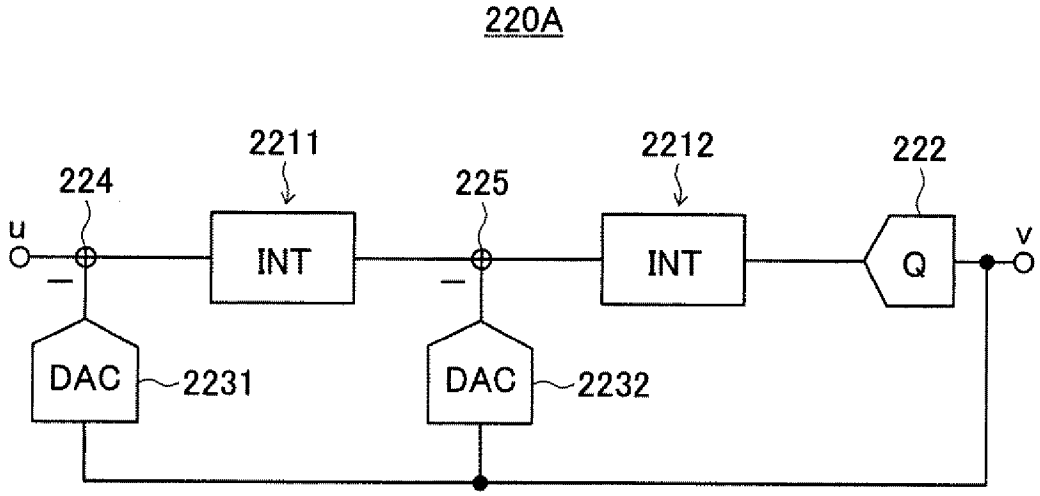
[図3]


データ入力
デシメーションフィルタ
ΔΣ変調器
230
220
240
130
DVDD(デジタル電源)
200
AD入力
SW1
SW2
AMP1
C2
AZ
210
C1
AVDD(アナログ電源)
114
AMP
113
RST
FD
SEL
115
TRG
112
111
VSS
LSGN
VSL
CI
VSS

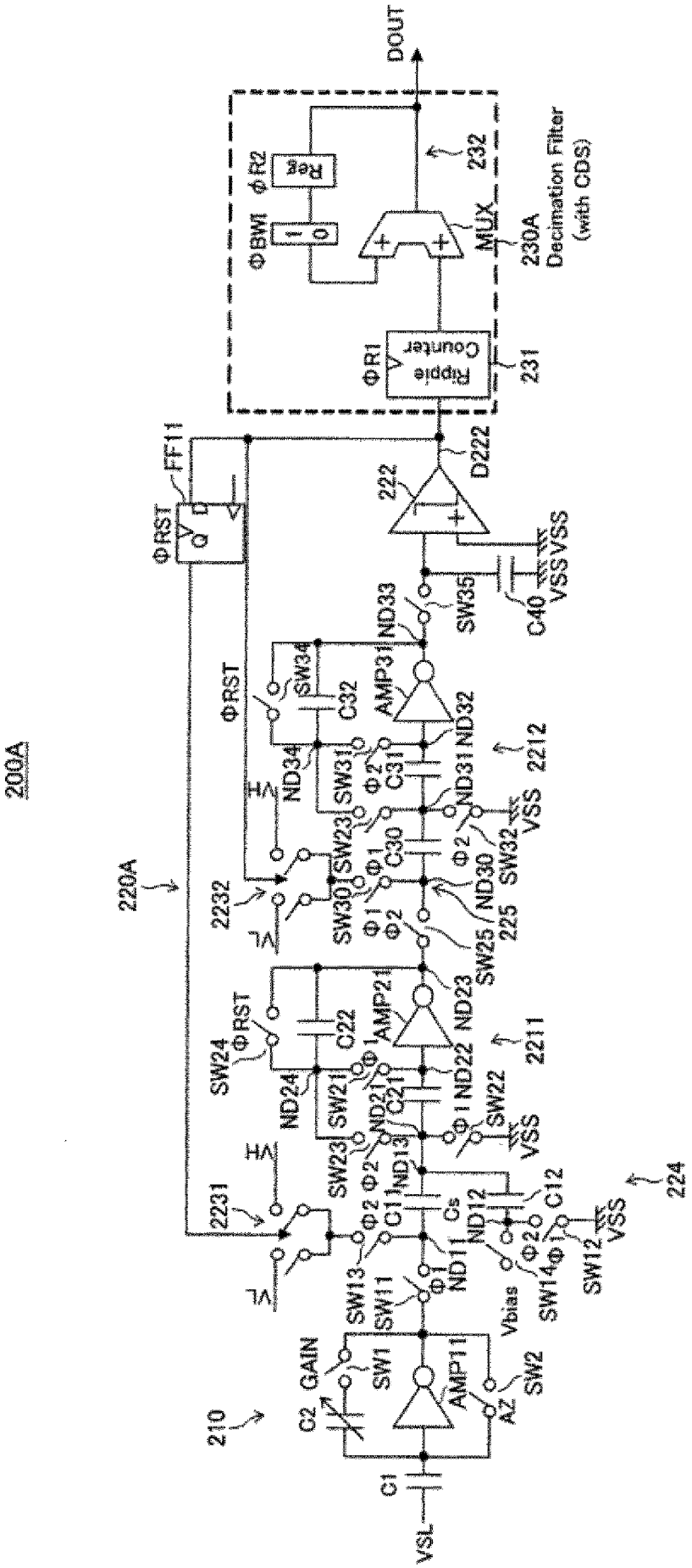
[図4]


出力
デシメーション
フィルタ
230
222
コンパレータ
量子化器
240
デジタル
DAC
223
積分器
221
220
アナログ
224
入力
(S/H後)
タイムスロット毎に"1"
の数をデジタル加算
タイムスロット
時間
0101
0100
0111
1101
1000
デジタル
パルス幅変調
時間
デジタル
時間
入力信号

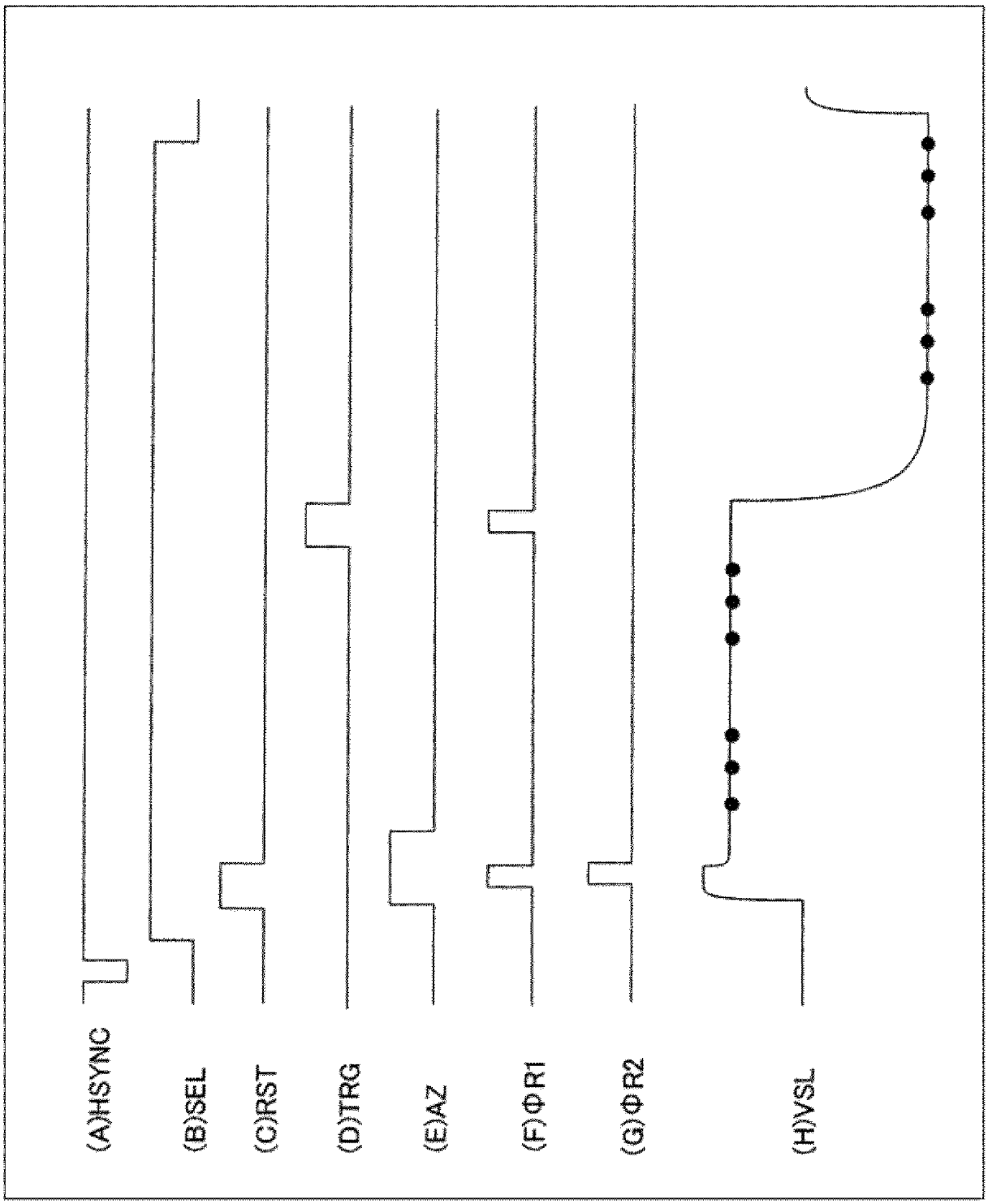
[図5]



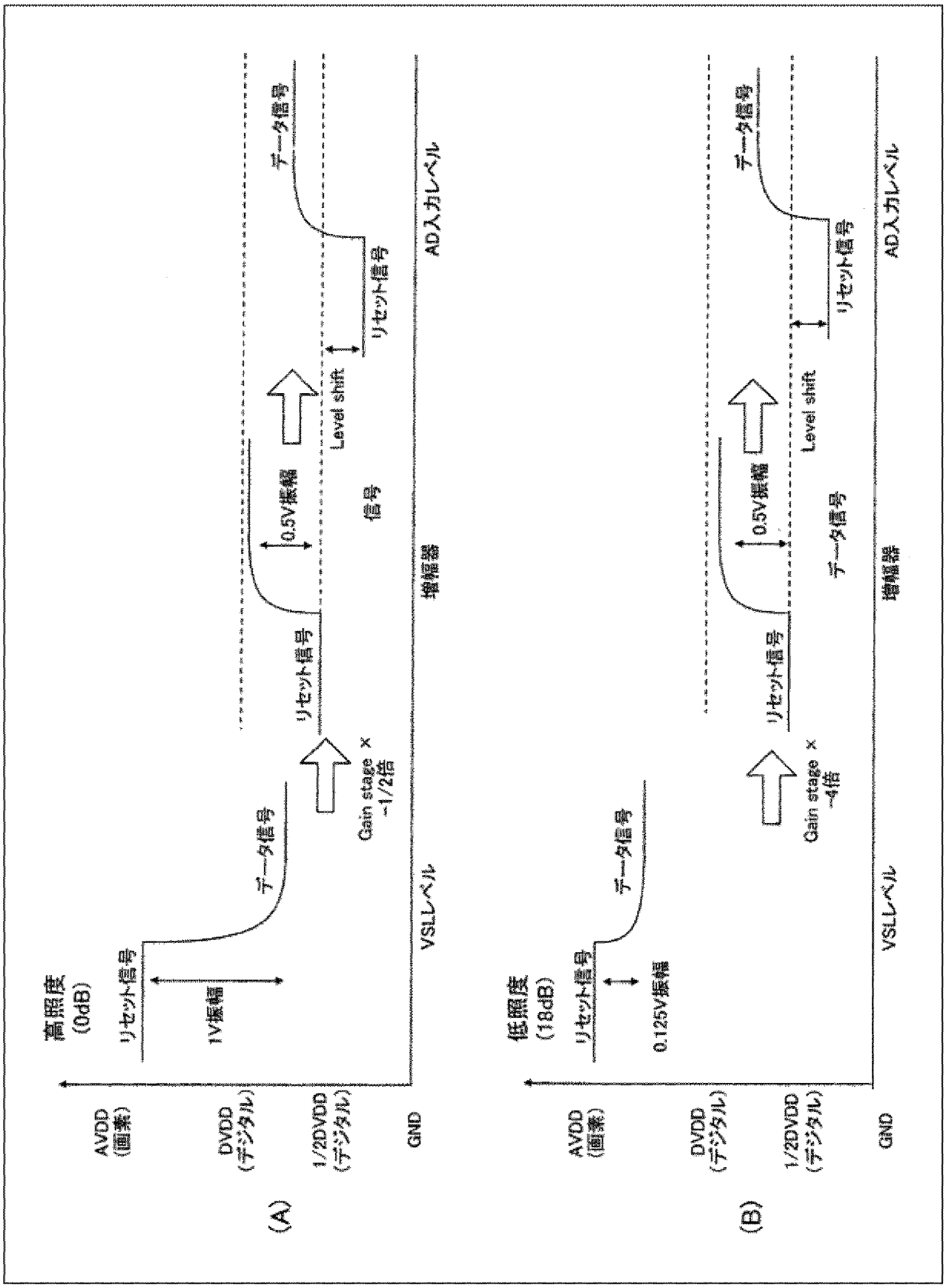
[図6]


200A
220A
210
DOUT
232
MUX
230A
Decimation Filter
(with CDS)
Ripple Counter
231
FF11
D222
222
SW35
C40
VSS
ND33
AMP31
C32
SW34
ND34
SW31
C31
ND31
ND32
2212
SW23
C30
SW32
2232
SW30
SW25
225
ND30
AMP21
C22
SW24
ND23
2211
ND24
SW21
C21
ND22
SW22
2231
ND13
C11
Cs
ND12
C12
224
SW13
SW11
ND11
SW14
SW12
Vbias
GAIN
SW1
AMP11
SW2
C2
C1
VSL

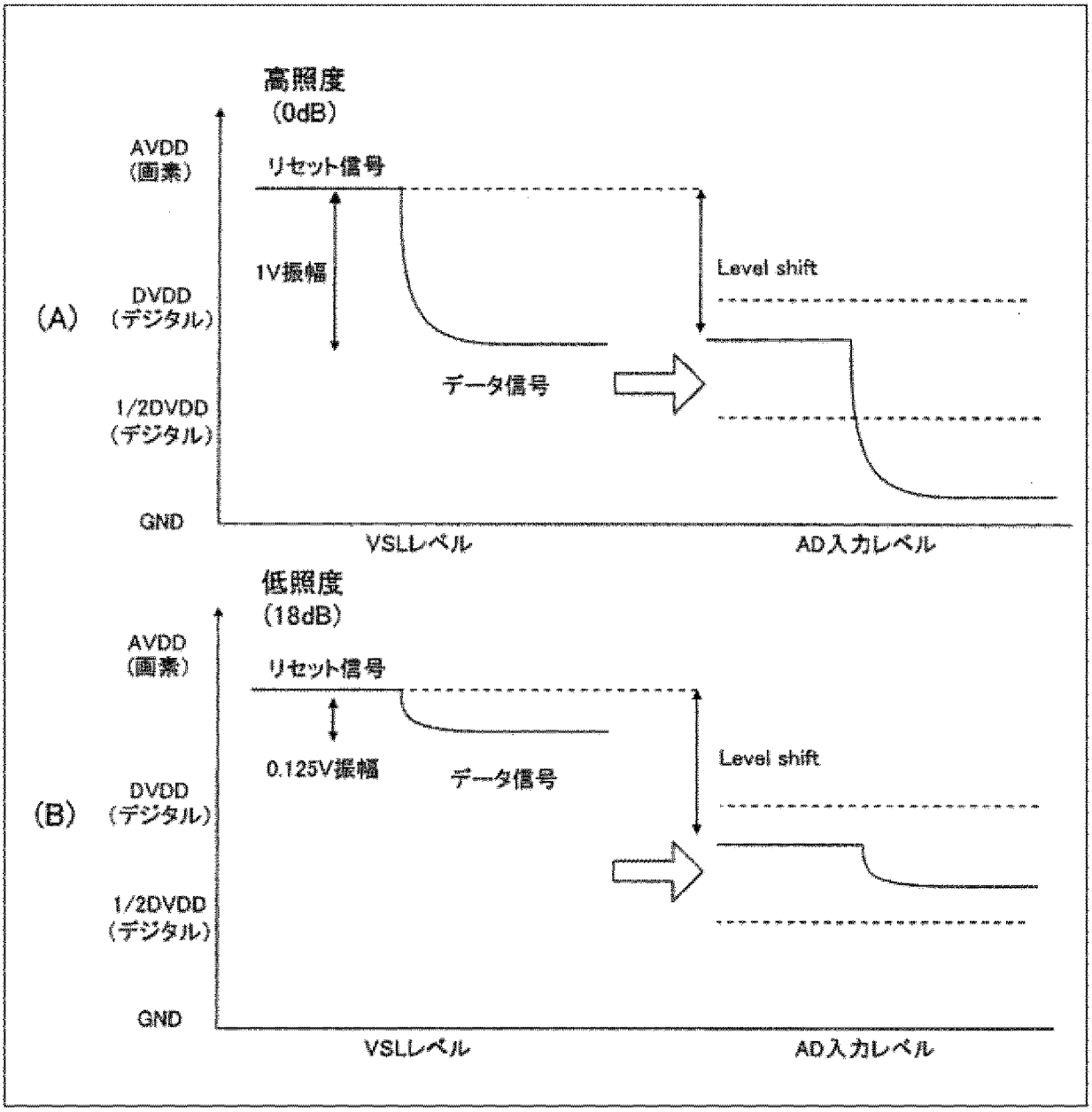
[図7]



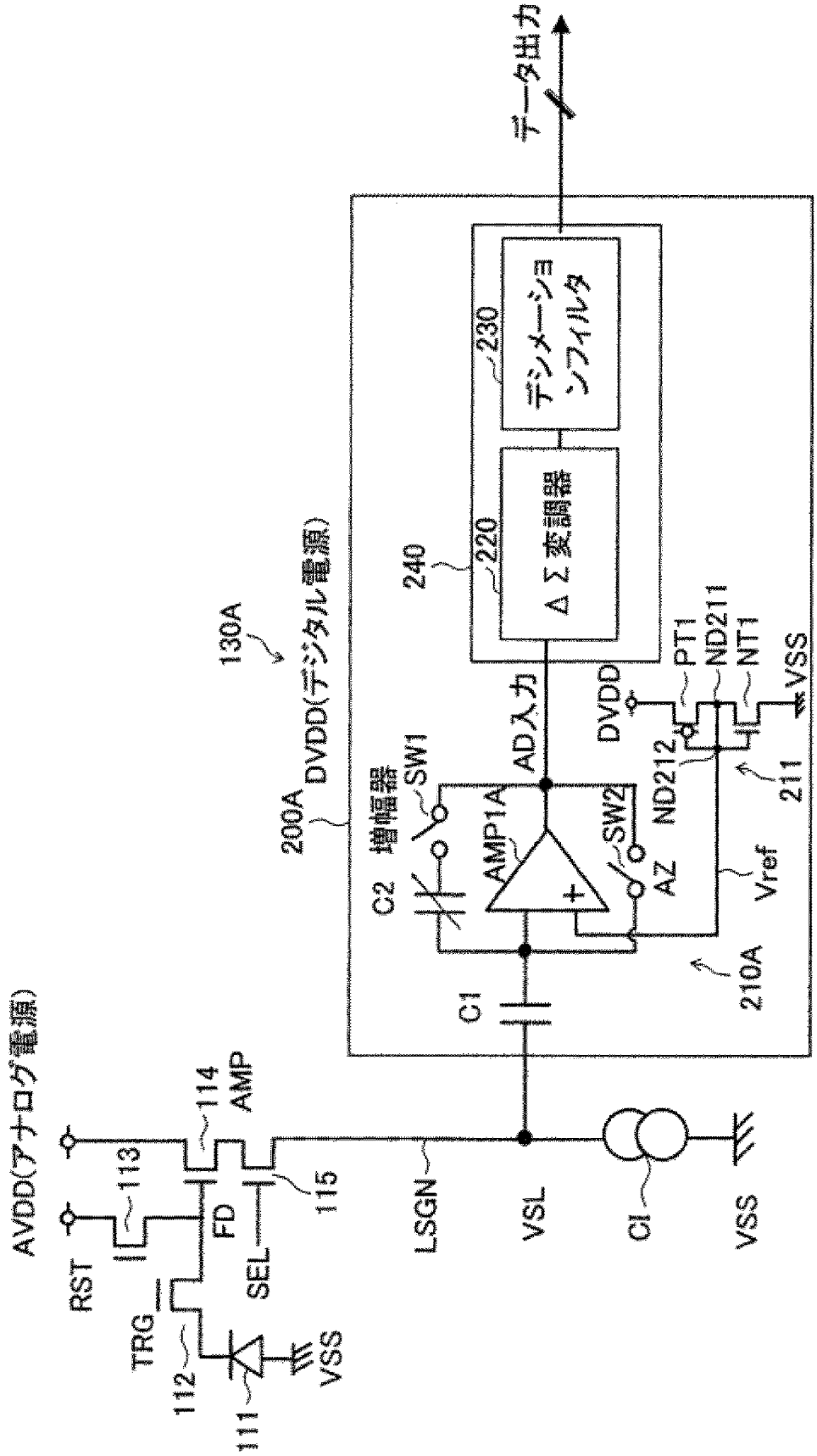
[図8]


高照度
(0dB)
リセット信号
1V振幅
データ信号
Gain stage ×
-1/2倍
リセット信号
0.5V振幅
データ信号
Level shift
リセット信号
信号
増幅器
AD入力レベル
AVDD
(画素)
DVDD
(デジタル)
1/2DVDD
(デジタル)
GND
VSLレベル
(A)
低照度
(18dB)
リセット信号
0.125V振幅
データ信号
Gain stage ×
-4倍
リセット信号
0.5V振幅
データ信号
Level shift
リセット信号
増幅器
AD入力レベル
AVDD
(画素)
DVDD
(デジタル)
1/2DVDD
(デジタル)
GND
VSLレベル
(B)

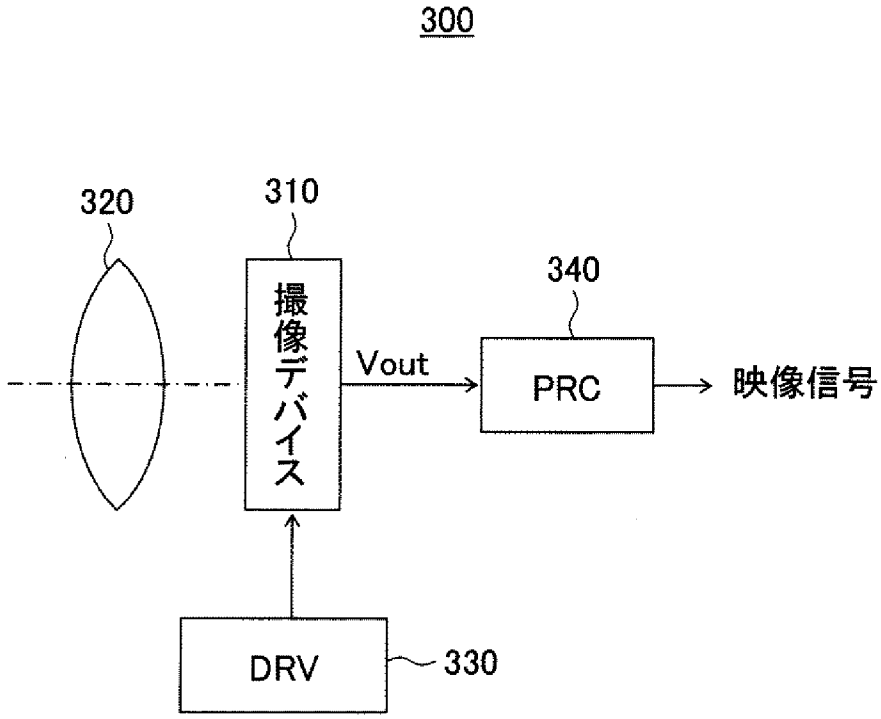
[図9]


高照度
(0dB)
AVDD
(画素)
リセット信号
1V振幅
Level shift
(A)
DVDD
(デジタル)
データ信号
1/2DVDD
(デジタル)
GND
VSLレベル
AD入力レベル
低照度
(18dB)
AVDD
(画素)
リセット信号
0.125V振幅
データ信号
Level shift
(B)
DVDD
(デジタル)
1/2DVDD
(デジタル)
GND
VSLレベル
AD入力レベル

[図10]


データ出力
デシメーションフィルタ
ΔΣ変調器
230
220
240
130A
DVDD(デジタル電源)
200A
増幅器
SW1
AD入力
C2
AMP1A
SW2
AZ
ND212
DVDD
PT1
ND211
NT1
VSS
Vref
211
210A
C1
AVDD(アナログ電源)
RST
113
114
AMP
FD
SEL
115
TRG
112
111
VSS
LSGN
VSL
CI
VSS

[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/076351

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/374(2011.01)i, *H01L27/146*(2006.01)i, *H04N5/357*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/374, H01L27/146, H04N5/357

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-112077 A (Sharp Corp.), 08 April 2004 (08.04.2004), paragraphs [0014] to [0034]; fig. 7 to 8 (Family: none)	1,11 2-10
Y	JP 2002-158550 A (Sony Corp.), 31 May 2002 (31.05.2002), claim 1; paragraphs [0003], [0019] to [0021]; fig. 1, 4 (Family: none)	2
Y	JP 2011-023966 A (Toshiba Corp.), 03 February 2011 (03.02.2011), claim 1; paragraphs [0009], [0013] to [0019]; fig. 1 (Family: none)	3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 October, 2012 (31.10.12)	13 November, 2012 (13.11.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/076351

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1 (JP 2004-112077 A (Sharp Corp.), 08 April 2004 (08.04.2004), paragraphs [0014] to [0034], fig. 7 to 8) describes an apparatus wherein output of an amplifier is inputted into a $\Delta\sum$ modulator. Therefore, the invention in claims 1 and 11 does not appear to be novel to the invention described in document 1, and does not have a special technical feature. Therefore, the claims included the following three inventions (groups).

Invention 1: The invention in claims 1-3, and 11
Invention 2: The invention in claims 4-9
Invention 3: The invention in claim 10

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０７６３５１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/357(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/374, H01L27/146, H04N5/357

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2004-112077 A（シャープ株式会社）2004.04.08, 段落１４－３４，図７－８（ファミリーなし）	1,11 2-10
Y	JP 2002-158550 A（ソニー株式会社）2002.05.31，請求項１，段落３，１９－２１，図１，４（ファミリーなし）	2
Y	JP 2011-023966 A（株式会社東芝）2011.02.03，請求項１，段落９，１３－１９，図１（ファミリーなし）	3

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３１．１０．２０１２	１３．１１．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｐ　４１９０
若林　治男
電話番号　０３－３５８１－１１０１　内線　３５８１

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０７６３５１

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献１（JP 2004-112077 A (シャープ株式会社) 2004.04.08, 段落１４－３４，図７－８）には、増幅器の出力をΔΣ変調器に入力するものが記載されている。したがって、請求項１，１１に係る発明は、文献１に記載された発明に対して新規性が認められず、特別な技術的特徴を有さない。よって、請求の範囲には、以下に示す３の発明（群）が含まれる。

（発明１）請求項１－３，１１
（発明２）請求項４－９
（発明３）請求項１０

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
☐ 追加調査手数料の納付はあったが、異議申立てはなかった。