

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 12 月 27 日 (27.12.2012)



(10) 国际公布号
WO 2012/174850 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2012/000669
- (22) 国际申请日: 2012 年 5 月 16 日 (16.05.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110166632.1 2011 年 6 月 20 日 (20.06.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科罗斯特街 11#, NY 12603 (US)。 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, NY 12603 (US)。 骆志炯 (LUO, Zhijiong) [US/US]; 美国纽约州波基普西市洛克科罗斯特街 11#, NY 12603 (US)。

(74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD); 中国香港湾仔港湾道 23 号鹰君中心 22 字楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种半导体结构及其制造方法

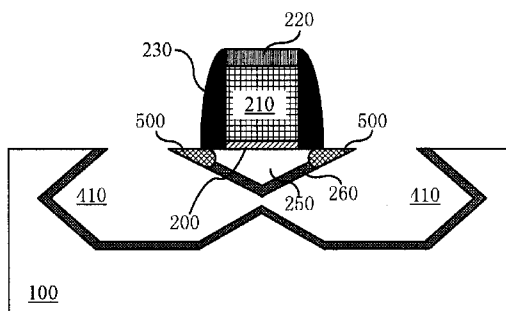


图 9 / Fig. 9

(57) Abstract: Provided is a semiconductor structure comprising a base (100), a semiconductor substrate (250), a semiconductor auxiliary substrate layer (260), a cavity (410), a gate stack (230), a sidewall (230), and a source/drain region (500). The gate stack is located on the semiconductor substrate. The sidewall is located on a side surface of the gate stack. The source/drain region is embedded in the semiconductor substrate, and is located on two sides of the gate stack. The cavity is embedded in the base. The semiconductor substrate is suspended above the cavity. In the length direction of a gate, the thickness at the center of the semiconductor substrate is greater than that of the two sides, and in the width direction of the gate, the semiconductor substrate is connected to the base. The semiconductor auxiliary substrate layer is located on a side surface of the semiconductor substrate. The doping type of the semiconductor auxiliary substrate layer is opposite to that of the source/drain region, and the doping concentration thereof is higher than that of the semiconductor substrate. Correspondingly provided is a manufacturing method for the semiconductor structure. The present invention inhibits the short-channel effect, improves device performance, reduces costs, and simplifies the manufacturing process.

(57) 摘要:

[见续页]

WO 2012/174850 A1

提供一种半导体结构，该结构包括衬底（100）、半导体基体（250）、半导体辅助基体层（260）、空腔（410）、栅极堆叠、侧墙（230）、源/漏区（500），其中栅极堆叠位于半导体基体之上，侧墙位于栅极堆叠的侧壁上，源/漏区嵌于半导体基体中，并位于栅极堆叠的两侧，空腔嵌于衬底中，半导体基体悬置于空腔上方。在沿栅极长度方向上，半导体基体的厚度大于其两侧的厚度；在沿栅极宽度的方向上，半导体基体与衬底相连。半导体辅助基体层位于半导体基体的侧壁上，半导体辅助基体层的掺杂类型与源/漏区相反，且其掺杂浓度高于半导体基体的掺杂浓度。相应地，提供一种半导体结构的制造方法。该半导体结构有利于抑制短沟道效应，提高器件性能，并降低成本，简化工艺。

一种半导体结构及其制造方法

优先权要求

本申请要求了 2011 年 6 月 20 日提交的、申请号为 201110166632.1、
5 发明名称为“一种半导体结构及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体制造领域，尤其涉及一种半导体结构及其制造
10 方法。

背景技术

为了提高集成电路芯片的性能和集成度，器件特征尺寸按照摩尔定律不断缩小，目前已经进入纳米尺度。随着器件体积的缩小，功耗
15 与漏电流成为最关注的问题，一系列在 MOSFET 长沟道模型中可以忽略的效应变得愈发显著，甚至成为影响性能的主导因素，这种现象统称为短沟道效应。短沟道效应导致器件的电学性能恶化，如造成栅极阈值电压下降、功耗增加以及信噪比下降等问题。

为了改善短沟道效应，超陡倒掺杂阱（SSRW）被引入到半导体场
20 效应器件中。超陡倒掺杂阱具有低高低（或低高）的沟道掺杂分布，沟道表面区域维持低掺杂浓度，通过离子注入等合适的方法在沟道表面以下的区域内形成高掺杂区，减小源/漏区耗尽层宽度，避免源漏穿通、阈值电压增加导致漏电流增大等短沟道效应。

在 MOS 管结构上，绝缘体上硅 SOI（Silicon on Insulator）结构因
25 能很好地抑制短沟效应，提高器件按比例缩小的能力，已成为深亚微米及纳米级 MOS 器件的优选结构。

随着 SOI 技术的不断发展，在现有技术文献“Silicon-on-Nothing – an Innovative Process for Advanced CMOS”（IEEE 电子器件会刊，第
147 卷 2000 年第 11 期）中，Malgorzata Jurcazak, Thomas Skotnicki,
30 M. Paoli 等人提出了一种将沟道区制备在空腔上的新型 SOI 器件-SON（Silicon on Nothing）器件结构。

SON（Silicon on Nothing）是一项由法国 CEA-Leti 和 ST 意法半

导体公司为 90nm 及其以下技术节点的 CMOS 制程发展起来的高级技术，SON 通过“空腔”结构在沟道下形成局域的绝缘体上硅，所述空腔可以是空气间隙或是氧化物填充。与 SOI 器件相比，空腔结构的介电常数显著减小，大大减小了埋氧层二维电场效应的影响，DIBL 效应可以大大降低，而且可以通过控制硅膜厚度和空腔高度，得到很好的短沟特性，获得较为陡直的亚阈值斜率，同时可以改善 SOI 器件的自加热效应，以及可以采用体硅代替较昂贵的 SOI 片作为原始晶片，被认为是代替 SOI 技术的一个首选结构。

制备 SON 器件最关键的问题是如何制备空腔层。SON 结构提出之初，采用的是外延 SiGe 牺牲层工艺。后续又有文献报道了用氦(He)离子注入附加退火或氢-氦(H-He)离子联合注入附加退火的方法制备 SON 器件。外延 SiGe 牺牲层工艺增加了器件制作的工艺步骤，同时增加了工艺的复杂度；而随着器件特征尺寸的缩小，对器件超浅结深的要求也使得离子注入成为一个难题，现有技术要真正用到目前的超大规模集成电路制造工艺中还面临着许多挑战。

如何在 SON 器件中应用超陡倒掺杂阱，进一步抑制短沟道效应，提高器件的性能，也还有许多技术难题待解决。

发明内容

本发明旨在至少解决上述技术缺陷，提供一种半导体器件结构及其制造方法，降低成本，简化工艺步骤，同时结合超陡倒掺杂阱技术，减小短沟道效应，提高半导体器件的性能。

为达上述目的，本发明提供了一种半导体结构，该结构包括衬底、半导体基体、半导体辅助基体层、空腔、栅极堆叠、侧墙、源/漏区，其中：

所述栅极堆叠位于所述半导体基体之上；

所述侧墙位于所述栅极堆叠的侧壁上；

所述源/漏区嵌于所述半导体基体中，位于所述栅极堆叠的两侧；

所述空腔嵌于所述衬底中；

所述半导体基体悬置于所述空腔上方，在沿栅极长度的方向上，所述半导体基体中间的厚度大于其两侧的厚度，在沿栅极宽度的方向上，所述半导体基体两侧与所述衬底相连；

所述半导体辅助基体层位于所述半导体基体的侧壁上，所述半导体辅助基体层与所述源漏区具有相反的掺杂类型，且其掺杂浓度高于所述半导体基体的掺杂浓度。

其中，所述半导体辅助基体层的掺杂浓度为 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ ，其厚度为 10 ~ 20nm。对于 PMOS，所述半导体辅助基体层的掺杂类型为 N 型；对于 NMOS，所述半导体辅助基体层的掺杂类型为 P 型。

相应地，本发明还提供了一种半导体结构的制造方法，该方法包括：

10 (a) 提供衬底，在所述衬底上形成栅极堆叠，在所述栅极堆叠的侧壁形成侧墙；

(b) 在所述栅极堆叠两侧的衬底上形成凹槽，湿法腐蚀所述栅极堆叠两侧的凹槽，使其穿通，形成空腔，悬置在所述空腔上的衬底部分形成半导体基体；

15 (c) 在所述半导体基体的侧壁上形成半导体辅助基体层；

(d) 形成源/漏区。

其中，形成所述凹槽的方法为：

在所述衬底和栅极堆叠上形成掩膜层；

20 在所述掩膜层上覆盖一层光刻胶，通过曝光显影在光刻胶上形成开口，所述开口位于所述栅极堆叠的两侧；

刻蚀所述开口中的掩膜层，去掉所述光刻胶；

刻蚀所述衬底，在栅极堆叠的两侧形成凹槽。

25 根据本发明提供的半导体结构及其制造方法，采用常用的半导体刻蚀工艺，在普通晶片上即可制造出 SON (silicon-on-nothing) 器件结构，极大地简化了工艺，降低了成本，提高了效率。同时，通过在半导体器件中形成超陡倒掺杂阱结构，抑制短沟道效应，进一步提高半导体器件的性能。

附图说明

30 本发明上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解，其中：

图 1 是根据本发明的半导体结构的制造方法的一个具体实施方式

的流程图；

图 2 至图 9 为根据图 1 示出的方法制造半导体结构过程中该半导体结构在各个制造阶段的剖面结构示意图。

5 具体实施方式

下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

下面首先对本发明提供的半导体结构进行概述，请参考图 9。该半导体结构包括衬底 100、半导体基体 250、半导体辅助基体层 260、空腔 410、栅极堆叠、侧墙 230、源/漏区 500，其中：

所述栅极堆叠位于所述半导体基体 250 之上；

所述侧墙 230 位于所述栅极堆叠的侧壁上；

所述源/漏区 500 嵌于所述半导体基体 250 中，位于所述栅极堆叠的两侧；

所述空腔 410 嵌于所述衬底 100 中；

所述半导体基体 250 悬置于所述空腔 410 上方，在沿栅极长度的方向上，所述半导体基体 250 中间的厚度大于其两侧的厚度，在沿栅极宽度的方向上，所述半导体基体 250 与所述衬底相连；

所述半导体辅助基体层 260 位于所述半导体基体 250 的侧壁上，所述半导体辅助基体层 260 与所述源/漏区 500 具有相反的掺杂类型，

且其掺杂浓度高于所述半导体基体 250 的掺杂浓度。

其中，所述栅极堆叠包括栅介质层 200 和栅极 210，可选地，所述栅极堆叠还包括位于所述栅极之上的覆盖层 220。

其中，所述半导体辅助基体层 260 的掺杂浓度为 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ ，其厚度为 10 ~ 20nm。对于 PMOS，所述半导体辅助基体层 260 的掺杂类型为 N 型；对于 NMOS，所述半导体辅助基体层 260 的掺杂类型为 P 型。

下面对该半导体结构的制造方法进行阐述。

请参考图 1，该方法包括：

10 步骤 S101，提供衬底 100，在所述衬底 100 上形成栅极堆叠，在所述栅极堆叠的侧壁形成侧墙 230；

步骤 S102，在所述栅极堆叠两侧的衬底上形成凹槽 400，湿法腐蚀所述栅极堆叠两侧的凹槽 400，使其穿通，形成空腔 410，悬置在所述空腔 400 上的衬底部分形成半导体基体 250；

15 步骤 S103，在所述半导体基体 250 的侧壁上形成半导体辅助基体层 260；

步骤 S104，形成源/漏区 500。

下面结合图 2 至图 9 对步骤 S101 至步骤 S104 进行说明。需要说明的是，本发明各个实施例的附图仅是为了示意的目的，因此没有必
20 要按比例绘制。

参考图 2，在步骤 S101 中，提供衬底 100，随后在所述衬底 100 上形成栅极堆叠，在所述栅极堆叠的侧壁形成侧墙 230。所述栅极堆叠包括栅介质层 200 和栅极 210，可选地，所述栅极堆叠还包括位于所述栅极之上的覆盖层 220。

25 在本实施例中，衬底 100 为单晶硅。优选地，衬底的晶向为 {100}。根据现有技术公知的设计要求(例如 P 型衬底或者 N 型衬底)，衬底 100 可以包括各种掺杂配置。其他实施例中衬底 100 还可以包括单晶 Ge、单晶 SiGe 或其组合。典型地，衬底 100 的厚度可以是但不限于约几百微米，例如可以在 400 μm -800 μm 的厚度范围内。

30 在形成栅极堆叠时，首先在衬底 100 上形成栅介质层 200，在本实施例中，所述栅介质层 200 可以为氧化硅、氮化硅或其组合形成，在其他实施例中，所述栅介质层 200 也可以是高 K 介质，例如，HfO₂、

HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、Al₂O₃、La₂O₃、ZrO₂、LaAlO 中的一种或其组合，其厚度可以为 1nm -5nm，如 2nm、4nm。所述栅极 210 可以通过沉积形成的重掺杂多晶硅，或是先形成功函数金属层（对于 NMOS，例如 TaC, TiN, TaTbN, TaErN, TaYbN, TaSiN, HfSiN, 5 MoSiN, RuTa_x, NiTa_x 等，对于 PMOS，例如 MoN_x, TiSiN, TiCN, TaAlC, TiAlN, TaN, PtSi_x, Ni₃Si, Pt, Ru, Ir, Mo, HfRu, RuO_x），其厚度可以为 1nm-20nm，如 3nm、5nm、8nm、10nm、12nm 或 15nm，再在所述功函数金属层上形成重掺杂多晶硅、Ti、Co、Ni、Al、W 或其合金等而形成栅极 210。最后在栅极 210 上形成覆盖层 220，例如通过沉积氮化 10 硅、氧化硅、氮氧化硅、碳化硅或其组合形成，用以保护栅极 210 的顶部区域。

接着，在所述栅极堆叠的侧壁上形成侧墙 230，用于将栅极隔离保护。所述侧墙 230 可以由氮化硅、氧化硅、氮氧化硅、碳化硅或其组合，和/或其他合适的材料形成，可以具有多层结构。所述侧墙 230 15 可以通过包括沉积刻蚀工艺形成，其厚度范围可以是 10nm-100nm，如 30nm、50nm 或 80nm。

参考图 3、图 4 和图 5，在步骤 S102 中，在所述栅极堆叠两侧的衬底上形成凹槽 400，湿法腐蚀所述栅极堆叠两侧的凹槽 400，使其穿 20 通，形成空腔 410，跨接在所述空腔 400 上的衬底部分形成半导体基体 250。

首先，在所述衬底 100 上形成凹槽 400，具体方法是，在所述衬底 100 和栅极堆叠上形成掩膜层 300，在所述掩膜层 300 上覆盖一层光刻胶，通过曝光显影在光刻胶上形成开口，所述开口位于所述栅极堆叠的两侧，所述光刻胶未在图中显示。刻蚀所述开口中的掩膜层 300， 25 在掩膜层上形成开口 310，去掉所述光刻胶，如图 3 所示。在本实施例中，所述开口 310 的一边接于所述侧墙 230。在本发明的其他一些实施例中，在所述开口 310 和所述侧墙 230 之间也可以隔着部分所述掩膜层 300，可以根据所设计的半导体器件的尺寸等进行合理的设置。然后刻蚀所述衬底 100，在栅极堆叠的两侧形成凹槽 400，如图 4 所示。所 30 述掩膜层 300 的材料是氧化硅、氮化硅、氮氧化硅或其组合，可以通过化学气相淀积等合适的方法形成在所述衬底上，刻蚀所述掩膜层的方法包括干法刻蚀 RIE，或采用合适的腐蚀液进行湿法腐蚀。所述掩膜

层的厚度可以根据设计要求进行控制，其厚度范围是 $1\sim 5\mu\text{m}$ 。刻蚀所述衬底形成凹槽 400 的方法为干法刻蚀 RIE，通过调整和控制 RIE 设备的气体流量、组分、功耗等，可以获得陡直的侧壁，或者根据需要，使得横向钻蚀增加。在本实施例中，干法刻蚀出的凹槽 400 具有近乎陡直的侧壁，在后续湿法腐蚀中，利用湿法腐蚀的各向异性，使栅极堆叠两侧的所述凹槽 400 相互贯通。在本发明的其他一些实施例中，也可以通过调整干法 RIE 的工艺参数，增加刻蚀出凹槽 400 的横向钻蚀程度，有助于在后续步骤中，使所述凹槽 400 贯通。

如图 5 所示，在所述栅极堆叠两侧的衬底中形成凹槽 400 后，采用湿法腐蚀工艺继续腐蚀所述凹槽 400，使栅极堆叠两侧的凹槽贯通，形成空腔 410，悬空跨接在所述空腔上方的衬底部分形成半导体基体 250，在后续工艺步骤中，可以在半导体基体 250 中形成源/漏区，同时半导体基体 250 也作为半导体器件的沟道区，在沿栅极宽度的方向上，所述半导体基体的两端与所述衬底 100 相连。在本实施例中，所述衬底的晶向为 $\{100\}$ ，湿法腐蚀的腐蚀液可以是氢氧化钾（KOH）、四甲基氢氧化铵（TMAH）或乙二胺-邻苯二酚（EDP）等，或其组合，腐蚀液的浓度为 $5\sim 40\%$ 质量百分比，反应温度为 $40^{\circ}\text{C}\sim 90^{\circ}\text{C}$ 。由于 KOH、TMAH 等腐蚀液对单晶硅腐蚀具有各向异性，对 $\{111\}$ 晶面的腐蚀速率与其他晶面的腐蚀速率之比约为 $1:100$ ，因此对 $\{111\}$ 晶面基本不腐蚀，如图 5 所示，所述空腔 410 的侧壁皆为腐蚀停止面，晶面为 $\{111\}$ 。利用各向异性腐蚀，使得所述凹槽结构贯通。

执行步骤 S103，在所述半导体基体 250 的侧壁上形成半导体辅助基体层 260。参考图 6，通过原位掺杂外延的方法，在所述半导体基体 250 的侧壁以及所述空腔 400 的表面形成半导体辅助基体层 260。所述半导体辅助基体层 260 具有与所要形成的器件类型相反的掺杂类型。对于 PMOS，所述半导体辅助基体层 260 的掺杂类型为 N 型；对于 NMOS，所述半导体辅助基体层 260 的掺杂类型为 P 型。在外延生长所述半导体辅助基体层 260 的同时，同步进行原位掺杂，使得所述半导体辅助基体层 260 的掺杂浓度高于所述半导体基体 250，从而减小了源/漏区耗尽层厚度，有效地减小短沟道效应。所述半导体辅助基体层 260 的掺杂浓度为 $5\times 10^{18}\sim 5\times 10^{19}\text{cm}^{-3}$ ，其厚度为 $10\sim 20\text{nm}$ 。所述原位掺杂外延生长的具体工艺，如工艺温度、反应时间及掺杂粒子均可根

据产品设计灵活调整，不再赘述。

参考图 7，执行步骤 S104，形成源/漏区 500。形成源/漏区 500 的方法为离子注入、扩散、原位掺杂外延或其组合。对于 PMOS 来说，源/漏区 500 可以是 P 型掺杂，对于 NMOS 来说，源/漏区 500 可以是 N 型掺杂。然后对所述半导体结构进行退火，以激活源/漏区 500 中的掺杂，退火可以采用包括快速退火、尖峰退火等其他合适的方法形成。

在本发明的其他一些实施例中，在形成源/漏区 500 之前，可以通过刻蚀部分侧墙 230，以增大源/漏区接触面积，然后再进行离子注入或掺杂，形成源/漏区 500，具体如图 8 所示。随后，去掉掩膜层 300，如图 9 所示，还可以根据具体器件设计，在空腔 410 中填充绝缘材料（未在图中示出）。在完成半导体结构的制造后，后续需要在整个半导体结构上形成层间介质层，层间介质层材料也必然会进入到空腔 410 中，因此空腔 410 中有否填充介质不影响本发明的实质。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权 利 要 求

1、一种半导体结构，该结构包括衬底、半导体基体、半导体辅助基体层、空腔、栅极堆叠、侧墙、源/漏区，其中：

5 所述栅极堆叠位于所述半导体基体之上；

所述侧墙位于所述栅极堆叠的侧壁上；

所述源/漏区嵌于所述半导体基体中，并位于所述栅极堆叠的两侧；

所述空腔嵌于所述衬底中；

10 所述半导体基体悬置于所述空腔上方，在沿栅极长度的方向上，所述半导体基体中间的厚度大于其两侧的厚度，在沿栅极宽度的方向上，所述半导体基体两侧与所述衬底相连；

所述半导体辅助基体层位于所述半导体基体的侧壁上，所述半导体辅助基体层与所述源/漏区具有相反的掺杂类型，且其掺杂浓度高于
15 所述半导体基体的掺杂浓度。

2、根据权利要求1所述的半导体结构，其中，所述衬底的材料为单晶 Si、单晶 Ge、单晶 SiGe 或其组合。

3、根据权利要求1所述的半导体结构，其中，所述衬底的晶向为 $\langle 100 \rangle$ 。

20 4、根据权利要求1所述的半导体结构，其中：

对于 PMOS，所述半导体辅助基体层的掺杂类型为 N 型；

对于 NMOS，所述半导体辅助基体层的掺杂类型为 P 型。

5、根据权利要求4所述的半导体结构，其中所述半导体辅助基体层的掺杂浓度为 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ ，其厚度为 10 ~ 20nm。

25 6、一种半导体结构的制造方法，该方法包括以下步骤：

(a) 提供衬底，在所述衬底上形成栅极堆叠，在所述栅极堆叠的侧壁形成侧墙；

(b) 在所述栅极堆叠两侧的衬底上形成凹槽，湿法腐蚀所述栅极堆叠两侧的凹槽，使其穿通，形成空腔，悬置在所述空腔上的衬底部分形成半导体基体；
30

(c) 在所述半导体基体的侧壁上形成半导体辅助基体层；

(d) 形成源/漏区。

7、根据权利要求 6 所述的方法，其中，所述衬底的材料为单晶 Si、单晶 Ge、单晶 SiGe 或其组合。

8、根据权利要求 6 所述的方法，其中，所述衬底的晶向为<100>。

9、根据权利要求 6 所述的方法，其中，步骤（b）中形成凹槽的

5 方法为：

在所述衬底和栅极堆叠上形成掩膜层；

在所述掩膜层上覆盖一层光刻胶，通过曝光显影在光刻胶上形成开口，所述开口位于所述栅极堆叠的两侧；

刻蚀所述开口中的掩膜层，去掉所述光刻胶；

10 刻蚀所述衬底，在栅极堆叠的两侧形成凹槽。

10、根据权利要求 9 所述的方法，其中，刻蚀形成所述凹槽的方法为干法刻蚀。

11、根据权利要求 6 所述的方法，其中，步骤（b）中，湿法腐蚀的方法的腐蚀液包括氢氧化钾（KOH）、四甲基氢氧化铵（TMAH）、

15 乙二胺-邻苯二酚（EDP）或其组合。

12、根据权利要求 11 所述的方法，其中，所述腐蚀液的浓度为 5~40%质量百分比，反应温度为 40℃~90℃。

13、根据权利要求 6 所述的方法，其中：

对于 PMOS，所述半导体辅助基体层的掺杂类型为 N 型；

20 对于 NMOS，所述半导体辅助基体层的掺杂类型为 P 型。

14、根据权利要求 13 所述的方法，其中所述半导体辅助基体层的掺杂浓度为 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ ，其厚度为 10~20nm。

15、根据权利要求 6 所述的方法，其中，步骤（c）中，通过原位掺杂外延方法形成所述半导体辅助基体层。

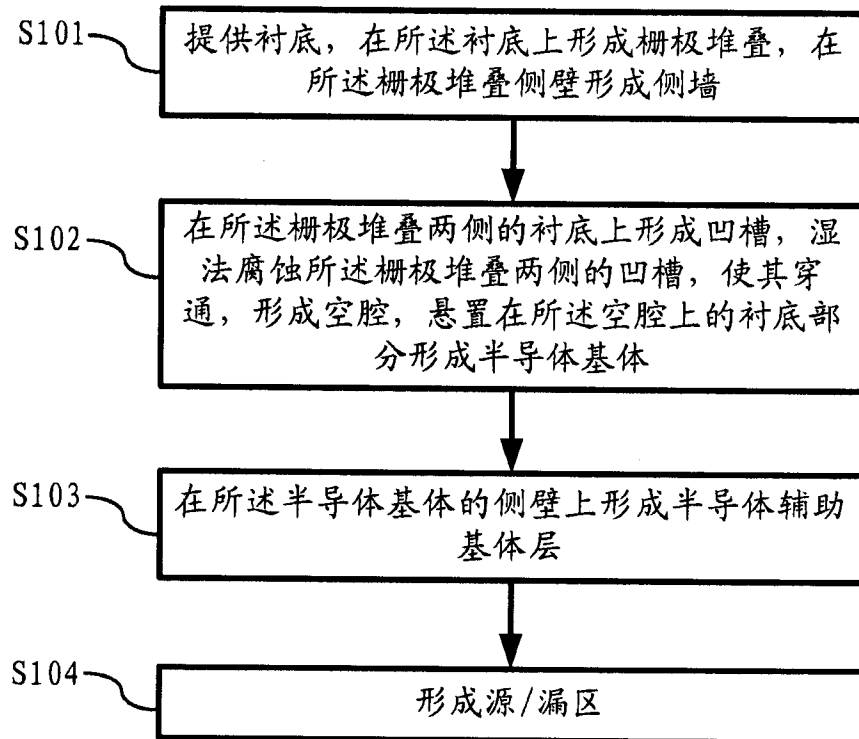


图 1

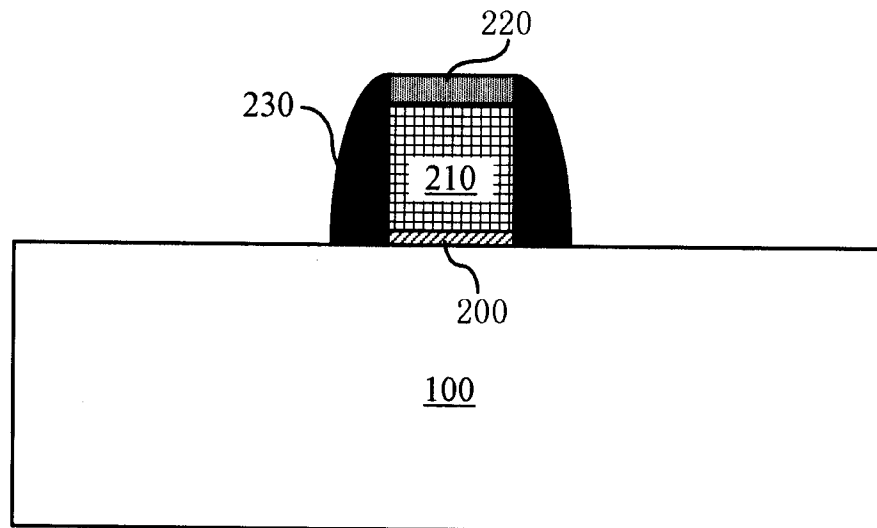


图 2

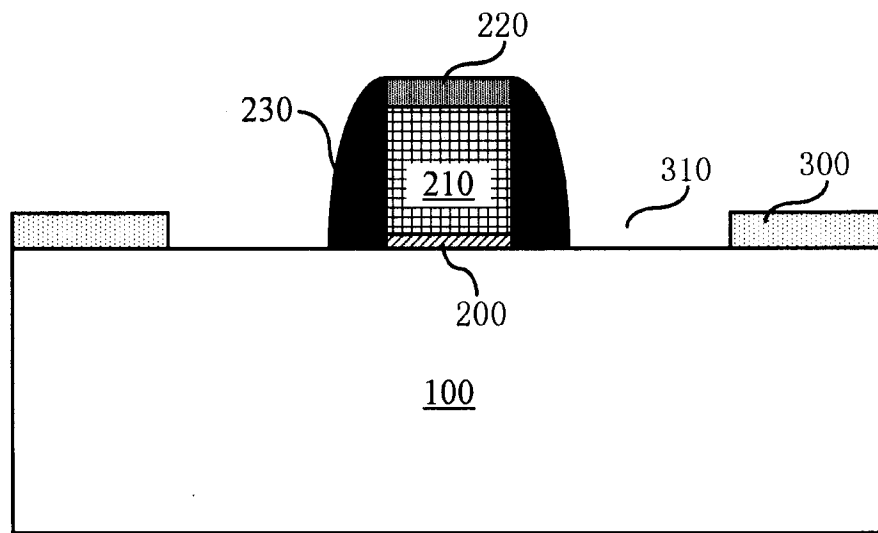


图 3

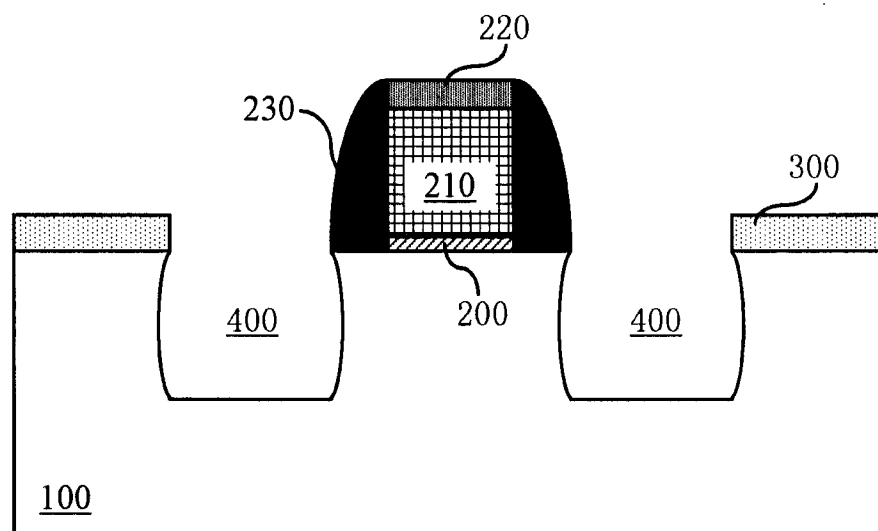


图 4

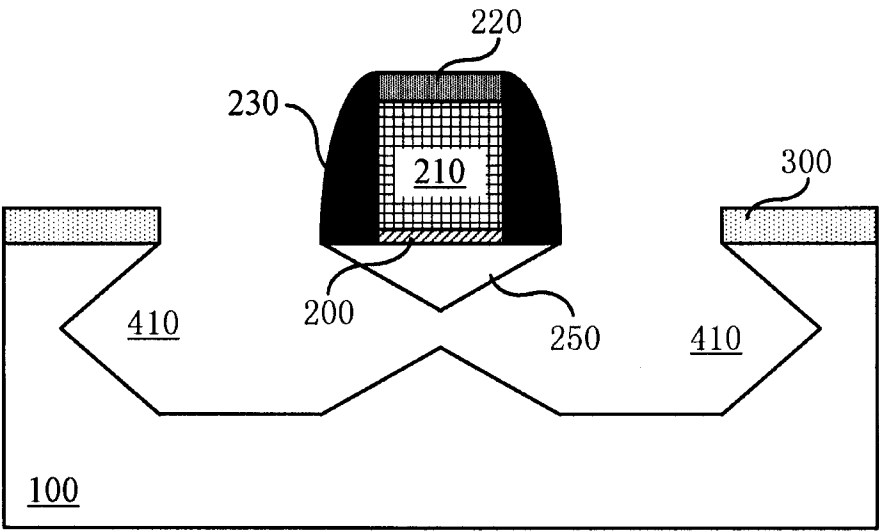


图 5

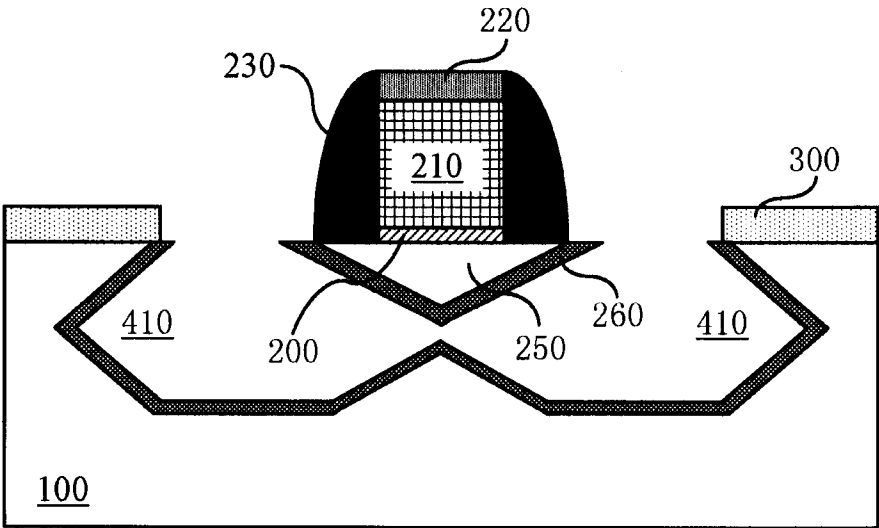


图 6

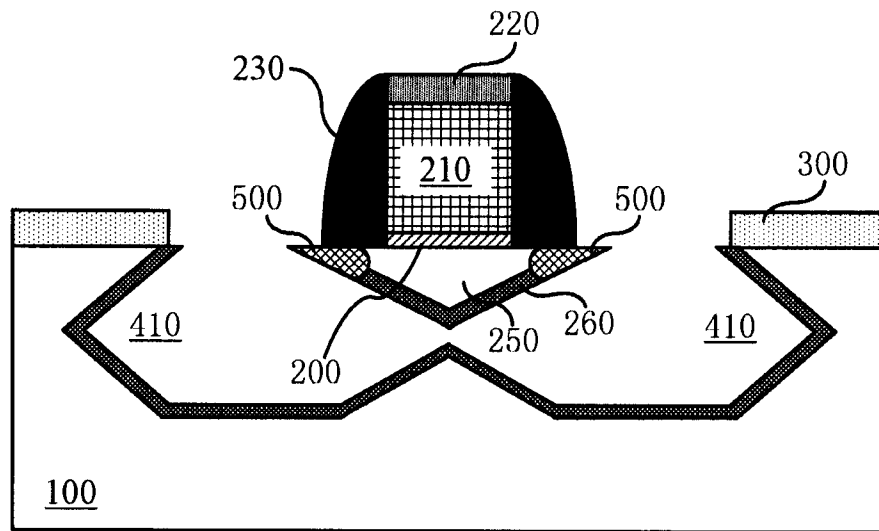


图 7

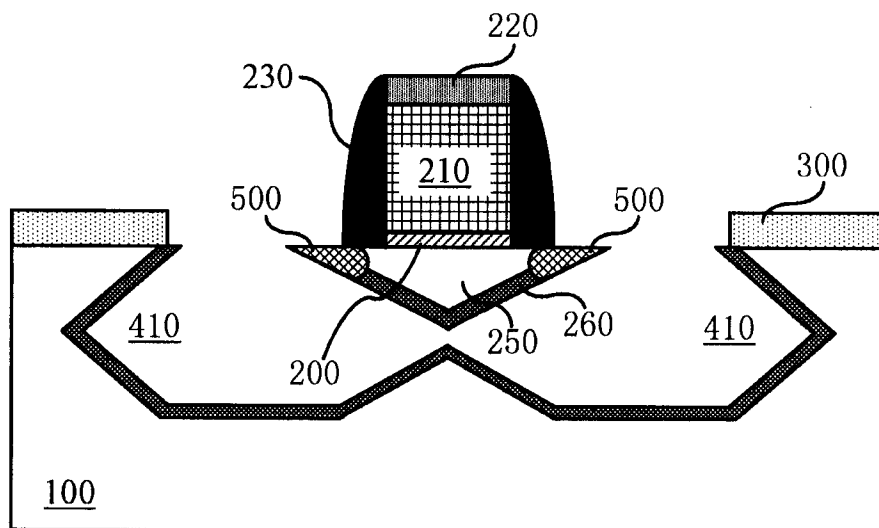


图 8

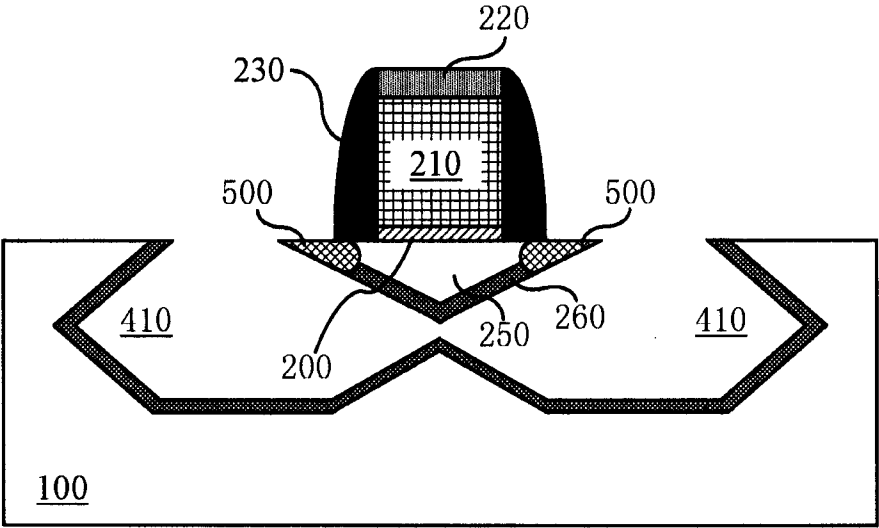


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/000669

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 29/-; H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNABS, TWABS, VEN, EPODOC, WPI, IEEE: cavity, gate, source, drain, thickness, dope, etch, channel, super steep, SSRW

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP2006210551A(SEIKO EPSON CORP)10 Aug. 2006(10.08.2006) description, paragraphs 0023-0042, figures 1-8	1-15
Y	CN1307696C(HYNIX SEMICONDUCTOR INC)28 Mar. 2007(28.03.2007) description, page 10, paragraph 2 to page 13, paragraph 2, figure 7	1-15
Y	CN101288180A(FREESCALE SEMICONDUCTOR INC)15 Oct. 2008(15.10.2008) description, page 3, paragraph 1 to page 4, paragraph 1, figures 2-5	9-10
A	JP2003298047A(SHIRATO TAKEHIDE)17 Oct. 2003(17.10.2003) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 Jul. 2012(12.07.2012)	Date of mailing of the international search report 23 Aug. 2012(23.08.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer LIU, Guoliang Telephone No. (86-10)62411893

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/000669

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP2006210551A	10.08.2006	JP4691995B2	01.06.2011
CN1307696C	28.03.2007	KR410574B	18.12.2003
		US6753230B2	22.06.2004
		JP2003338622A	28.11.2003
		KR20030089764A	28.11.2003
		US2003215991A1	20.11.2003
		CN1458675A	26.11.2003
		JP4553173B2	29.09.2010
CN101288180A	15.10.2008	US20120126289A1	24.05.2012
		JP2008547238A	25.12.2008
		TW200707594A	16.02.2007
		US2008207004A1	28.08.2008
		US8105890 B2	31.01.2012
		EP1911098 A1	16.04.2008
		WO2007003220 A1	11.01.2007
JP2003298047A	17.10.2003	NONE	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/000669

CLASSIFICATION OF SUBJECT MATTER:

H01L 29/78(2006.01)i

H01L 21/336(2006.01)i

国际检索报告

国际申请号
PCT/CN2012/000669

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 29/-; H01L 21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNABS, TWABS, VEN, EPODOC, WPI, IEEE: 空腔, 栅, 源, 漏, 厚度, 掺杂, 蚀刻, 沟道, 超陡, cavity, gate, source, drain, thickness, dope, etch, channel, super steep, SSRW

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	JP2006210551A(SEIKO EPSON CORP) 10.8 月 2006(10.08.2006) 说明书第 0023-0042 段、图 1-8	1-15
Y	CN1307696C(海力士半导体有限公司) 28.3 月 2007(28.03.2007) 说明书第 10 页第 2 段至第 13 页第 2 段、图 7	1-15
Y	CN101288180A(飞思卡尔半导体公司) 15.10 月 2008(15.10.2008) 说明书第 3 页第 1 段至第 4 页第 1 段、图 2-5	9-10
A	JP2003298047A(SHIRATO TAKEHIDE) 17.10 月 2003(17.10.2003) 全文	1-15

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

12.7 月 2012(12.07.2012)

国际检索报告邮寄日期

23.8 月 2012 (23.08.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

刘国梁

电话号码: (86-10) **62411893**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/000669

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
JP2006210551A	10.08.2006	JP4691995B2	01.06.2011
CN1307696C	28.03.2007	KR410574B	18.12.2003
		US6753230 B2	22.06.2004.
		JP2003338622 A	28.11.2003
		KR20030089764 A	28.11.2003
		US2003215991 A1	20.11.2003
		CN1458675 A	26.11.2003
		JP4553173B2	29.09.2010
CN101288180A	15.10.2008	US20120126289A1	24.05.2012
		JP2008547238 A	25.12.2008
		TW200707594 A	16.02.2007
		US2008207004 A1	28.08.2008
		US8105890 B2	31.01.2012
		EP1911098 A1	16.04.2008
		WO2007003220 A1	11.01.2007
JP2003298047A	17.10.2003	无	

主题的分类:

H01L 29/78(2006.01)i

H01L 21/336(2006.01)i