

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6106617号
(P6106617)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月10日(2017.3.10)

(51) Int.Cl.	F 1
G 0 6 F 1/04 (2006.01)	G 0 6 F 1/04 5 7 5
H 0 1 L 21/822 (2006.01)	H 0 1 L 27/04 F
H 0 1 L 27/04 (2006.01)	H 0 4 B 1/16 U
H 0 4 B 1/16 (2006.01)	H 0 4 B 1/16 M
G 0 6 F 1/32 (2006.01)	G 0 6 F 1/32 Z

請求項の数 11 (全 24 頁)

(21) 出願番号 特願2014-27607 (P2014-27607)
 (22) 出願日 平成26年2月17日 (2014.2.17)
 (65) 公開番号 特開2015-153236 (P2015-153236A)
 (43) 公開日 平成27年8月24日 (2015.8.24)
 審査請求日 平成28年1月14日 (2016.1.14)

(73) 特許権者 316005926
 ソニーセミコンダクタソリューションズ株
 式会社
 神奈川県厚木市旭町四丁目14番1号
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 田村 昌久
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

審査官 片岡 利延

最終頁に続く

(54) 【発明の名称】半導体装置およびその制御方法

(57) 【特許請求の範囲】

【請求項 1】

デューティ比が変更可能な起動信号を生成する第1の信号生成部と、

前記起動信号に基づいて間欠動作を行う第1の処理部と、

第2の処理部と

を備え、

前記第1の信号生成部は、第1のクロック信号が示す所定の長さの期間において、前記第2の処理部の動作周波数に応じた数だけ第2のクロック信号のパルスをカウントすることにより、前記動作周波数に基づいて前記デューティ比を変更する

半導体装置。

10

【請求項 2】

前記第1の処理部および前記第2の処理部に対して電源を供給する電源部をさらに備えた

請求項1に記載の半導体装置。

【請求項 3】

前記起動信号に基づいて、互いに遷移タイミングが異なる第1の制御信号および第2の制御信号を生成する第2の信号生成部をさらに備え、

前記第1の処理部は、

前記第1の制御信号に基づいて間欠動作を行う第1の回路ブロックと、

前記第1の回路ブロックの出力信号に基づいて動作し、前記第2の制御信号に基づいて

20

間欠動作を行う第 2 の回路ブロックと
を有する

請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

間欠動作において、前記第 1 の回路ブロックが起動したのちに、前記第 2 の回路ブロックが起動する

請求項 3 に記載の半導体装置。

【請求項 5】

間欠動作において、前記第 2 の回路ブロックの動作が停止したのちに、前記第 1 の回路ブロックの動作が停止する

請求項 4 に記載の半導体装置。

【請求項 6】

前記第 2 の信号生成部は、

第 3 のクロック信号のパルスを、前記起動信号の遷移方向に応じてアップカウントまたはダウンカウントし、そのカウント値に基づいて前記第 1 の制御信号および前記第 2 の制御信号を生成する

請求項 3 から請求項 5 のいずれか一項 に記載の半導体装置。

【請求項 7】

前記第 2 の信号生成部は、

前記起動信号を遅延することにより、互いに遷移タイミングが異なる複数の信号を生成する遅延部と、

前記起動信号に基づいて、前記複数の信号から一の信号を選択して前記第 1 の制御信号として出力するとともに、前記複数の信号から他の一の信号を選択して前記第 2 の制御信号として出力するセレクタ部と

を有する

請求項 3 から請求項 5 のいずれか一項 に記載の半導体装置。

【請求項 8】

前記第 2 の信号生成部は、前記第 1 の制御信号を遅延することにより前記第 2 の制御信号を生成する

請求項 3 または請求項 4 に記載の半導体装置。

【請求項 9】

デューティ比が変更可能な起動信号を生成する第 1 の信号生成部と、
第 2 の信号生成部と、

前記起動信号に基づいて間欠動作を行う第 1 の処理部と
を備え、

前記第 2 の信号生成部は、第 3 のクロック信号のパルスを、前記起動信号の遷移方向に応じてアップカウントまたはダウンカウントし、そのカウント値に基づいて、互いに遷移タイミングが異なる第 1 の制御信号および第 2 の制御信号を生成し、

前記第 1 の処理部は、前記第 1 の制御信号に基づいて間欠動作を行う第 1 の回路ブロックと、前記第 1 の回路ブロックの出力信号に基づいて動作し、前記第 2 の制御信号に基づいて間欠動作を行う第 2 の回路ブロックとを有する

半導体装置。

【請求項 10】

起動信号のデューティ比を変化させ、

前記起動信号に基づいて第 1 の処理部を間欠動作させ、

前記起動信号のデューティ比を変化させる際、第 1 のクロック信号が示す所定の長さの期間において、第 2 の処理部の動作周波数に応じた数だけ第 2 のクロック信号のパルスをカウントさせることにより、前記動作周波数に基づいて前記デューティ比を変化させる半導体装置の制御方法。

【請求項 11】

10

20

30

40

50

起動信号のデューティ比を変化させ、
前記起動信号に基づいて、第1の回路ブロックおよび第2の回路ブロックを有する第1の処理部を間欠動作させ、

前記起動信号に基づいて第1の処理部を間欠動作させる際、
第3のクロック信号のパルスを、前記起動信号の遷移方向に応じてアップカウントまたはダウンカウントさせ、そのカウント値に基づいて、互いに遷移タイミングが異なる第1の制御信号および第2の制御信号を生成させ、

前記第1の回路ブロックの出力信号に基づいて前記第2の回路ブロックを動作させ、
前記第1の制御信号に基づいて前記第1の回路ブロックを間欠動作させるとともに、前記第2の制御信号に基づいて前記第2の回路ブロックを間欠動作させる

10

半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、間欠動作を行う回路を備えた半導体装置、およびそのような半導体装置において用いられる制御方法に関する。

【背景技術】

【0002】

近年、集積回路内にしばしば電源回路が搭載される。これにより、そのような集積回路を備えた電子機器では、部品数の削減や、設計自由度の向上や、消費電力の低減などを実現することができる。

20

【0003】

このような集積回路において、さらなる消費電力の低減のために、システムの動作状態に応じて各回路への電源供給を動的に制御する方法が知られている。例えば、特許文献1には、集積回路を所定の各種機能ブロックに区分し、各機能ブロックに対してクロックイネーブル信号を一定の時間差で順次非アクティブにすることにより、通常モードから節電モードに移行する節電制御方法が開示されている。これにより、この集積回路では、節電モードに移行する際の電源電圧の急激な低下に起因する、集積回路の誤動作の防止を図っている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-65471号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

このように、集積回路では、誤動作を防止しつつ消費電力を低減することが望まれております、回路の性能を維持しつつ消費電力を低減することが期待されている。

【0006】

本開示はかかる問題点に鑑みてなされたもので、その目的は、回路の性能を維持しつつ消費電力を低減することができる半導体装置および半導体装置の制御方法を提供することにある。

40

【課題を解決するための手段】

【0007】

本開示の第1の半導体装置は、第1の信号生成部と、第1の処理部と、第2の処理部とを備えている。第1の信号生成部は、デューティ比が変更可能な起動信号を生成するものである。第1の処理部は、起動信号に基づいて間欠動作を行うものである。上記第1の信号生成部は、第1のクロック信号が示す所定の長さの期間において、第2の処理部の動作周波数に応じた数だけ第2のクロック信号のパルスをカウントすることにより、動作周波数に基づいてデューティ比を変更するものである。

50

本開示の第2の半導体装置は、第1の信号生成部と、第2の信号生成部と、第1の処理部とを備えている。第1の信号生成部は、デューティ比が変更可能な起動信号を生成するものである。第1の処理部は、起動信号に基づいて間欠動作を行うものである。第2の信号生成部は、第3のクロック信号のパルスを、起動信号の遷移方向に応じてアップカウントまたはダウンカウントし、そのカウント値に基づいて、互いに遷移タイミングが異なる第1の制御信号および第2の制御信号を生成するものである。上記第1の処理部は、第1の制御信号に基づいて間欠動作を行う第1の回路ブロックと、第1の回路ブロックの出力信号に基づいて動作し、第2の制御信号に基づいて間欠動作を行う第2の回路ブロックとを有するものである。

【0008】

10

本開示の第1の半導体装置の制御方法は、起動信号のデューティ比を変化させ、起動信号に基づいて第1の処理部を間欠動作させるものである。この制御方法は、起動信号のデューティ比を変化させる際、第1のクロック信号が示す所定の長さの期間において、第2の処理部の動作周波数に応じた数だけ第2のクロック信号のパルスをカウントさせることにより、動作周波数に基づいて前記デューティ比を変化させる。

本開示の第2の半導体装置の制御方法は、起動信号のデューティ比を変化させ、起動信号に基づいて、第1の回路ブロックおよび第2の回路ブロックを有する第1の処理部を間欠動作させるものである。この制御方法は、起動信号に基づいて第1の処理部を間欠動作させる際、第3のクロック信号のパルスを、起動信号の遷移方向に応じてアップカウントまたはダウンカウントさせ、そのカウント値に基づいて、互いに遷移タイミングが異なる第1の制御信号および第2の制御信号を生成させ、第1の回路ブロックの出力信号に基づいて第2の回路ブロックを動作させ、第1の制御信号に基づいて第1の回路ブロックを間欠動作させるとともに、第2の制御信号に基づいて第2の回路ブロックを間欠動作させる。

【0009】

20

本開示の第1の半導体装置、第2の半導体装置、第1の半導体装置の制御方法、および第2の半導体装置の制御方法では、第1の信号生成部により生成された起動信号に基づいて、第1の処理部において間欠動作が行われる。この起動信号は、デューティ比が変更可能なものである。

【発明の効果】

30

【0010】

本開示の第1の半導体装置、第2の半導体装置、第1の半導体装置の制御方法、および第2の半導体装置の制御方法によれば、起動信号のデューティ比を変更可能にしたので、回路の性能を維持しつつ消費電力を低減することができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果があってもよい。

【図面の簡単な説明】

【0011】

40

【図1】本開示の実施の形態に係る受信装置の一構成例を表すブロック図である。

【図2】図1に示した起動信号の一例を表すタイミング波形図である。

【図3】図1に示した制御信号生成部の一構成例を表すブロック図である。

【図4】図3に示した制御信号の一例を表すタイミング波形図である。

【図5】図3に示した制御信号生成部の一動作例を表すタイミング波形図である。

【図6】図1に示した受信装置の一動作例を表すタイミング波形図である。

【図7】図1に示した起動信号生成部の一動作例を表すタイミング波形図である。

【図8】図1に示した起動信号生成部の他の動作例を表すタイミング波形図である。

【図9】図1に示した起動信号生成部の他の動作例を表すタイミング波形図である。

【図10】図1に示した起動信号生成部の他の動作例を表すタイミング波形図である。

50

【図11】図1に示した回路ブロックの間欠動作を表すタイミング波形図である。

【図12A】間欠動作時のスペクトラムを表す説明図である。

【図12B】間欠動作時のスペクトラムを表す他の説明図である。

【図12C】間欠動作時のスペクトラムを表す他の説明図である。

【図13】変形例に係る制御信号生成部の一構成例を表すブロック図である。

【図14】図13に示した制御信号生成部の一動作例を表すタイミング波形図である。

【図15】変形例に係る受信装置の一構成例を表すブロック図である。

【図16】他の変形例に係る制御信号生成部の一構成例を表すブロック図である。

【図17】図16に示した制御信号生成部の一動作例を表すタイミング波形図である。

【図18】他の変形例に係る制御信号生成部の一構成例を表すブロック図である。

10

【発明を実施するための形態】

【0012】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。

【0013】

【構成例】

図1は、一実施の形態に係る半導体装置が適用された受信装置の一構成例を表すものである。受信装置1は、無線通信システムにおいて、無線信号を受信する装置である。なお、本開示の実施の形態に係る半導体装置の制御方法は、本実施の形態により具現化されるので、併せて説明する。受信装置1は、電源回路10と、回路ブロック11～13と、受信部20と、間欠動作制御部30とを備えている。

20

【0014】

電源回路10は、受信装置1内の各回路に対して電源電圧VDDを供給するものである。具体的には、電源回路10は、例えばレギュレータなどを用いて構成され、受信装置1の外部から供給された電源電圧VDD1(図示せず)に基づいて、電源電圧VDDを生成するものである。なお、図1では、電源回路10は、回路ブロック21～23に電源電圧VDDを供給するように描いたが、他のすべての回路に対しても同様に電源電圧VDDを供給するようになっている。

20

【0015】

回路ブロック21～23は、電源回路10から電源電圧VDDの供給を受け、所定の動作を行うものである。その際、回路ブロック21～23は、制御信号EN1～EN3に基づいて間欠動作を行うようになっている。具体的には、回路ブロック21は、制御信号EN1がアクティブである場合には所定の動作を行って信号S21を生成し、制御信号EN1が非アクティブである場合には、動作を停止するものである。回路ブロック22は、制御信号EN2がアクティブである場合には、信号S21に基づいて所定の動作を行って信号S22を生成し、制御信号EN2が非アクティブである場合には、動作を停止するものである。回路ブロック23は、制御信号EN3がアクティブである場合には、信号S22に基づいて所定の動作を行い、制御信号EN3が比アクティブである場合には、動作を停止するものである。制御信号EN1～EN3は、後述するように、遷移タイミングが互いに異なるものである。回路ブロック21～23では、このように間欠動作を行うことにより、消費電力を低減することができるようになっている。

30

【0016】

なお、この例では、3つの回路ブロック21～23が間欠動作を行うようにしたが、これに限定されるものではなく、これに代えて、例えば2つの回路ブロックが間欠動作を行ってもよいし、4つ以上の回路ブロックが間欠動作を行ってもよい。

40

【0017】

受信部20は、受信アンテナ(図示せず)から供給された信号Srfに基づいて、ベースバンド信号Sbbを生成するものである。受信部20は、動作周波数検出部24を有している。動作周波数検出部24は、受信部20の動作周波数を検出し、その検出結果に基づいて複数ビットからなるデューティ比制御ワードDCTLを生成するものである。具体的には、動作周波数検出部24は、例えば、信号Srfの搬送波周波数、言い換えれば、無線通

50

信が行われているチャンネルを検出し、その検出結果に基づいて、デューティ比制御ワード D C T L を生成する。このデューティ比制御ワード D C T L は、後述するように、間欠動作制御部 3 0 のカウンタ 3 3 におけるカウント値 C N T の初期値を示すものである。

【 0 0 1 8 】

間欠動作制御部 3 0 は、デューティ比制御ワード D C T L に基づいて、制御信号 E N 1 ~ E N 3 を生成するものである。間欠動作制御部 3 0 は、クロック信号生成部 3 1 と、起動信号生成部 3 2 と、制御信号生成部 4 0 とを有している。

【 0 0 1 9 】

クロック信号生成部 3 1 は、クロック信号 C L K 1 ~ C L K 3 を生成するものである。
クロック信号 C L K 1 の周波数は、クロック信号 C L K 2 の周波数よりも低いものであり
、クロック信号 C L K 2 の周波数は、クロック信号 C L K 3 の周波数よりも低いものである。
具体的には、例えば、クロック信号 C L K 1 の周波数は 8 M H z であり、クロック信号 C L K 2 の周波数は 2 5 0 M H z であり、クロック信号 C L K 3 の周波数は 1 G H z である。

10

【 0 0 2 0 】

起動信号生成部 3 2 は、デューティ比制御ワード D C T L 、およびクロック信号 C L K 1 , C L K 2 に基づいて、起動信号 E N を生成するものである。起動信号生成部 3 2 は、カウンタ 3 3 と、カウンタ制御部 3 4 とを有している。

【 0 0 2 1 】

カウンタ 3 3 は、デューティ比制御ワード D C T L 、ロード信号 L D 、およびカウンタ起動信号 C N T E N に基づいて、クロック信号 C L K 2 のパルスをダウンカウントして、
そのカウント値 C N T を出力するものである。具体的には、カウンタ 3 3 は、後述するよ
うに、ロード信号 L D がアクティブになったときに、デューティ比制御ワード D C T L が
示す値をカウント値 C N T の初期値として取り込む。そして、カウンタ 3 3 は、カウンタ
起動信号 C N T E N がアクティブである期間において、クロック信号 C L K 2 のパルスを
その初期値からダウンカウントするようになっている。

20

【 0 0 2 2 】

カウンタ制御部 3 4 は、カウンタ 3 3 を制御するとともに、カウンタ値 C N T に基づいて起動信号 E N を生成するものである。具体的には、カウンタ制御部 3 4 は、クロック信号 C L K 1 に基づいてロード信号 L D およびカウンタ起動信号 C N T E N を生成し、これらの信号を介して、カウンタ 3 3 を制御する。そして、カウンタ制御部 3 4 は、カウント値 C N T に基づいて起動信号 E N を生成する。

30

【 0 0 2 3 】

この構成により、起動信号生成部 3 2 は、以下に示すように、クロック信号 C L K 1 と同じ周期を有し、デューティ比制御ワード D C T L に応じたデューティ比を有する起動信号 E N を生成する。

【 0 0 2 4 】

図 2 は、起動信号 E N の波形例を表すものであり、(A) はクロック信号 C L K 1 の波形を示し、(B) ~ (D) は起動信号 E N の波形を示す。図 2 (B) は、デューティ比制御ワード D C T L がある値 N 1 を示す場合 (ケース C 1) における起動信号 E N の波形を表し、図 2 (C) は、デューティ比制御ワード D C T L が値 N 1 よりも小さい値 N 2 を示す場合 (ケース C 2) における起動信号 E N の波形を表し、図 2 (D) はデューティ比制御ワード D C T L が値 N 2 よりも小さい値 N 3 を示す場合 (ケース C 3) における起動信号 E N の波形を表す。図 2 に示したように、起動信号生成部 3 2 は、クロック信号 C L K 1 の周期 T と同じ周期の起動信号 E N を生成する。その際、起動信号生成部 3 2 は、デューティ比制御ワード D C T L に応じて、起動信号 E N のデューティ比を変化させる。具体的には、起動信号生成部 3 2 は、ケース C 1 では、パルス幅 W 1 のパルスを有する起動信号 E N を生成し (図 2 (B)) 、ケース C 2 では、パルス幅 W 1 よりも大きいパルス幅 W 2 のパルスを有する起動信号 E N を生成し (図 2 (C)) 、ケース C 3 では、パルス幅 W 2 よりも大きいパルス幅 W 3 のパルスを有する起動信号 E N を生成する (図 2 (D)) 。

40

50

すなわち、起動信号生成部32は、デューティ比制御ワードDCTLが示す値が大きい場合には、デューティ比が小さい起動信号ENを生成し、デューティ比制御ワードDCTLが示す値が小さい場合には、デューティ比が大きい起動信号ENを生成するようになっている。

【0025】

このように、起動信号生成部32は、デューティ比制御ワードDCTLに応じたデューティ比を有する起動信号ENを生成する。すなわち、受信装置1では、受信部20の動作周波数により、起動信号ENのデューティ比を制御する。これにより、受信装置1では、後述するように、受信部20の回路の性能を維持しつつ消費電力を低減することができるようになっている。

10

【0026】

制御信号生成部40は、起動信号ENおよびクロック信号CLK3に基づいて、制御信号EN1～EN3を生成するものである。

【0027】

図3は、制御信号生成部40の一構成例を表すものである。制御信号生成部40は、エッジ検出回路41と、カウンタ42と、カウンタ制御部43と、デコーダ44とを有している。

【0028】

エッジ検出回路41は、起動信号ENの立ち上がりエッジまたは立ち下がりエッジを検出し、その検出結果をアップダウン制御信号UDCTLとして出力するとともに、制御信号STARTを所定期間アクティブにするものである。

20

【0029】

カウンタ42は、アップダウン制御信号UDCTL、カウンタ起動信号CNTEN2、および制御信号FINISHに基づいて、クロック信号CLK3のパルスをアップカウントまたはダウンカウントして、そのカウント値CNT2を出力するものである。具体的には、カウンタ42は、後述するように、カウンタ起動信号CNTEN2がアクティブである期間において、アップダウン制御信号UDCTLに応じて、クロック信号CLK3のパルスをアップカウントまたはダウンカウントする。その際、カウンタ42は、アップダウン制御信号UDCTLがエッジ検出回路41において立ち上がりエッジが検出されたことを示す場合には、クロック信号CLK3のパルスをアップカウントし、カウント値CNT2が所定値になったときに制御信号FINISHをアクティブにする。またカウンタ42は、アップダウン制御信号UDCTLがエッジ検出回路41において立ち下がりエッジが検出されたことを示す場合には、クロック信号CLK3のパルスをダウンカウントし、カウント値CNT2が所定値になったときに制御信号FINISHをアクティブにするようになっている。

30

【0030】

カウンタ制御部43は、カウンタ42を制御するものである。具体的には、カウンタ制御部43は、クロック信号CLK3、および制御信号START, FINISHに基づいてカウンタ起動信号CNTEN2を生成し、この信号を介してカウンタ42を制御するようになっている。

40

【0031】

デコーダ44は、後述するように、カウント値CNT2に基づいて、制御信号EN1～EN3を生成するものである。

【0032】

この構成により、制御信号生成部40は、以下に示すように、起動信号ENに基づいて、遷移タイミングが互いに異なる制御信号EN1～EN3を生成する。

【0033】

図4は、制御信号EN1～EN3の波形例を表すものであり、(A)は起動信号ENの波形を示し、(B)～(D)は制御信号EN1～EN3の波形をそれぞれ示す。制御信号生成部40は、タイミングt1において起動信号ENがアクティブになったのち、タイミ

50

ング $t_2 \sim t_4$ において、制御信号 $E_{N1} \sim E_{N3}$ をこの順で順次アクティブにする。また、制御信号生成部 40 は、タイミング t_5 において起動信号 E_N が非アクティブになつたのち、タイミング $t_6 \sim t_8$ において、制御信号 $E_{N3} \sim E_{N1}$ をこの順で順次非アクティブにする。

【0034】

これにより、受信装置 1 では、間欠動作において起動する際には、制御信号 E_N により制御される回路ブロック 21 が最初に起動して信号 S_{21} を生成し、次に、制御信号 E_{N2} により制御される回路ブロック 22 が起動して信号 S_{22} を生成し、次に、制御信号 E_{N3} により制御される回路ブロック 23 が起動する。また、動作を停止する際には、制御信号 E_{N3} により制御される回路ブロック 23 が最初に動作を停止し、次に、制御信号 E_{N2} により制御される回路ブロック 22 が動作を停止し、次に、制御信号 E_N により制御される回路ブロック 21 が動作を停止するようになっている。

10

【0035】

ここで、起動信号生成部 32 は、本開示における「第 1 の信号生成部」の一具体例に対応する。制御信号生成部 40 は、本開示における「第 2 の信号生成部」の一具体例に対応する。回路ブロック 21 ~ 23 は、本開示における「第 1 の処理部」の一具体例に対応する。受信部 20 は、本開示における「第 2 の処理部」の一具体例に対応する。クロック信号 C_{LK1} は、本開示における「第 1 のクロック信号」の一具体例に対応し、クロック信号 C_{LK2} は、本開示における「第 2 のクロック信号」の一具体例に対応し、クロック信号 C_{LK3} は、本開示における「第 3 のクロック信号」の一具体例に対応する。

20

【0036】

[動作および作用]

続いて、本実施の形態の受信装置 1 の動作および作用について説明する。

【0037】

(全体動作概要)

まず、図 1 を参照して、受信装置 1 の全体動作概要を説明する。電源回路 10 は、受信装置 1 内の各回路に対して電源電圧 V_{DD} を供給する。回路ブロック 21 ~ 23 は、電源回路 10 から電源電圧 V_{DD} の供給を受け、制御信号 $E_{N1} \sim E_{N3}$ に基づいて間欠動作を行う。受信部 20 は、受信アンテナから供給された信号 S_{rf} に基づいて、ベースバンド信号 S_{bb} を生成する。受信部 20 の動作周波数検出部 24 は、受信部 20 の動作周波数を検出し、その検出結果に基づいてデューティ比制御ワード $DCTL$ を生成する。間欠動作制御部 30 のクロック信号生成部 31 は、クロック信号 $C_{LK1} \sim C_{LK3}$ を生成する。起動信号生成部 32 は、デューティ比制御ワード $DCTL$ およびクロック信号 C_{LK1} , C_{LK2} に基づいて起動信号 E_N を生成する。制御信号生成部 40 は、起動信号 E_N およびクロック信号 C_{LK3} に基づいて、制御信号 $E_{N1} \sim E_{N3}$ を生成する。

30

【0038】

(制御信号生成部 40)

制御信号生成部 40 は、起動信号 E_N に基づいて、遷移タイミングが互いに異なる制御信号 $E_{N1} \sim E_{N3}$ を生成する。以下に、その動作を詳細に説明する。

【0039】

図 5 は、制御信号生成部 40 の動作のタイミング波形図を表すものであり、(A) は起動信号 E_N の波形を示し、(B) はクロック信号 C_{LK3} の波形を示し、(C) はアップダウン制御信号 $UDCTL$ の波形を示し、(D) は制御信号 $START$ の波形を示し、(E) はカウンタ起動信号 $CNTEN2$ の波形を示し、(F) は制御信号 $FINISH$ の波形を示し、(G) はカウント値 $CNT2$ を示し、(H) ~ (J) は制御信号 $E_{N1} \sim E_{N3}$ の波形を示す。この例では、起動信号 E_N 、制御信号 $START$, $FINISH$ 、カウンタ起動信号 $CNTEN2$ 、および制御信号 $E_{N1} \sim E_{N3}$ は、高レベルがアクティブを示し、低レベルが非アクティブを示している。また、図 5 (G) において、カウント値 $CNT2$ を数字で示している。

40

【0040】

50

まず、タイミング t_{11} において、起動信号 E_N が低レベルから高レベルに変化する(図5(A))。これに応じて、エッジ検出回路41は、起動信号 E_N の立ち上がりエッジを検出し、タイミング t_{12} において、アップダウン制御信号 $UDCTL$ を低レベルから高レベルに変化させ(図5(C))、カウンタ42に対してアップカウントすべき旨を指示する。また、エッジ検出回路41は、それと同時に、制御信号 $START$ を低レベルから高レベルに変化させる(図5(D))。これに応じて、カウンタ制御部43は、タイミング t_{13} において、カウンタ起動信号 $CNTEN2$ を低レベルから高レベルに変化させ(図5(E))、カウンタ42に対してクロック信号 $CLK3$ のパルスをアップカウントするように指示する。そして、このタイミング t_{13} において、エッジ検出回路41は、制御信号 $START$ を高レベルから低レベルに変化させる(図5(D))。

10

【0041】

カウンタ42は、カウンタ起動信号 $CNTEN2$ がアクティブであるタイミング t_{13} ~ t_{17} の期間において、クロック信号 $CLK3$ のパルスをアップカウントし(図5(G))、このカウント値 $CNT2$ に応じて、デコーダ44が制御信号 E_N1 ~ E_N3 を生成する(図5(H) ~ (J))。具体的には、タイミング t_{14} において、カウンタ42はカウント値 $CNT2$ を“0”から“1”に変化させ、デコーダ44は制御信号 E_N1 を低レベルから高レベルに変化させる。次に、タイミング t_{15} において、カウンタ42はカウント値 $CNT2$ を“1”から“2”に変化させ、デコーダ44は制御信号 E_N2 を低レベルから高レベルに変化させる。次に、タイミング t_{16} において、カウンタ42はカウント値 $CNT2$ を“2”から“3”に変化させ、デコーダ44は制御信号 E_N3 を低レベルから高レベルに変化させる。

20

【0042】

次に、タイミング t_{17} において、カウンタ42は、制御信号 $FINISH$ を低レベルから高レベルに変化させる(図5(F))。すなわち、カウンタ42は、カウント値 $CNT2$ が所定の値“3”になったため、制御信号 $FINISH$ をアクティブにする。これに応じて、カウンタ制御部43は、このタイミング t_{17} において、カウンタ起動信号 $CNTEN2$ を高レベルから低レベルに変化させる(図5(E))。これにより、カウンタ42は、アップカウントを停止する(図5(G))。そして、タイミング t_{18} において、カウンタ42は、制御信号 $FINISH$ を高レベルから低レベルに変化させる(図5(F))。

30

【0043】

その後しばらく経過したのち、タイミング t_{21} において、起動信号 E_N が高レベルから低レベルに変化する(図5(A))。これに応じて、エッジ検出回路41は、起動信号 E_N の立ち下がりエッジを検出し、タイミング t_{22} において、アップダウン制御信号 $UDCTL$ を高レベルから低レベルに変化させ(図5(C))、カウンタ42に対してダウンカウントすべき旨を指示する。また、エッジ検出回路41は、それと同時に、制御信号 $START$ を低レベルから高レベルに変化させる(図5(D))。これに応じて、カウンタ制御部43は、タイミング t_{23} において、カウンタ起動信号 $CNTEN2$ を低レベルから高レベルに変化させ(図5(E))、カウンタ42に対してクロック信号 $CLK3$ のパルスをダウンカウントするように指示する。そして、このタイミング t_{23} において、エッジ検出回路41は、制御信号 $START$ を高レベルから低レベルに変化させる(図5(D))。

40

【0044】

カウンタ42は、カウンタ起動信号 $CNTEN2$ がアクティブであるタイミング t_{23} ~ t_{27} の期間において、クロック信号 $CLK3$ のパルスをダウンカウントし(図5(G))、このカウント値 $CNT2$ に応じて、デコーダ44が制御信号 E_N1 ~ E_N3 を生成する(図5(H) ~ (J))。具体的には、タイミング t_{24} において、カウンタ42はカウント値 $CNT2$ を“3”から“2”に変化させ、デコーダ44は制御信号 E_N3 を高レベルから低レベルに変化させる。次に、タイミング t_{25} において、カウンタ42はカウント値 $CNT2$ を“2”から“1”に変化させ、デコーダ44は制御信号 E_N2 を高レ

50

ベルから低レベルに変化させる。次に、タイミング t_{26} において、カウンタ42はカウント値CNT2を“1”から“0”に変化させ、デコーダ44は制御信号EN1を高レベルから低レベルに変化させる。

【0045】

次に、タイミング t_{27} において、カウンタ42は、制御信号FINISHを低レベルから高レベルに変化させる(図5(F))。すなわち、カウンタ42は、カウント値CNT2が所定の値“0”になったため、制御信号FINISHをアクティブにする。これに応じて、カウンタ制御部43は、このタイミング t_{27} において、カウンタ起動信号CNTEN2を高レベルから低レベルに変化させる(図5(E))。これにより、カウンタ42は、ダウンカウントを停止する(図5(G))。そして、タイミング t_{28} において、カウンタ42は、制御信号FINISHを高レベルから低レベルに変化させる(図5(F))。

10

【0046】

このようにして、制御信号生成部40は、タイミング $t_{14} \sim t_{16}$ において、制御信号EN1～EN3をこの順で順次アクティブにする。これにより、受信装置1では、制御信号EN1により制御される回路ブロック21が最初に起動して信号S21を生成し、次に、制御信号EN2により制御される回路ブロック22が起動して信号S22を生成し、次に、制御信号EN3により制御される回路ブロック23が起動する。また、制御信号生成部40は、タイミング $t_{24} \sim t_{26}$ において、制御信号EN3～EN1をこの順で順次非アクティブにする。これにより、受信装置1では、制御信号EN3により制御される回路ブロック23が最初に動作を停止し、次に、制御信号EN2により制御される回路ブロック22が動作を停止し、次に、制御信号EN1により制御される回路ブロック21が動作を停止する。

20

【0047】

このように、受信装置1では、回路ブロック22の動作期間において回路ブロック21は常に動作し、回路ブロック23の動作期間において回路ブロック22が常に動作する。これにより、回路ブロック22には、信号S21が安定して供給され、回路ブロック23には、信号S22が安定して供給される。その結果、受信装置1では、過渡的に消費電流が増加するなどの不測の事態が生じるおそれを低減することができる。すなわち、例えば、回路ブロック22の動作期間において、回路ブロック21が動作していない期間がある場合には、回路ブロック22には、この期間において信号S21が安定して供給されないおそれがある。これにより、例えば、回路ブロック22の動作が不安定になり、過渡的に消費電流が増加するなどの不測の事態を招くおそれがある。一方、受信装置1では、回路ブロック22の動作期間において回路ブロック21は常に動作し、回路ブロック23の動作期間において回路ブロック22が常に動作するようにしたので、不測の事態が生じるおそれを低減することができる。

30

【0048】

また、受信装置1では、このように、制御信号EN1～EN3に基づいて回路ブロック21～23を順次制御する。これにより、以下に示すように、電源電圧VDDの揺れを低減することができる。

40

【0049】

図6は、間欠動作時のタイミング波形図を表すものであり、(A)は起動信号ENの波形を示し、(B)～(D)は制御信号EN1～EN3の波形を示し、(E)～(G)は回路ブロック21～23の電源端子に流れる電流IDD1～IDD3の波形をそれぞれ示し、(H)は電源回路10に流れる電源電流IDDの波形を示し、(I)は電源電圧VDDの波形を示す。

【0050】

タイミング t_{32} において制御信号EN1がアクティブになると(図6(B))、回路ブロック21が起動し、回路ブロック21の電源端子に電流IDD1が流れる(図6(E))。これにより、電源回路10に流れる電源電流IDDは、回路ブロック21の電流分

50

だけ増加する(図6(H))。このとき、電源電圧VDDは、タイミングt32において過渡的に低下した後に、タイミングt32の直前の電圧よりもやや低い電圧に向かって収束していく。

【0051】

同様に、タイミングt33において制御信号EN2がアクティブになると(図6(C))、回路ブロック22が起動して電流IDD2が流れ(図6(F))、電源電流IDDはその電流分だけ増加する(図6(H))。このとき、電源電圧VDDは、タイミングt33において過渡的に低下した後に、タイミングt33の直前の電圧よりもやや低い電圧に向かって収束していく。また、タイミングt34において制御信号EN3がアクティブになると(図6(D))、回路ブロック23が起動して電流IDD3が流れ(図6(G))、電源電流IDDはその電流分だけ増加する(図6(H))。このとき、電源電圧VDDは、タイミングt34において過渡的に低下した後に、タイミングt34の直前の電圧よりもやや低い電圧に向かって収束していく。

【0052】

一方、タイミングt36において制御信号EN3が非アクティブになると(図6(D))、回路ブロック23が動作を停止し、回路ブロック23の電源端子の電流IDD3が減少する(図6(G))。これにより、電源回路10に流れる電源電流IDDは、回路ブロック23の電流分だけ減少する(図6(H))。このとき、電源電圧VDDは、タイミングt36において過渡的に上昇した後に、タイミングt36の直前の電圧よりもやや高い電圧に向かって収束していく。

10

【0053】

同様に、タイミングt37において制御信号EN2が非アクティブになると(図6(C))、回路ブロック22が動作を停止して電流IDD2が減少し(図6(F))、電源電流IDDはその電流分だけ減少する(図6(H))。このとき、電源電圧VDDは、タイミングt37において過渡的に上昇した後に、タイミングt37の直前の電圧よりもやや高い電圧に向かって収束していく。また、タイミングt38において制御信号EN1が非アクティブになると(図6(B))、回路ブロック21が動作を停止して電流IDD1が減少し(図6(E))、電源電流IDDはその電流分だけ減少する(図6(H))。このとき、電源電圧VDDは、タイミングt38において過渡的に上昇した後に、タイミングt38の直前の電圧よりもやや高い電圧に向かって収束していく。

20

【0054】

このように、電源電圧VDDは、制御信号EN1～EN3の遷移に応じて変動する。その際、受信装置1では、制御信号EN1～EN3に基づいて回路ブロック21～23の間欠動作をそれぞれ制御するようにしたので、電源電圧VDDの変動量を抑えることができる。すなわち、例えば、制御信号EN1～EN3の代わりに、起動信号ENに基づいて回路ブロック21～23の間欠動作を制御した場合には、図6(I)において破線で示したように、起動信号ENの遷移タイミングt31, t35において、過渡的に電源電圧VDDがより大きく変化するおそれがある。このような場合には、この電源回路10から電源電圧VDDの供給を受けている他の回路が誤動作をするおそれがある。また、タイミングt35付近に示したように、電源電圧VDDが上昇してトランジスタ等の耐圧Vbを超えた場合には、回路が破壊され、あるいは回路の信頼性が低下するおそれがある。一方、受信装置1では、制御信号EN1～EN3に基づいて回路ブロック21～23の間欠動作をそれぞれ制御するようにしたので、電源電圧VDDの変動量を抑えることができる。これにより、回路が誤動作をするおそれを低減することができるとともに、回路が破壊され、あるいは回路の信頼性が低下するおそれを低減することができる。

30

【0055】

また、受信装置1では、このように電源電圧VDDの変動量を抑えることができるようにしたので、電源電圧VDDを安定させるための容量素子の容量値を小さくすることができる。これにより、特に、受信装置1を1チップで構成した場合には、回路面積を小さく抑えることができる。

40

50

【0056】

(起動信号生成部32)

起動信号生成部32は、デューティ比制御ワードDCTLに基づいて、そのデューティ比制御ワードDCTLが示す値に応じたデューティ比を有する起動信号ENを生成する。以下に、その動作を詳細に説明する。

【0057】

図7は、起動信号生成部32の動作のタイミング波形図を表すものであり、(A)はクロック信号CLK1の波形を示し、(B)はクロック信号CLK2の波形を示し、(C)はカウント値CNTを示し、(D)はロード信号LDの波形を示し、(E)はカウンタ起動信号CNTENの波形を示し、(F)は起動信号ENの波形を示す。この例では、ロード信号LD、カウンタ起動信号CNTEN、および起動信号ENは、高レベルがアクティブを示し、低レベルが非アクティブを示している。また、図7(C)において、カウント値CNTを数字で示している。

10

【0058】

まず、タイミングt41において、クロック信号CLK1が低レベルから高レベルに変化する(図7(A))。これに応じて、カウンタ制御部34は、ロード信号LDを低レベルから高レベルに変化させ(図7(D))、カウンタ33に対して、デューティ比制御ワードDCTLが示す値を初期値(この例ではN)として取り込むように指示する。そして、タイミングt42において、カウンタ制御部34は、ロード信号LDを高レベルから低レベルに変化させるとともに、カウンタ起動信号CNTENを低レベルから高レベルに変化させ(図7(E))、カウンタ33に対して、クロック信号CLK2のパルスを、値Nからダウンカウントするように指示する。また、カウンタ制御部34は、このタイミングt42において、起動信号ENを高レベルから低レベルに変化させる(図7(F))。

20

【0059】

カウンタ33は、カウンタ起動信号CNTENがアクティブであるタイミングt42～t43の期間において、クロック信号CLK2のパルスを、値Nからダウンカウントする(図7(C))。この例では、タイミングt42～t43の期間におけるあるタイミングにおいて、クロック信号CLK1が高レベルから低レベルに変化する(図7(A))。そして、カウンタ制御部34は、カウント値CNTが“0”になるタイミングt43で、カウンタ起動信号CNTENを高レベルから低レベルに変化させ(図7(E))、タイミングt44において、起動信号ENを低レベルから高レベルに変化させる(図7(F))。

30

【0060】

次に、タイミングt45において、クロック信号CLK1が低レベルから高レベルに変化する(図7(A))。そして、カウンタ制御部34は、タイミングt46において、起動信号ENを高レベルから低レベルに変化させる(図7(F))。

【0061】

このように、起動信号生成部32は、周期Tの期間のうち、デューティ比制御ワードDCTLが示す値Nに応じた長さの期間において起動信号ENを低レベルにし、それ以外の期間において起動信号ENを高レベルにする。このようにして、起動信号生成部32は、デューティ比制御ワードDCTLが示す値Nに応じたデューティ比を有する起動信号ENを生成する。

40

【0062】

図8～10は、デューティ比制御ワードDCTLが示す値Nを変化させたときの動作を表すものである。この例では、説明の便宜上、クロック信号CLK2の周波数を、クロック信号CLK1の周波数の12倍にしている。図8は、値Nを“9”にした場合を示し、図9は、値Nを“8”にした場合を示し、図10は、値Nを“7”にした場合を示す。

【0063】

値Nを“9”にした場合には、カウンタ33は、“9”からダウンカウントし(図8(C))、値Nを“8”にした場合には、カウンタ33は、“8”からダウンカウントし(図9(C))、値Nを“7”にした場合には、カウンタ33は、“7”からダウンカウン

50

トする（図10（C））。これにより、起動信号E Nのデューティ比は、値Nが大きいほど小さくなり、値Nが小さいほど大きくなる。

【0064】

このように、受信装置1では、デューティ比制御ワードD C T Lに基づいて、起動信号E Nのデューティ比を制御する。そして、制御信号生成部40は、図5等に示したように、その起動信号E Nに基づいて、制御信号E N1～E N3を生成する。すなわち、この制御信号E N1～E N3のデューティ比もまた、デューティ比制御ワードD C T Lに基づいて制御される。これにより、以下に説明するように、回路の性能を維持しつつ消費電力を低減することができる。

【0065】

図11は、間欠動作による電源電流I D Dの変化を表すものであり、（A）はクロック信号C L K 1の波形を示し、（B）は起動信号E Nの波形を示し、（C）は電源電流I D Dの波形を示す。なお、図11では、クロック信号C L K 1の立ち上がりタイミングと起動信号E Nの立ち下がりタイミングとを同じタイミングとして描いている。すなわち、図7などに示したように、クロック信号C L K 1の立ち上がりタイミングと起動信号E Nの立ち下がりタイミングとは若干異なるが、このタイミング差は周期Tに比べて十分に小さいため、これらのタイミングを同じタイミングとして描いている。また、図11では、起動信号E Nの立ち上がりタイミングと電源電流I D Dの増加タイミングとを同じタイミングとして描いている。すなわち、図6などに示したように、電源電流I D Dは、起動信号E Nの遷移の後に階段状に変化するが、そのタイミング差は周期Tに比べて十分に小さいため、これらのタイミングを同じタイミングとして描いている。起動信号E Nの立ち下がりタイミングと電源電流I D Dの減少タイミングについても同様である。

【0066】

図11に示したように、回路ブロック21～23は、起動信号E Nに基づいて、制御信号E N1～E N3を介して間欠動作をおこなう。このときの電源電流I D Dの波形は、以下のような、 $-T/2 < t < T/2$ の範囲で定義される、幅Wのパルスを有する関数f(t)で特徴づけられる。

【数1】

$$f(t) = \begin{cases} 1 \left(-\frac{W}{2} < t < \frac{W}{2} \right) \\ 0 \left(-\frac{T}{2} < t < -\frac{W}{2}, \frac{W}{2} < t < \frac{T}{2} \right) \end{cases} \quad \dots \dots \dots (1)$$

すなわち、電源電流I D Dの波形は、この関数f(t)を周期Tで繰り返すことにより表すことができる。この関数f(t)をフーリエ級数展開すると、フーリエ係数a_kは、以下の式により表すことができる。

【数2】

$$a_k = \frac{2}{T} \cdot \frac{\sin \frac{k \cdot W \cdot \pi}{T}}{\frac{k \cdot W \cdot \pi}{T}} = \frac{2}{T} \cdot \text{sinc} \frac{k \cdot W \cdot \pi}{T} \quad \dots \dots \dots (2)$$

このように、パルス幅Wを変化させることにより、フーリエ係数a_kを変化させることができる。これにより、以下に示すように、スペクトラムにおいてノッチが生じる周波数を変化させることができる。

10

20

30

40

50

【0067】

図12A～12Cは、電源電流IDDのスペクトラムを表すものであり、図12Aは、図2に示したケースC1（パルス幅W1）の場合を示し、図12Bは、ケースC2（パルス幅W2）の場合を示し、図12Cは、ケースC3（パルス幅W3）の場合を示す。このように、パルス幅Wを変化させることにより、スペクトラムの形状を変化させることができ。よって、図12A～12Cに示したように、受信部20の動作周波数範囲frangeに、スペクトラムのノッチが対応するようにパルス幅Wを変化させることにより、間欠動作による受信部20の動作への影響を低減することができる。

【0068】

受信装置1では、動作周波数検出部24が、受信部20の動作周波数に基づいてデューティ比制御ワードDCTLを生成し、起動信号生成部32が、このデューティ比制御ワードDCTLに基づいて、デューティ比制御ワードDCTLに応じたデューティ比の起動信号ENを生成するようにした。これにより、受信装置1では、受信部20の動作周波数範囲frangeに、スペクトラムのノッチが対応するようにパルス幅W（デューティ比）を変化させることができ、受信部20の性能を維持しつつ、消費電力を低減することができる。

10

【0069】

[効果]

以上のように本実施の形態では、起動信号のパルス幅（デューティ比）を変更可能に構成したので、受信部の性能を維持しつつ、消費電力を低減することができる。

20

【0070】

本実施の形態では、受信部の動作周波数に基づいて起動信号のパルス幅（デューティ比）を変化させるようにしたので、幅広い動作周波数範囲において受信部の性能を維持することができる。

【0071】

本実施の形態では、互いに異なる遷移タイミングを有する制御信号EN1～EN3に基づいて回路ブロック21～23を制御するようにしたので、電源電圧の変動量を抑えることができる。これにより、回路が誤動作をするおそれを低減することができるとともに、回路が破壊され、あるいは回路の信頼性が低下するおそれを低減することができる。また、このように電源電圧VDDの変動量を抑えることができるため、電源電圧VDDを安定させるための容量素子の容量値を小さくすることができ、回路面積を小さく抑えることができる。

30

【0072】

本実施の形態では、回路ブロック22の動作期間において回路ブロック21は常に動作し、回路ブロック23の動作期間において回路ブロック22が常に動作するようにしたので、不測の事態が生じるおそれを低減することができる。

【0073】

[変形例1]

上記実施の形態では、一例として、クロック信号CLK1～CLK3の周波数を、それぞれ8MHz、250MHz、1GHzにしたが、これに限定されるものではなく、これに代えて、自由な値に設定することができる。例えば、クロック信号CLK3の周期は、図5等に示したように、制御信号EN1～EN3の遷移タイミングの差に対応するものであるため、この遷移タイミングの差をどのくらいにすべきかを検討し、その検討結果に基づいてクロック信号CLK3の周波数を設定することができる。制御信号EN1～EN3の遷移タイミングの差は、例えば、回路ブロック21～23を起動した後に、これらの回路の動作状態が安定するまでの時間を考慮して決定することが望ましい。具体的には、例えば、回路ブロック21～23のうち、動作状態が安定するまでの時間が最も長いものに基づいて、制御信号EN1～EN3の遷移タイミングの差を決定することができる。また、例えば、回路ブロック21～23のそれぞれにおける動作状態が安定するまでの時間に基づいて、制御信号EN1、EN2の遷移タイミングの差と、制御信号EN2、EN3の

40

50

遷移タイミングの差とを別々に設定してもよい。また、例えば、最初に回路ブロック21を起動して信号S21をモニタし、これらが安定したことを確認してから回路ブロック22を起動するようにしてもよい。

【0074】

[変形例2]

上記実施の形態では、図5に示したように、制御信号EN1～EN3の遷移タイミングは、クロック信号CLK3の一周期分の時間だけ互いに異なるようにしたが、これに限定されるものではない。以下に、本変形例について、詳細に説明する。

【0075】

図13は、本変形例に係る制御信号生成部40Aの一構成例を表すものである。制御信号生成部40Aは、カウンタ制御部43Aを有している。カウンタ制御部43Aは、クロック信号CLK2のパルスをカウントするカウンタ49を有している。制御信号生成部40Aは、このカウンタ49のカウント値に基づいて、カウンタ起動信号CNTEN2を生成する。これにより、制御信号生成部40Aは、以下に説明するように、遷移タイミングが、カウンタ49のカウント値に対応する時間だけ互いに異なる制御信号EN1～EN3を生成するようになっている。

【0076】

図14は、制御信号生成部40Aの動作のタイミング波形図を表すものであり、(A)は起動信号ENの波形を示し、(B)はクロック信号CLK3の波形を示し、(C)はアップダウン制御信号UDCTLの波形を示し、(D)は制御信号STARTの波形を示し、(E)はカウンタ起動信号CNTEN2の波形を示し、(F)は制御信号FINISHの波形を示し、(G)はカウント値CNT2を示し、(H)～(J)は制御信号EN1～EN3の波形を示す。

【0077】

この例では、カウンタ制御部43Aは、起動信号ENがアクティブになった後、カウンタ制御信号CNTEN2を、タイミングt51～t52の期間、タイミングt53～t54の期間、およびタイミングt55～t56の3つの期間においてアクティブにしている。すなわち、上記実施の形態に係るカウンタ制御部43は、図5に示したように、カウンタ制御信号CNTEN2を、タイミングt13～t17の期間においてアクティブにしたが、本変形例に係るカウンタ制御部43Aは、カウンタ制御信号CNTEN2を、3つの期間においてアクティブにしている。具体的には、カウンタ制御部43Aは、この例では、カウンタ49がクロック信号CLK3のパルスを5つ数える度に1回、クロック信号CLK3の一周期分の期間だけカウンタ制御信号CNTEN2をアクティブにする。カウンタ42は、カウンタ起動信号CNTEN2がアクティブであるこれらの3つの期間において、クロック信号CLK3のパルスをアップカウントし(図14(G))、カウント値CNT2に応じて、デコーダ44が制御信号EN1～EN3をアクティブにする(図14(H)～(J))。

【0078】

同様に、カウンタ制御部43Aは、起動信号ENが非アクティブになった後、カウンタ制御信号CNTEN2を、タイミングt61～t62の期間、タイミングt63～t64の期間、およびタイミングt65～t66の3つの期間においてアクティブにしている。カウンタ42は、カウンタ起動信号CNTEN2がアクティブであるこれらの3つの期間において、クロック信号CLK3のパルスをダウンカウントし(図14(G))、カウント値CNT2に応じて、デコーダ44が制御信号EN1～EN3を非アクティブにする(図14(H)～(J))。

【0079】

このように構成することにより、制御信号EN1～EN3の遷移タイミングの差を大きくすることができ、例えば、回路ブロック21の動作状態が十分に安定してから回路ブロック22を起動し、回路ブロック22の動作状態が十分に安定してから回路ブロック23を起動することができる。

10

20

30

40

50

【0080】

なお、この例では、制御信号E N 1, E N 2の遷移タイミングの差と、制御信号E N 2, E N 3の遷移タイミングの差とを等しくしたが、これに限定されるものではなく、互いに異なるようにしてもよい。これにより、例えば、回路ブロック21～23のそれぞれにおける動作状態が安定するまでの時間が異なる場合において、素早く起動し、また素早く動作を停止することができる。

【0081】

[変形例3]

上記実施の形態では、クロック信号生成部31は、3つのクロック信号C L K 1～C L K 3を生成したが、これに限定されるものではなく、これに代えて、例えば図15に示す受信装置1Bのように、クロック信号生成部31Bが2つのクロック信号C L K 1, C L K 3を生成してもよい。受信装置1Bは、間欠動作制御部30Bを備えている。間欠動作制御部30Bは、クロック信号生成部31Bと、起動信号生成部32Bとを有している。起動信号生成部32Bは、カウンタ33Bを有している。カウンタ33Bは、上記実施の形態に係るカウンタ33と同様に、デューティ比制御ワードD C T L、ロード信号L D、およびカウンタ起動信号C N T E Nに基づいて、クロック信号C L K 3のパルスをダウンカウントして、そのカウント値C N Tを出力するものである。このカウンタ33Bは、クロック信号C L K 2より周波数の高いクロック信号C L K 3のパルスをカウントするため、カウンタ33と比べて、クロック信号C L K 3のパルスをより多くカウントするよう構成されている。このように構成することにより、クロック信号の数を減らすことができ、回路構成をシンプルにすることができる。

10

20

【0082】

[変形例4]

上記実施の形態では、カウンタ42などを用いて制御信号E N 1～E N 3を生成したが、これに限定されるものではなく、これに代えて、例えば、遅延回路を用いて制御信号E N 1～E N 3を生成してもよい。以下に、本変形例に係る制御信号生成部50, 60について説明する。

【0083】

図16は、本変形例に制御信号生成部50の一構成例を表すものである。制御信号生成部50は、遅延回路51～53と、エッジ検出回路54と、セレクタ55とを有している。遅延回路51は、起動信号E Nを所定時間だけ遅延して信号D 1として出力するものである。遅延回路52は、信号D 1を所定時間だけ遅延して信号D 2として出力するものである。遅延回路53は、信号D 2を所定時間だけ遅延して信号D 3として出力するものである。エッジ検出回路54は、起動信号E Nの立ち上がりエッジまたは立ち下がりエッジを検出し、その検出結果をアップダウン制御信号U D C T Lとして出力するものである。セレクタ55は、アップダウン制御信号U D C T Lに基づいて、信号D 1～信号D 3のそれぞれを、制御信号E N 1～E N 3のうちのどの信号として出力するかを決定するものである。具体的には、セレクタ55は、アップダウン制御信号U D C T Lがエッジ検出回路54において立ち上がりエッジが検出されたことを示す場合には、信号D 1を制御信号E N 1として出力し、信号D 2を制御信号E N 2として出力し、信号D 3を制御信号E N 3として出力する。また、セレクタ55は、アップダウン制御信号U D C T Lがエッジ検出回路54において立ち下がりエッジが検出されたことを示す場合には、信号D 1を制御信号E N 3として出力し、信号D 2を制御信号E N 2として出力し、信号D 3を制御信号E N 1として出力するようになっている。

30

40

【0084】

図17は、制御信号生成部50の一動作例を表すものである。タイミングt71において、起動信号E Nが低レベルから高レベルに変化すると(図17(A))、エッジ検出回路54は、起動信号E Nの立ち上がりエッジを検出し、その検出結果をセレクタ55に対してアップダウン制御信号U D C T Lを介して通知する。これにより、セレクタ55は、

50

タイミング $t_{7.1}$ 以降の期間において、信号 D 1 を制御信号 E N 1 として出力し (図 17 (B), (E))、信号 D 2 を制御信号 E N 2 として出力し (図 17 (C), (F))、信号 D 3 を制御信号 E N 3 として出力する (図 17 (D), (G))。また、タイミング $t_{7.5}$ において、起動信号 E N が高レベルから低レベルに変化すると (図 17 (A))、エッジ検出回路 5 4 は、起動信号 E N の立ち下がりエッジを検出し、その検出結果をセレクタ 5 5 に対してアップダウン制御信号 U D C T L を介して通知する。これにより、セレクタ 5 5 は、タイミング $t_{7.5}$ 以降の期間において、信号 D 1 を制御信号 E N 3 として出力し (図 17 (B), (G))、信号 D 2 を制御信号 E N 2 として出力し (図 17 (C), (F))、信号 D 3 を制御信号 E N 1 として出力する (図 17 (D), (E))。

【0085】

10

図 18 は、本変形例に係る他の制御信号生成部 6 0 の一構成例を表すものである。制御信号生成部 6 0 は、遅延回路 6 1 ~ 6 3 とを有している。遅延回路 6 1 は、起動信号 E N を所定時間だけ遅延して制御信号 E N 1 として出力するものである。遅延回路 6 2 は、制御信号 E N 1 を所定時間だけ遅延して制御信号 E N 2 として出力するものである。遅延回路 6 3 は、制御信号 E N 2 を所定時間だけ遅延して制御信号 E N 3 として出力するものである。制御信号生成部 6 0 は、起動信号 E N がアクティブになった後、制御信号 E N 1 ~ E N 3 をこの順で順次アクティブにし、起動信号 E N が非アクティブになった後、制御信号 E N 1 ~ E N 3 をこの順で順次非アクティブにする。すなわち、上記実施の形態に係る制御信号生成部 4 0 は、起動信号 E N が非アクティブになった後、制御信号 E N 3 ~ E N 1 をこの順で順次非アクティブにしたが、本変形例に係る制御信号生成部 6 0 は、制御信号 E N 1 ~ E N 3 をこの順で順次非アクティブにする。この場合でも、電源電圧 V D D の変動量を抑えることができ、回路が誤動作をするおそれを低減することができるとともに、回路が破壊され、あるいは回路の信頼性が低下するおそれを低減することができる。

【0086】

20

以上、実施の形態およびいくつかの変形例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

【0087】

30

例えば、上記の実施の形態などでは、本技術を無線通信システムにおける受信装置に適用したが、これに限定されるものではなく、間欠動作を行う回路を備えたあらゆる分野の装置に適用することができる。

【0088】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

【0089】

なお、本技術は以下のよう構成とすることができます。

【0090】

(1) デューティ比が変更可能な起動信号を生成する第 1 の信号生成部と、前記起動信号に基づいて間欠動作を行う第 1 の処理部とを備えた半導体装置。

【0091】

40

(2) 第 2 の処理部を備え、

前記第 1 の信号生成部は、前記第 2 の処理部の動作周波数に基づいて、前記デューティ比を変更する

前記(1)に記載の半導体装置。

【0092】

(3) 前記第 1 の処理部および前記第 2 の処理部に対して電源を供給する電源部をさらに備えた

前記(2)に記載の半導体装置。

【0093】

(4) 前記第 1 の信号生成部は、第 1 のクロック信号が示す所定の長さの期間において、

50

前記動作周波数に応じた数だけ第2のクロック信号のパルスをカウントすることにより、前記起動信号を生成する

前記(2)または(3)に記載の半導体装置。

【0094】

(5) 前記起動信号に基づいて、互いに遷移タイミングが異なる第1の制御信号および第2の制御信号を生成する第2の信号生成部をさらに備え、

前記第1の処理部は、

前記第1の制御信号に基づいて間欠動作を行う第1の回路ブロックと、

前記第1の回路ブロックの出力信号に基づいて動作し、前記第2の制御信号に基づいて間欠動作を行う第2の回路ブロックと

10

を有する

前記(1)から(4)のいずれかに記載の半導体装置。

【0095】

(6) 間欠動作において、前記第1の回路ブロックが起動したのちに、前記第2の回路ブロックが起動する

前記(5)に記載の半導体装置。

【0096】

(7) 間欠動作において、前記第2の回路ブロックの動作が停止したのちに、前記第1の回路ブロックの動作が停止する

前記(6)に記載の半導体装置。

20

【0097】

(8) 前記第2の信号生成部は、

第3のクロック信号のパルスを、前記起動信号の遷移方向に応じてアップカウントまたはダウンカウントし、そのカウント値に基づいて前記第1の制御信号および前記第2の制御信号を生成する

前記(5)から(7)のいずれかに記載の半導体装置。

【0098】

(9) 前記第2の信号生成部は、

前記起動信号を遅延することにより、互いに遷移タイミングが異なる複数の信号を生成する遅延部と、

30

前記起動信号に基づいて、前記複数の信号から一の信号を選択して前記第1の制御信号として出力するとともに、前記複数の信号から他の一の信号を選択して前記第2の制御信号として出力するセレクタ部と

を有する

前記(5)から(7)のいずれかに記載の半導体装置。

【0099】

(10) 前記第2の信号生成部は、前記第1の制御信号を遅延することにより前記第2の制御信号を生成する

前記(5)または(6)に記載の半導体装置。

【0100】

(11) 起動信号のデューティ比を変化させ、

前記起動信号に基づいて第1の処理部を間欠動作させる半導体装置の制御方法。

【符号の説明】

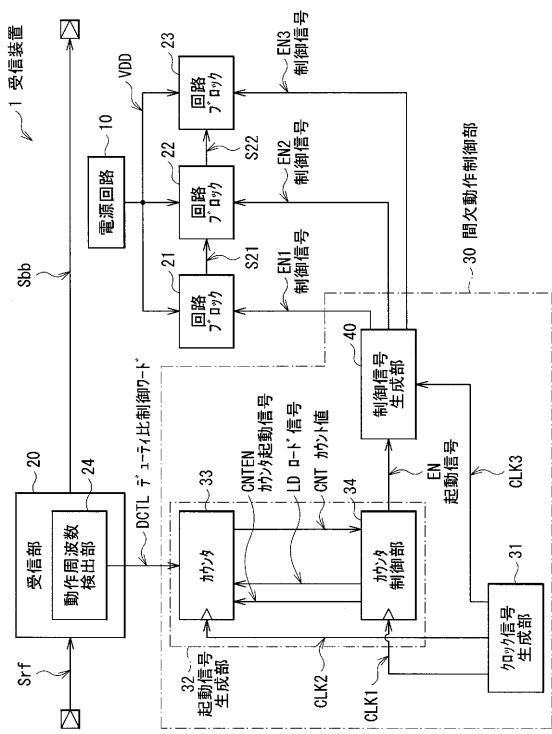
【0101】

1, 1B...受信装置、10...電源回路、20...受信部、21~23...回路ブロック、24...動作周波数検出部、30, 30B...間欠動作制御部、31, 31B...クロック信号生成部、32, 32B...起動信号生成部、33, 33B...カウンタ、34...カウンタ制御部、40, 40A, 50, 60...制御信号生成部、41...エッジ検出回路、42...カウンタ、43, 43A...カウンタ制御部、44...デコーダ、49...カウンタ、51~53...遅延

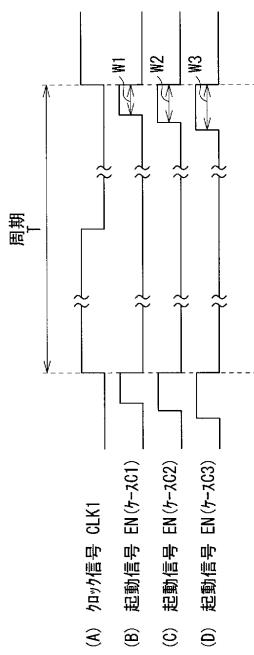
50

回路、54…エッジ検出回路、55…セレクタ、61～63…遅延回路、CLK1～CLK3…クロック信号、CNT, CNT2…カウント値、CNTEN, CNTEN2…カウンタ起動信号、DCTL…デューティ比制御ワード、EN…起動信号、EN1～EN3…制御信号、f range…動作周波数範囲、IDD…電源電流、IDD1～IDD3…電流、LD…ロード信号、N, N1～N3…値、Sbb…ベースバンド信号、Srf, S21, S22…信号、START, FINISH…制御信号、UDCTL…アップダウン制御信号、VDD…電源電圧、W1～W3…パルス幅。

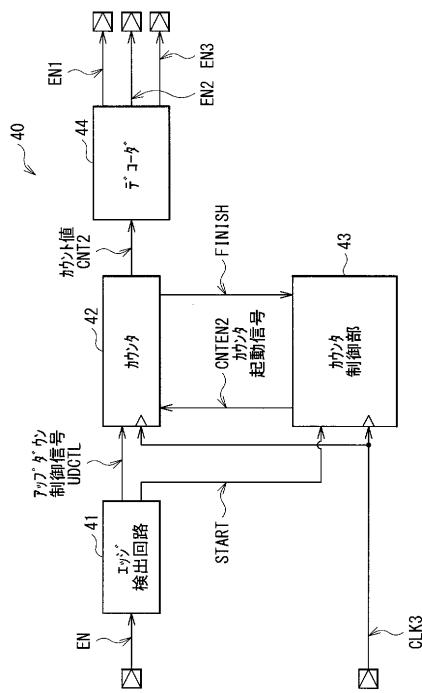
【図1】



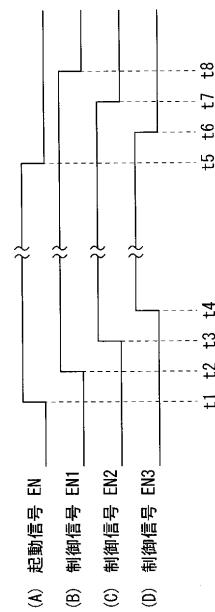
【図2】



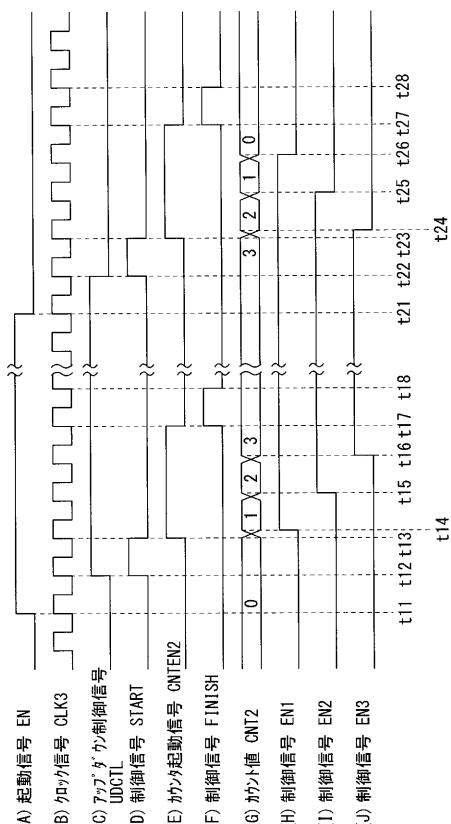
【図3】



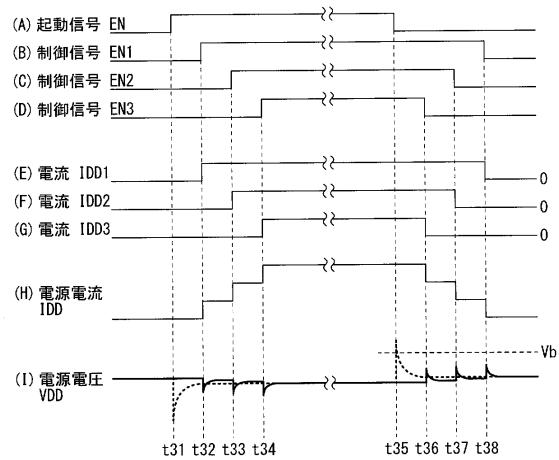
【図4】



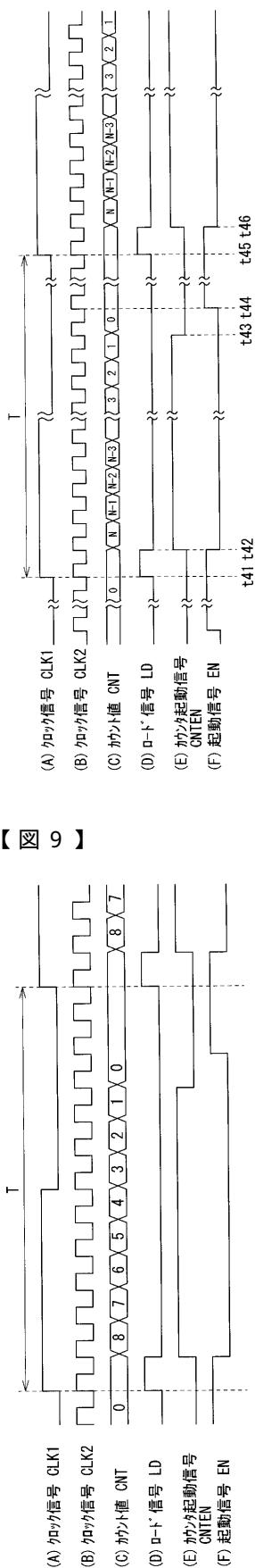
【図5】



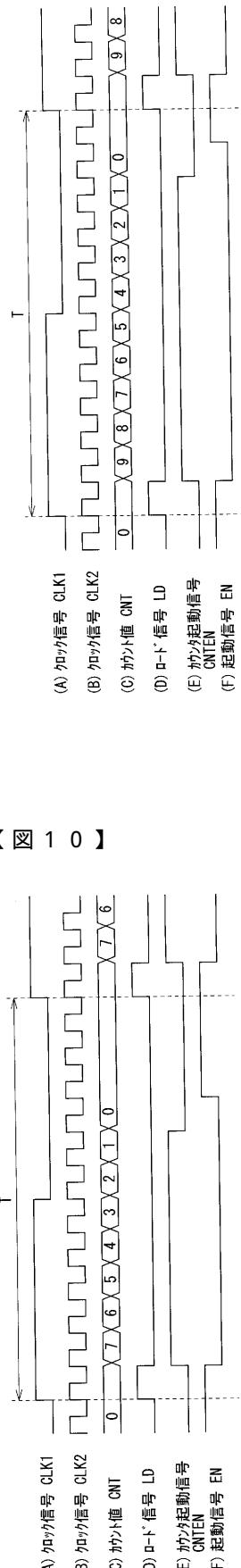
【図6】



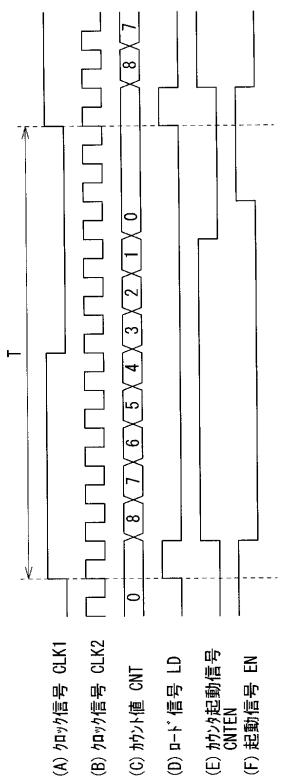
【図7】



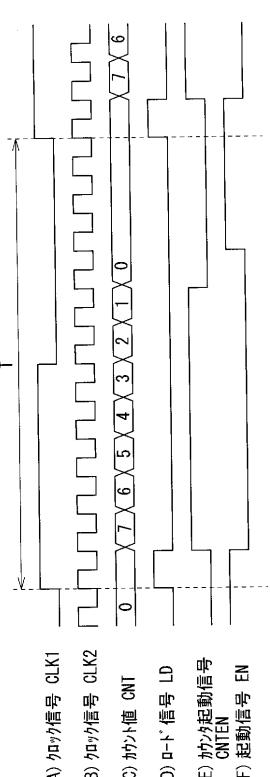
【図8】



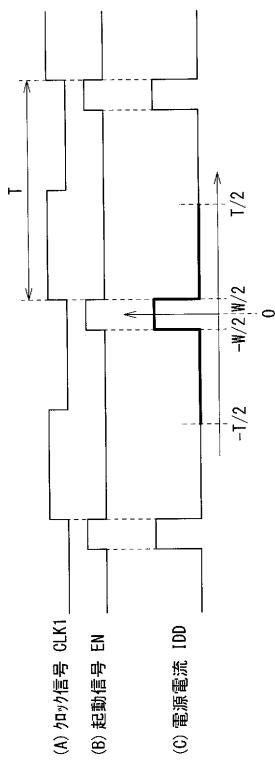
【図9】



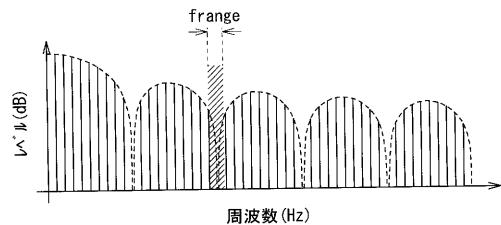
【図10】



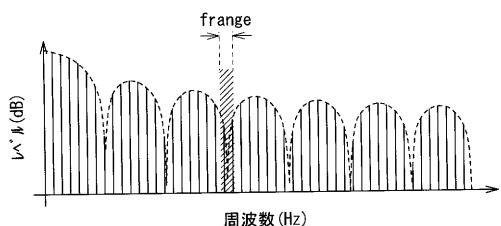
【図 1 1】



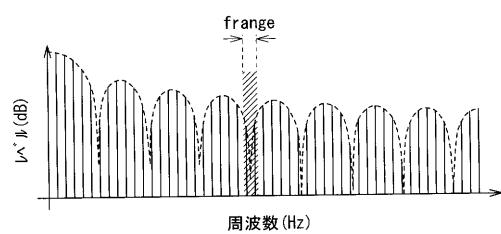
【図 1 2 A】



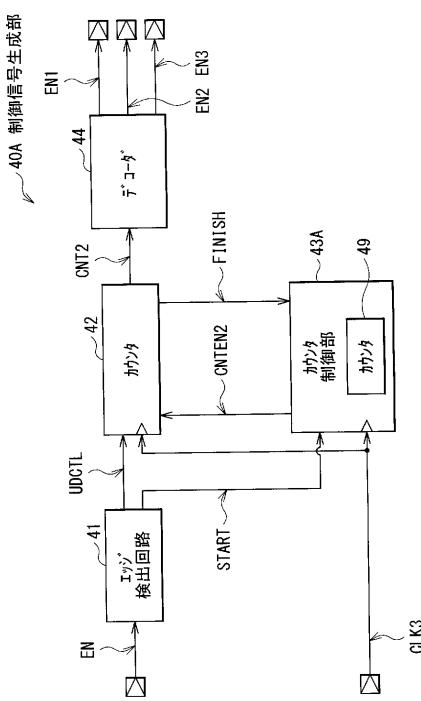
【図 1 2 B】



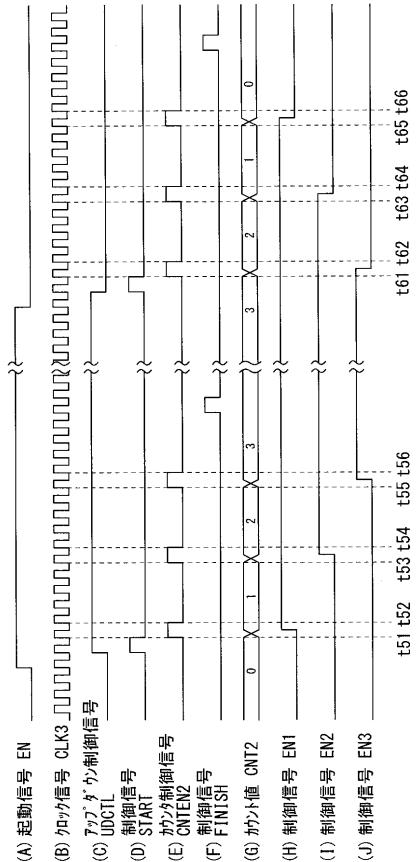
【図 1 2 C】



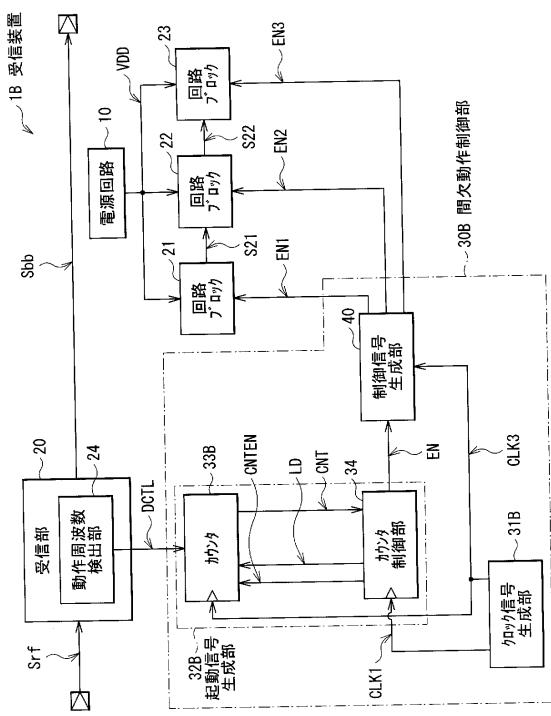
【図 1 3】



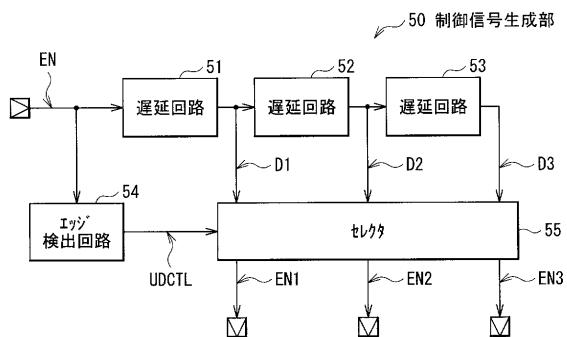
【図 1 4】



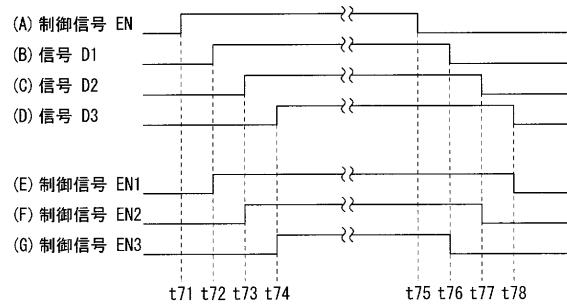
【図15】



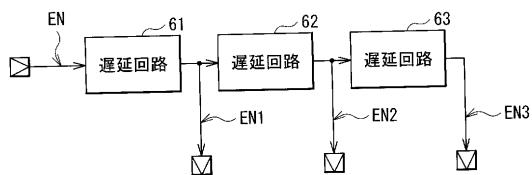
【図16】



【図17】



【図18】



フロントページの続き

(56)参考文献 特開2008-072405(JP,A)
特開2006-112915(JP,A)
特開2000-039937(JP,A)
特開2013-106134(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 F	1 / 0 4
G 06 F	1 / 3 2
H 01 L	2 1 / 8 2 2
H 01 L	2 7 / 0 4
H 04 B	1 / 1 6