

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 8 月 20 日 (20.08.2020)



(10) 国际公布号
WO 2020/164220 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01)

(21) 国际申请号: PCT/CN2019/094671

(22) 国际申请日: 2019 年 7 月 4 日 (04.07.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910117376.3 2019 年 2 月 13 日 (13.02.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 朱 静 (ZHU, Jing); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 薄膜晶体管及其制作方法

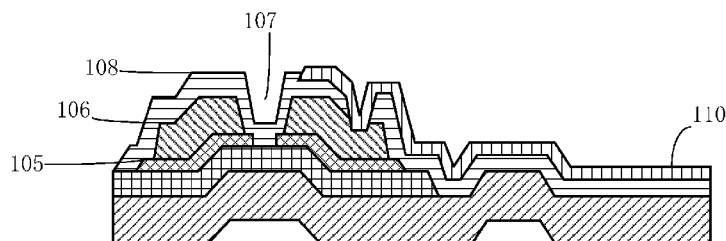


图 2

(57) Abstract: Provided in the present disclosure is a thin film transistor, comprising: a semiconductor substrate, a gate electrode, a gate insulating layer, a first amorphous silicon film layer, a second amorphous silicon film layer, a metal film layer, a passivation layer and a transparent conductive film which are laminated in sequence; the semiconductor substrate comprises a non-electrical film forming region and an electrical film forming region, the thickness of the first amorphous silicon film layer corresponding to the non-electrical film forming region being smaller than the thickness of the first amorphous silicon film layer corresponding to the electrical film forming region. The non-electrical film forming region can be used as an electrical film forming region, improving the electrical uniformity of the whole panel, reducing the size of the non-electrical film forming region, thereby improving the usage of a glass substrate. Further provided is a manufacturing method for the thin film transistor.

(57) 摘要: 本揭示提供一种薄膜晶体管, 包括: 依序层迭设置的一半导体衬底、一栅电极、一栅极绝缘层、一第一非晶硅膜层、一第二非晶硅膜层、一金属膜层、一钝化层、一透明导电膜, 半导体衬底, 包括一非电性成膜区与一电性成膜区, 对应于所述非电性成膜区的所述第一非晶硅膜层一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层一厚度, 使非电性成膜区可作为电性成膜区利用, 提升非电性成膜区的电性均匀度, 来提升整个面板的电性的均匀性, 减小非电性成膜区域的大小, 进而提升玻璃基板的利用率。还提供所述薄膜晶体管的制作方法。

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告 (条约第21条(3))。

薄膜晶体管及其制作方法

技术领域

[0001] 本揭示涉及液晶显示技术领域，尤其涉及一种薄膜晶体管及其制作方法，用于有效的提高面板利用率。

背景技术

[0002] 液晶显示器(Liquid Crystal Display, LCD)是由彩色滤光基板(Color Filter Substrate)、薄膜晶体管数组基板(TFT array substrate)以及位于两基板之间的液晶层所组成。近年来，由于液晶电视的需求增加，使得液晶显示器逐渐朝着大尺寸面板的方向发展。

[0003] 而大尺寸面板的面板利用率（UPS: Usage Per Sheet）由于受到工厂制程的极限限制，导致利用率不高，尤其对于大尺寸面板的生产线，由于各现有制程的均匀度差，故而导致膜厚及电性呈现增长趋势，故而面板的利用率无法得到提高，进而无法实现经济切割率，进而无法有效降低成本，也就降低了产品的市场占有率。

[0004] 如图1所示，为现有技术的薄膜晶体管的成膜保证区与电性成膜保证区示意图；

[0005] 如图1的 A 区域所示，为薄膜晶体管的玻璃尺寸，玻璃基板尺寸越大，玻璃的尺寸越大。如图1的 B 区域所示，为薄膜晶体管的成膜保证区，玻璃基板尺寸越大，导致面板的成膜的均匀度差，边缘的膜厚无法有效保证，所述成膜保证区域会被压缩减少，制程所使用相关组件需要设计在此区域内。如图1的 B 区域所示，为薄膜晶体管的电性成膜保证区域，玻璃基板尺寸越大，导致面板的成膜的均匀度差，边缘的膜厚无法有效保证，尤其由于半导体的特性较敏感，半导体成膜保证区域会被严重压缩，所使用相关开关设计必须要在该区域内。

[0006] 目前面板产业皆通过压缩制程宽容度、甚至牺牲测试拦检或者进行机台改造来压缩非成膜保证区域的大小，进而提高面板的利用率，压缩制程宽容度及牺牲测试拦检的方式，都存在着很多潜在风险，产品品质无法有效的保证，且不良

率风险很高；机台改造的方式行之有效，但改造费用昂贵，且可得回的成膜保证区域有限。

[0007] 因此，有必要提供一种薄膜晶体管的制作方法，有效的增加电性成膜保证区域，从而增加面板的有效利用率，实现最经济切割，可以实现较大面板的制作。

发明概述

技术问题

[0008] 现有的薄膜晶体管制作方法中玻璃基板尺寸越大，导致面板的成膜的均匀度差，边缘的膜厚无法有效保证，即产生玻璃基板的面板利用率低的技术问题。

问题的解决方案

技术解决方案

[0009] 为了解决上述技术问题，本揭示提供一种薄膜晶体管，包括：

[0010] 一半导体衬底，包括一非电性成膜区与一电性成膜区；

[0011] 一栅电极，设置于所述半导体衬底上；

[0012] 一闸极绝缘层，设置于所述栅电极上；

[0013] 一第一非晶硅膜层，设置于所述闸极绝缘层上；

[0014] 一第二非晶硅膜层，设置于所述第一非晶硅膜层上；

[0015] 一金属膜层，设置于所述第二非晶硅膜层上，所述金属膜层包括一通道部分延伸至所述第二非晶硅膜层底部；

[0016] 一钝化层，设置于所述金属膜层上，所述钝化层包括多个接触孔，以暴露出对应部分的所述金属膜层；

[0017] 一透明导电膜，设置于所述钝化层上，每一透明导电膜经由所述接触孔与对应的该所述金属膜层电性连接；

[0018] 其中对应于所述非电性成膜区的所述第一非晶硅膜层一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层一厚度。

[0019] 根据本文描述的一实施例，所述闸极绝缘层为氮化硅层或者氧化硅层，或者氮化硅层和氧化硅层的混合。

[0020] 根据本文描述的一实施例，所述透明导电膜通过所述接触孔与所述栅电极连接。

- [0021] 根据本文描述的一实施例，所述透明导电膜的材料为氧化铟锡或氧化锌铝。
- [0022] 为了解决上述技术问题，本揭示另提供一种薄膜晶体管，包括：
- [0023] 一半导体衬底，包括一非电性成膜区与一电性成膜区；
- [0024] 一栅电极，设置于所述半导体衬底上；
- [0025] 一闸极绝缘层，设置于所述栅电极上；
- [0026] 一第一非晶硅膜层，设置于所述闸极绝缘层上；
- [0027] 一第二非晶硅膜层，设置于所述第一非晶硅膜层上；
- [0028] 一金属膜层，设置于所述第二非晶硅膜层上，所述金属膜层包括一通道部分延伸至所述第二非晶硅膜层底部；
- [0029] 一钝化层，设置于所述金属膜层上，所述钝化层包括多个接触孔，以暴露出对应部分的所述金属膜层；
- [0030] 一透明导电膜，设置于所述钝化层上，所述透明导电膜经由所述接触孔与对应的该所述金属膜层电性连接；
- [0031] 其中对应于所述非电性成膜区的所述通道部分一纵深长度小于对应于所述非电性成膜区所述通道部分的一纵深长度。
- [0032] 根据本文描述的一实施例，所述闸极绝缘层为氮化硅层或者氧化硅层，或者氮化硅层和氧化硅层的混合。
- [0033] 根据本文描述的一实施例，所述透明导电膜通过所述接触孔与所述栅电极连接。
- [0034] 根据本文描述的一实施例，所述透明导电膜的材料为氧化铟锡或氧化锌铝。
- [0035] 为了解决上述技术问题，本揭示另提供一种薄膜晶体管的制作方法，包括：
- [0036] 提供包括一非电性成膜区与一电性成膜区的一半导体衬底；
- [0037] 形成一栅电极于所述半导体衬底上；
- [0038] 形成一闸极绝缘层于所述栅电极上；
- [0039] 形成一第一非晶硅膜层于所述闸极绝缘层上；
- [0040] 形成一第二非晶硅膜层于所述第一非晶硅膜层上；
- [0041] 形成一金属膜层于所述第二非晶硅膜层上；
- [0042] 形成一第二光阻图案于所述金属膜层上，以一第一湿式蚀刻方式蚀刻未被所述

第二光阻图案覆盖的所述金属膜层，再使用一第一干式蚀刻方式除去所述金属膜层预定作为一通道部分的所述第二光阻图案；

[0043] 以一第二湿式蚀刻方式除去所述通道部分的所述金属膜层，再以一第二干式蚀刻方式除去部分的未被剩余的所述第二光阻图案覆盖的所述第一非晶硅膜层及所述第二非晶硅膜层，其中所述第二干式蚀刻方式于所述非电性成膜区所进行的蚀刻持续一第一蚀刻时间，所述第二干式蚀刻方式于所述电性成膜区所进行的蚀刻持续一第二蚀刻时间，所述第一蚀刻时间和所述第二蚀刻时间不相同；

[0044] 移除剩余的所述第二光阻图案，并在所述金属膜层上形成一钝化层，使用一第三光阻图案制作用以到达所述栅电极及所述金属膜层之接触孔，蚀刻接触孔内的所述第一非晶硅膜层和所述第二非晶硅膜层，使所述栅电极和所述金属膜层局部露出；

[0045] 在所述半导体衬底上形成一透明导电膜，使用一第四光阻图案为屏蔽选择性蚀刻所述透明导电膜，以图案化形成像素电极，并除去所述第四光阻图案。

[0046] 根据本文描述的一实施例，对应于所述非电性成膜区的所述第一非晶硅膜层一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层一厚度。

[0047] 根据本文描述的一实施例，对应于所述非电性成膜区的所述通道部分一纵深长度小于对应于所述非电性成膜区所述通道部分的一纵深长度。

[0048] 根据本文描述的一实施例，所述第一蚀刻时间大于所述第二蚀刻时间。

[0049] 根据本文描述的一实施例，形成所述栅电极于所述半导体衬底上的步骤包括：在半导体衬底上沉积一第一金属层，形成一第一光阻图案于所述第一金属层上，蚀刻未被所述第一光阻图案遮盖的所述第一金属层，以形成所述栅电极。

[0050] 根据本文描述的一实施例，形成所述第一光阻图案于所述第一金属层上的步骤包括：在所述第一金属层上涂覆一光刻胶，利用一掩模板对所述光刻胶进行曝光，显影后形成所述第一光阻图案。

[0051] 根据本文描述的一实施例，所述第二干式蚀刻方式于所述非电性成膜区的一蚀刻速率大于所述第二干式蚀刻方式于所述电性成膜区的一蚀刻速率。

[0052] 根据本文描述的一实施例，所述第一干式蚀刻方式及所述第二干式蚀刻方式分别为一氧气等离子体灰化蚀刻法。

[0053] 根据本文描述的一实施例，对应于所述非电性成膜区的所述第二光阻图案的一膜厚度小于对应于所述电性成膜区的所述第二光阻图案的一膜厚度。

[0054] 根据本文描述的一实施例，所述闸极绝缘层为氮化硅层或者氧化硅层，或者氮化硅层和氧化硅层的混合。

[0055] 根据本文描述的一实施例，所述透明导电膜通过所述接触孔与所述栅电极连接。

[0056] 根据本文描述的一实施例，所述透明导电膜的材料为氧化铟锡或氧化锌铝。

发明的有益效果

有益效果

[0057] 本揭示提供的薄膜晶体管及其制作方法，由于玻璃基板的电性均匀度与玻璃基板的宽长比(W/L)成正比，而玻璃基板的电性均匀度与第一非晶硅膜层的厚度成正比，通过提升非电性成膜区(即现有玻璃基板的非成膜保证区域)的膜厚特性，调整薄膜晶体管的第一非晶硅膜层的厚度，使原本为非电性成膜区的区域转换为具有足够电性均匀度的电性成膜区，来做为增加玻璃基板的宽度的补偿手段，使对应于所述非电性成膜区的所述第一非晶硅膜层一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层一厚度；或者通过调整制程中所述非电性成膜区相对于所述电性成膜区的所述第二光阻图案的一膜厚度的方式，使蚀刻后对应于所述非电性成膜区的所述通道部分一纵深长度小于对应于所述非电性成膜区的所述通道部分的一纵深长度，而所述通道部分的纵深长度为薄膜晶体管的玻璃基板的长度，从而使得非电性成膜区的所述通道部分的纵深长度小于电性成膜区的所述通道部分的纵深长度，提升非电性成膜区的电性均匀度，来提升整个面板的电性的均匀性，进而减小非电性成膜区域的大小，进而提升玻璃基板的利用率，实现大尺寸面板的制作。

对附图的简要说明

附图说明

[0058] 图1为现有技术的薄膜晶体管的成膜保证区与电性成膜保证区示意图；

[0059] 图2为本揭示薄膜晶体管结构示意图；

[0060] 图3为本揭示薄膜晶体管制作方法的工艺流程图；

[0061] 图4A-4F为本揭示薄膜晶体管制作方法的工艺流程图；

[0062] 图5为本揭示薄膜晶体管制作方法的流程示意图。

发明实施例

本发明的实施方式

[0063] 下面结合附图详细本揭示实施例的实现过程。

[0064] 针对薄膜晶体管的玻璃基板尺寸较大，导致玻璃基板边缘的膜厚不能得到有效的保证，玻璃基板的大板边缘的膜厚及电性不保证区域不能够使用，导致了玻璃基板的利用率无法得到有效提高的缺陷进行以下改进。

[0065] 如图2至图4A-4F及图5所示，本揭示提供一种薄膜晶体管，其包括：一半导体衬底101，包括一非电性成膜区与一电性成膜区；一栅电极102，设置于所述半导体衬底101上；一闸极绝缘层103，设置于所述栅电极上；一第一非晶硅膜层104，设置于所述闸极绝缘层103上；一第二非晶硅膜层105，设置于所述第一非晶硅膜层104上；一金属膜层106，设置于所述第二非晶硅膜层105上，所述金属膜层106包括一通道部分107延伸至所述第二非晶硅膜层105底部；一钝化层108，设置于所述金属膜层106上，所述钝化层108包括多个接触孔109，以暴露出对应部分的所述金属膜层106；多个一透明导电膜110，设置于所述钝化层108上，每一透明导电膜110经由所述接触孔109与对应的该所述金属膜层106电性连接；其中对应于所述非电性成膜区的所述第一非晶硅膜层104一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层104一厚度。

[0066] 在不同实施例中，所述薄膜晶体管包括：一半导体衬底101，包括一非电性成膜区与一电性成膜区；一栅电极102，设置于所述半导体衬底101上；一闸极绝缘层103，设置于所述栅电极上；一第一非晶硅膜层104，设置于所述闸极绝缘层103上；一第二非晶硅膜层105，设置于所述第一非晶硅膜层104上；一金属膜层106，设置于所述第二非晶硅膜层105上，所述金属膜层106包括一通道部分107延伸至所述第二非晶硅膜层105底部；一钝化层108，设置于所述金属膜层106上，所述钝化层108包括多个接触孔109，以暴露出对应部分的所述金属膜层106；多个一透明导电膜110，设置于所述钝化层108上，每一透明导电膜110经由所述接触孔109与对应的该所述金属膜层106电性连接；其中对应于所述非电性成膜

区的所述通道部分107一纵深长度小于对应于所述非电性成膜区所述通道部分107的一纵深长度。

[0067] 如图2至图4A-4F所示，为本揭示薄膜晶体管制作方法的流程示意图及改进工艺流程图。本揭示的薄膜晶体管制作方法改良自半色调(half tone)光制程技术之四道光罩制程(Four Mask Process)的现有技术。如下文说明，系藉由半色调曝光技术利用一片光罩进行包含通道之半导体层之岛化制程和源极、汲极配线制程的合理化技术。四道光罩制程中，第一道光罩是用来制作闸极；第二道光罩是用来制作通道层与源极、汲极；第三道光罩是用来制作钝化层/保护层中的接触窗开口；且第四道光罩是用来制作像素电极，特别是，第二道光罩通常会采用半调式光罩，以同时制作通道层与源极、汲极。

[0068] 如图2至图4A-4F及图5所示，首先，步骤S01：提供包括一非电性成膜区与一电性成膜区的一半导体衬底。使用溅镀装置等制膜装置，将铬、钼、钽、铝、铜或其合金或其层迭结构被覆于一半导体衬底101之一表面上，作为一第一金属层，所述半导体衬底101可以为玻璃基板，并且所述半导体衬底101包括一非电性成膜区(未图示)与一电性成膜区(未图示)。接着，步骤S02：形成一栅电极于所述半导体衬底上。在第一金属层之一表面上涂布光阻，使用第一光罩选择性形成第一光阻图案(未图示)。而形成所述第一光阻图案于所述第一金属层上的步骤包括：在所述第一金属层上涂覆一光刻胶(未图示)，利用一掩模板对所述光刻胶进行曝光，显影后形成所述第一光阻图案。

[0069] 然后，将第一光阻图案作为屏蔽进行所述第一金属层的蚀刻，除去光阻，而形成图2所示的兼作为扫描线的栅电极102。栅电极102的膜厚一般设于 $0.1\sim 0.3\ \mu\text{m}$ 之范围。

[0070] 接着，步骤S03~S06：形成一闸极绝缘层于所述栅电极上；形成一第一非晶硅膜层于所述闸极绝缘层上；形成一第二非晶硅膜层于所述第一非晶硅膜层上；形成一金属膜层于所述第二非晶硅膜层上。使用电浆CVD装置或溅镀装置等制膜装置，将作为一闸极绝缘层103之第一氮化硅膜、作为晶体管之通道之几乎不含杂质之第一非晶硅膜层104(a-Si)、以及作为薄膜晶体管之源极、汲极之掺杂N型杂质之第二非晶硅膜层105(N+a-Si)的三薄膜，分别以例如 $0.3-0.2-0.05$

μm 之膜厚沉积。再使用溅镀装置等被覆例如铬、钼、钽、铝、铜或其合金或其层迭结构，作为金属膜层106。金属膜层106的膜厚一般亦约为 $0.3\mu\text{m}$ 。并且优选地，所述闸极绝缘层103为氮化硅层或者氧化硅层，或者氮化硅层和氧化硅层的混合。

[0071] 接着，步骤S07：形成一第二光阻图案于所述金属膜层上，以一第一湿式蚀刻方式蚀刻未被所述第二光阻图案覆盖的所述金属膜层，再使用一第一干式蚀刻方式除去所述金属膜层预定作为一通道部分的所述第二光阻图案。如图4A-4B所示利用以缝隙图案、点图案等调整透射之曝光能量的第二光罩(未图示)或利用以半透射膜调整透射之曝光能量的第二光罩，形成具有未曝光部分、完全曝光部分以及半色调曝光部分的一第二光阻图案201，所述第二光阻图案201形成于所述金属膜层106上。如图4C所示以第二光阻图案201为屏蔽，采用一第一湿式蚀刻方式蚀刻未被所述第二光阻图案201覆盖的所述金属膜层106而形成源极、汲极配线。之后，如图4D所示利用一第一干式蚀刻方式(如氧气电浆等灰化方式)，除去所述金属膜层106上预定作为一通道部分107的所述第二光阻图案106。

[0072] 然后，步骤S08：以一第二湿式蚀刻方式除去所述通道部分的所述金属膜层，再以一第二干式蚀刻方式除去部分的未被剩余的所述第二光阻图案覆盖的所述第一非晶硅膜层及所述第二非晶硅膜层。如图4E所示将膜厚减少之所述第二光阻图案201作为屏蔽，以一第二湿式蚀刻方式再次蚀刻所述通道部分107以及未被剩余的所述第二光阻图案201覆盖的所述金属膜层106，再以一第二干式蚀刻方式除去部分的未被剩余的所述第二光阻图案201覆盖的所述第一非晶硅膜层104及所述第二非晶硅膜层105，即再次蚀刻所述金属膜层106、第二非晶硅膜层105以及第一非晶硅膜层104后，除去源极、汲极配线间之第二非晶硅膜层105，使所述非电性成膜区的第一非晶硅膜层104具有一适合的厚度T1，而所述电性成膜区的第一非晶硅膜层104具有一厚度T2，而 $T1 < T2$ ，使半导体衬底101边缘区域(即非所述电性成膜区)的电性均匀度提高，从而使半导体衬底101边缘区域的非所述电性成膜区成为所述电性成膜区，通过减少非电性成膜区(即现有玻璃基板的非成膜保证区域)的大小，增加所述半导体衬底101的可利用率。

[0073] 由于薄膜晶体管的电性均匀度与第一非晶硅膜层的厚度成正比，而玻璃基板的

电性均匀度与第一非晶硅膜层的厚度成正比，为了在所述非电性成膜区留下合适的第一非晶硅膜层104的厚度，对在所述非电性成膜区的第一非晶硅膜层104的蚀刻时间将会减少，所述第二干式蚀刻方式对于所述非电性成膜区与所述第二干式蚀刻方式对于所述电性成膜区所持续的蚀刻时间并不相同。即所述第二干式蚀刻方式于所述非电性成膜区所进行的蚀刻持续一第一蚀刻时间，所述第二干式蚀刻方式于所述电性成膜区所进行的蚀刻持续一第二蚀刻时间，所述第一蚀刻时间和所述第二蚀刻时间不相同。优选地，所述第一蚀刻时间大于所述第二蚀刻时间。

[0074] 此外在不同实施例中，所述第二干式蚀刻方式于所述非电性成膜区的一蚀刻速率大于所述第二干式蚀刻方式于所述电性成膜区的一蚀刻速率，如此在相同蚀刻时间下，亦可达到使所述非电性成膜区的第一非晶硅膜层104的厚度小于所述电性成膜区的第一非晶硅膜层104的厚度。

[0075] 须注意的是，在不同实施例中，对应于所述非电性成膜区的所述第二光阻图案的一膜厚度小于对应于所述电性成膜区的所述第二光阻图案的一膜厚度。利用所述第二光阻图案残留的厚度（残膜量）有差异，经过所述第一干式蚀刻方式后不同区域的所述通道部分的纵深长度不同，所述第二光阻图案厚的区域会造成所述通道部分的纵深长度较小，所述第二光阻图案薄的区域会造成所述通道部分的纵深长度较大，使蚀刻后对应于所述非电性成膜区的所述通道部分一纵深长度小于对应于所述非电性成膜区的所述通道部分的一纵深长度，而所述通道部分的纵深长度为薄膜晶体管的玻璃基板的长度，从而使得非电性成膜区的所述通道部分的纵深长度小于电性成膜区的所述通道部分的纵深长度，提升非电性成膜区的电性均匀度。

[0076] 其后如图2及图5所示，步骤S09：移除剩余的所述第二光阻图案，并在所述金属膜层上形成一钝化层108，使用一第三光阻图案制作用以到达所述栅电极102及所述金属膜层106之接触孔109，蚀刻接触孔109内的所述第一非晶硅膜层104和所述第二非晶硅膜层105，使所述栅电极102和所述金属膜层106局部露出。然后，步骤S10：在所述半导体衬底上形成一透明导电膜110，使用一第四光阻图案为屏蔽选择性蚀刻所述透明导电膜110，以图案化形成像素电极，并除去所述

第四光阻图案。

[0077] 在优选实施例中所述透明导电膜通过所述接触孔与所述栅电极连接。并且所述透明导电膜的材料为氧化铟锡或氧化锌铝。本揭示提供的薄膜晶体管的制作方法，由于玻璃基板的电性均匀度与玻璃基板的宽长比(W/L)成正比，而玻璃基板的电性均匀度与第一非晶硅膜层的厚度成反比，通过提升非电性成膜区(即现有玻璃基板的非成膜保证区域)的膜厚特性，调整薄膜晶体管的第一非晶硅膜层的厚度，使原本为非电性成膜区的区域转换为具有足够电性均匀度的电性成膜区，来做为增加玻璃基板的宽度的补偿手段，使对应于所述非电性成膜区的所述第一非晶硅膜层一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层一厚度；或者通过调整制程中所述非电性成膜区相对于所述电性成膜区的所述第二光阻图案的一膜厚度的方式，使蚀刻后对应于所述非电性成膜区的所述通道部分一纵深长度小于对应于所述非电性成膜区的所述通道部分的一纵深长度，而所述通道部分的纵深长度为薄膜晶体管的玻璃基板的长度，从而使得非电性成膜区的所述通道部分的纵深长度小于电性成膜区的所述通道部分的纵深长度，提升非电性成膜区的电性均匀度，来提升整个面板的电性的均匀性，进而减小非电性成膜区域的大小，进而提升玻璃基板的利用率，实现大尺寸面板的制作。

[0078] 以上所述是本揭示的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本揭示原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也视为本揭示的保护范围。

权利要求书

- [权利要求 1] 一种薄膜晶体管，其包括：
- 一半导体衬底，包括一非电性成膜区与一电性成膜区；
 - 一栅电极，设置于所述半导体衬底上；
 - 一闸极绝缘层，设置于所述栅电极上；
 - 一第一非晶硅膜层，设置于所述闸极绝缘层上；
 - 一第二非晶硅膜层，设置于所述第一非晶硅膜层上；
 - 一金属膜层，设置于所述第二非晶硅膜层上，所述金属膜层包括一通道部分延伸至所述第二非晶硅膜层底部；
 - 一钝化层，设置于所述金属膜层上，所述钝化层包括多个接触孔，以暴露出对应部分的所述金属膜层；及
 - 一透明导电膜，设置于所述钝化层上，所述透明导电膜经由所述接触孔与对应的该所述金属膜层电性连接；
- 其中对应于所述非电性成膜区的所述第一非晶硅膜层一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层一厚度。
- [权利要求 2] 根据权利要求1所述的薄膜晶体管，其中所述闸极绝缘层为氮化硅层或者氧化硅层，或者氮化硅层和氧化硅层的混合。
- [权利要求 3] 根据权利要求1所述的薄膜晶体管，其中所述透明导电膜通过所述接触孔与所述栅电极连接。
- [权利要求 4] 根据权利要求1所述的薄膜晶体管，其中所述透明导电膜的材料为氧化铟锡或氧化锌铝。
- [权利要求 5] 一种薄膜晶体管，其包括：
- 一半导体衬底，包括一非电性成膜区与一电性成膜区；
 - 一栅电极，设置于所述半导体衬底上；
 - 一闸极绝缘层，设置于所述栅电极上；
 - 一第一非晶硅膜层，设置于所述闸极绝缘层上；
 - 一第二非晶硅膜层，设置于所述第一非晶硅膜层上；
 - 一金属膜层，设置于所述第二非晶硅膜层上，所述金属膜层包括一通

道部分延伸至所述第二非晶硅膜层底部；

一钝化层，设置于所述金属膜层上，所述钝化层包括多个接触孔，以暴露出对应部分的所述金属膜层；及

一透明导电膜，设置于所述钝化层上，所述透明导电膜经由所述接触孔与对应的该所述金属膜层电性连接；

其中对应于所述非电性成膜区的所述通道部分一纵深长度小于对应于所述非电性成膜区所述通道部分的一纵深长度。

[权利要求 6] 根据权利要求5所述的薄膜晶体管，其中所述栅极绝缘层为氮化硅层或者氧化硅层，或者氮化硅层和氧化硅层的混合。

[权利要求 7] 根据权利要求5所述的薄膜晶体管，其中所述透明导电膜通过所述接触孔与所述栅电极连接。

[权利要求 8] 根据权利要求5所述的薄膜晶体管，其中所述透明导电膜的材料为氧化铟锡或氧化锌铝。

[权利要求 9] 一种薄膜晶体管的制作方法，其包括步骤：

提供包括一非电性成膜区与一电性成膜区的一半导体衬底；

形成一栅电极于所述半导体衬底上；

形成一栅极绝缘层于所述栅电极上；

形成一第一非晶硅膜层于所述栅极绝缘层上；

形成一第二非晶硅膜层于所述第一非晶硅膜层上；

形成一金属膜层于所述第二非晶硅膜层上；

形成一第二光阻图案于所述金属膜层上，以一第一湿式蚀刻方式蚀刻未被所述第二光阻图案覆盖的所述金属膜层，再使用一第一干式蚀刻方式除去所述金属膜层预定作为一通道部分的所述第二光阻图案；

以一第二湿式蚀刻方式除去所述信道部分的所述金属膜层，再以一第二干式蚀刻方式除去部分的未被剩余的所述第二光阻图案覆盖的所述第一非晶硅膜层及所述第二非晶硅膜层，其中所述第二干式蚀刻方式于所述非电性成膜区所进行的蚀刻持续一第一蚀刻时间，所述第二干式蚀刻方式于所述电性成膜区所进行的蚀刻持续一第二蚀刻时间，所

述第一蚀刻时间和所述第二蚀刻时间不相同；
移除剩余的所述第二光阻图案，并在所述金属膜层上形成一钝化层，
使用一第三光阻图案制作用以到达所述栅电极及所述金属膜层之接触孔，蚀刻接触孔内的所述第一非晶硅膜层和所述第二非晶硅膜层，使所述栅电极和所述金属膜层局部露出；及
在所述半导体衬底上形成一透明导电膜，使用一第四光阻图案为屏蔽选择性蚀刻所述透明导电膜，以图案化形成像素电极，并除去所述第四光阻图案；
其中对应于所述非电性成膜区的所述第一非晶硅膜层一厚度小于对应于所述电性成膜区的所述第一非晶硅膜层一厚度。

[权利要求 10] 根据权利要求9所述的薄膜晶体管的制作方法，其中对应于所述非电性成膜区的所述第二光阻图案的一膜厚度小于对应于所述电性成膜区的所述第二光阻图案的一膜厚度。

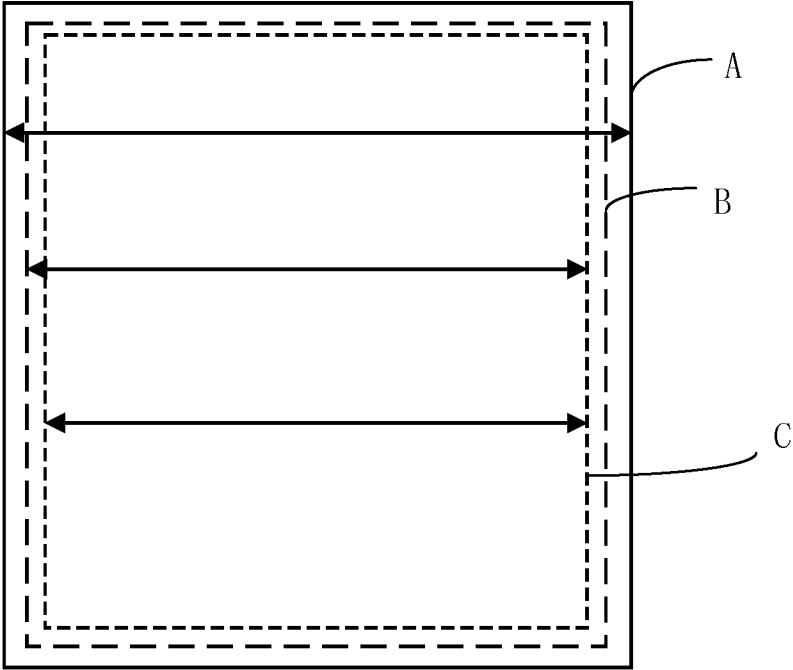


图 1

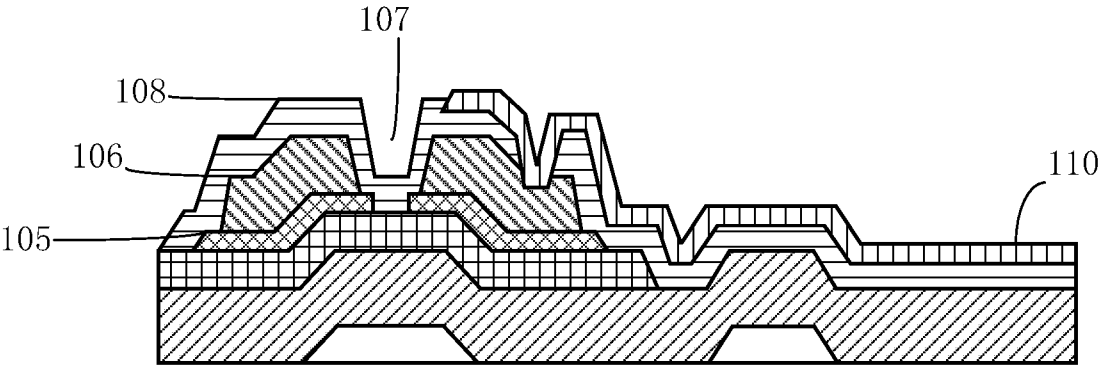


图 2

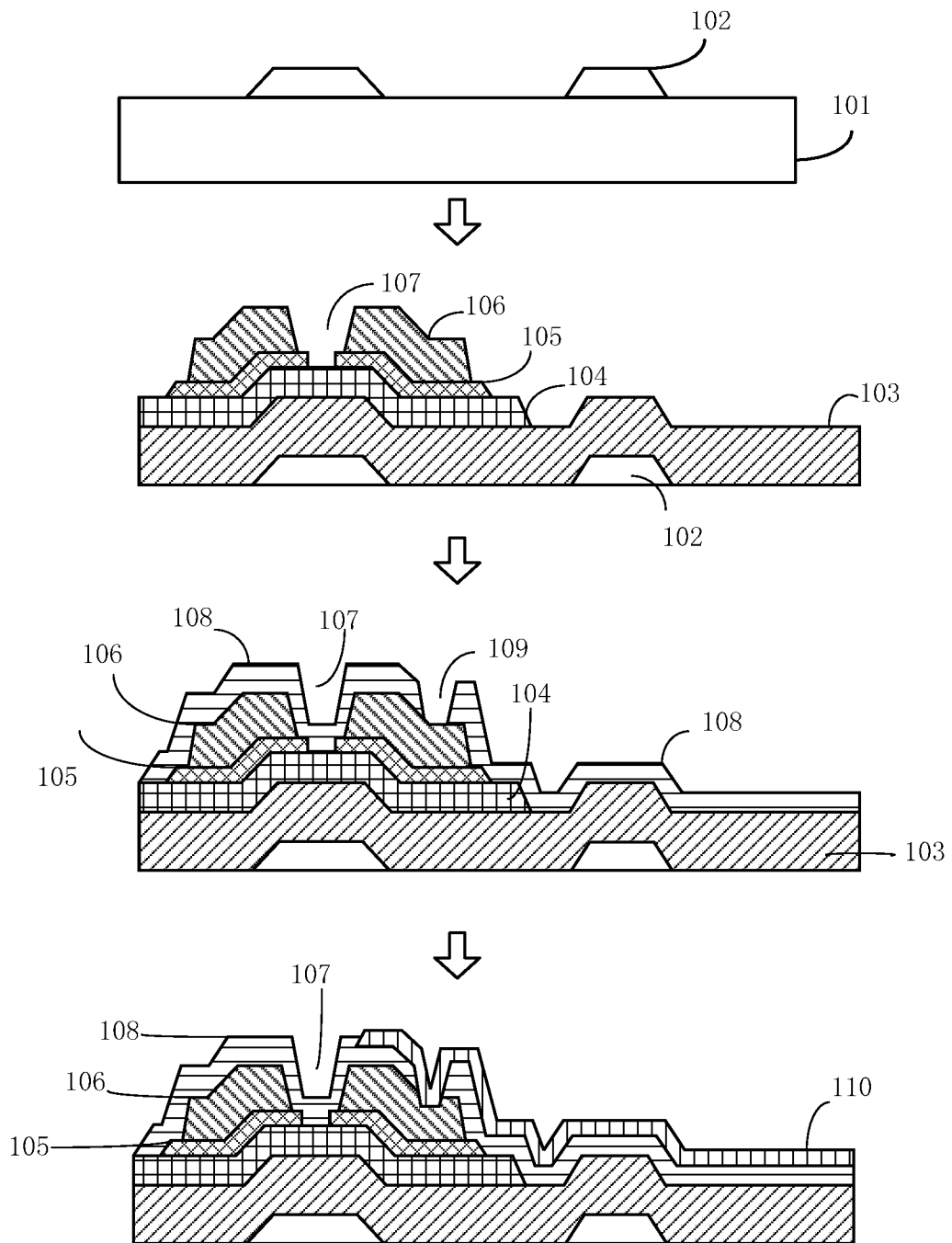


图 3

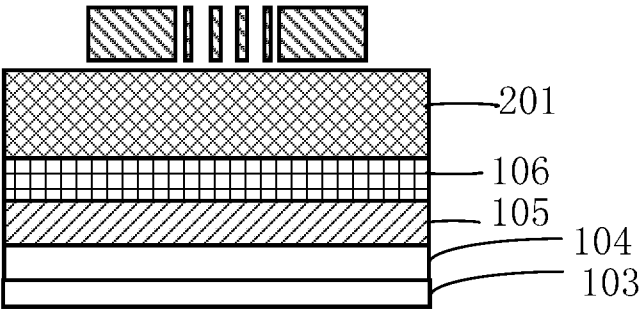


图 4A

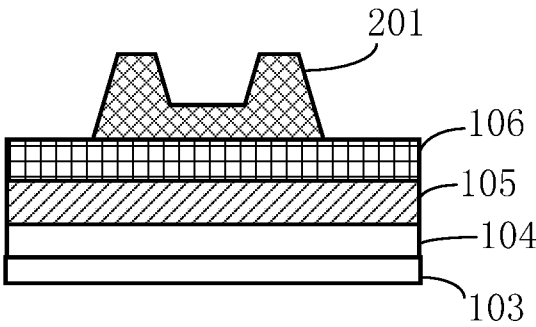


图 4B

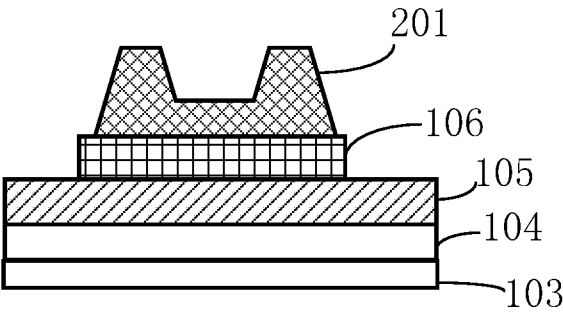


图 4C

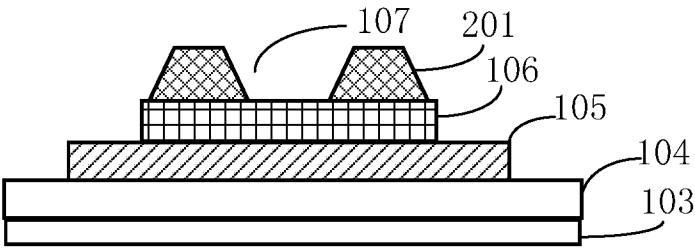


图 4D

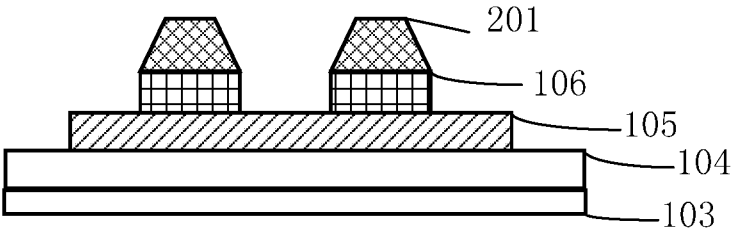


图 4E

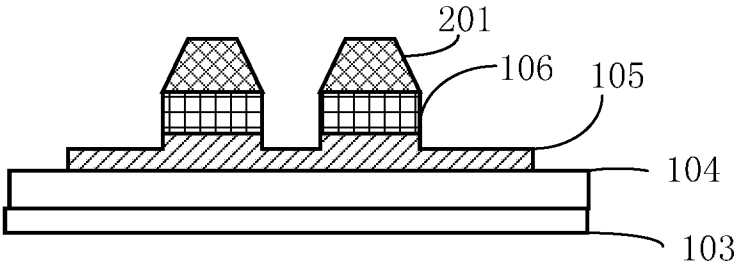


图 4F

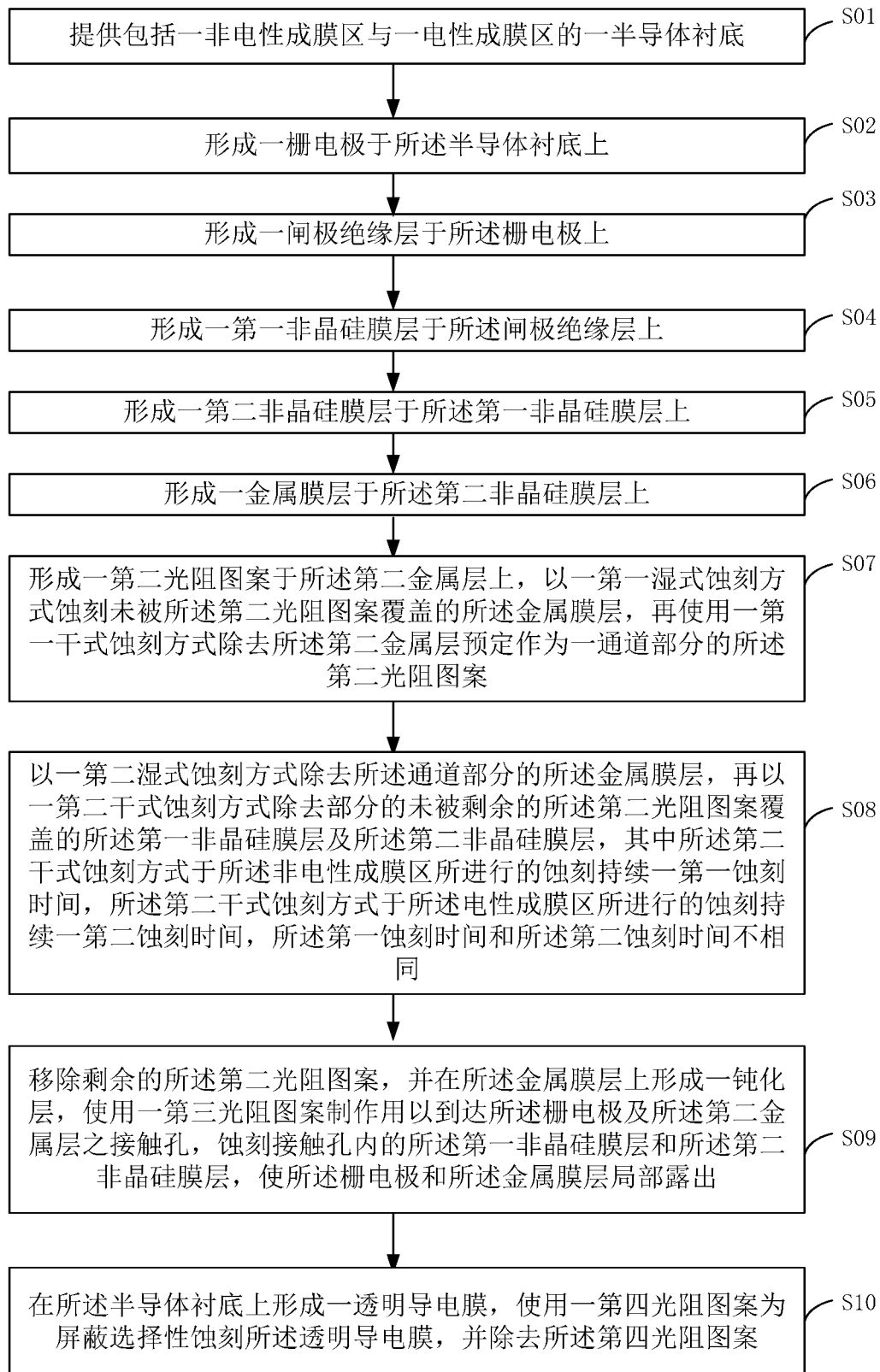


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/094671

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: 柔性基板, 玻璃基板, 基板, 液晶, 电性成膜区, 显示区, 非电性成膜区, 非显示区, 改变, 小于, 大于, 不同, 第一, 有源层, 沟道层, 非晶硅, 边缘, 厚度, 通道, flexible, soft, substrate, liquid crystal, electric film, display, different, change, first, active, channel, amorphous silicon, edge, depth, thick, contact hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 107887420 A (SHANGHAI AVIC OPTOELECTRONICS CO., LTD.) 06 April 2018 (2018-04-06) description, paragraphs [0041]-[0094] and figures 1-8f	1-8
Y	CN 101814455 A (LG DISPLAY CO., LTD.) 25 August 2010 (2010-08-25) description, paragraphs [0007]-[0009] and [0035], and figures 1 and 3B	1-8
A	CN 104934330 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 September 2015 (2015-09-23) entire document	1-10
A	CN 107275334 A (INNOLUX DISPLAY CORP.) 20 October 2017 (2017-10-20) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

04 November 2019

Date of mailing of the international search report

15 November 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/094671

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107887420	A	06 April 2018	None			
CN	101814455	A	25 August 2010	KR	101593443	B1	12 February 2016
				TW	I385760	B	11 February 2013
				KR	20100094817	A	27 August 2010
				US	2010210056	A1	19 August 2010
				CN	101814455	B	15 May 2013
				US	8062936	B2	22 November 2011
				TW	201032289	A	01 September 2010
CN	104934330	A	23 September 2015	EP	3121840	A4	22 November 2017
				EP	3121840	A1	25 January 2017
				US	2017154905	A1	01 June 2017
				WO	2016179951	A1	17 November 2016
CN	107275334	A	20 October 2017	US	2017294459	A1	12 October 2017

国际检索报告

国际申请号

PCT/CN2019/094671

A. 主题的分类 H01L 29/786(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, EPDOC, CNPAT, CNKI: 柔性基板, 玻璃基板, 基板, 液晶, 电性成膜区, 显示区, 非电性成膜区, 非显示区, 改变, 小于, 大于, 不同, 第一, 有源层, 沟道层, 非晶硅, 边缘, 厚度, 通道, flexible, soft, substrate, liquid crystal, electric film, display, different, change, first, active, channel, amorphous silicon, edge, depth, thick, contact hole																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 107887420 A (上海中航光电子有限公司) 2018年 4月 6日 (2018 - 04 - 06) 说明书第[0041]-[0094]段及附图1-8f</td> <td>1-8</td> </tr> <tr> <td>Y</td> <td>CN 101814455 A (乐金显示有限公司) 2010年 8月 25日 (2010 - 08 - 25) 说明书第[0007]-[0009]、[0035]段及附图1、3B</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>CN 104934330 A (京东方科技集团股份有限公司等) 2015年 9月 23日 (2015 - 09 - 23) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 107275334 A (群创光电股份有限公司) 2017年 10月 20日 (2017 - 10 - 20) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 107887420 A (上海中航光电子有限公司) 2018年 4月 6日 (2018 - 04 - 06) 说明书第[0041]-[0094]段及附图1-8f	1-8	Y	CN 101814455 A (乐金显示有限公司) 2010年 8月 25日 (2010 - 08 - 25) 说明书第[0007]-[0009]、[0035]段及附图1、3B	1-8	A	CN 104934330 A (京东方科技集团股份有限公司等) 2015年 9月 23日 (2015 - 09 - 23) 全文	1-10	A	CN 107275334 A (群创光电股份有限公司) 2017年 10月 20日 (2017 - 10 - 20) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	CN 107887420 A (上海中航光电子有限公司) 2018年 4月 6日 (2018 - 04 - 06) 说明书第[0041]-[0094]段及附图1-8f	1-8															
Y	CN 101814455 A (乐金显示有限公司) 2010年 8月 25日 (2010 - 08 - 25) 说明书第[0007]-[0009]、[0035]段及附图1、3B	1-8															
A	CN 104934330 A (京东方科技集团股份有限公司等) 2015年 9月 23日 (2015 - 09 - 23) 全文	1-10															
A	CN 107275334 A (群创光电股份有限公司) 2017年 10月 20日 (2017 - 10 - 20) 全文	1-10															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2019年 11月 4日		国际检索报告邮寄日期 2019年 11月 15日															
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 梁素平 电话号码 86-(10)-53961497															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/094671

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107887420	A	2018年 4月 6日	无			
CN	101814455	A	2010年 8月 25日	KR	101593443	B1	2016年 2月 12日
				TW	1385760	B	2013年 2月 11日
				KR	20100094817	A	2010年 8月 27日
				US	2010210056	A1	2010年 8月 19日
				CN	101814455	B	2013年 5月 15日
				US	8062936	B2	2011年 11月 22日
				TW	201032289	A	2010年 9月 1日
CN	104934330	A	2015年 9月 23日	EP	3121840	A4	2017年 11月 22日
				EP	3121840	A1	2017年 1月 25日
				US	2017154905	A1	2017年 6月 1日
				WO	2016179951	A1	2016年 11月 17日
CN	107275334	A	2017年 10月 20日	US	2017294459	A1	2017年 10月 12日