

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-68700

(P2010-68700A)

(43) 公開日 平成22年3月25日(2010.3.25)

(51) Int.Cl.	F I	テーマコード (参考)
H02H 3/02 (2006.01)	H02H 3/02 J	
H02H 3/00 (2006.01)	H02H 3/00 M	
	H02H 3/00 D	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号	特願2008-235579 (P2008-235579)	(71) 出願人	000003078
(22) 出願日	平成20年9月12日 (2008. 9. 12)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(71) 出願人	000221096
			東芝システムテクノロジー株式会社
			東京都府中市東芝町1番地の13
		(74) 代理人	100081961
			弁理士 木内 光春
		(72) 発明者	不破 裕
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	原田 義之
			東京都府中市東芝町1番地13 東芝シス
			テムテクノロジー株式会社内

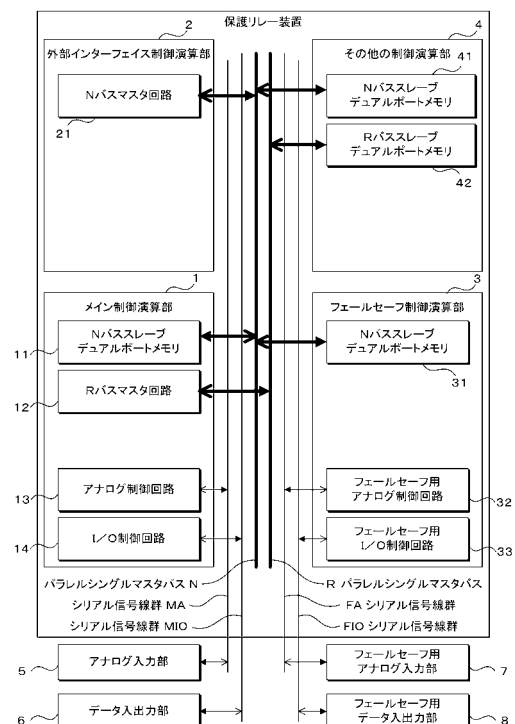
(54) 【発明の名称】 保護リレー装置

(57) 【要約】

【課題】効率的に演算部相互のデータのやりとりが可能であり、かつ各演算部の独立性を確保し、いずれか1つの演算部が故障したとしても他の演算部には全く影響を及ぼさない保護リレー装置を提供する。

【解決手段】メイン制御演算部1をマスタバスとし他の制御演算部2～4をスレーブとして、アクセスされる第1の平行シングルマスタバスRで接続し、外部インタフェース制御演算部2をマスタバスとし他の制御演算部1、3及び4をスレーブとして、アクセスされる第2の平行シングルマスタバスNで接続する、という2つの平行シングルマスタバスで接続する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

電力系統から電圧・電流信号を取り込むアナログ入力手段と、機器の接点情報を取り込むと共に機器に対し操作出力信号を与えるデータ入出力手段と、からの入力を受け、電力系統から取り込んだ電圧・電流信号をサンプリングし、サンプリングによって得られたデジタルデータにしたがってデジタルフィルタ演算を実行するメイン制御演算手段と、装置の整定、設定操作及び状態表示を行う外部インタフェース制御演算手段と、系統情報を入力してリレー演算や各種の制御演算を行う他の制御演算手段と、を備え、

前記各制御演算手段は、それぞれデュアルポートメモリを備え、

前記各制御演算手段の間を、

前記メイン制御演算手段をマスタバスとし、前記他の制御演算手段をスレーブとして、前記デュアルポートメモリを介してアクセスされる第 1 のパラレルシングルマスタバスと

、
前記外部インタフェース制御演算手段をマスタバスとし、前記メイン制御演算手段を含むそれ以外の制御演算手段をスレーブとして、前記デュアルポートメモリを介してアクセスされる第 2 のパラレルシングルマスタバスと、によって接続したことを特徴とする保護リレー装置。

【請求項 2】

前記他の制御演算手段には、系統情報を入力してリレー演算を実行するフェールセーフ制御演算手段が含まれ、

前記メイン制御演算手段と、前記フェールセーフ制御演算手段の間を、メイン制御演算手段からフェールセーフ制御演算手段への専用シリアル信号線と、フェールセーフ制御演算手段からメイン制御演算手段への専用シリアル信号線とからなるフェールセーフシリアル信号線群で接続したことを特徴とする請求項 1 記載の保護リレー装置。

【請求項 3】

前記フェールセーフシリアル信号線群は、高頻度の定周期にデータをやりとりする高速のシリアル信号線群と、低周期又は随時データをやりとりする低速のシリアル信号線群とからなることを特徴とする請求項 2 記載の保護リレー装置。

【請求項 4】

前記メイン制御演算手段から前記アナログ入力手段への専用シリアル信号線と、前記アナログ入力手段からメイン制御演算手段への専用シリアル信号線と、からなるアナログ入力用シリアル信号線群を備え、

前記アナログ入力用シリアル信号線群を、前記メイン制御演算手段以外の他の制御演算手段に対して分岐接続させ、当該他の制御演算手段に前記アナログ入力手段のデータを直接入力することを特徴とする請求項 1～3 のいずれか 1 項に記載の保護リレー装置。

【請求項 5】

前記メイン制御演算部からデータ入出力手段への専用シリアル信号線と、前記データ入出力手段から前記メイン制御演算部への専用シリアル信号線と、からなるデータ入出力シリアル信号線群を備え、

前記データ入出力シリアル信号線群を、前記メイン制御演算手段以外の他の制御演算手段に対して分岐接続させ、当該他の制御演算手段に前記データ入出力手段のデータを直接入力することを特徴とする請求項 1～4 のいずれか 1 項に記載の保護リレー装置。

【請求項 6】

電力系統から電圧・電流信号を取り込むフェールセーフ用アナログ入力手段を備え、

前記フェールセーフ制御演算手段は、フェールセーフ用アナログ入力手段を制御し、

前記フェールセーフ制御演算手段からフェールセーフ用アナログ入力手段への専用シリアル信号線と、フェールセーフ用アナログ入力手段からフェールセーフ制御演算部への専用シリアル信号線と、からなるフェールセーフ用アナログ入力シリアル信号線群を備え、

前記フェールセーフ用アナログ入力シリアル信号線群を、前記フェールセーフ制御演算手段以外の他の制御演算手段に対して分岐接続させ、当該他の制御演算手段に前記フェ

10

20

30

40

50

ールセーフ用アナログ入力手段のデータを直接入力することを特徴とする請求項 2 ~ 5 のいずれか 1 項に記載の保護リレー装置。

【請求項 7】

機器の接点情報を取り込むと共に機器に対し操作出力信号を与えるフェールセーフ用データ入出力手段を備え、

前記フェールセーフ制御演算手段は、フェールセーフ用データ入出力手段を制御し、

前記フェールセーフ制御演算手段から前記フェールセーフ用データ入出力手段への専用シリアル信号線と、前記フェールセーフ用データ入出力手段から前記フェールセーフ制御演算手段への専用シリアル信号線と、からなるフェールセーフ用データ入出力シリアル信号線群を備え、

前記フェールセーフ用データ入出力シリアル信号線群を、前記フェールセーフ用制御演算手段以外の他の制御演算手段に対して分岐接続させ、当該他の制御演算手段に前記フェールセーフ用データ入出力手段のデータを直接入力することを特徴とする請求項 2 ~ 6 のいずれか 1 項に記載の保護リレー装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、保護リレー装置に係り、特に効率的に演算部相互のデータのやりとりが可能な保護リレー装置に関する。

【背景技術】

【0002】

保護リレー装置において、演算部をいくつかのユニットで構成する場合、ユニット間でデータをやりとりすることが必要である。一例として図 9 に示すように、従来は、複数のユニット間を共通の平行バスで接続し、この平行バスを介して、データのやりとりをしていた。

【0003】

他の例としては、図 10 に示すように複数のユニット間を共通のシリアルバスで接続するものが従来より提案されている。シリアルバスを用いた場合、図 9 で示した平行バスと比較して、基板間の信号線が少なく済む利点がある。

【特許文献 1】特開 2005 - 218220 号公報

【特許文献 2】特開 2006 - 141131 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、従来の平行バス伝送では、一般的には、複数のユニット間にマルチマスタバスを使用するため、各ユニットは任意のタイミングで任意の相手ユニットとデータのやり取りが可能である一方で、同時にシステムバスを使用することを回避するためのバス調停が必要となっていた。このとき、バス調停によって同時アクセス要求した一方のユニットは待たされることになるため、アクセス時間の変動が生じていた。また、あるユニットがバスアクセス中に故障した場合には、他ユニットはバスを使用することができなくなるという課題が存在した。

【0005】

また、シリアルバス伝送において、同時にシリアルバスを使用することを回避するための方法としては、(1) 平行バスと同様に別途バス調停信号線を設ける、(2) バスが空いているときに送信が必要なユニットにおいて送信を開始し、他ユニットが同時に送信した場合は衝突を検出して適当な時間経過後に再送する、(3) 1 台のユニットがバス使用権を与えるトークンを送出し、トークンを受けたユニットが必要な送信を行なう、の 3 種類が考えられる。

【0006】

このうち、(1) のバス調停は平行バスと同様、バス調停によって同時アクセス要

10

20

30

40

50

求した一方のユニットは待たされることになるため、アクセス時間の変動が生じるという課題があった。(2)の衝突検出の場合は、バス使用率が上がってくると、バスが使用できなくなる可能性が高くなるという課題があった。イーサネット(登録商標)を用いた場合で、バスが使用できなくなる可能性は40%といわれている。(3)のトークンを受けたユニットが必要な送信を行なう態様では、トークン巡回のために臨時に送信する必要が出たというような場合でも、ユニットがトークンを取得するまで送信できないという課題があった。

【0007】

また、(1)~(3)に共通して、パラレルバス伝送と同様、あるユニットがバスアクセス中に故障した場合には、他ユニットはバスを使用することができなくなるという課題があった。

10

【0008】

このように、複数のユニット間を共通のパラレルバスで接続する方法であっても、複数のユニット間を共通のシリアルバスで接続する方法であっても、(1)複数のユニットが同時にバスを使用することを回避するためバス調停などの手段が必要である、(2)1台のユニットがバス使用中に故障発生した場合に、他ユニットはバスを使用することができなくなる、すなわち、ユニット相互でのデータのやりとりが不可能となる、という課題が存在した。

【0009】

本発明は、上記の従来技術の課題を解決するためになされたものであり、その目的は、効率的に演算部相互のデータのやりとりが可能であり、かつ各演算部の独立性を確保し、いずれか1つの演算部が故障したとしても他の演算部には全く影響を及ぼさない保護リレー装置を提供することにある。

20

【課題を解決するための手段】

【0010】

本発明は、電力系統から電圧・電流信号を取り込むアナログ入力手段と、機器の接点情報を取り込むと共に機器に対し操作用出力信号を与えるデータ入出力手段と、からの入力を受付け、電力系統から取り込んだ電圧・電流信号をサンプリングし、サンプリングによって得られたデジタルデータにしたがってデジタルフィルタ演算を実行するメイン制御演算手段と、装置の整定、設定操作及び状態表示を行う外部インタフェース制御演算手段と、系統情報を入力してリレー演算や各種の制御演算を行う他の制御演算手段と、を備え、前記各制御演算手段は、それぞれデュアルポートメモリを備え、前記制御各制御演算手段の間を、前記メイン制御演算手段をマスタバスとし、前記他の制御演算手段をスレーブとして、前記デュアルポートメモリを介してアクセスされる第1のパラレルシングルマスタバスと、前記外部インタフェース制御演算手段をマスタバスとし、前記メイン制御演算手段を含むそれ以外の制御演算手段をスレーブとして、前記デュアルポートメモリを介してアクセスされる第2のパラレルシングルマスタバスと、によって接続したことを特徴とする。

30

【0011】

以上のような本発明では、メイン制御演算手段は、第1のパラレルシングルマスタバスを介して、マスタとしてアクセスし、他の演算手段はデュアルポートメモリを介してスレーブとしてアクセスされる。一方、外部インタフェース制御演算手段は、第2のパラレルシングルマスタバスを介して、マスタとしてアクセスし、メイン制御演算手段を含むそれ以外の演算手段はデュアルポートメモリを介してスレーブとしてアクセスされる。

40

【0012】

このように、2つのパラレルシングルマスタバスで、保護リレー装置の内部構成間を接続する。いずれのバスもデュアルポートメモリを介しているので各制御演算手段は独立して動作する。また、1つの制御演算手段が故障しても他の制御演算手段は故障した制御演算手段のデータを得られない以外は全く影響なく制御演算を続けることができる。

【0013】

50

以上のような本実施形態における保護リレー装置では、その内部構成である制御演算手段を、2つのパラレルシングルマスタバスで接続する構成とし、それぞれの制御演算手段にデュアルポートメモリを設けたことにより、複数のユニットが同時にバスを使用することを回避するためのバス調停などの手段が不要になる。また、1台のユニットがバス使用中に故障発生した場合であっても、他ユニットはバスを継続的に使用することができる。

【発明の効果】

【0014】

以上のような本発明によれば、効率的に演算部相互のデータのやりとりが可能であり、かつ各演算部の独立性を確保し、いずれか1つの演算部が故障したとしても他の演算部には全く影響を及ぼさない保護リレー装置を提供することができる。

10

【発明を実施するための最良の形態】

【0015】

次に、本発明を実施するための最良の形態（以下、各項において「本実施形態」という。）について、図面を参照して具体的に説明する。

【0016】

[1. 第1の実施形態]

[1-1. 構成]

本実施形態における保護リレー装置は、図1に示すように、大別して、メイン制御演算部1と、装置の整定・設定操作及び状態表示を行う外部インタフェース制御演算部2と、系統情報を入力してリレー演算を実行するフェールセーフ制御演算部3と、その他の制御演算部4とからなり、この保護リレー装置の外部に、アナログ入力部5、データ入出力部6並びに、フェールセーフ用アナログ入力部7及びフェールセーフ用データ入出力部8とを備える。なお、保護リレー装置内部の大別した構成要素である各演算部1～4と、外部入力又は入出力部5～8及びその接続構成については、従来と同様であるので、説明を適宜省略する。

20

【0017】

本実施形態では、保護リレー装置の内部構成要素を、メイン制御演算部1をマスタバスとし他の制御演算部4をスレーブとして、アクセスされる第1のパラレルシングルマスタバス（以下、「Rバス」という。）で接続し、外部インタフェース制御演算部2をマスタバスとし他の制御演算部1, 3及び4をスレーブとして、アクセスされる第2のパラレルシングルマスタバス（以下、「Nバス」という。）で接続する、という2つのパラレルシングルマスタバスで接続した点に構成上の特徴を有する。

30

【0018】

メイン制御演算部1は、電力系統から電圧・電流信号を取り込むアナログ入力部5、及び機器の接点情報を取り込むと共に機器に対し操作用出力信号を与えるデータ入出力部6からの入力をアナログ制御回路13及びI/O制御回路14において受け付け、電力系統から取り込んだ電圧・電流信号をサンプリングし、サンプリングによって得られたデジタルデータにしたがってデジタルフィルタ演算を実行するものである。そして、この演算結果に基づいて、メイン制御演算部1はバスマスタとして、Rバスマスタ回路12を通じて、スレーブとなるその他の制御演算部4は、Rバススレーブポートメモリ42により制御信号を受信し、制御されるものである。

40

【0019】

メイン制御演算部1と、その他の制御演算部4を接続する内部バスとして、それぞれNバススレーブデュアルポートメモリを介してアクセスされるRバスが設けられている。なお、保護リレー装置の内部を構成する構成要素が、それぞれデュアルポートメモリを備えることにより、第1のメモリから転送されるデータの受け取りと、その記憶したデータを出力とを並列に行うことができるようになっている。

【0020】

また、外部インタフェース制御演算部2は、装置の整定・設定操作及び状態表示を行うものである。この外部インタフェース制御演算部2をバスマスタとし、Nバスマスタ回路

50

2 1を通じ、一方、その他の制御部 1, 3 及び 4 をスレーブとし、N バススレーブデュアルポートメモリ 1 1, 3 1, 4 1 を介してアクセスされる N バスが設けられている。このように、本実施形態の保護リレー装置においては、各制御演算部間を 2 つの平行シングルマスタバスで接続するように構成している。

【0021】

メイン制御演算部 1 とアナログ入力部 5 とは、メイン制御演算部 1 がアナログ入力部 5 を制御し、かつメイン制御演算部 1 からアナログ入力部 5 への専用シリアル信号線と、アナログ入力部 5 からメイン制御演算部 1 への専用シリアル信号線とからなるシリアル信号線群 M A によって接続されている。

【0022】

また、メイン制御演算部 1 とデータ入出力部 6 とは、メイン制御演算部 1 がデータ入出力部 6 を制御し、かつメイン制御演算部 1 からデータ入出力部 6 への専用シリアル信号線と、データ入出力部 6 からメイン制御演算部 1 への専用シリアル信号線とからなるシリアル信号線群 M I O によって接続されている。

【0023】

一方、フェールセーフ制御演算部 3 とフェールセーフ用アナログ入力部 7 とは、フェールセーフ制御演算部 3 が、フェールセーフ用アナログ制御回路 3 2 を通じて、フェールセーフ用アナログ入力部 7 を制御し、かつフェールセーフ制御演算部 3 からフェールセーフ用アナログ入力部 7 への専用シリアル信号線と、アナログ入力部 5 からメイン制御演算部 1 への専用シリアル信号線とからなるシリアル信号線群 F A によって接続されている。

【0024】

また、フェールセーフ制御演算部 3 とフェールセーフ用データ入出力部 8 とは、フェールセーフ制御演算部 3 が、フェールセーフ用 I / O 制御回路 3 3 を通じて、フェールセーフ用データ入出力部 8 を制御し、かつフェールセーフ制御演算部 3 からフェールセーフ用データ入出力部 8 への専用シリアル信号線とフェールセーフ用データ入出力部 8 からフェールセーフ制御演算部 3 への専用シリアル信号線とからなるシリアル信号線群 F I O によって接続されている。

【0025】

[1 - 2 . 作用効果]

保護リレー装置の内部構成要素の間でのデータのやりとりは、以下の 4 態様がその大半を占める。

- (1) メイン制御演算部 1 と、その他の制御演算部 4 (外部インタフェース制御演算部 2 を除く) との間の保護制御情報のやりとり
- (2) 外部インタフェース制御演算部 2 と、メイン制御演算部 1 との間の設定値とステータス情報のやりとり
- (3) 外部インタフェース制御演算部 2 と、その他の制御演算部 4 との間の設定値とステータス情報のやりとり
- (4) 外部インタフェース制御演算部 2 と、フェールセーフ制御演算部 3 との間の設定値とステータス情報のやりとり

このとき、バスマスタとしてバスを制御するのは、上述の通り、メイン制御演算部 1 と外部インタフェース制御演算部 2 である。

【0026】

このため、メイン制御演算部 1 は、R バスマスタ回路 1 2 から R バスを介して、マスタとしてアクセスし、その他の制御演算部 4 は R バススレーブデュアルポートメモリ 4 2 を介してスレーブとしてアクセスされる。一方、外部インタフェース制御演算部 2 は、N バスマスタ回路 2 1 から N バスを介して、マスタとしてアクセスし、メイン制御演算部 1 を含む他の演算部は N バススレーブデュアルポートメモリ 1 1, 3 1, 4 1 を介してスレーブとしてアクセスされる。

【0027】

このように、R バスと N バスの 2 つの平行シングルマスタバスで、保護リレー装置

10

20

30

40

50

の内部構成間を接続する。いずれのバスもデュアルポートメモリを介しているので各制御演算部は独立して動作する。また、１つの制御演算部が故障しても他の制御演算部は故障した制御演算部のデータを得られない以外は全く影響なく制御演算を続けることができる。

【 0 0 2 8 】

以上のような本実施形態における保護リレー装置では、その内部構成である制御演算部 1 ～ 4 を、R バスと N バスの 2 つの平行シングルマスタバスで接続する構成とし、それぞれの制御演算部 1 ～ 4 にデュアルポートメモリを設けたことにより、複数のユニットが同時にバスを使用することを回避するためのバス調停などの手段が不要になる。また、１台のユニットがバス使用中に故障発生した場合であっても、他ユニットは継続的にバスを使用することができる。

10

【 0 0 2 9 】

このように、本実施形態によれば、効率的に演算部相互のデータのやりとりが可能であり、かつ各演算部の独立性を確保し、いずれか１つの演算部が故障したとしても他の演算部には全く影響を及ぼさない保護リレー装置を提供することができる。

【 0 0 3 0 】

[2 . 第 2 の実施形態]

本発明の第 2 の実施形態における保護リレー装置は、図 2 に示すように、第 1 の実施形態（図 1）の構成に加えて、メイン制御演算部 1 とフェールセーフ制御演算部 3 との間を、メイン制御演算部 1 からフェールセーフ制御演算部 3 への専用シリアル信号線とフェールセーフ制御演算部 3 からメイン制御演算部 1 への専用シリアル信号線とによるシリアル信号線群 F で接続したものである。

20

【 0 0 3 1 】

ここで、メイン制御演算部 1 とフェールセーフ制御演算部 3 の間は少量のデータであるが相互のデータのやりとりが存在する。しかしながら、データ量的には平行シングルマスタバスを使用するほどではない。そのため、メイン制御演算部 1 及びフェールセーフ制御演算部 3 のそれぞれにシリアル信号線群回路 1 5 , 3 4 を設け、メイン制御演算部 1 からフェールセーフ制御演算部 3 への専用シリアル信号線とフェールセーフ制御演算部 3 からメイン制御演算部 1 への専用シリアル信号線とによるシリアル信号線群 F で接続してデータのやりとりを行なう。

30

【 0 0 3 2 】

この専用シリアル信号線のデータのやり取りは、インタフェースハードウェア上に設けられた小容量のメモリまたはラッチを介して一定の周期で自動的に行なわれる。このため、各制御演算部は、互いに相手の制御演算部を意識せずに独立に制御演算を行なうことができる。また、一方の制御演算部に故障が発生してもデータが得られないだけで、他方の制御演算部は、制御演算をそのまま継続することが可能である。

【 0 0 3 3 】

以上のような本実施形態によれば、第 1 の実施形態の効果に加えて、メイン制御演算部 1 とフェールセーフ制御演算部 3 の間のデータのやりとりを効率的に行なうことができ、かつ一方の制御演算部が故障しても、他の制御演算部に一切影響を及ぼさずに他方の制御演算を継続することができる。

40

【 0 0 3 4 】

[3 . 第 3 の実施形態]

本発明の第 3 の実施形態における保護リレー装置は、図 3 に示すように、第 2 の実施形態（図 2）の構成に加えて、メイン制御演算部 1 とフェールセーフ制御演算部 3 の間を、高頻度で定周期にデータをやりとりする高速のシリアル信号線群 F H と、低周期あるいは随時データをやりとりする低速のシリアル信号線群 F L とで接続した構成である。

【 0 0 3 5 】

第 2 の実施形態に加えてメイン制御演算部 1 とフェールセーフ制御演算部 3 の間を、高速のシリアル信号線群 F H によって高頻度（1 m s 程度の頻度）の定周期にデータをやり

50

とし、低速のシリアル信号線群 F L によって低周期（数 m s 以上の低周期）あるいは随時にデータをやりとりを行う。データは、用途により早い周期に転送が必要なものと、遅い周期でよいものがあるが、2 種類のシリアル信号線群によって最適に周期でデータのやりとりが可能となる。

【 0 0 3 6 】

以上のような本実施形態によれば、第 2 の実施形態の効果に加えて、メイン制御演算部 1 とフェールセーフ制御演算部 3 の間を、最適なデータ更新頻度にて任意のデータのやりとりが可能となる。また、一方の制御演算部が故障しても一切他の制御演算部に影響させずに他方の制御演算を継続できる効果がある。

【 0 0 3 7 】

10

[4 . 第 4 の実施形態]

本発明の第 4 の実施形態における保護リレー装置は、図 4 に示すように、第 1 の実施形態（図 1）の構成に加え、シリアル信号線群 M A において、アナログ入力部 5 からメイン制御演算部 1 への専用シリアル信号線を保護リレー装置の内部において分岐させ外部インタフェース制御演算部 2、及びその他の制御演算部 4 に、それぞれアナログ受信回路 2 2, 4 3 を設け、これらの制御演算部に直接アナログ入力部 5 のデータを入力するようにした構成である。

【 0 0 3 8 】

このような本実施形態の構成では、アナログ入力部 5 に対する制御はメイン制御演算部 1 が行なう。アナログ入力部 5 からのデータを他の制御演算部に直接入力できるようにしたため、メイン制御演算部 1 の一切の処理なしに他の制御演算部はアナログ入力部 5 のデータを処理する。

20

【 0 0 3 9 】

直接入力インタフェースは、すべてハードウェア処理をしており、入力されたデータはハードウェア内の小容量のメモリに格納されるため、サンプリング周期内の制御演算部は任意のタイミングでデータを使用することができる。

【 0 0 4 0 】

以上のような本実施形態によれば、第 1 の実施形態の効果に加えて、アナログ入力部 5 とその他の制御演算部 4 の間をメイン制御演算部 1 の一切の処理なしにデータ受信が可能となる。このためその他の制御演算部 4 のデータを転送する必要がなくメイン制御演算部 1 の演算負担は全く増えない。また、アナログ入力部 5 に対する制御機能以外の部分でメイン制御演算部 1 に故障が発生しても他の制御演算部に影響させずに他方の制御演算を継続できる。逆に他の制御演算部に故障が発生してもメイン制御演算部 1 には全く影響させずに制御演算を継続できる。

30

【 0 0 4 1 】

[5 . 第 5 の実施形態]

本発明の第 5 の実施形態における保護リレー装置は、図 5 に示すように、図 1 の構成に加えて、シリアル信号線群 M I O において、データ入出力部 6 からメイン制御演算部 1 への専用シリアル信号線を保護リレー装置の内部において分岐させ外部インタフェース制御演算部 2 などの他の制御演算部に接続して、他の制御演算部に直接データ入出力部 6 のデータを入力させた構成である。

40

【 0 0 4 2 】

以上の構成の本実施形態では、第 1 の実施形態に加えて以下の作用を有する。データ入出力部 6 に対する制御は、メイン制御演算部 1 が、I / O 制御回路 1 4 を通じて行なう。一方で、データ入出力部 6 からメイン制御演算部 1 への専用シリアル信号線を、外部インタフェース制御演算部 2 などの他の制御演算部に、I / O 受信回路 2 3, 4 4 を通じて接続して、他の制御演算部に直接データ入出力部 6 のデータを入力させた構成とすることにより、データ入出力部 6 からのデータを、他の制御演算部に直接入力できるようにしたため、他の制御演算部は、メイン制御演算部 1 の一切の処理なしにデータ入出力部 6 の入力データを処理する。

50

【 0 0 4 3 】

また、直接入力インタフェースは、すべてハードウェア処理をしており、入力されたデータはハードウェア内の小容量のメモリに格納されるため、サンプリング周期内の制御演算部は任意のタイミングでデータを使用することができる。

【 0 0 4 4 】

以上のような本実施形態によれば、第 1 の実施形態の効果に加えて、データ入出力部 6 とその他の制御演算部 4 の間をメイン制御演算部 1 の一切の処理なしにデータ受信が可能となる。このためその他の制御演算部 4 のデータを転送する必要がなくメイン制御演算部 1 の演算負担は全く増えない。また、データ入出力部 6 に対する制御機能以外の部分でメイン制御演算部 1 に故障が発生しても他の制御演算部に影響させずに他方の制御演算を継続できる。逆に他の制御演算部に故障が発生してもメイン制御演算部 1 には全く影響させずに制御演算を継続できる。

【 0 0 4 5 】

[6 . 第 6 の実施形態]

本発明の第 6 の実施形態における保護リレー装置は、図 6 に示すように、図 1 の構成に加えて、シリアル信号線群 F A において、フェールセーフ用アナログ入力部 7 からフェールセーフ制御演算部 3 への専用シリアル信号線を保護リレー装置の内部において分岐させ外部インタフェース制御演算部 2 などの他の制御演算部に接続して、他の制御演算部のフェールセーフ用アナログ受信回路 2 4 , 3 2 を通じて、他の制御演算部に直接フェールセーフ用アナログ入力部 7 のデータを入力させた構成である。

【 0 0 4 6 】

以上の構成の本実施形態では、第 1 の実施形態に加えて以下の作用を有する。フェールセーフ用アナログ入力部 7 に対する制御はフェールセーフ制御演算部 3 が行なう。一方で、シリアル信号線群 F A により、フェールセーフ用アナログ入力部 7 からフェールセーフ制御演算部 3 への専用シリアル信号線を、他の制御演算部に接続して、他の制御演算部に直接フェールセーフ用アナログ入力部 7 のデータを入力させるようにし、フェールセーフ用アナログ入力部 7 からのデータを他の制御演算部に直接入力できるようにした。これにより、フェールセーフ制御演算部 3 の一切の処理なしに、他の制御演算部はフェールセーフ用アナログ入力部 7 のデータを処理することができる。

【 0 0 4 7 】

また、直接入力インタフェースは、すべてハードウェア処理をしており、入力されたデータはハードウェア内の小容量のメモリに格納されるため、サンプリング周期内の制御演算部は任意のタイミングでデータを使用することができる。

【 0 0 4 8 】

以上のような本実施形態によれば、第 1 の実施形態の効果に加えて、フェールセーフ用アナログ入力部 7 と、その他の制御演算部 4 の間をフェールセーフ制御演算部 3 の一切の処理なしにデータの受信が可能となる。このため、その他の制御演算部 4 のデータを転送する必要がなくフェールセーフ制御演算部 3 の演算負担は全く増えない。

【 0 0 4 9 】

また、フェールセーフ用アナログ入力部 7 に対する制御機能以外の部分でフェールセーフ制御演算部 3 に故障が発生しても他の制御演算部に影響させずに他方の制御演算を継続できる。逆に他の制御演算部に故障が発生してもフェールセーフ制御演算部 3 には全く影響させずに制御演算を継続できる。

【 0 0 5 0 】

[7 . 第 7 の実施形態]

本発明の第 7 の実施形態における保護リレー装置は、図 7 に示すように、図 1 の構成に加えて、シリアル信号線群 F I O において、フェールセーフ用データ入出力部 8 からフェールセーフ制御演算部 3 への専用シリアル信号線を保護リレー装置の内部において分岐させ外部インタフェース制御演算部 2 などの他の制御演算部に接続して、他の制御演算部のフェールセーフ用 I / O 受信回路 2 5 , 3 3 に直接フェールセーフ用データ入出力部 8 の

データを入力させた構成である。

【 0 0 5 1 】

以上の構成の本実施形態では、第 1 の実施形態に加えて、以下の作用を有する。フェールセーフ用データ入出力部 8 に対する制御はフェールセーフ制御演算部 3 が行なう。一方で、シリアル信号線群 F I O によって、フェールセーフ用データ入出力部 8 からフェールセーフ制御演算部 3 への専用シリアル信号線を外部インタフェース制御演算部 2 などの他の制御演算部に接続して、他の制御演算部に直接フェールセーフ用データ入出力部 8 のデータを入力させた構成とし、フェールセーフ用データ入出力部 8 からのデータを他の制御演算部に直接入力できるようにした。これにより、フェールセーフ制御演算部 3 の一切の処理なしに他の制御演算部はフェールセーフ用データ入出力部 8 の入力データを処理する。

10

【 0 0 5 2 】

直接入力インタフェースは、すべてハードウェア処理をしており、入力されたデータはハードウェア内の小容量のメモリに格納されるため、サンプリング周期内の制御演算部は、任意のタイミングでデータを使用することができる。

【 0 0 5 3 】

以上のような本実施形態によれば、第 1 の実施形態の効果に加えて、フェールセーフ用データ入出力部 8 とその他の制御演算部 4 の間をフェールセーフ制御演算部 3 の一切の処理なしにデータ受信が可能となる。このため、その他の制御演算部 4 のデータを転送する必要がなくフェールセーフ制御演算部 3 の演算負担は全く増えない。

20

【 0 0 5 4 】

また、フェールセーフ用データ入出力部 8 に対する制御機能以外の部分でフェールセーフ制御演算部 3 に故障が発生しても他の制御演算部に影響させずに他方の制御演算を継続できる。逆に他の制御演算部に故障が発生してもフェールセーフ制御演算部 3 には全く影響させずに制御演算を継続できる。

【 0 0 5 5 】

[8 . 第 8 の実施形態]

本発明の第 8 の実施形態における保護リレー装置は、図 8 に示すように、第 1 の実施形態、第 3 の実施形態から第 6 の実施形態において示した構成を組み合わせたものである。このような本実施形態では、第 1 の実施形態、第 3 の実施形態から第 6 の実施形態において示した作用を有する。

30

【 0 0 5 6 】

以上のような本実施形態によれば、メイン制御演算部 1、フェールセーフ制御演算部 3、外部インタフェース制御演算部 2 などの他の制御演算部の間で効率的なデータ転送が可能となり、かつある制御演算部が故障しても他の制御演算部の動作には影響を及ぼさない。

【 0 0 5 7 】

また、メイン制御演算部 1 およびフェールセーフ制御演算部 3 と独立に外部インタフェース制御演算部 2 などの他の制御演算部がアナログ入力部 5、データ入出力部 6、フェールセーフ用アナログ入力部 7 の入力データを使用することが可能となる。

40

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 本発明の第 1 の実施形態における保護リレー装置のブロック構成図

【 図 2 】 本発明の第 2 の実施形態における保護リレー装置のブロック構成図

【 図 3 】 本発明の第 3 の実施形態における保護リレー装置のブロック構成図

【 図 4 】 本発明の第 4 の実施形態における保護リレー装置のブロック構成図

【 図 5 】 本発明の第 5 の実施形態における保護リレー装置のブロック構成図

【 図 6 】 本発明の第 6 の実施形態における保護リレー装置のブロック構成図

【 図 7 】 本発明の第 7 の実施形態における保護リレー装置のブロック構成図

【 図 8 】 本発明の第 8 の実施形態における保護リレー装置のブロック構成図

50

【図 9】従来の保護リレー装置におけるマルチマスタパラレルバスのブロック構成図

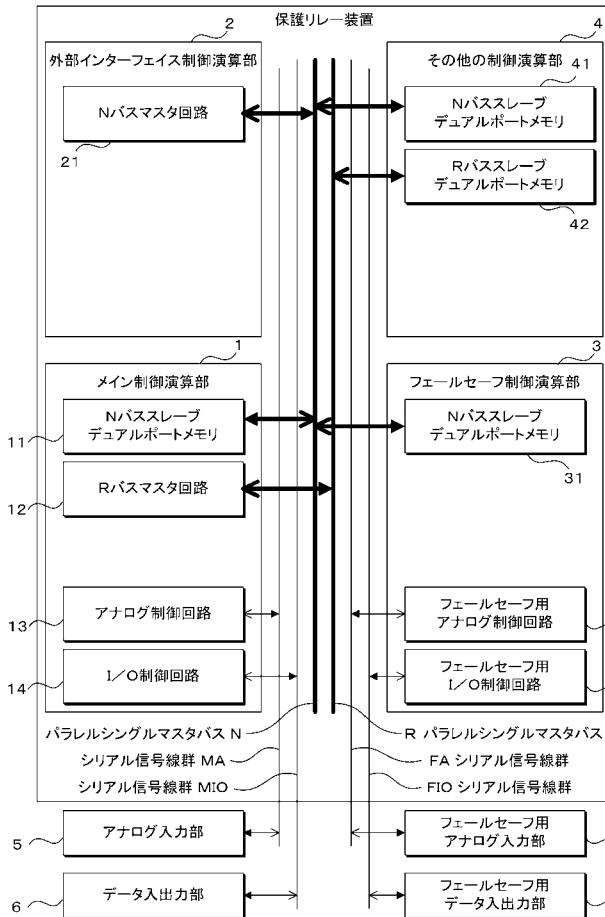
【図 10】従来の保護リレー装置におけるマルチマスタシリアルバスのブロック構成図

【符号の説明】

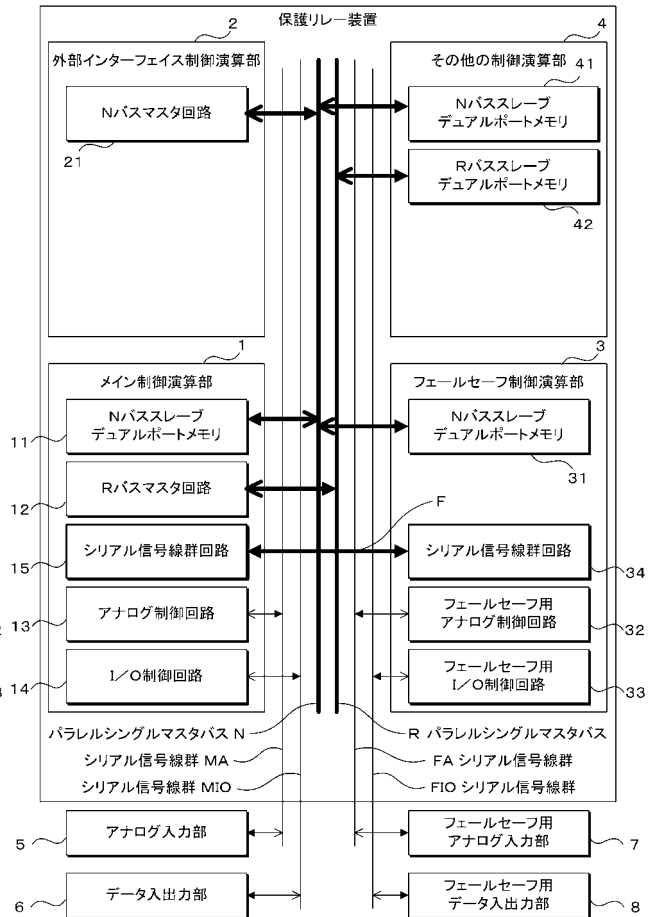
【0059】

- 1 ... メイン制御演算部
- 2 ... 外部インタフェース制御演算部
- 3 ... フェールセーフ制御演算部
- 4 ... その他の制御演算部
- 5 ... アナログ入力部 5
- 6 ... データ入出力部 6 10
- 7 ... フェールセーフ用アナログ入力部
- 8 ... フェールセーフ用データ入出力部
- R ... パラレルシングルマスタバス (R バス)
- N ... パラレルシングルマスタバス (N バス)
- F ... シリアル信号線群
- F H ... 高速シリアル信号線群
- F L ... 低速シリアル信号線群
- M A ... シリアル信号線群
- M I O ... シリアル信号線群
- F A ... シリアル信号線群 20
- F I O ... シリアル信号線群
- R 1 ... メイン制御演算部上の R バスマスタ回路
- R 4 ... その他の制御演算部上の R バスデュアルポートメモリ
- N 1 ... メイン制御演算部上の N バスデュアルポートメモリ
- N 2 ... 外部インタフェース制御演算部上の N バスマスタ回路
- N 3 ... フェールセーフ制御演算部上の N バスデュアルポートメモリ
- N 4 ... その他の制御演算部上の N バスデュアルポートメモリ

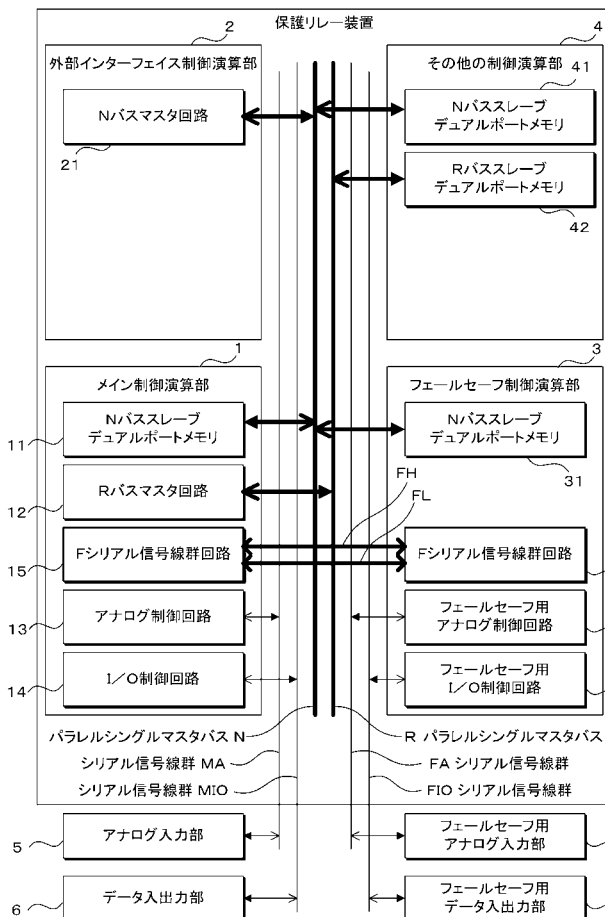
【図 1】



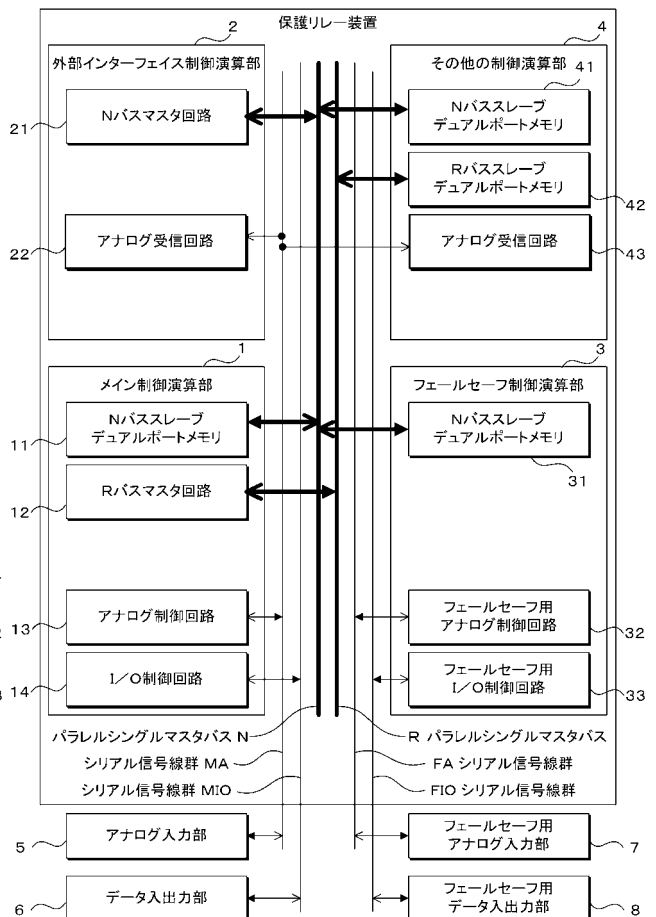
【図 2】



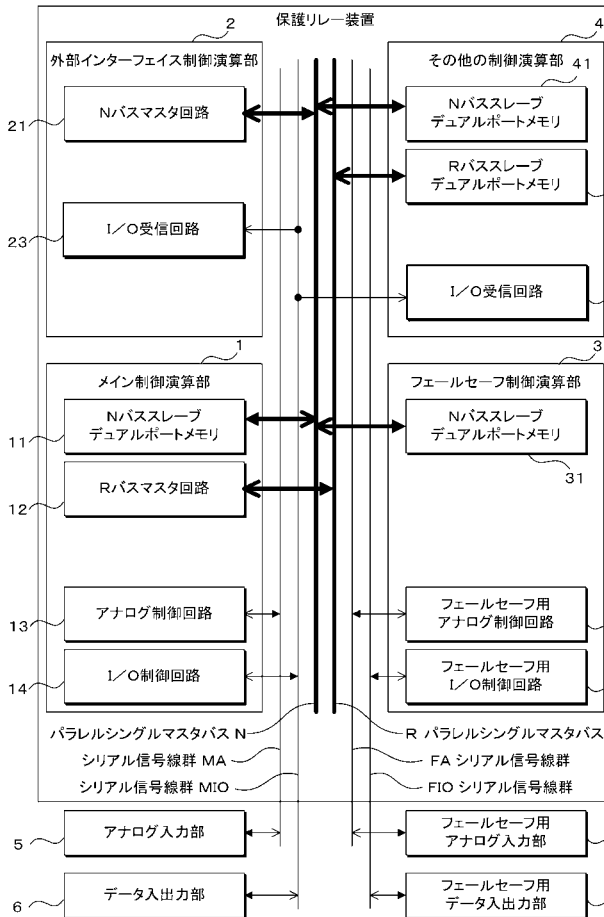
【図 3】



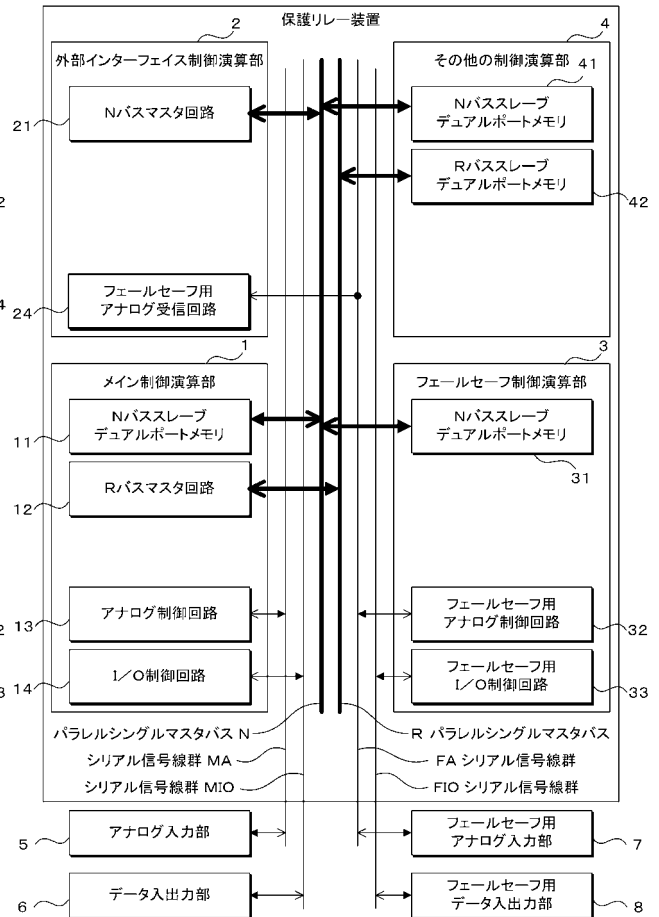
【図 4】



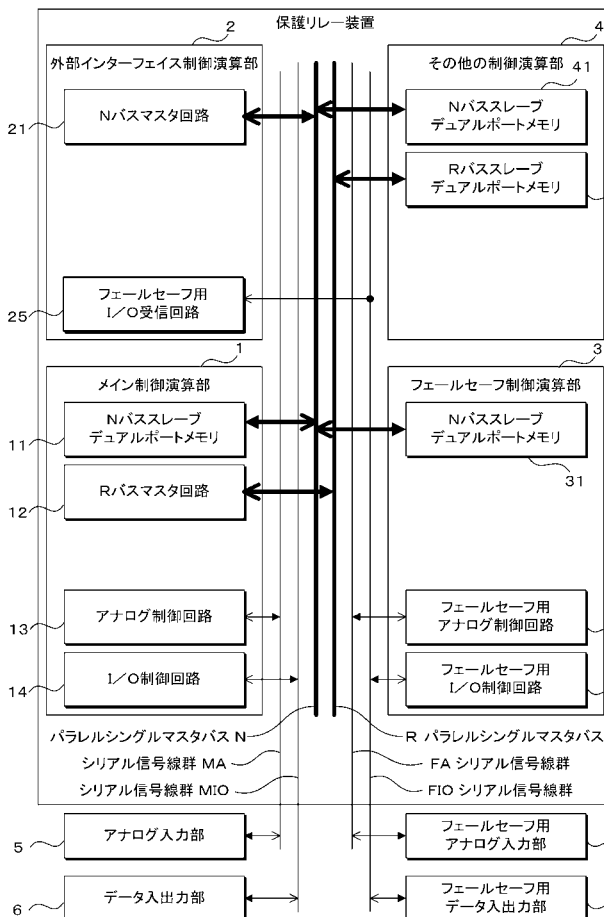
【図 5】



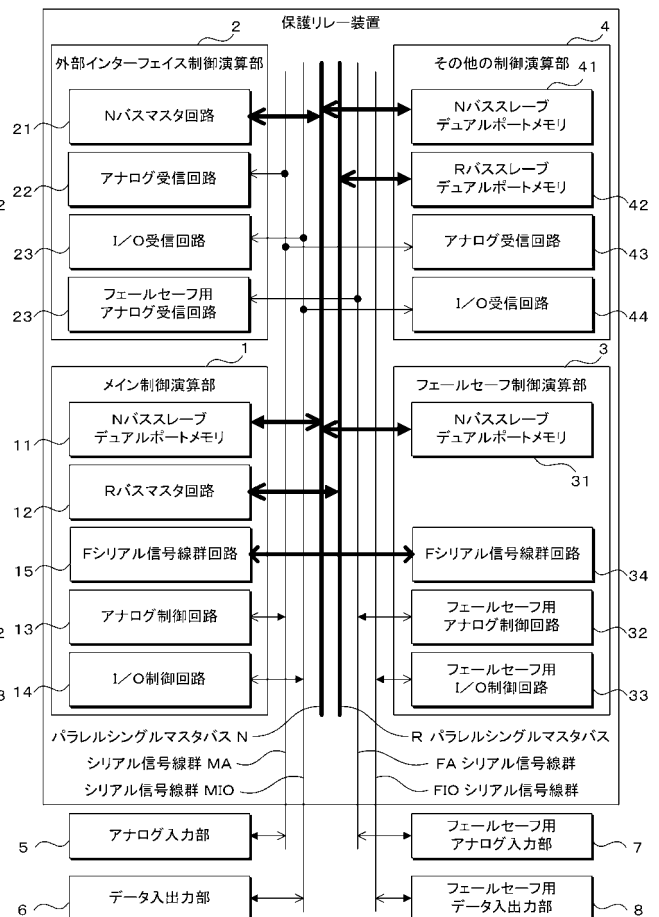
【図 6】



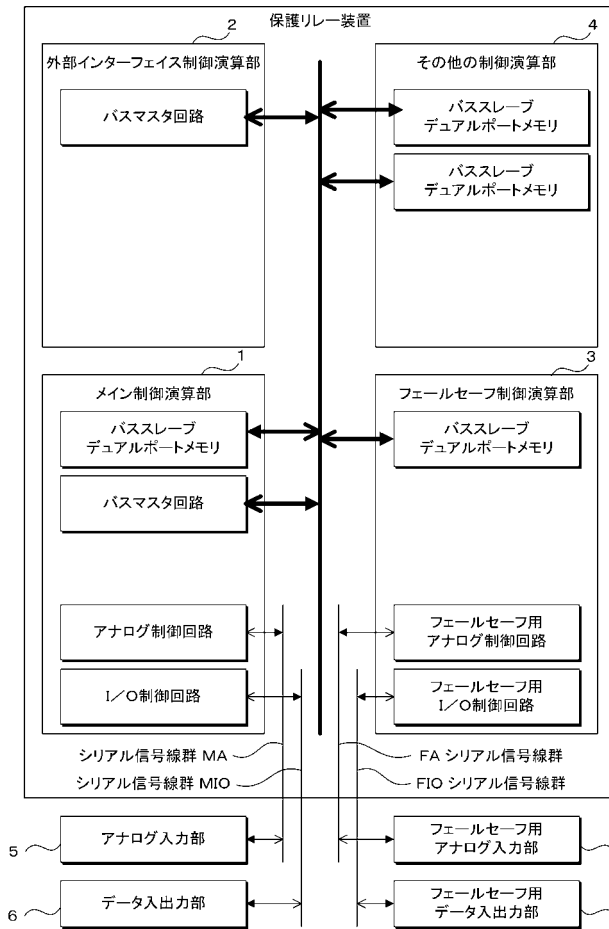
【図 7】



【図 8】



【図 9】



【図 10】

