



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0004483
(43) 공개일자 2023년01월06일

(51) 국제특허분류(Int. Cl.)
H04N 25/78 (2023.01) H04N 25/46 (2023.01)
H04N 25/77 (2023.01)
(52) CPC특허분류
H04N 25/78 (2023.01)
H04N 25/46 (2023.01)
(21) 출원번호 10-2022-7035639
(22) 출원일자(국제) 2021년02월17일
심사청구일자 없음
(85) 번역문제출일자 2022년10월13일
(86) 국제출원번호 PCT/JP2021/005832
(87) 국제공개번호 WO 2021/215093
국제공개일자 2021년10월28일
(30) 우선권주장
JP-P-2020-075185 2020년04월21일 일본(JP)

(71) 출원인
소니 세미컨덕터 솔루션즈 가부시키키가이샤
일본국 가나가와켄 아즈기시 아사히초 4-14-1
(72) 발명자
아사쿠라 룡홍
일본 2430014 가나가와, 아즈기-시, 아사히-쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내
카토 히로무
일본 2430014 가나가와, 아즈기-시, 아사히-쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내
(74) 대리인
이광직, 윤승환

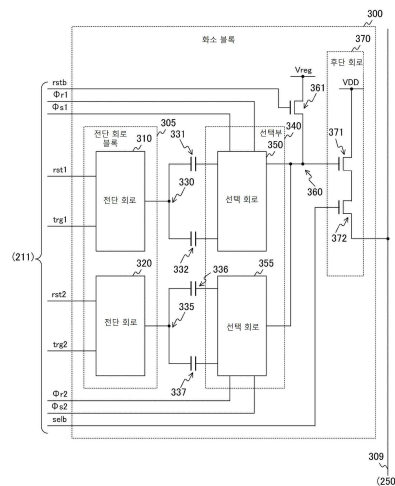
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 고체 촬상 소자, 및, 촬상 장치

(57) 요약

전화소에서 동시에 노광을 행하는 고체 촬상 소자에서, 화질을 향상시킨다. 전단 회로 블록은, 소정의 리셋 레벨과 노광량에 따른 복수의 신호 레벨의 각각을 생성하여 서로 다른 용량 소자에 보유시킨다. 선택부는, 소정수의 용량 소자 중 리셋 레벨이 보유된 용량 소자를 소정의 후단 노드에 접속하는 제어와 소정수의 용량 소자를 후단 노드로부터 분리하는 제어와 소정수의 용량 소자 중 복수의 신호 레벨 중 어느 하나가 보유된 용량 소자를 후단 노드에 접속하는 제어를 순서대로 행한다. 후단 리셋 트랜지스터는, 소정수의 용량 소자가 후단 노드로부터 분리되었을 때에 후단 노드의 레벨을 초기화한다. 후단 회로는, 후단 노드를 통해 리셋 레벨과 복수의 신호 레벨의 각각을 순서대로 판독한다.

대표도 - 도3



(52) CPC특허분류

H04N 25/77 (2023.01)

명세서

청구범위

청구항 1

미리 정해진 수의 용량 소자와,

미리 정해진 리셋 레벨과 노광량에 따른 복수의 신호 레벨의 각각을 생성하여 서로 다른 상기 용량 소자에 보유시키는 전단 회로 블록과,

상기 미리 정해진 수의 용량 소자 중 상기 리셋 레벨이 보유된 용량 소자를 미리 정해진 후단 노드에 접속하는 제어와, 상기 미리 정해진 수의 용량 소자를 상기 후단 노드로부터 분리하는 제어와, 상기 미리 정해진 수의 용량 소자 중 상기 복수의 신호 레벨 중 어느 하나가 보유된 용량 소자를 상기 후단 노드에 접속하는 제어를 차례로 행하는 선택부와,

상기 미리 정해진 수의 용량 소자가 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와,

상기 후단 노드를 통해 상기 리셋 레벨과 상기 복수의 신호 레벨의 각각을 차례로 관측하는 후단 회로

를 구비하는 고체 촬상 소자.

청구항 2

제1항에 있어서,

상기 미리 정해진 수의 용량 소자는, 제1 및 제2 용량 소자와 제3 및 제4 용량 소자를 포함하고,

상기 전단 회로 블록은,

제1 리셋 레벨과 제1 신호 레벨을 차례로 생성하여 상기 제1 및 제2 용량 소자에 보유시키는 제1 전단 회로와,

제2 리셋 레벨과 제2 신호 레벨을 차례로 생성하여 상기 제3 및 제4 용량 소자에 보유시키는 제2 전단 회로

를 구비하고,

상기 선택부는,

상기 제1 및 제2 용량 소자 중 어느 하나를 상기 후단 노드에 접속하는 제1 선택 회로와,

상기 제3 및 제4 용량 소자 중 어느 하나를 상기 후단 노드에 접속하는 제2 선택 회로를 구비하는,

고체 촬상 소자.

청구항 3

제2항에 있어서,

상기 제1 전단 회로는,

제1 광전 변환 소자와,

상기 제1 광전 변환 소자로부터 제1 부유 확산층으로 전하를 전송하는 제1 전단 전송 트랜지스터와,

상기 제1 부유 확산층을 초기화하는 제1 리셋 트랜지스터와,

상기 제1 부유 확산층의 전압을 증폭하는 제1 전단 증폭 트랜지스터

를 구비하고,

상기 제2 전단 회로는,

제2 광전 변환 소자와,

상기 제2 광전 변환 소자로부터 제2 부유 확산층으로 전하를 전송하는 제2 전단 전송 트랜지스터와,
 상기 제2 부유 확산층을 초기화하는 제2 리셋 트랜지스터와,
 상기 제2 부유 확산층의 전압을 증폭하는 제2 전단 증폭 트랜지스터
 를 구비하는,
 고체 촬상 소자.

청구항 4

제3항에 있어서,
 상기 제1 전단 회로는, 제1 전단 노드에 접속된 제1 전류원 트랜지스터를 더 구비하고,
 상기 제2 전단 회로는, 제2 전단 노드에 접속된 제2 전류원 트랜지스터를 더 구비하고,
 상기 제1 전단 증폭 트랜지스터는, 상기 제1 부유 확산층의 전압을 증폭하여 상기 제1 전단 노드로 출력하고,
 상기 제2 전단 증폭 트랜지스터는, 상기 제2 부유 확산층의 전압을 증폭하여 상기 제2 전단 노드로 출력하고,
 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 제1 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제1 선택 회로에 접속되고,
 상기 제3 및 제4 용량 소자의 각각의 일단은 상기 제2 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제2 선택 회로에 접속되는,
 고체 촬상 소자.

청구항 5

제3항에 있어서,
 미리 정해진 노광 시작 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 상기 전하를 전송하고, 상기 제1 및 제2 리셋 트랜지스터가 상기 제1 및 제2 부유 확산층과 함께 상기 제1 및 제2 광전 변환 소자를 초기화하며,
 미리 정해진 노광 종료 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 상기 전하를 전송하는,
 고체 촬상 소자.

청구항 6

제3항에 있어서,
 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어와, 상기 제3 및 제4 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와, 상기 제3 및 제4 용량 소자의 타방을 상기 후단 노드에 접속하는 제어를 차례로 행하는,
 고체 촬상 소자.

청구항 7

제3항에 있어서,
 상기 선택부는, 미리 정해진 가산 모드에서 상기 제1 및 제2 용량 소자의 일방과 상기 제3 및 제4 용량 소자의 일방의 양쪽을 상기 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 타방과 상기 제3 및 제4 용량 소자의 타방의 양쪽을 상기 후단 노드에 접속하는 제어를 차례로 행하는,
 고체 촬상 소자.

청구항 8

제3항에 있어서,

상기 제1 전단 회로는, 미리 정해진 제1 선택 신호에 따라 상기 제1 전단 증폭 트랜지스터에 의해 증폭된 전압을 미리 정해진 전단 노드에 출력하는 제1 전단 선택 트랜지스터를 더 구비하고,

상기 제2 전단 회로는,

미리 정해진 제2 선택 신호에 따라 상기 제2 전단 증폭 트랜지스터에 의해 증폭된 전압을 상기 전단 노드에 출력하는 제2 전단 선택 트랜지스터와,

상기 전단 노드에 접속된 전류원 트랜지스터

를 더 구비하고,

상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제1 선택 회로에 접속되고,

상기 제3 및 제4 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제2 선택 회로에 접속되는,

고체 촬상 소자.

청구항 9

제8항에 있어서,

미리 정해진 노광 종료의 타이밍 직전과 상기 노광 종료의 타이밍 이후에 상기 제1 및 제2 전단 선택 트랜지스터는, 차례로 닫힘 상태로 이행하고,

상기 제1 리셋 트랜지스터는, 상기 제1 전단 선택 트랜지스터가 상기 닫힘 상태일 때에 상기 제1 부유 확산층을 초기화하고,

상기 제2 리셋 트랜지스터는, 상기 제2 전단 선택 트랜지스터가 상기 닫힘 상태일 때에 상기 제2 부유 확산층을 초기화하고,

상기 노광 종료의 타이밍 직후에 상기 제1 및 제2 전단 선택 트랜지스터는, 차례로 닫힘 상태로 이행하고,

상기 제1 및 제2 전단 전송 트랜지스터는, 미리 정해진 노광 종료의 타이밍에서 상기 전하를 전송하는,

고체 촬상 소자.

청구항 10

제1항에 있어서,

제1 후단 노드와 제2 후단 노드의 사이의 경로를 개폐하는 단락 트랜지스터를 더 구비하고,

상기 미리 정해진 수의 용량은, 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 용량 소자를 포함하고,

상기 선택부는,

상기 제1 및 제2 용량 소자 중 어느 하나를 상기 제1 후단 노드에 접속하는 제1 선택 회로와,

상기 제3 및 제4 용량 소자 중 어느 하나를 상기 제1 후단 노드에 접속하는 제2 선택 회로와,

상기 제5 및 제6 용량 소자 중 어느 하나를 상기 제2 후단 노드에 접속하는 제3 선택 회로와,

상기 제7 및 제8 용량 소자 중 어느 하나를 상기 제2 후단 노드에 접속하는 제4 선택 회로

를 구비하는 고체 촬상 소자.

청구항 11

제10항에 있어서,

미리 정해진 비가산 모드에서 상기 단락 트랜지스터는, 열림 상태이며,

상기 비가산 모드에서 상기 선택부는, 상기 제1 및 제2 용량 소자의 각각을 순서대로 상기 제1 후단 노드에 접속하는 제어와, 상기 제3 및 제4 용량 소자의 각각을 순서대로 상기 제1 후단 노드에 접속하는 제어와, 상기 제5 및 제6 용량 소자의 각각을 순서대로 상기 제2 후단 노드에 접속하는 제어와, 상기 제7 및 제8 용량 소자의 각각을 순서대로 상기 제2 후단 노드에 접속하는 제어를 미리 정해진 순서로 행하는,

고체 촬상 소자.

청구항 12

제10항에 있어서,

미리 정해진 가산 모드에서 상기 단락 트랜지스터는, 단합 상태이며,

상기 가산 모드에서 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방과 상기 제3 및 제4 용량 소자의 일방을 상기 제1 후단 노드에 접속하면서 상기 제5 및 제6 용량 소자의 일방과 상기 제7 및 제8 용량 소자의 일방을 상기 제2 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 타방과 상기 제3 및 제4 용량 소자의 타방을 상기 제1 후단 노드에 접속하면서 상기 제5 및 제6 용량 소자의 타방과 상기 제7 및 제8 용량 소자의 타방을 상기 제2 후단 노드에 접속하는 제어를 차례로 행하는,

고체 촬상 소자.

청구항 13

제1항에 있어서,

상기 미리 정해진 수의 용량 소자는, 제1 및 제2 용량 소자와 제3 용량 소자를 포함하고,

상기 전단 회로 블록은,

제1 광전 변환 소자와,

상기 제1 광전 변환 소자로부터 미리 정해진 부유 확산층으로 전하를 전송하는 제1 전단 전송 트랜지스터와,

제2 광전 변환 소자와,

상기 제2 광전 변환 소자로부터 미리 정해진 부유 확산층으로 전하를 전송하는 제2 전단 전송 트랜지스터와,

상기 부유 확산층을 초기화하는 리셋 트랜지스터와,

상기 부유 확산층의 전압을 증폭하여 미리 정해진 전단 노드로 출력하는 전단 증폭 트랜지스터

를 구비하고,

상기 제1 및 제2 용량 소자와 상기 제3 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택부에 접속되는,

고체 촬상 소자.

청구항 14

제13항에 있어서,

미리 정해진 노광 시작 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송하고, 상기 리셋 트랜지스터가 상기 부유 확산층과 함께 상기 제1 및 제2 광전 변환 소자를 초기화하며,

미리 정해진 노광 종료 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 차례로 상기 전하를 전송하는,

고체 촬상 소자.

청구항 15

제13항에 있어서,

상기 선택부는, 상기 제1 및 제2 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량

소자의 타방을 상기 후단 노드에 접속하는 제어와, 상기 제3 용량 소자를 상기 후단 노드에 접속하는 제어를 차례로 행하는,

고체 촬상 소자.

청구항 16

제1항에 있어서,

상기 전단 회로 블록은, 제1 칩에 설치되고,

상기 미리 정해진 수의 용량 소자와 상기 선택부와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 제2 칩에 설치되는,

고체 촬상 소자.

청구항 17

제16항에 있어서,

상기 출력된 상기 리셋 레벨과 상기 복수의 신호 레벨을 차례로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,

상기 아날로그 디지털 변환기는, 상기 제2 칩에 설치되는,

고체 촬상 소자.

청구항 18

제16항에 있어서,

상기 출력된 상기 리셋 레벨과 상기 복수의 신호 레벨을 차례로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,

상기 아날로그 디지털 변환기는, 제3 칩에 설치되는,

고체 촬상 소자.

청구항 19

미리 정해진 수의 용량 소자와,

미리 정해진 리셋 레벨과 노광량에 따른 복수의 신호 레벨의 각각을 생성하여 서로 다른 상기 용량 소자에 보유시키는 전단 회로 블록과,

상기 미리 정해진 수의 용량 소자 중 상기 리셋 레벨이 보유된 용량 소자를 미리 정해진 후단 노드에 접속하는 제어와, 상기 미리 정해진 수의 용량 소자를 상기 후단 노드로부터 분리하는 제어와, 상기 미리 정해진 수의 용량 소자 중 상기 복수의 신호 레벨 중 어느 하나가 보유된 용량 소자를 상기 후단 노드에 접속하는 제어를 차례로 행하는 선택부와,

상기 미리 정해진 수의 용량 소자가 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와,

상기 후단 노드를 통해 상기 리셋 레벨과 상기 복수의 신호 레벨의 각각을 차례로 관측하는 후단 회로와,

상기 리셋 레벨과 상기 복수의 신호 레벨을 차례로 디지털 신호로 변환하여 처리하는 신호 처리 회로

를 구비하는 촬상 장치.

청구항 20

입사한 광을 전하로 변환하는 제1 광전 변환 소자와,

입사한 광을 전하로 변환하는 제2 광전 변환 소자와,

상기 전하를 전압으로 변환하는 전단 증폭 트랜지스터와,

상기 전단 증폭 트랜지스터의 출력측인 전단 노드에 각각의 일단이 접속된 미리 정해진 수의 용량 소자와,

상기 미리 정해진 수의 용량 소자의 각각의 타단과 미리 정해진 후단 노드의 사이의 각각의 경로에 삽입된 미리 정해진 수의 선택 트랜지스터와,

상기 후단 노드에 소스 또는 드레인이 접속된 리셋 트랜지스터와,

상기 후단 노드에 게이트가 접속되고, 화소 신호를 출력하는 후단 증폭 트랜지스터

를 구비하는 고체 촬상 소자.

발명의 설명

기술 분야

[0001] 본 기술은, 고체 촬상 소자에 관한 것이다. 상세하게는, 컬럼마다 AD(Analog to Digital) 변환을 행하는 고체 촬상 소자, 및, 촬상 장치에 관한 것이다.

배경 기술

[0002] 종래부터, 고체 촬상 소자에 있어서는, 화소를 미세화할 목적으로, 화소 어레이부의 외부에 컬럼마다 ADC를 배치하고, 1행씩 순서대로 화소 신호를 판독하는 컬럼 ADC(Analog to Digital Converter) 방식이 사용되고 있다. 이 컬럼 ADC 방식에 있어서, 1행씩 순서대로 노광을 시작하는 롤링 셔터 방식에 의해 노광을 행하면, 롤링 셔터 왜곡이 생길 우려가 있다. 이에, 전화소에서 동시에 노광을 시작하는 글로벌 셔터 방식을 실현하기 위해서, 화소마다 한 쌍의 용량을 설치하고, 그들 용량에 리셋 레벨 및 신호 레벨을 보유시키는 고체 촬상 소자가 제안되어 있다(예를 들면, 비특허문헌 1 참조). 이들 한 쌍의 용량은, 노드를 통해 소스 팔로어 회로(source follower circuit)에 직렬로 접속되고, 그 소스 팔로어 회로에 의해, 리셋 레벨 및 신호 레벨이 순서대로 판독된다.

선행기술문헌

비특허문헌

[0003] (비특허문헌 0001) Jae-kyu Lee, et al., A 2.1e-Temporal Noise and-105dB Parasitic Light Sensitivity Backside-Illuminated 2.3 μ m-Pixel Voltage-Domain Global Shutter CMOS Image Sensor Using High-Capacity DRAM Capacitor Technology, ISSCC 2020.

발명의 내용

해결하려는 과제

[0004] 상술한 종래 기술에서는, 리셋 레벨 및 신호 레벨을 화소마다 한 쌍의 용량에 보유시킴으로써, 컬럼 ADC 방식에 있어서, 글로벌 셔터 방식의 실현을 도모하고 있다. 그러나, 소스 팔로어 회로 내의 트랜지스터가, 용량에 접속된 노드를 초기화할 때에, 그 용량에 따른 레벨의 kTC 노이즈(바꿔 말하면, 리셋 노이즈)가 생기고, 그 노이즈에 의해 화상 데이터의 화질이 저하하게 된다고 하는 문제가 있다.

[0005] 본 기술은 이러한 상황을 감안하여 이루어진 것으로, 전화소에서 동시에 노광을 행하는 고체 촬상 소자에 있어서, 화질을 향상시키는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 기술은, 상술한 문제점을 해소하기 위해서 이루어진 것으로, 그 제1 측면은, 소정수의 용량 소자와, 소정의 리셋 레벨과 노광량에 따른 복수의 신호 레벨의 각각을 생성하여 서로 다른 상기 용량 소자에 보유시키는 전단 회로 블록과, 상기 소정수의 용량 소자 중 상기 리셋 레벨이 보유된 용량 소자를 소정의 후단 노드에 접속하는 제어와 상기 소정수의 용량 소자를 상기 후단 노드로부터 분리하는 제어와 상기 소정수의 용량 소자 중 상기 복

수의 신호 레벨 중 어느 하나가 보유된 용량 소자를 상기 후단 노드에 접속하는 제어를 순서대로 행하는 선택부와, 상기 소정수의 용량 소자가 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와, 상기 후단 노드를 통해 상기 리셋 레벨과 상기 복수의 신호 레벨의 각각을 순서대로 판독하는 후단 회로를 구비하는 고체 촬상 소자이다. 이에 의해, kTC 노이즈가 저감된다고 하는 작용을 가져온다.

[0007] 또한, 이 제1 측면에 있어서, 상기 소정수의 용량 소자는, 제1 및 제2 용량 소자와 제3 및 제4 용량 소자를 포함하고, 상기 전단 회로 블록은, 제1 리셋 레벨과 제1 신호 레벨을 순서대로 생성하여 상기 제1 및 제2 용량 소자에 보유시키는 제1 전단 회로와, 제2 리셋 레벨과 제2 신호 레벨을 순서대로 생성하여 상기 제3 및 제4 용량 소자에 보유시키는 제2 전단 회로를 구비하고, 상기 선택부는, 상기 제1 및 제2 용량 소자 중 어느 하나를 상기 후단 노드에 접속하는 제1 선택 회로와, 상기 제3 및 제4 용량 소자 중 어느 하나를 상기 후단 노드에 접속하는 제2 선택 회로를 구비해도 된다. 이에 의해, 2화소의 각각의 리셋 레벨 및 신호 레벨이 보유된다고 하는 작용을 가져온다.

[0008] 또한, 이 제1 측면에 있어서, 상기 제1 전단 회로는, 제1 광전 변환 소자와, 상기 제1 광전 변환 소자로부터 제1 부유 확산층으로 전하를 전송하는 제1 전단 전송 트랜지스터와, 상기 제1 부유 확산층을 초기화하는 제1 리셋 트랜지스터와, 상기 제1 부유 확산층의 전압을 증폭하는 제1 전단 증폭 트랜지스터를 구비하고, 상기 제2 전단 회로는, 제2 광전 변환 소자와, 상기 제2 광전 변환 소자로부터 제2 부유 확산층으로 전하를 전송하는 제2 전단 전송 트랜지스터와, 상기 제2 부유 확산층을 초기화하는 제2 리셋 트랜지스터와, 상기 제2 부유 확산층의 전압을 증폭하는 제2 전단 증폭 트랜지스터를 구비해도 된다. 이에 의해, 부유 확산층의 전압에 따른 레벨이 보유된다고 하는 작용을 가져온다.

[0009] 또한, 이 제1 측면에 있어서, 상기 제1 전단 회로는, 제1 전단 노드에 접속된 제1 전류원 트랜지스터를 더 구비하고, 상기 제2 전단 회로는, 제2 전단 노드에 접속된 제2 전류원 트랜지스터를 더 구비하고, 상기 제1 전단 증폭 트랜지스터는, 상기 제1 부유 확산층의 전압을 증폭하여 상기 제1 전단 노드로 출력하고, 상기 제2 전단 증폭 트랜지스터는, 상기 제2 부유 확산층의 전압을 증폭하여 상기 제2 전단 노드로 출력하고, 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 제1 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제1 선택 회로에 접속되고, 상기 제3 및 제4 용량 소자의 각각의 일단은 상기 제2 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제2 선택 회로에 접속되어도 된다. 이에 의해, 화소마다 정전류가 공급된다고 하는 작용을 가져온다.

[0010] 또한, 이 제1 측면에 있어서, 소정의 노광 시작 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 상기 전하를 전송하는 동시에 상기 제1 및 제2 리셋 트랜지스터가 상기 제1 및 제2 부유 확산층과 함께 상기 제1 및 제2 광전 변환 소자를 초기화하고, 소정의 노광 종료 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 상기 전하를 전송해도 된다. 이에 의해, 전화소가 동시에 노광된다고 하는 작용을 가져온다.

[0011] 또한, 이 제1 측면에 있어서, 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어와 상기 제3 및 제4 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와 상기 제3 및 제4 용량 소자의 타방을 상기 후단 노드에 접속하는 제어를 순서대로 행해도 된다. 이에 의해, 2화소의 각각의 리셋 레벨 및 신호 레벨이 순서대로 판독된다고 하는 작용을 가져온다.

[0012] 또한, 이 제1 측면에 있어서, 상기 선택부는, 소정의 가산 모드에서 상기 제1 및 제2 용량 소자의 일방과 상기 제3 및 제4 용량 소자의 일방의 양쪽을 상기 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 타방과 상기 제3 및 제4 용량 소자의 타방의 양쪽을 상기 후단 노드에 접속하는 제어를 순서대로 행해도 된다. 이에 의해, 화소 가산된 신호가 판독된다고 하는 작용을 가져온다.

[0013] 또한, 이 제1 측면에 있어서, 상기 제1 전단 회로는, 소정의 제1 선택 신호에 따라 상기 제1 전단 증폭 트랜지스터에 의해 증폭된 전압을 소정의 전단 노드에 출력하는 제1 전단 선택 트랜지스터를 더 구비하고, 상기 제2 전단 회로는, 소정의 제2 선택 신호에 따라 상기 제2 전단 증폭 트랜지스터에 의해 증폭된 전압을 상기 전단 노드에 출력하는 제2 전단 선택 트랜지스터와, 상기 전단 노드에 접속된 전류원 트랜지스터를 더 구비하고, 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제1 선택 회로에 접속되고, 상기 제3 및 제4 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제2 선택 회로에 접속되어도 된다. 이에 의해, 전류원 트랜지스터가 2화소에서 공유된다고 하는 작용을 가져온다.

- [0014] 또한, 이 제1 측면에 있어서, 소정의 노광 종료의 타이밍 직전과 상기 노광 종료의 타이밍 후에 상기 제1 및 제2 전단 선택 트랜지스터는, 순서대로 닫힘 상태로 이행하고, 상기 제1 리셋 트랜지스터는, 상기 제1 전단 선택 트랜지스터가 상기 닫힘 상태일 때에 상기 제1 부유 확산층을 초기화하고, 상기 제2 리셋 트랜지스터는, 상기 제2 전단 선택 트랜지스터가 상기 닫힘 상태일 때에 상기 제2 부유 확산층을 초기화하고, 상기 노광 종료의 타이밍 직후에 상기 제1 및 제2 전단 선택 트랜지스터는, 순서대로 닫힘 상태로 이행하고, 상기 제1 및 제2 전단 전송 트랜지스터는, 소정의 노광 종료의 타이밍에서 상기 전하를 전송해도 된다. 이에 의해, 전류원 트랜지스터가 2화소에서 공유된 구성에서, 전화소가 동시에 노광된다고 하는 작용을 가져온다.
- [0015] 또한, 이 제1 측면에 있어서, 제1 후단 노드와 제2 후단 노드의 사이의 경로를 개폐하는 단락 트랜지스터를 더 구비하고, 상기 소정수의 용량은, 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 용량 소자를 포함하고, 상기 선택부는, 상기 제1 및 제2 용량 소자 중 어느 하나를 상기 제1 후단 노드에 접속하는 제1 선택 회로와, 상기 제3 및 제4 용량 소자 중 어느 하나를 상기 제1 후단 노드에 접속하는 제2 선택 회로와, 상기 제5 및 제6 용량 소자 중 어느 하나를 상기 제2 후단 노드에 접속하는 제3 선택 회로와, 상기 제7 및 제8 용량 소자 중 어느 하나를 상기 제2 후단 노드에 접속하는 제4 선택 회로를 구비해도 된다. 이에 의해, 제1 후단 노드와 제2 후단 노드가 단락된다고 하는 작용을 가져온다.
- [0016] 또한, 이 제1 측면에 있어서, 소정의 비가산 모드에서 상기 단락 트랜지스터는, 열림 상태이며, 상기 비가산 모드에서 상기 선택부는, 상기 제1 및 제2 용량 소자의 각각을 순서대로 상기 제1 후단 노드에 접속하는 제어와 상기 제3 및 제4 용량 소자의 각각을 순서대로 상기 제1 후단 노드에 접속하는 제어와 상기 제5 및 제6 용량 소자의 각각을 순서대로 상기 제2 후단 노드에 접속하는 제어와 상기 제7 및 제8 용량 소자의 각각을 순서대로 상기 제2 후단 노드에 접속하는 제어를 소정의 순서로 행해도 된다. 이에 의해, 비가산 모드에서, 4화소의 각각의 리셋 레벨 및 신호 레벨이 순서대로 판독된다고 하는 작용을 가져온다.
- [0017] 또한, 이 제1 측면에 있어서, 소정의 가산 모드에서 상기 단락 트랜지스터는, 닫힘 상태이며, 상기 가산 모드에서 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방과 상기 제3 및 제4 용량 소자의 일방을 상기 제1 후단 노드에 접속하면서 상기 제5 및 제6 용량 소자의 일방과 상기 제7 및 제8 용량 소자의 일방을 상기 제2 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 타방과 상기 제3 및 제4 용량 소자의 타방을 상기 제1 후단 노드에 접속하면서 상기 제5 및 제6 용량 소자의 타방과 상기 제7 및 제8 용량 소자의 타방을 상기 제2 후단 노드에 접속하는 제어를 순서대로 행해도 된다. 이에 의해, 화소 가산 모드에서, 4화소가 가산된다고 하는 작용을 가져온다.
- [0018] 또한, 이 제1 측면에 있어서, 상기 소정수의 용량 소자는, 제1 및 제2 용량 소자와 제3 용량 소자를 포함하고, 상기 전단 회로 블록은, 제1 광전 변환 소자와, 상기 제1 광전 변환 소자로부터 소정의 부유 확산층으로 전하를 전송하는 제1 전단 전송 트랜지스터와, 제2 광전 변환 소자와, 상기 제2 광전 변환 소자로부터 소정의 부유 확산층으로 전하를 전송하는 제2 전단 전송 트랜지스터와, 상기 부유 확산층을 초기화하는 리셋 트랜지스터와, 상기 부유 확산층의 전압을 증폭하여 소정의 전단 노드로 출력하는 전단 증폭 트랜지스터를 구비하고, 상기 제1 및 제2 용량 소자와 상기 제3 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택부에 접속되어도 된다. 이에 의해, 리셋 레벨과 복수의 신호 레벨이 보유된다고 하는 작용을 가져온다.
- [0019] 또한, 이 제1 측면에 있어서, 소정의 노광 시작 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송하는 동시에 상기 리셋 트랜지스터가 상기 부유 확산층과 함께 상기 제1 및 제2 광전 변환 소자를 초기화하고, 소정의 노광 종료 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 순서대로 상기 전하를 전송해도 된다. 이에 의해, 전화소가 노광된다고 하는 작용을 가져온다.
- [0020] 또한, 이 제1 측면에 있어서, 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어와 상기 제3 용량 소자를 상기 후단 노드에 접속하는 제어를 순서대로 실시해도 된다. 이에 의해, 리셋 레벨과 복수의 신호 레벨이 순서대로 판독된다고 하는 작용을 가져온다.
- [0021] 또한, 이 제1 측면에 있어서, 상기 전단 회로 블록은, 제1 칩에 설치되고, 상기 소정수의 용량 소자와 상기 선택부와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 제2 칩에 설치되어도 된다. 이에 의해, 화소의 미세화가 용이해진다고 하는 작용을 가져온다.

- [0022] 또한, 이 제1 측면에 있어서, 상기 출력된 상기 리셋 레벨과 상기 복수의 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고, 상기 아날로그 디지털 변환기는, 상기 제2 칩에 설치되어도 된다. 이에 의해, 화소의 미세화가 용이해진다고 하는 작용을 가져온다.
- [0023] 또한, 이 제1 측면에 있어서, 상기 출력된 상기 리셋 레벨과 상기 복수의 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고, 상기 아날로그 디지털 변환기는, 제3 칩에 설치되어도 된다. 이에 의해, 화소의 미세화가 용이해진다고 하는 작용을 가져온다.
- [0024] 또한, 본 기술의 제2 측면은, 소정수의 용량 소자와, 소정의 리셋 레벨과 노광량에 따른 복수의 신호 레벨의 각각을 생성하여 서로 다른 상기 용량 소자에 보유시키는 전단 회로 블록과, 상기 소정수의 용량 소자 중 상기 리셋 레벨이 보유된 용량 소자를 소정의 후단 노드에 접속하는 제어와 상기 소정수의 용량 소자를 상기 후단 노드로부터 분리하는 제어와 상기 소정수의 용량 소자 중 상기 복수의 신호 레벨 중 어느 하나가 보유된 용량 소자를 상기 후단 노드에 접속하는 제어를 순서대로 행하는 선택부와, 상기 소정수의 용량 소자가 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와, 상기 후단 노드를 통해 상기 리셋 레벨과 상기 복수의 신호 레벨의 각각을 순서대로 판독하는 후단 회로와, 상기 리셋 레벨과 상기 복수의 신호 레벨을 순서대로 디지털 신호로 변환하여 처리하는 신호 처리 회로를 구비하는 촬상 장치이다. 이에 의해, kTC 노이즈가 저감된 화상 데이터가 생성된다고 하는 작용을 가져온다.
- [0025] 또한, 본 기술의 제3 측면은, 입사한 광을 전하로 변환하는 제1 광전 변환 소자와, 입사한 광을 전하로 변환하는 제2 광전 변환 소자와, 상기 전하를 전압으로 변환하는 전단 증폭 트랜지스터와, 상기 전단 증폭 트랜지스터의 출력치인 전단 노드에 각각의 일단이 접속된 소정수의 용량 소자와, 상기 소정수의 용량 소자의 각각의 타단과 소정의 후단 노드의 사이의 각각의 경로에 삽입된 소정수의 선택 트랜지스터와, 상기 후단 노드에 소스 또는 드레인이 접속된 리셋 트랜지스터와, 상기 후단 노드에 게이트가 접속되고, 화소 신호를 출력하는 후단 증폭 트랜지스터를 구비하는 고체 촬상 소자이다. 이에 의해, kTC 노이즈가 저감된다고 하는 작용을 가져온다.

도면의 간단한 설명

- [0026] 도 1은, 본 기술의 제1 실시형태에 있어서의 촬상 장치의 일 구성예를 나타내는 블록도이다.
- 도 2는, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자의 일 구성예를 나타내는 블록도이다.
- 도 3은, 본 기술의 제1 실시형태에 있어서의 화소 블록의 일 구성예를 나타내는 회로도이다.
- 도 4는, 본 기술의 제1 실시형태에 있어서의 전단 회로와 선택 회로의 일 구성예를 나타내는 회로도이다.
- 도 5는, 본 기술의 제1 실시형태에 있어서의 컬럼 신호 처리 회로의 일 구성예를 나타내는 블록도이다.
- 도 6은, 본 기술의 제1 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 7은, 본 기술의 제1 실시형태에 있어서의 화소 블록 내의 최초의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 8은, 본 기술의 제1 실시형태에 있어서의 화소 블록 내의 2번째의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 9는, 비교예에 있어서의 화소의 일 구성예를 나타내는 회로도이다.
- 도 10은, 본 기술의 제1 실시형태에 있어서의 리셋 레벨의 판독시와, 후단 노드의 초기화시의 각각의 화소 블록의 상태의 일 예를 나타내는 도면이다.
- 도 11은, 본 기술의 제1 실시형태에 있어서의 신호 레벨의 판독시의 화소 블록의 상태의 일 예를 나타내는 도면이다.
- 도 12는, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자의 동작의 일 예를 나타내는 플로우 차트이다.
- 도 13은, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 리셋 레벨 및 신호 레벨의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 14는, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 고체 촬상 소자의 적층 구조의 일 예를 나타내는 도면이다.

도 15는, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 화소 블록의 일 구성예를 나타내는 회로도이다.

도 16은, 본 기술의 제1 실시형태의 제3 변형예에 있어서의 고체 촬상 소자의 적층 구조의 일 예를 나타내는 도면이다.

도 17은, 본 기술의 제2 실시형태에 있어서의 화소 어레이부의 일 구성예를 나타내는 평면도이다.

도 18은, 본 기술의 제2 실시형태에 있어서의 화소 블록의 일 구성예를 나타내는 회로도이다.

도 19는, 본 기술의 제2 실시형태에 있어서의 전단 회로와 선택 회로의 일 구성예를 나타내는 회로도이다.

도 20은, 본 기술의 제2 실시형태에 있어서의 화소 블록 내의 1번째 및 2번째의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다.

도 21은, 본 기술의 제2 실시형태에 있어서의 화소 블록 내의 3번째 및 4번째의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다.

도 22는, 본 기술의 제2 실시형태에 있어서의 가산 모드의 판독 동작의 일 예를 나타내는 타이밍 차트이다.

도 23은, 본 기술의 제3 실시형태에 있어서의 화소 블록의 일 구성예를 나타내는 회로도이다.

도 24는, 본 기술의 제3 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.

도 25는, 본 기술의 제3 실시형태에 있어서의 노광 종료 직후의 제어의 일 예를 나타내는 타이밍 차트이다.

도 26은, 본 기술의 제4 실시형태에 있어서의 화소 블록의 일 구성예를 나타내는 회로도이다.

도 27은, 본 기술의 제4 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.

도 28은, 본 기술의 제4 실시형태에 있어서의 리셋 레벨 및 신호 레벨의 판독 동작의 일 예를 나타내는 타이밍 차트이다.

도 29는, 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.

도 30은, 촬상부의 설치 위치의 일 예를 나타내는 설명도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 기술을 실시하기 위한 형태(이하, 실시형태라고 칭한다)에 대해 설명한다. 설명은 이하의 순서에 의해 행한다.

[0028] 1. 제1 실시형태(복수의 용량에 리셋 레벨 및 신호 레벨을 보유시키는 예)

[0029] 2. 제2 실시형태(복수의 용량에 리셋 레벨 및 신호 레벨을 보유시키고, 후단 노드간을 단락하는 예)

[0030] 3. 제3 실시형태(복수의 용량에 리셋 레벨 및 신호 레벨을 보유시키고, 전류원을 공유하는 예)

[0031] 4. 제4 실시형태(1개의 용량에 리셋 레벨을 보유시키고, 복수의 용량에 신호 레벨을 보유시키는 예)

[0032] 5. 이동체에의 응용예

[0033] <1. 제1 실시형태>

[0034] [촬상 장치의 구성예]

[0035] 도 1은, 본 기술의 제1 실시형태에 있어서의 촬상 장치(100)의 일 구성예를 나타내는 블록도이다. 이 촬상 장치(100)는, 화상 데이터를 촬상하는 장치이며, 촬상 렌즈(110), 고체 촬상 소자(200), 기록부(120) 및 촬상 제어부(130)를 구비한다. 촬상 장치(100)로서는, 디지털 카메라나, 촬상 기능을 가지는 전자 장치(스마트폰이나 컴퓨터 등)가 상정된다.

[0036] 고체 촬상 소자(200)는, 촬상 제어부(130)의 제어에 따라, 화상 데이터를 촬상하는 것이다. 이 고체 촬상 소자(200)는, 화상 데이터를 신호선(209)을 통해 기록부(120)에 공급한다.

[0037] 촬상 렌즈(110)는, 광을 집광하여 고체 촬상 소자(200)에 가이드하는 것이다. 촬상 제어부(130)는, 고체 촬상 소자(200)를 제어하여 화상 데이터를 촬상시키는 것이다. 이 촬상 제어부(130)는, 예를 들면, 수직 동기 신호(VSYNC)를 포함하는 촬상 제어 신호를 고체 촬상 소자(200)에 신호선(139)을 통해 공급한다. 기록부(120)는,

화상 데이터를 기록하는 것이다.

- [0038] 여기서, 수직 동기 신호(VSYNC)는, 활상의 타이밍을 나타내는 신호이며, 일정한 주파수(60헤르츠 등)의 주기 신호가 수직 동기 신호(VSYNC)로서 사용된다.
- [0039] 한편, 활상 장치(100)는, 화상 데이터를 기록하고 있는데, 그 화상 데이터를 활상 장치(100)의 외부에 송신해도 된다. 이 경우에는, 화상 데이터를 송신하기 위한 외부 인터페이스가 더 설치된다. 또는, 활상 장치(100)는, 화상 데이터를 더 표시해도 된다. 이 경우에는 표시부가 더 설치된다.
- [0040] [고체 활상 소자의 구성예]
- [0041] 도 2는, 본 기술의 제1 실시형태에 있어서의 고체 활상 소자(200)의 일 구성예를 나타내는 블록도이다. 이 고체 활상 소자(200)는, 수직 주사 회로(211), 화소 어레이부(220), 타이밍 제어 회로(212), DAC(Digital to Analog Converter)(213), 부하 MOS 회로 블록(250), 컬럼 신호 처리 회로(260)를 구비한다. 화소 어레이부(220)에는, 2차원 격자 형상으로 복수의 화소 블록(300)이 배열된다. 화소 블록(300)의 각각에는, 복수의 화소(예를 들면, 2화소)가 배열된다. 또한, 고체 활상 소자(200) 내의 각 회로는, 예를 들면, 단일의 반도체 칩에 설치된다.
- [0042] 이하, 수평 방향으로 배열된 화소 블록(300) 또는 화소의 집합을 "행"이라고 칭하고, 행에 수직인 방향으로 배열된 화소 블록(300) 또는 화소의 집합을 "열"이라고 칭한다.
- [0043] 타이밍 제어 회로(212)는, 활상 제어부(130)로부터의 수직 동기 신호(VSYNC)에 동기하여 수직 주사 회로(211), DAC(213), 컬럼 신호 처리 회로(260)의 각각의 동작 타이밍을 제어하는 것이다.
- [0044] DAC(213)는, DA(Digital to Analog) 변환에 의해, 톱 형상 파형의 램프 신호를 생성하는 것이다. DAC(213)는, 생성한 램프 신호를 컬럼 신호 처리 회로(260)에 공급한다.
- [0045] 수직 주사 회로(211)는, 행을 순서대로 선택하여 구동하고, 아날로그의 화소 신호를 출력시키는 것이다. 화소는, 입사광을 광전 변환하여 아날로그의 화소 신호를 생성한다. 이 화소는, 부하 MOS 회로 블록(250)을 통해, 컬럼 신호 처리 회로(260)에 화소 신호를 공급한다.
- [0046] 부하 MOS 회로 블록(250)에는, 정전류를 공급하는 MOS 트랜지스터가 열마다 설치된다.
- [0047] 컬럼 신호 처리 회로(260)는, 열마다, 화소 신호에 대해 AD 변환 처리나 CDS(Correlated Double Sampling) 처리 등의 신호 처리를 실행하는 것이다. 이 컬럼 신호 처리 회로(260)는, 처리 후의 신호로 이루어지는 화상 데이터를 기록부(120)에 공급한다. 한편, 컬럼 신호 처리 회로(260)는, 특허청구의 범위에 기재된 신호 처리 회로의 일 예이다.
- [0048] [화소 블록의 구성예]
- [0049] 도 3은, 본 기술의 제1 실시형태에 있어서의 화소 블록(300)의 일 구성예를 나타내는 회로도이다. 이 화소 블록(300)에는, 전단 회로 블록(305)과, 용량 소자(331, 332, 336 및 337)와, 선택부(340)와, 후단 리셋 트랜지스터(361)와, 후단 회로(370)가 배치된다. 용량 소자(331, 332, 336 및 337)로서, 예를 들면, MIM(Metal-Insulator-Metal) 구조의 용량이 사용된다.
- [0050] 한편, 용량 소자(331 및 332)는, 특허청구의 범위에 기재된 제1 및 제2 용량 소자의 일 예이며, 용량 소자(336 및 337)는, 특허청구의 범위에 기재된 제3 및 제4 용량 소자의 일 예이다.
- [0051] 또한, 전단 회로 블록(305)에는, 전단 회로(310 및 320)가 배치된다. 선택부(340)에는, 선택 회로(350 및 355)가 배치된다. 후단 회로(370)는, 후단 증폭 트랜지스터(371) 및 후단 선택 트랜지스터(372)를 구비한다.
- [0052] 전단 회로(310)는, 리셋 레벨 및 신호 레벨을 차례로 생성하여 용량 소자(331 및 332)에 보유시키는 것이다. 전단 회로(320)는, 리셋 레벨 및 신호 레벨을 차례로 생성하여 용량 소자(336 및 337)에 보유시키는 것이다. 한편, 전단 회로(310)는, 특허청구의 범위에 기재된 제1 전단 회로의 일 예이며, 전단 회로(320)는, 특허청구의 범위에 기재된 제2 전단 회로의 일 예이다.
- [0053] 선택 회로(350)는, 용량 소자(331 및 332) 중 어느 하나를 후단 노드(360)에 접속하는 것이다. 선택 회로(355)는, 용량 소자(336 및 337) 중 어느 하나를 후단 노드(360)에 접속하는 것이다. 한편, 선택 회로(350)는, 특허청구의 범위에 기재된 제1 선택 회로의 일 예이며, 선택 회로(355)는, 특허청구의 범위에 기재된 제2 선택 회로의 일 예이다.

- [0054] 도 4는, 본 기술의 제1 실시형태에 있어서의 전단 회로(310 및 320)와 선택 회로(350 및 355)의 일 구성예를 나타내는 회로도이다.
- [0055] 전단 회로(310)는, 광전 변환 소자(311), 전송 트랜지스터(312), FD(Floating Diffusion) 리셋 트랜지스터(313), FD(314), 전단 증폭 트랜지스터(315) 및 전류원 트랜지스터(316)를 구비한다.
- [0056] 또한, 전단 회로(320)는, 광전 변환 소자(321), 전송 트랜지스터(322), FD 리셋 트랜지스터(323), FD(324), 전단 증폭 트랜지스터(325) 및 전류원 트랜지스터(326)를 구비한다.
- [0057] 광전 변환 소자(311 및 321)는, 광전 변환에 의해 전하를 생성하는 것이다. 전송 트랜지스터(312)는, 수직 주사 회로(211)로부터의 전송 신호(trg1)에 따라, 광전 변환 소자(311)로부터 FD(314)로 전하를 전송하는 것이다. 전송 트랜지스터(322)는, 수직 주사 회로(211)로부터의 전송 신호(trg2)에 따라, 광전 변환 소자(321)로부터 FD(324)로 전하를 전송하는 것이다.
- [0058] 한편, 광전 변환 소자(311 및 321)는, 특허청구의 범위에 기재된 제1 및 제2 광전 변환 소자의 일 예이다. 전송 트랜지스터(312 및 322)는, 특허청구의 범위에 기재된 제1 및 제2 전송 트랜지스터의 일 예이다.
- [0059] FD 리셋 트랜지스터(313)는, 수직 주사 회로(211)로부터의 FD 리셋 신호(rst1)에 따라, FD(314)로부터 전하를 빼내어 초기화하는 것이다. FD 리셋 트랜지스터(323)는, 수직 주사 회로(211)로부터의 FD 리셋 신호(rst2)에 따라, FD(324)로부터 전하를 빼내어 초기화하는 것이다. FD(314 및 324)는, 전하를 축적하고, 전하량에 따른 전압을 생성하는 것이다.
- [0060] 한편, FD 리셋 트랜지스터(313 및 323)는, 특허청구의 범위에 기재된 제1 및 제2 리셋 트랜지스터의 일 예이다. FD(314 및 324)는, 특허청구의 범위에 기재된 제1 및 제2 부유 확산층의 일 예이다.
- [0061] 전단 증폭 트랜지스터(315)는, FD(314)의 전압의 레벨을 증폭하여 전단 노드(330)에 출력하는 것이다. 전단 증폭 트랜지스터(325)는, FD(324)의 전압의 레벨을 증폭하여 전단 노드(335)에 출력하는 것이다. 한편, 전단 증폭 트랜지스터(315 및 325)는, 특허청구의 범위에 기재된 제1 및 제2 전단 증폭 트랜지스터의 일 예이다.
- [0062] FD 리셋 트랜지스터(313 및 323)와 전단 증폭 트랜지스터(315 및 325)의 각각의 드레인은, 전원 전압(VDD)에 접속된다. 전류원 트랜지스터(316)는, 전단 증폭 트랜지스터(315)의 소스에 접속된다. 이 전류원 트랜지스터(316)는, 수직 주사 회로(211)의 제어에 따라, 전류(id11)를 공급한다. 전류원 트랜지스터(326)는, 전단 증폭 트랜지스터(325)의 소스에 접속된다. 이 전류원 트랜지스터(326)는, 수직 주사 회로(211)의 제어에 따라, 전류(id12)를 공급한다.
- [0063] 한편, 전류원 트랜지스터(316 및 326)는, 특허청구의 범위에 기재된 제1 및 제2 전류원 트랜지스터의 일 예이다.
- [0064] 용량 소자(331 및 332)의 각각의 일단은, 전단 노드(330)에 공통으로 접속되고, 각각의 타단은, 선택 회로(350)에 접속된다. 용량 소자(336 및 337)의 각각의 일단은, 전단 노드(335)에 공통으로 접속되고, 각각의 타단은, 선택 회로(355)에 접속된다.
- [0065] 선택 회로(350)는, 선택 트랜지스터(351 및 352)를 구비한다. 선택 트랜지스터(351)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_{r1})에 따라, 용량 소자(331)와 후단 노드(360)의 사이의 경로를 개폐하는 것이다. 선택 트랜지스터(352)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_{s1})에 따라, 용량 소자(332)와 후단 노드(360)의 사이의 경로를 개폐하는 것이다.
- [0066] 선택 회로(355)는, 선택 트랜지스터(356 및 357)를 구비한다. 선택 트랜지스터(356)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_{r2})에 따라, 용량 소자(336)와 후단 노드(360)의 사이의 경로를 개폐하는 것이다. 선택 트랜지스터(357)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_{s2})에 따라, 용량 소자(337)와 후단 노드(360)의 사이의 경로를 개폐하는 것이다.
- [0067] 후단 리셋 트랜지스터(361)는, 수직 주사 회로(211)로부터의 후단 리셋 신호(rstb)에 따라, 후단 노드(360)의 레벨을 소정의 전위(Vreg)로 초기화하는 것이다. 전위(Vreg)에는, 전원 전위(VDD)와 다른 전위(예를 들면, VDD보다 낮은 전위)가 설정된다.
- [0068] 후단 회로(370)에 있어서 후단 증폭 트랜지스터(371)는, 후단 노드(360)의 레벨을 증폭하는 것이다. 후단 선택 트랜지스터(372)는, 수직 주사 회로(211)로부터의 후단 선택 신호(selb)에 따라, 후단 증폭 트랜지스터(371)에

의해 증폭된 레벨의 신호를 화소 신호로서 수직 신호선(309)에 출력하는 것이다.

- [0069] 한편, 화소 블록(300) 내의 각종 트랜지스터(전송 트랜지스터(312) 등)로서, 예를 들면, nMOS(n-channel Metal Oxide Semiconductor) 트랜지스터가 사용된다.
- [0070] 상술한 전단 회로(310)와, 용량 소자(331 및 332)와, 선택 회로(350)와, 후단 리셋 트랜지스터(361)와, 후단 회로(370)로 이루어지는 회로는, 하나의 화소로서 기능한다. 또한, 전단 회로(320)와, 용량 소자(336 및 337)와, 선택 회로(355)와, 후단 리셋 트랜지스터(361)와, 후단 회로(370)로 이루어지는 회로도 하나의 화소로서 기능한다. 이들 2화소에 의해, 후단 리셋 트랜지스터(361) 및 후단 회로(370)가 공유된다.
- [0071] 또한, 화소 블록(300) 내의 2화소는, 예를 들면, 열방향으로 배열된다. 바꿔 말하면, 이들 2화소는, 홀수행 및 짝수행에 배치된다. 한편, 화소 블록(300) 내의 2화소의 위치 관계는, 홀수행 및 짝수행에 한정되지 않는다. 예를 들면, 2화소를 홀수열 및 짝수열에 배치할 수도 있다. 또는, 2화소의 일방을 타방의 대각선 상에 배치할 수도 있다.
- [0072] 수직 주사 회로(211)는, 노광 시작시에 모든 행에 하이 레벨의 FD 리셋 신호(rst1이나 rst2)와 하이 레벨의 전송 신호(trg1이나 trg2)를 공급한다. 이에 의해, 광전 변환 소자(311이나 321)가 초기화된다. 이하, 이 제어를 "PD 리셋"이라고 칭한다.
- [0073] 그리고, 수직 주사 회로(211)는, 노광 종료 직전에, 모든 행에 대해 후단 리셋 신호(rstb)와 선택 신호($\Phi r1$ 및 $\Phi r2$)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 FD 리셋 신호(rst1 및 rst2)를 공급한다. 이에 의해, FD(314 및 324)가 초기화되고, 그 때의 FD(314 및 324)의 레벨에 따른 레벨이 용량 소자(331 및 336)에 보유된다. 이 제어를 이하, "FD 리셋"이라고 칭한다.
- [0074] FD 리셋시의 FD(314 및 324)의 레벨과, 그 레벨에 대응하는 레벨(용량 소자(331 및 336)의 보유 레벨이나, 수직 신호선(309)의 레벨)을 포괄하여, 이하, "P상" 또는 "리셋 레벨"이라고 칭한다.
- [0075] 수직 주사 회로(211)는, 노광 종료시에, 모든 행에 대해 후단 리셋 신호(rstb)와 선택 신호($\Phi s1$ 및 $\Phi s2$)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 전송 신호(trg1 및 trg2)를 공급한다. 이에 의해, 노광량에 따른 신호 전하가 FD(314 및 324)로 전송되고, 그 때의 FD(314 및 324)의 레벨에 따른 레벨이 용량 소자(332 및 337)에 보유된다.
- [0076] 신호 전하의 전송시의 FD(314 및 324)의 레벨과, 그 레벨에 대응하는 레벨(용량 소자(332 및 337)의 보유 레벨이나, 수직 신호선(309)의 레벨)을 포괄하여, 이하, "D상" 또는 "신호 레벨"이라고 칭한다.
- [0077] 이와 같이 전화소에 대해 동시에 노광을 시작하고, 종료하는 노광 제어는, 글로벌 셔터 방식이라고 불린다. 이 노광 제어에 의해, 전화소의 전단 회로(310)는, 리셋 레벨 및 신호 레벨을 순서대로 생성한다. 리셋 레벨은, 용량 소자(331 및 336)에 보유되고, 신호 레벨은, 용량 소자(332 및 337)에 보유된다.
- [0078] 노광 종료 후에 수직 주사 회로(211)는, 행을 순서대로 선택하여, 그 행의 리셋 레벨 및 신호 레벨을 순서대로 출력시킨다. 리셋 레벨을 출력시킬 때에, 수직 주사 회로(211)는, 선택한 행의 FD 리셋 신호(rst1 또는 rst2)와 후단 선택 신호(selb)를 하이 레벨로 하면서, 하이 레벨의 선택 신호($\Phi r1$ 또는 $\Phi r2$)를 소정 기간에 걸쳐서 공급한다. 이에 의해, 용량 소자(331 또는 336)가 후단 노드(360)에 접속되고, 리셋 레벨이 판독된다.
- [0079] 리셋 레벨의 판독 후에 수직 주사 회로(211)는, 선택한 행의 FD 리셋 신호(rst1 또는 rst2)와 후단 선택 신호(selb)를 하이 레벨로 한 상태에서, 하이 레벨의 후단 리셋 신호(rstb)를 펄스 기간에 걸쳐서 공급한다. 이에 의해, 후단 노드(360)의 레벨이 초기화된다. 이 때, 선택 트랜지스터(351, 352, 356 및 357)는 열림 상태이며, 용량 소자(331, 332, 336 및 337)는, 후단 노드(360)로부터 분리된다.
- [0080] 후단 노드(360)의 초기화 후에, 수직 주사 회로(211)는, 선택한 행의 FD 리셋 신호(rst1 또는 rst2) 및 후단 선택 신호(selb)를 하이 레벨로 한 상태에서, 하이 레벨의 선택 신호($\Phi s1$ 또는 $\Phi s2$)를 소정 기간에 걸쳐서 공급한다. 이에 의해, 용량 소자(332 또는 337)가 후단 노드(360)에 접속되고, 신호 레벨이 판독된다.
- [0081] 상술한 판독 제어에 의해, 선택된 행의 선택 회로(350)는, 용량 소자(331)를 후단 노드(360)에 접속하는 제어와, 용량 소자(331 및 332)를 후단 노드(360)로부터 분리하는 제어와, 용량 소자(332)를 후단 노드(360)에 접속하는 제어를 순서대로 행한다.
- [0082] 또한, 선택된 행의 선택 회로(355)는, 용량 소자(336)를 후단 노드(360)에 접속하는 제어와, 용량 소자(336 및 337)를 후단 노드(360)로부터 분리하는 제어와, 용량 소자(337)를 후단 노드(360)에 접속하는 제어를 순서대로

행한다.

- [0083] 또한, 용량 소자(331, 332, 336 및 337)가 후단 노드(360)로부터 분리되었을 때에, 선택된 행의 후단 리셋 트랜지스터(361)는 후단 노드(360)의 레벨을 초기화한다. 또한, 선택된 행의 후단 회로(370)는, 후단 노드(360)를 통해 리셋 레벨 및 신호 레벨을 용량 소자(331 및 332)(또는, 용량 소자(336 및 337))로부터 순서대로 판독하여 수직 신호선(309)으로 출력한다.
- [0084] [컬럼 신호 처리 회로의 구성예]
- [0085] 도 5는, 본 기술의 제1 실시형태에 있어서의 컬럼 신호 처리 회로(260)의 일 구성예를 나타내는 블록도이다.
- [0086] 부하 MOS 회로 블록(250)에는, 화소 블록(300)의 열마다 수직 신호선(309)이 배선된다. 열수를 I(I는, 정수)로 하면, I개의 수직 신호선(309)이 배선된다. 또한, 수직 신호선(309)의 각각에는, 일정한 전류(id2)를 공급하는 부하 MOS 트랜지스터(251)가 접속된다.
- [0087] 컬럼 신호 처리 회로(260)에는, 복수의 ADC(261)와 디지털 신호 처리부(262)가 배치된다. ADC(261)는, 열마다 배치된다. 열수를 I로 하면, I개의 ADC(261)가 배치된다.
- [0088] ADC(261)는, DAC(213)로부터의 램프 신호(Rmp)를 사용하여, 대응하는 열로부터의 아날로그의 화소 신호를 디지털 신호로 변환하는 것이다. 이 ADC(261)는, 디지털 신호를 디지털 신호 처리부(262)에 공급한다. 예를 들면, ADC(261)로서, 콤퍼레이터 및 카운터를 구비하는 싱글 슬로프형의 ADC가 배치된다.
- [0089] 디지털 신호 처리부(262)는, 열마다의 디지털 신호의 각각에 대해, CDS 처리 등의 소정의 신호 처리를 행하는 것이다. 디지털 신호 처리부(262)는, 처리 후의 디지털 신호로 이루어지는 화상 데이터를 기록부(120)에 공급한다.
- [0090] [고체 촬상 소자의 동작 예]
- [0091] 도 6은, 본 기술의 제1 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 수직 주사 회로(211)는, 노광 시작 직전의 타이밍(T0)부터, 펄스 기간 경과 후의 타이밍(T1)에 걸쳐, 모든 행(바꿔 말하면, 전화소)에 하이 레벨의 FD 리셋 신호(rst1 및 rst2)와 전송 신호(trg1 및 trg2)를 공급한다. 이에 의해, 전화소가 PD 리셋되고, 모든 행에서 동시에 노광이 개시된다.
- [0092] 여기서, 동일 도면의 rst1[n], rst2[n], trg1[n] 및 trg2[n]은, N행 중 n행째의 화소에의 신호를 나타낸다. N은, 화소 블록(300)을 배열한 행의 모든 행수를 나타내는 정수이며, n은, 1 내지 N의 정수이다. 화소 블록(300) 내의 2화소가 짝수행 및 홀수행의 화소인 경우, 화소 블록(300)의 제n 행은, 홀수행 및 짝수행의 2행을 포함한다.
- [0093] 노광 기간의 종료 직전의 타이밍(T2)에서, 수직 주사 회로(211)는, 모든 행에서 후단 리셋 신호(rstb)와 선택 신호($\Phi r1$ 및 $\Phi r2$)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 FD 리셋 신호(rst1 및 rst2)를 공급한다. 이에 의해, 전화소가 FD 리셋되고, 리셋 레벨이 샘플 홀드된다. 여기서, 동일 도면의 rstb[n], $\Phi r1[n]$ 및 $\Phi r2[n]$ 은, n행째의 화소에의 신호를 나타낸다.
- [0094] 타이밍(T2) 후의 타이밍(T3)에서, 수직 주사 회로(211)는, 선택 신호($\Phi r1$ 및 $\Phi r2$)를 로우 레벨로 되돌린다.
- [0095] 노광 종료의 타이밍(T4)에서, 수직 주사 회로(211)는, 모든 행에서 후단 리셋 신호(rstb)와 선택 신호($\Phi s1$ 및 $\Phi s2$)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 전송 신호(trg1 및 trg2)를 공급한다. 이에 의해, 신호 레벨이 샘플 홀드된다. 또한, 동일 도면의 $\Phi s1[n]$ 및 $\Phi s2[n]$ 은, n행째의 화소에의 신호를 나타낸다.
- [0096] 타이밍(T4) 후의 타이밍(T5)에서, 수직 주사 회로(211)는, 선택 신호($\Phi s1$ 및 $\Phi s2$)를 로우 레벨로 되돌린다.
- [0097] 도 7은, 본 기술의 제1 실시형태에 있어서의 화소 블록(300) 내의 최초의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 타이밍(T10) 이후의 제n 행의 판독 기간에서, 수직 주사 회로(211)는, 제n 행의 FD 리셋 신호(rst1 및 rst2)와 후단 선택 신호(selb)를 하이 레벨로 한다. 또한, 타이밍(T10)에서, 모든 행의 후단 리셋 신호(rstb)는, 로우 레벨로 제어된다. 여기서, 동일 도면의 selb[n]은, n행째의 화소에의 신호를 나타낸다.
- [0098] 타이밍(T10) 직후의 타이밍(T11)부터 타이밍(T12)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제n 행에 하이 레벨의 선택 신호($\Phi r1$)를 공급한다. 후단 노드(360)의 전위는, 리셋 레벨(Vrst1)이 된다. ADC(261)에 의해, 이 리셋 레벨이 AD 변환된다.

- [0099] 타이밍(T12) 직후의 타이밍(T13)부터 펄스 기간에 걸쳐서, 수직 주사 회로(211)는, 제n 행에 하이 레벨의 후단 리셋 신호(rstb)를 공급한다. 이에 의해, 후단 노드(360)에 기생 용량이 존재할 때에, 그 기생 용량에 보유되는 전하(前回)의 신호의 이력을 소거할 수 있다.
- [0100] 후단 노드(360)의 초기화 직후의 타이밍(T14)부터 타이밍(T15)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제n 행에 하이 레벨의 선택 신호(Φ_{s1})를 공급한다. 후단 노드(360)의 전위는, 신호 레벨(Vsig1)이 된다. ADC(261)에 의해, 이 신호 레벨이 AD 변환된다. 리셋 레벨(Vrst1)과 신호 레벨(Vsig1)의 차분이, FD의 리셋 노이즈나 오프셋 노이즈를 제거한 정미(正味; net)의 신호 레벨에 해당한다.
- [0101] 도 8은, 본 기술의 제1 실시형태에 있어서의 화소 블록(300) 내의 최초의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- [0102] 타이밍(T15) 직후의 타이밍(T16)부터 펄스 기간에 걸쳐서, 수직 주사 회로(211)는, 제n 행에 하이 레벨의 후단 리셋 신호(rstb)를 공급한다.
- [0103] 후단 노드(360)의 초기화 직후의 타이밍(T17)부터 타이밍(T18)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제n 행에 하이 레벨의 선택 신호(Φ_{r2})를 공급한다. 후단 노드(360)의 전위는, 리셋 레벨(Vrst2)이 된다. ADC(261)에 의해, 이 리셋 레벨이 AD 변환된다.
- [0104] 타이밍(T18) 직후의 타이밍(T19)부터 펄스 기간에 걸쳐서, 수직 주사 회로(211)는, 제n 행에 하이 레벨의 후단 리셋 신호(rstb)를 공급한다.
- [0105] 후단 노드(360)의 초기화 직후의 타이밍(T20)부터 타이밍(T21)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제n 행에 하이 레벨의 선택 신호(Φ_{s2})를 공급한다. 후단 노드(360)의 전위는, 신호 레벨(Vsig2)이 된다. ADC(261)에 의해, 이 신호 레벨이 AD 변환된다.
- [0106] 또한, 타이밍(T21)에서, 수직 주사 회로(211)는, 제n 행의 FD 리셋 신호(rst1 및 rst2)와 후단 선택 신호(selb)를 로우 레벨로 되돌린다.
- [0107] 도 7 및 도 8에 예시한 바와 같이, 하이 레벨의 선택 신호(Φ_{r1} , Φ_{s1} , Φ_{r2} 및 Φ_{s2})가 순서대로 공급된다. 이들 선택 신호에 따라 선택부(340)는, 용량 소자(331, 332, 336 및 337)를 순서대로 후단 노드(360)에 접속한다. 그리고, 화소 블록(300) 내의 최초의 화소의 리셋 레벨(Vrst1) 및 신호 레벨(Vsig1)과, 2번째의 화소의 리셋 레벨(Vrst2) 및 신호 레벨(Vsig2)이 순서대로 판독된다.
- [0108] 한편, 고체 촬상 소자(200)는, 리셋 레벨 후에, 신호 레벨을 판독하고 있지만, 이 순서로 한정되지 않는다. 고체 촬상 소자(200)는, 신호 레벨 후에, 리셋 레벨을 판독할 수도 있다. 이 경우에 수직 주사 회로(211)는, 하이 레벨의 선택 신호(Φ_s) 후에, 하이 레벨의 선택 신호(Φ_r)를 공급한다. 또한, 이 경우, 램프 신호의 슬로프의 기울기를 반대로 할 필요가 있다.
- [0109] 도 9는, 비교예에 있어서의 화소의 일 구성예를 나타내는 회로도이다. 이 비교예에서는, 선택 회로(350)가 설치되지 않고, 전단 노드(330)와 전단 회로의 사이에 전송 트랜지스터가 삽입된다. 또한, 용량 소자(331 및 332) 대신에, 용량(C1 및 C2)이 삽입된다. 용량(C1)은, 전단 노드(330)와 접지 단자의 사이에 삽입되고, 용량(C2)은, 전단 노드(330)와 후단 노드(360)의 사이에 삽입된다.
- [0110] 이 비교예의 화소의 노광 제어 및 판독 제어는, 예를 들면, 비특허문헌 1의 Figure 5.5.2에 기재되어 있다. 이 비교예에서, 용량(C1 및 C2)의 각각의 용량값을 C라고 가정하면, 노광 및 판독시의 kTC 노이즈의 레벨(V_n)은, 다음 식에 의해 나타낸다.
- [0111]
$$V_n = (3 \cdot kT/C)^{1/2} \cdot \dots \text{식 1}$$
- [0112] 상기 식에 있어서, k는, 볼츠만 상수이며, 단위는, 예를 들면, 줄(Joule)당 켈빈(J/K)이다. T는 절대 온도이며, 단위는, 예를 들면, 켈빈(K)이다. 또한, V_n 의 단위는, 예를 들면, 볼트(V)이며, C의 단위는, 예를 들면, 패럿(F)이다.
- [0113] 도 10은, 본 기술의 제1 실시형태에 있어서의 리셋 레벨의 판독시와, 후단 노드의 초기화시의 각각의 화소 블록의 상태의 일 예를 나타내는 도면이다. 동일 도면에 있어서의 a는, 리셋 레벨의 판독시의 화소 블록(300)의 상태를 나타내고, 동일 도면에 있어서의 b는, 후단 노드(360)의 초기화시의 화소 블록(300)의 상태를 나타낸다. 또한, 동일 도면에 있어서, 선택 트랜지스터(351), 선택 트랜지스터(352) 및 후단 리셋 트랜지스터(361)는, 설

명의 편의상, 스위치의 도면 기호에 의해 나타낸다.

- [0114] 동일 도면에 있어서의 a에 예시하는 바와 같이, 수직 주사 회로(211)는, 선택 트랜지스터(351)를 닫힘 상태로 하고, 선택 트랜지스터(352) 및 후단 리셋 트랜지스터(361)를 열림 상태로 한다. 이에 의해, 후단 회로(370)를 통해 최초의 화소의 리셋 레벨이 판독된다.
- [0115] 리셋 레벨의 판독 후에 동일 도면에 있어서의 b에 예시하는 바와 같이, 수직 주사 회로(211)는, 선택 트랜지스터(351) 및 선택 트랜지스터(352)를 열림 상태로 하고, 후단 리셋 트랜지스터(361)를 닫힘 상태로 한다. 이에 의해, 용량 소자(331 및 332)가 후단 노드(360)로부터 분리되고, 후단 노드(360)의 레벨이 초기화된다.
- [0116] 이와 같이 용량 소자(331 및 332)로부터 분리한 상태의 후단 노드(360)의 기생 용량(C_p)의 용량값은, 용량 소자(331 및 332)와 비교하여 매우 작은 것으로 한다. 예를 들면, 기생 용량(C_p)을 수 펨토 패럿(fF)으로 하면, 용량 소자(331 및 332)는, 수십 펨토 패럿의 오더이다.
- [0117] 도 11은, 본 기술의 제1 실시형태에 있어서의 신호 레벨의 판독시의 화소 블록(300)의 상태의 일 예를 나타내는 도면이다.
- [0118] 후단 노드(360)의 초기화 후에 있어서, 수직 주사 회로(211)는, 선택 트랜지스터(352)를 닫힘 상태로 하고, 선택 트랜지스터(351) 및 후단 리셋 트랜지스터(361)를 열림 상태로 한다. 이에 의해, 후단 회로(370)를 통해 최초의 화소의 신호 레벨이 판독된다.
- [0119] 여기서, 화소의 노광시의 kTC 노이즈에 대해 생각한다. 노광시에 있어서, 노광 종료 직전의 리셋 레벨의 샘플링과 신호 레벨의 샘플링의 각각에서 kTC 노이즈가 발생한다. 용량 소자(331 및 332)의 각각의 용량값을 C라고 가정하면, 노광시의 kTC 노이즈의 레벨(V_n)은, 다음 식에 의해 나타낸다.
- [0120]
$$V_n = (2 \cdot kT/C)^{1/2} \cdot \dots \text{식 2}$$
- [0121] 또한, 도 10 및 도 11에 예시한 바와 같이, 판독시에 후단 리셋 트랜지스터(361)가 구동하고 있기 때문에, 그 때에 kTC 노이즈가 발생한다. 그러나, 후단 리셋 트랜지스터(361)의 구동시에 용량 소자(331 및 332)가 분리되어 있고, 그 때의 기생 용량(C_p)이 작다. 이 때문에, 판독시의 kTC 노이즈는, 노광시의 kTC 노이즈와 비교하여 무시할 수 있다. 따라서, 노광 및 판독시의 kTC 노이즈는, 식 2에 의해 나타낸다.
- [0122] 식 1 및 식 2로부터, 판독시에 용량을 분리하는 화소 블록(300)에서는, 판독시에 용량을 분리할 수 없는 비교에 보다 kTC 노이즈가 작아진다. 이에 의해, 화상 데이터의 화질을 향상시킬 수 있다.
- [0123] 또한, 화소 블록(300) 내의 2화소가 후단 리셋 트랜지스터(361) 및 후단 회로(370)를 공유하고 있기 때문에, 공유하지 않는 경우와 비교하여, 화소 어레이부(220)의 회로 규모를 삭감할 수 있다. 한편, 공유하는 화소 수는 2화소에 한정되지 않는다. 3화소 이상이 후단 리셋 트랜지스터(361) 및 후단 회로(370)를 공유할 수도 있다.
- [0124] 도 12는, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자(200)의 동작의 일 예를 나타내는 플로우 차트이다. 이 동작은, 예를 들면, 화상 데이터를 촬상하기 위한 소정의 어플리케이션이 실행되었을 때에 개시된다.
- [0125] 수직 주사 회로(211)는, 전화소의 노광을 행한다(스텝 S901). 그리고, 수직 주사 회로(211)는, 판독 대상의 화소 블록(300)의 행을 선택한다(스텝 S902). 컬럼 신호 처리 회로(260)는, 그 행의 화소 블록(300) 내의 최초의 화소의 리셋 레벨의 판독을 행하고(스텝 S903), 다음으로, 그 화소의 신호 레벨의 판독을 행한다(스텝 S904). 계속해서 컬럼 신호 처리 회로(260)는, 2번째의 화소의 리셋 레벨의 판독을 행하고(스텝 S905), 다음으로, 그 화소의 신호 레벨의 판독을 행한다(스텝 S906).
- [0126] 고체 촬상 소자(200)는, 모든 행의 판독이 완료되었는지 여부를 판단한다(스텝 S907). 모든 행의 판독이 완료되어 있지 않은 경우에(스텝 S907:No), 고체 촬상 소자(200)는, 스텝 S902 이후를 반복한다. 한편, 모든 행의 판독이 완료된 경우에(스텝 S907:Yes), 고체 촬상 소자(200)는, CDS 처리 등을 실행하고, 촬상을 위한 동작을 종료한다. 복수매의 화상 데이터를 연속해서 촬상하는 경우에는, 수직 동기 신호에 동기하여, 스텝 S901 내지 S907이 반복 실행된다.
- [0127] 이와 같이, 본 기술의 제1 실시형태에서는, 선택 회로(350)가 용량 소자(331 및 332)를 후단 노드(360)로부터 분리했을 때에 후단 리셋 트랜지스터(361)가 후단 노드(360)를 초기화한다. 용량 소자(331 및 332)가 분리되어 있기 때문에, 후단 리셋 트랜지스터(361)의 구동에 의한 리셋 노이즈의 레벨은, 이들 용량보다 작은 기생 용량

에 따른 레벨이 된다. 이 노이즈의 저감에 의해, 화상 데이터의 화질을 향상시킬 수 있다.

- [0128] 또한, 2화소가 후단 리셋 트랜지스터(361) 및 후단 회로(370)를 공유하기 때문에, 공유하지 않는 경우와 비교하여, 화소 어레이부(220)의 회로 규모를 삭감할 수 있다.
- [0129] [제1 변형예]
- [0130] 상술한 제1 실시형태에서는, 고체 촬상 소자(200)는, 화소 블록(300) 내의 2화소의 각각의 화소 신호를 순서대로 판독하고 있었는데, 이 구성에서는, 판독 속도가 부족할 우려가 있다. 이 제1 실시형태의 제1 변형예의 고체 촬상 소자(200)는, 화소 가산을 행하는 점에서 제1 실시형태와 다르다.
- [0131] 도 13은, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 리셋 레벨 및 신호 레벨의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 이 제1 실시형태의 고체 촬상 소자(200)에는, 화소 가산을 행하지 않는 비가산 모드와, 화소 가산을 행하는 가산 모드를 포함하는 복수의 모드 중 어느 하나가 설정된다. 비가산 모드의 글로벌 셔터 동작 및 판독 동작은, 제1 실시형태와 마찬가지로이다. 가산 모드의 글로벌 셔터 동작은, 비가산 모드와 마찬가지로이다.
- [0132] 가산 모드에서 판독을 행하는 경우, 동일 도면에 예시하는 바와 같이, 제 n 행의 판독 시작의 타이밍(T10)에서, 수직 주사 회로(211)는, 하이 레벨의 FD 리셋 신호(rst1 및 rst2)를 펄스 기간에 걸쳐서 공급한다. 또한, 타이밍(T10)부터 타이밍(T15)까지의 판독 기간 내에 수직 주사 회로(211)는, 후단 선택 신호(selb)를 하이 레벨로 한다.
- [0133] 타이밍(T10) 직후의 타이밍(T11)부터 타이밍(T12)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제 n 행에 하이 레벨의 선택 신호($\Phi r1$ 및 $\Phi s2$)를 공급한다. 이에 의해, 후단 노드(360)의 전위는, 리셋 레벨(Vrst)이 된다. 이 리셋 레벨(Vrst)은, 화소 블록(300) 내의 2화소의 각각의 리셋 레벨을 가산한 값이다.
- [0134] 타이밍(T12) 직후의 타이밍(T13)부터 펄스 기간에 걸쳐서, 수직 주사 회로(211)는, 제 n 행에 하이 레벨의 후단 리셋 신호(rstb)를 공급한다.
- [0135] 후단 노드(360)의 초기화 직후의 타이밍(T14)부터 타이밍(T15)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제 n 행에 하이 레벨의 선택 신호($\Phi r2$ 및 $\Phi s2$)를 공급한다. 이에 의해, 후단 노드(360)의 전위는, 신호 레벨(Vsig)이 된다. 이 신호 레벨(Vsig)은, 화소 블록(300) 내의 2화소의 각각의 신호 레벨을 가산한 값이다.
- [0136] 동일 도면에 예시한 바와 같이, 하이 레벨의 선택 신호($\Phi r1$ 및 $\Phi s1$)가 공급되고, 이들 선택 신호에 따라 선택부(340)는, 용량 소자(331 및 336)를 후단 노드(360)에 접속한다. 바꿔 말하면, 용량 소자(331)와 용량 소자(336)가 단락된다. 이에 의해, 2화소의 리셋 레벨이 가산된다. 또한, 하이 레벨의 선택 신호($\Phi r2$ 및 $\Phi s2$)가 공급되고, 이들 선택 신호에 따라 선택부(340)는, 용량 소자(332 및 337)를 후단 노드(360)에 접속한다. 바꿔 말하면, 용량 소자(332)와 용량 소자(337)가 단락된다. 이에 의해, 2화소의 신호 레벨이 가산된다. 이들 화소 가산에 의해, 가산하지 않는 경우와 비교하여 감도나 판독 속도를 향상시킬 수 있다. 또한, 화소 가산에 의해 판독하는 행수가 삭감되기 때문에, 소비 전력을 저감할 수 있다.
- [0137] 한편, 고체 촬상 소자(200)는, 리셋 레벨 후에 신호 레벨을 판독하고 있지만, 이 순서에 한정되지 않고, 신호 레벨 후에, 리셋 레벨을 판독할 수도 있다.
- [0138] 이와 같이, 본 기술의 제1 실시형태의 제1 변형예에 의하면, 선택부(340)는, 용량 소자(331 및 336)를 후단 노드(360)에 접속하고, 용량 소자(332 및 337)를 후단 노드(360)에 접속하기 때문에, 2화소의 각각의 화소 신호를 가산할 수 있다. 이에 의해, 가산하지 않는 경우와 비교하여 감도나 판독 속도를 향상시키고, 소비 전력을 저감할 수 있다.
- [0139] [제2 변형예]
- [0140] 상술한 제1 실시형태에서는, 고체 촬상 소자(200) 내의 회로를 단일의 반도체 칩에 설치하고 있었는데, 이 구성에서는, 화소를 미세화했을 때에 반도체 칩 내에 소자가 들어가지 않게 될 우려가 있다. 이 제1 실시형태의 제2 변형예의 고체 촬상 소자(200)는, 고체 촬상 소자(200) 내의 회로를 2개의 반도체 칩에 분산시켜 배치한 점에서 제1 실시형태와 다르다.
- [0141] 도 14는, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 고체 촬상 소자(200)의 적층 구조의 일 예를 나타내는 도면이다. 제1 실시형태의 제2 변형예의 고체 촬상 소자(200)는, 하측 화소 칩(202)과, 그 하측 화소 칩(202)에 적층된 상측 화소 칩(201)을 구비한다. 이들 칩은, 예를 들면, Cu-Cu 접합에 의해 전기적으로 접속된

다. 한편, Cu-Cu 접합 외에, 비아나 범프에 의해 접속할 수도 있다.

- [0142] 상측 화소 칩(201)에는, 상측 화소 어레이부(221)가 배치된다. 하측 화소 칩(202)에는, 하측 화소 어레이부(222)와 컬럼 신호 처리 회로(260)가 배치된다. 화소 어레이부(220) 내의 화소마다, 그 일부가, 상측 화소 어레이부(221)에 배치되고, 나머지가 하측 화소 어레이부(222)에 배치된다.
- [0143] 또한, 하측 화소 칩(202)에는, 수직 주사 회로(211), 타이밍 제어 회로(212), DAC(213) 및 부하 MOS 회로 블록(250)도 배치된다. 이들 회로는, 동일 도면에서 생략되어 있다.
- [0144] 또한, 상측 화소 칩(201)은, 예를 들면, 화소 전용의 프로세스로 제조되고, 하측 화소 칩(202)은, 예를 들면, CMOS(Complementary MOS) 프로세스로 제조된다. 한편, 상측 화소 칩(201)은, 특허청구의 범위에 기재된 제1 칩의 일 예이며, 하측 화소 칩(202)은, 특허청구의 범위에 기재된 제2 칩의 일 예이다.
- [0145] 도 15는, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 화소 블록(300)의 일 구성예를 나타내는 회로도이다. 화소 블록(300) 중, 전단 회로 블록(305)은, 상측 화소 칩(201)에 배치되고, 그 이외의 회로나 소자(용량 소자(331 및 332) 등)는, 하측 화소 칩(202)에 배치된다. 한편, 전류원 트랜지스터(316이나 326)를 하측 화소 칩(202)에 더 배치할 수도 있다. 동일 도면에 예시하는 바와 같이, 화소 블록(300) 내의 소자를, 적절한 상측 화소 칩(201) 및 하측 화소 칩(202)에 분산시켜 배치함으로써, 화소의 면적을 작게 할 수 있고, 화소의 미세화가 용이해진다.
- [0146] 이와 같이, 본 기술의 제1 실시형태의 제2 변형예에 의하면, 화소 블록(300) 내의 회로나 소자를 2개의 반도체 칩에 분산시켜 배치하기 때문에, 화소의 미세화가 용이해진다.
- [0147] [제3 변형예]
- [0148] 상술한 제1 실시형태의 제2 변형예에서는, 화소 블록(300)의 일부와 주변 회로(컬럼 신호 처리 회로(260) 등)를 하측의 하측 화소 칩(202)에 설치하고 있었다. 그러나, 이 구성에서는, 주변 회로만큼, 하측 화소 칩(202)측의 회로나 소자의 배치 면적이 상측 화소 칩(201)보다 크게 되어, 상측 화소 칩(201)에, 회로나 소자가 없는 낭비되는 스페이스가 생길 우려가 있다. 이 제1 실시형태의 제3 변형예의 고체 촬상 소자(200)는, 고체 촬상 소자(200) 내의 회로를 3개의 반도체 칩에 분산시켜 배치한 점에서 제1 실시형태의 제2 변형예와 다르다.
- [0149] 도 16은, 본 기술의 제1 실시형태의 제3 변형예에 있어서의 고체 촬상 소자(200)의 적층 구조의 일 예를 나타내는 도면이다. 제1 실시형태의 제3 변형예의 고체 촬상 소자(200)는, 상측 화소 칩(201), 하측 화소 칩(202) 및 회로 칩(203)을 구비한다. 이들 칩은 적층되어, 예를 들면, Cu-Cu 접합에 의해 전기적으로 접속된다. 한편, Cu-Cu 접합 외에, 비아나 범프에 의해 접속할 수도 있다.
- [0150] 상측 화소 칩(201)에는, 상측 화소 어레이부(221)가 배치된다. 하측 화소 칩(202)에는, 하측 화소 어레이부(222)가 배치된다. 화소 어레이부(220) 내의 화소마다, 그 일부가, 상측 화소 어레이부(221)에 배치되고, 나머지가 하측 화소 어레이부(222)에 배치된다.
- [0151] 또한, 회로 칩(203)에는, 컬럼 신호 처리 회로(260), 수직 주사 회로(211), 타이밍 제어 회로(212), DAC(213) 및 부하 MOS 회로 블록(250)이 배치된다. 컬럼 신호 처리 회로(260) 이외의 회로는, 동일 도면에서 생략되어 있다.
- [0152] 한편, 상측 화소 칩(201)은, 특허청구의 범위에 기재된 제1 칩의 일 예이며, 하측 화소 칩(202)은, 특허청구의 범위에 기재된 제2 칩의 일 예이다. 회로 칩(203)은, 특허청구의 범위에 기재된 제3 칩의 일 예이다.
- [0153] 동일 도면에 예시한 바와 같이 3층 구성으로 함으로써, 2층 구성과 비교하여 낭비되는 스페이스를 삭감하고, 화소를 더 미세화할 수 있다. 또한, 2층째의 하측 화소 칩(204)을, 용량이나 스위치를 위한 전용 프로세스에 의해 제조할 수 있다.
- [0154] 이와 같이, 본 기술의 제1 실시형태의 제3 변형예에서는, 고체 촬상 소자(200) 내의 회로를 3개의 반도체 칩에 분산시켜 배치하기 때문에, 2개의 반도체 칩에 분산시켜 배치하는 경우와 비교하여 화소를 더 미세화할 수 있다.
- [0155] <2. 제2 실시형태>
- [0156] 상술한 제1 실시형태에서는, 고체 촬상 소자(200)는, 화소 블록(300) 내의 2화소의 각각의 화소 신호를 순서대로 판독하고 있었는데, 이 구성에서는, 판독 속도가 부족할 우려가 있다. 이 제1 실시형태의 제1 변형예의 고

체 활상 소자(200)는, 화소 가산을 행하는 점에서 제1 실시형태와 다르다.

- [0157] 도 17은, 본 기술의 제2 실시형태에 있어서의 화소 어레이부(220)의 일 구성예를 나타내는 평면도이다. 동일 도면에 있어서의 a는, 베이어 배열의 화소 어레이부(220)의 일 예를 나타내는 평면도이다. 동일 도면에 있어서의 b는, 쿼드라 베이어 배열의 화소 어레이부(220)의 일 예를 나타내는 평면도이다.
- [0158] 동일 도면에 있어서의 a에 예시하는 바와 같이 제2 실시형태의 화소 어레이부(220)에 있어서, R(Red), G(Green) 및 B(Blue)의 화소가 베이어 배열에 의해 배열된다. 고체 촬상 소자(200)는, 이들 화소 중, R의 화소(301)와, 그 근방의 R의 화소(302 내지 304)의 각각의 화소 신호를 가산할 수 있다. G의 화소나 B의 화소에 대해서도, 마찬가지로, 고체 촬상 소자(200)는, 근방의 4화소의 각 화소 신호를 가산할 수 있다.
- [0159] 한편, 베이어 배열 대신에, 동일 도면에 있어서의 b에 예시하는 바와 같이 쿼드라 베이어 배열에 의해 화소를 배열할 수도 있다. 쿼드라 베이어 배열에서는, 동일 색의 4화소가 2행×2열로 인접하여 배열된다. 그리고, R의 4화소에 주목하면, 그것들의 우측 아래에 B의 4화소가 배치되고, 우측과 하측에 G의 4화소가 배치된다. 고체 촬상 소자(200)는, 이들 화소 중, 인접하는 동일 색의 4화소(화소(301 내지 304) 등)의 각각의 화소 신호를 가산할 수 있다.
- [0160] 한편, 화소의 배열은, 베이어 배열이나 쿼드라 베이어 배열에 한정되지 않는다. 예를 들면, R, G, B 및 W(White)의 화소를 배열할 수도 있다.
- [0161] 도 18은, 본 기술의 제2 실시형태에 있어서의 화소 블록(300)의 일 구성예를 나타내는 회로도이다. 제2 실시형태의 화소 블록(300)에는, 화소 가산을 행할 때에 가산 대상이 되는 4화소가 배치된다. 예를 들면, 도 17에 있어서의 화소(301 내지 304)가 화소 블록(300) 내에 배치된다.
- [0162] 제2 실시형태의 화소 블록(300)에는, 용량 소자(431, 432, 436 및 437)와, 단락 트랜지스터(480)와, 후단 리셋 트랜지스터(461)와, 후단 회로(470)가 더 설치된다. 또한, 제2 실시형태에 있어서, 전단 회로 블록(305)에는, 전단 회로(410 및 420)가 더 배치되고, 선택부(340)에는, 선택 회로(450 및 455)가 더 배치된다. 수직 주사 회로(211)는, 후단 리셋 트랜지스터(361)에 후단 리셋 신호(rstb1)를 공급하고, 후단 리셋 트랜지스터(461)에 후단 리셋 신호(rstb2)를 공급한다.
- [0163] 후단 회로(470)에는, 후단 증폭 트랜지스터(471) 및 후단 선택 트랜지스터(472)가 배치된다. 이들 트랜지스터로서, 예를 들면, nMOS 트랜지스터가 사용된다. 또한, 후단 리셋 트랜지스터(461) 및 후단 회로(470)의 회로 구성은, 후단 리셋 트랜지스터(361) 및 후단 회로(370)와 마찬가지로이다. 후단 회로(370 및 470)는, 동일한 수직 신호선(309)에 접속된다. 수직 주사 회로(211)는, 후단 선택 트랜지스터(372)에 후단 선택 신호(selb1)를 공급하고, 후단 선택 트랜지스터(472)에 후단 선택 신호(selb2)를 공급한다.
- [0164] 전단 회로(410)는, 리셋 레벨 및 신호 레벨을 순서대로 생성하여 용량 소자(431 및 432)에 보유시킨다. 전단 회로(420)는, 리셋 레벨 및 신호 레벨을 순서대로 생성하여 용량 소자(436 및 437)에 보유시킨다. 한편, 용량 소자(431 및 432)는, 특허청구의 범위에 기재된 제5 및 제6 용량 소자의 일 예이며, 용량 소자(436 및 437)는, 특허청구의 범위에 기재된 제7 및 제8 용량 소자의 일 예이다.
- [0165] 또한, 선택 회로(450)는, 용량 소자(431 및 432) 중 어느 하나를 후단 노드(460)에 접속하고, 선택 회로(455)는, 용량 소자(436 및 437) 중 어느 하나를 후단 노드(460)에 접속한다. 한편, 선택 회로(450)는, 특허청구의 범위에 기재된 제3 선택 회로의 일 예이며, 선택 회로(455)는, 특허청구의 범위에 기재된 제4 선택 회로의 일 예이다. 또한, 후단 노드(360)는, 특허청구의 범위에 기재된 제1 후단 노드의 일 예이며, 후단 노드(460)는, 특허청구의 범위에 기재된 제2 후단 노드의 일 예이다.
- [0166] 단락 트랜지스터(480)는, 수직 주사 회로(211)로부터의 단락 신호(sht)에 따라, 후단 노드(360)와 후단 노드(460)의 사이의 경로를 개폐하는 것이다. 단락 트랜지스터(480)로서, 예를 들면, nMOS 트랜지스터가 사용된다.
- [0167] 도 19는, 본 기술의 제2 실시형태에 있어서의 전단 회로(410 및 420)와 선택 회로(450 및 455)의 일 구성예를 나타내는 회로도이다.
- [0168] 전단 회로(410)는, 광전 변환 소자(411), 전송 트랜지스터(412), FD 리셋 트랜지스터(413), FD(414), 전단 증폭 트랜지스터(415) 및 전류원 트랜지스터(416)를 구비한다. 수직 주사 회로(211)는, 전송 트랜지스터(412) 및 FD 리셋 트랜지스터(413)에 전송 신호(trg3) 및 FD 리셋 신호(rst3)를 공급한다.
- [0169] 또한, 전단 회로(420)는, 광전 변환 소자(421), 전송 트랜지스터(422), FD 리셋 트랜지스터(423), FD(424), 전

단 증폭 트랜지스터(425) 및 전류원 트랜지스터(426)를 구비한다. 수직 주사 회로(211)는, 전송 트랜지스터(422) 및 FD 리셋 트랜지스터(423)에 전송 신호(trg4) 및 FD 리셋 신호(rst4)를 공급한다.

[0170] 선택 회로(450)는, 선택 트랜지스터(451 및 452)를 구비하고, 선택 회로(455)는, 선택 트랜지스터(456 및 457)를 구비한다. 수직 주사 회로(211)는, 선택 트랜지스터(451 및 452)에 선택 신호($\Phi r3$ 및 $\Phi s3$)를 공급하고, 선택 트랜지스터(456 및 457)에 선택 신호($\Phi r4$ 및 $\Phi s4$)를 공급한다.

[0171] 전단 회로(410 및 420)의 회로 구성은, 전단 회로(310 및 320)와 마찬가지로이다. 또한, 선택 회로(450 및 455)의 회로 구성은, 선택 회로(350 및 355)와 마찬가지로이다.

[0172] 도 20은, 본 기술의 제2 실시형태에 있어서의 화소 블록(300) 내의 1번째 및 2번째의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 이 제2 실시형태의 고체 촬상 소자(200)에는, 화소 가산을 행하지 않는 비가산 모드와, 화소 가산을 행하는 가산 모드를 포함하는 복수의 모드 중 어느 하나가 설정된다. 비가산 모드의 글로벌 셔터 동작 및 판독 동작은, 제1 실시형태와 마찬가지로이다. 가산 모드의 글로벌 셔터 동작은, 비가산 모드와 마찬가지로이다.

[0173] 비가산 모드에서, 수직 주사 회로(211)는, 단락 신호(sht)를 로우 레벨로 한다. 또한, n번째의 화소 블록(300)의 행의 판독 시작의 타이밍(T10)에서, 수직 주사 회로(211)는, FD 리셋 신호(rst1 내지 rst4)를 하이 레벨로 한다. 또한, 타이밍(T10 내지 T18)의 기간 내에 수직 주사 회로(211)는, 후단 선택 신호(selb1)를 하이 레벨로 하고, 후단 선택 신호(selb2)를 로우 레벨로 한다.

[0174] 또한, 타이밍(T10)부터 타이밍(T11)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb1)를 공급하고, 타이밍(T11 내지 T12)의 기간 내에 하이 레벨의 선택 신호($\Phi r1$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 1번째의 화소의 리셋 레벨(Vrst1)이 판독된다.

[0175] 타이밍(T12)부터 타이밍(T13)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb1)를 공급하고, 타이밍(T13 내지 T14)의 기간 내에 하이 레벨의 선택 신호($\Phi s1$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 1번째의 화소의 신호 레벨(Vsig1)이 판독된다.

[0176] 계속해서, 타이밍(T14)부터 타이밍(T15)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb1)를 공급하고, 타이밍(T15 내지 T16)의 기간 내에 하이 레벨의 선택 신호($\Phi r2$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 2번째의 화소의 리셋 레벨(Vrst2)이 판독된다.

[0177] 타이밍(T16)부터 타이밍(T17)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb1)를 공급하고, 타이밍(T17 내지 T18)의 기간 내에 하이 레벨의 선택 신호($\Phi s2$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 2번째의 화소의 신호 레벨(Vsig2)이 판독된다.

[0178] 도 21은, 본 기술의 제2 실시형태에 있어서의 화소 블록(300) 내의 3번째 및 4번째의 화소의 판독 동작의 일 예를 나타내는 타이밍 차트이다.

[0179] 타이밍(T18 내지 T26)의 기간 내에 수직 주사 회로(211)는, 후단 선택 신호(selb1)를 로우 레벨로 하고, 후단 선택 신호(selb2)를 하이 레벨로 한다.

[0180] 또한, 타이밍(T18)부터 타이밍(T19)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb2)를 공급하고, 타이밍(T19 내지 T20)의 기간 내에 하이 레벨의 선택 신호($\Phi r3$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 3번째의 화소의 리셋 레벨(Vrst3)이 판독된다.

[0181] 타이밍(T20)부터 타이밍(T21)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb2)를 공급하고, 타이밍(T21 내지 T22)의 기간 내에 하이 레벨의 선택 신호($\Phi s3$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 3번째의 화소의 신호 레벨(Vsig3)이 판독된다.

[0182] 계속해서, 타이밍(T22)부터 타이밍(T23)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb2)를 공급하고, 타이밍(T23 내지 T24)의 기간 내에 하이 레벨의 선택 신호($\Phi r4$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 4번째의 화소의 리셋 레벨(Vrst4)이 판독된다.

[0183] 타이밍(T24)부터 타이밍(T25)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb2)를 공급하고, 타이밍(T25 내지 T26)의 기간 내에 하이 레벨의 선택 신호($\Phi s4$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 4번째의 화소의 신호 레벨(Vsig4)이 판독된다.

- [0184] 또한, 제n 행의 판독의 종료 타이밍(T26)에서, 수직 주사 회로(211)는, FD 리셋 신호(rst1 내지 rst4)를 로우 레벨로 한다.
- [0185] 도 20 및 도 21에 예시한 바와 같이, 비가산 모드에서, 단락 트랜지스터(480)는 열림 상태로 제어된다. 또한, 용량 소자(331 및 332)가 순서대로 후단 노드(360)에 접속되고, 1번째의 화소의 리셋 레벨 및 신호 레벨이 순서대로 판독된다. 용량 소자(336 및 337)가 순서대로 후단 노드(360)에 접속되고, 2번째의 화소의 리셋 레벨 및 신호 레벨이 순서대로 판독된다. 계속해서, 용량 소자(431 및 432)가 순서대로 후단 노드(460)에 접속되고, 3번째의 화소의 리셋 레벨 및 신호 레벨이 순서대로 판독된다. 용량 소자(436 및 437)가 순서대로 후단 노드(460)에 접속되고, 4번째의 화소의 리셋 레벨 및 신호 레벨이 순서대로 판독된다. 이와 같이 화소 블록(300) 내의 4화소의 각각의 리셋 레벨 및 신호 레벨이 순서대로 판독된다.
- [0186] 도 22는, 본 기술의 제2 실시형태에 있어서의 가산 모드의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 가산 모드에서, 수직 주사 회로(211)는, 단락 신호(sht)를 하이 레벨로 한다. n번째의 화소 블록(300)의 행의 판독 기간인 타이밍(T10 내지 T14)에서, 수직 주사 회로(211)는, FD 리셋 신호(rst1 내지 rst4)와 후단 선택 신호(selb1 및 selb2)를 하이 레벨로 한다.
- [0187] 또한, 타이밍(T10)부터 타이밍(T11)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb1 및 rstb2)를 공급하고, 타이밍(T11 내지 T12)의 기간 내에 하이 레벨의 선택 신호($\Phi r1$ 내지 $\Phi r4$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 리셋 레벨(Vrst)이 판독된다. 이 리셋 레벨(Vrst)은, 화소 블록(300) 내의 4화소의 각각의 리셋 레벨을 가산한 값이다.
- [0188] 계속해서, 타이밍(T12)부터 타이밍(T13)까지의 펄스 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb1 및 rstb2)를 공급하고, 타이밍(T13 내지 T14)의 기간 내에 하이 레벨의 선택 신호($\Phi s1$ 내지 $\Phi s4$)를 공급한다. 이 기간 내에 수직 신호선(309)을 통해 신호 레벨(Vsig)이 판독된다. 이 신호 레벨(Vsig)은, 화소 블록(300) 내의 4화소의 각각의 신호 레벨을 가산한 값이다.
- [0189] 여기서, 제1 실시형태의 화소 블록(300)에서, 후단 회로(370)를 공유하는 화소수를 4개로 늘리는 것에 의해서도 4화소를 가산할 수 있다. 그러나, 후단 회로(370)를 공유하는 화소수가 증가하면 폐해가 생긴다. 후단 회로(370)를 공유하는 화소수를 4개로 하면, 후단 노드(360)의 배선이 4화소에 걸쳐져, 그 후단 노드(360)의 기생 용량이 증대한다. 이 기생 용량의 증대에 의해, 화소 가산을 행하지 않는 경우의 신호의 게인이 저하되게 된다. 이것은, 용량 소자(331이나 332)에 보유한 전압이, 후단 노드(360)와 접속할 때에, 기생 용량에 의해 저감되게 되기 때문이다. 이 게인의 저하에 의해, SN(Signal-Noise)비가 저하된다.
- [0190] 이에 대해, 단락 트랜지스터(480)를 설치한 제2 실시형태에서는, 비가산 모드에서 단락 트랜지스터(480)를 열림 상태로 함으로써, 후단 회로(370 및 470)의 각각을 공유하는 화소수를 2화소로 할 수 있다. 이에 의해, 4화소가 후단 회로(370)를 공유하는 경우와 비교하여, 후단 노드의 기생 용량의 증대를 억제할 수 있다. 이러한 구성에 의해, 2화소 보다 많은 화소의 가산을 실현하면서, 비가산 모드의 SN비의 저하를 억제할 수 있다.
- [0191] 한편, 도 18에 예시한 화소 블록(300)에서는, 1개의 수직 신호선(309)을 후단 회로(370 및 470)에서 공유하고 있었지만, 이 구성에 한정되지 않는다. 수직 신호선(309-1 및 309-2)을 배선하고, 후단 회로(370)를 수직 신호선(309-1)에 접속하고, 후단 회로(470)를 수직 신호선(309-2)에 접속할 수도 있다. 이 경우, 수직 신호선의 배선수와 함께, 후단의 부하 MOS 트랜지스터(251)의 개수와 ADC(261)의 개수를 2배로 할 필요가 있다. 그 대신에, 비가산 모드시에, 후단 회로(370)를 공유하는 2화소의 일방과 후단 회로(470)를 공유하는 2화소의 일방을 동시에 판독할 수 있기 때문에, 판독 속도를 향상시킬 수 있다. 또한, 가산 모드일 때에는, 수직 신호선(309-1 및 309-2)의 일방만이 사용되고, 타방에 대응하는 부하 MOS 트랜지스터(251)는 오프 상태로 제어된다.
- [0192] 한편, 제2 실시형태에, 제1 실시형태의 제1 내지 제3 변형예를 적용할 수도 있다.
- [0193] 이와 같이, 본 기술의 제2 실시형태에 의하면, 단락 트랜지스터(480)가 후단 노드(360)와 후단 노드(460)를 단락하기 때문에, 화소 블록(300)은, 4화소의 각각의 화소 신호를 가산할 수 있다. 이에 의해, 가산하지 않는 경우와 비교하여 감도나 판독 속도를 향상시켜, 소비 전력을 저감할 수 있다.
- [0194] <3. 제3 실시형태>
- [0195] 상술한 제1 실시형태에서는, 화소마다 전류원 트랜지스터(316이나 326)를 배치하고 있었는데, 이 구성에서는, 화소의 미세화가 곤란해질 우려가 있다. 이 제3 실시형태의 고체 촬상 소자(200)는, 복수의 화소에서 전류원 트랜지스터를 공유하는 점에서 제1 실시형태와 다르다.

- [0196] 도 23은, 본 기술의 제3 실시형태에 있어서의 화소 블록(300)의 일 구성예를 나타내는 회로도이다. 이 제3 실시형태의 화소 블록(300)은, 전단 선택 트랜지스터(317 및 327)를 더 구비하고, 전류원 트랜지스터(316)가 설치되지 않는 점에서 제1 실시형태와 다르다.
- [0197] 전단 선택 트랜지스터(317)는, 수직 주사 회로(211)로부터의 전단 선택 신호(sel1)에 따라, 전단 증폭 트랜지스터(315)에 의해 증폭된 전압을 전단 노드(338)에 출력하는 것이다. 전단 선택 트랜지스터(327)는, 수직 주사 회로(211)로부터의 전단 선택 신호(sel2)에 따라, 전단 증폭 트랜지스터(325)에 의해 증폭된 전압을 전단 노드(338)에 출력하는 것이다. 또한, 전류원 트랜지스터(326)는, 전단 노드(338)에 접속된다.
- [0198] 또한, 용량 소자(331, 332, 336 및 337)의 일단은, 전단 노드(339)에 공통으로 접속되고, 타단은, 선택 회로(350 및 355)에 접속된다. 전단 노드(339)는, 전단 노드(338)에 접속된다.
- [0199] 또한, 고체 촬상 소자(200) 내의 회로나 소자는, 상측 화소 칩(201) 및 하측 화소 칩(202)에 분산되어 배치된다. 예를 들면, 전단 회로(310 및 320)가 상측 화소 칩(201)에 배치되고, 이들 후단의 회로는 회로 칩(202)에 배치된다. 그리고, 전단 노드(338)와 전단 노드(339)가, Cu-Cu 접속 등에 의해 접속된다.
- [0200] 화소마다 전류원 트랜지스터를 배치하는 제1 실시형태에서는, 적층 구조로 할 때에, 도 15에 예시한 바와 같이, 화소마다 Cu-Cu 접속을 행할 필요가 있다. 특히, 회로 칩(202)에 MIM 구조의 용량 소자(331) 등을 배치하는 경우, 칩의 두께가 늘어나, 상하의 칩을 접속하는 면의 평탄화가 어려워지고, Cu-Cu 접속의 피치를 제약하게 된다. 예를 들면, 모바일 용도의 이미지 센서의 미세 화소의 사이즈가 마이크로 미터(μm) 이하인 것에 대해, Cu-Cu 접속의 피치는 수 마이크로 미터(μm)가 되게 된다. 이 때문에, 화소마다 전류원 트랜지스터를 배치하는 구성에서는, 미세화가 곤란하게 된다.
- [0201] 이에 대해, 2화소에서 전류원 트랜지스터(326)를 공유하는 동일 도면의 구성에서는, Cu-Cu 접속수를 삭감할 수 있다. 이 때문에, 화소의 미세화가 용이해진다. 또한, 글로벌 셔터 동작시의 전류를 삭감할 수 있다. 또한, 전류원 트랜지스터(326)는, 트랜지스터의 채널 길이 변조 효과에 의한 전류 변동을 억제하기 위해서, 캐스캐이드의 구성을 취하는 것이 일반적으로 행해지고 있다. 비교적 사이즈가 큰 전류원 트랜지스터(326)를 공유함으로써, 트랜지스터의 면적을 삭감할 수 있다.
- [0202] 한편, 2화소에서 전류원 트랜지스터(326)를 공유하고 있지만, 공유하는 화소수는 2화소에 한정되지 않고, 3화소 이상이어도 된다.
- [0203] 도 24는, 본 기술의 제3 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 수직 주사 회로(211)는, 노광 시작 직전의 타이밍(T0)부터, 펄스 기간 경과 후의 타이밍(T1)에 걸쳐서, 모든 행에 하이 레벨의 FD 리셋 신호(rst1 및 rst2)와 전송 신호(trg1 및 trg2)를 공급한다. 이에 의해, 전화소가 PD 리셋되고, 모든 행에서 동시에 노광이 개시된다.
- [0204] 노광 종료 직전의 타이밍(T2)부터 타이밍(T5)까지의 기간 내에 수직 주사 회로(211)는, 모든 행의 전단 선택 신호(sel1)를 하이 레벨로 한다. 그 기간 내의 타이밍(T3)에서, 수직 주사 회로(211)는, 모든 행에서 후단 리셋 신호(rstb)와 선택 신호($\Phi r1$)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 FD 리셋 신호(rst1)를 공급한다. 이에 의해, 화소 블록(300) 내의 첫번째 화소가 FD 리셋되고, 리셋 레벨이 샘플 홀드된다.
- [0205] 타이밍(T4)에서, 수직 주사 회로(211)는, 선택 신호($\Phi r1$)를 로우 레벨로 되돌린다. 또한, 수직 주사 회로(211)는, 타이밍(T5)부터 타이밍(T8)까지의 기간 내에, 모든 행의 전단 선택 신호(sel1)를 로우 레벨로 하고, 전단 선택 신호(sel2)를 하이 레벨로 한다. 그 기간 내의 타이밍(T6)에서, 수직 주사 회로(211)는, 모든 행에서 후단 리셋 신호(rstb)와 선택 신호($\Phi r2$)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 FD 리셋 신호(rst2)를 공급한다. 이에 의해, 화소 블록(300) 내의 2번째의 화소가 FD 리셋되고, 리셋 레벨이 샘플 홀드된다.
- [0206] 그리고, 수직 주사 회로(211)는, 타이밍(T7)에서, 모든 행의 선택 신호($\Phi r2$)를 로우 레벨로 되돌리고, 타이밍(T8)에서, 전단 선택 신호(sel2)를 로우 레벨로 하고, 전단 선택 신호(sel1)를 하이 레벨로 한다.
- [0207] 여기서, 동일 도면의 sel1[n] 및 sel2[n]은, n행째의 화소예의 신호를 나타낸다.
- [0208] 동일 도면에 예시하는 바와 같이, 수직 주사 회로(211)는, 노광 종료 직전에 전단 선택 트랜지스터(317 및 327)를 순서대로 닫힘 상태로 한다. 그리고, 전단 선택 트랜지스터(317)가 닫힘 상태일 때에 FD 리셋 트랜지스터(313)가 FD 리셋을 행하고, 전단 선택 트랜지스터(327)가 닫힘 상태일 때에 FD 리셋 트랜지스터(323)가 FD 리셋

을 행한다.

- [0209] 도 25는, 본 기술의 제3 실시형태에 있어서의 노광 종료 직후의 제어의 일 예를 나타내는 타이밍 차트이다. 노광 종료의 타이밍(T9)에서, 수직 주사 회로(211)는, 모든 행에서 펄스 기간에 걸쳐서 하이 레벨의 전송 신호(trg1 및 trg2)를 공급한다.
- [0210] 그리고 수직 주사 회로(211)는, 타이밍(T10)부터 타이밍(T11)까지의 기간 내에 모든 행에서 선택 신호($\Phi s1$)를 하이 레벨로 한다. 이에 의해, 화소 블록(300) 내의 첫번째 화소의 신호 레벨이 샘플 홀드된다.
- [0211] 수직 주사 회로(211)는, 타이밍(T12)에서, 모든 행의 전단 선택 신호(sel1)를 로우 레벨로 하고, 전단 선택 신호(sel2)를 하이 레벨로 한다.
- [0212] 그리고 수직 주사 회로(211)는, 타이밍(T13)부터 타이밍(T14)까지의 기간 내에 모든 행에서 선택 신호($\Phi s2$)를 하이 레벨로 한다. 이에 의해, 화소 블록(300) 내의 2번째의 화소의 신호 레벨이 샘플 홀드된다.
- [0213] 수직 주사 회로(211)는, 타이밍(T15)에서, 모든 행의 전단 선택 신호(sel2)를 로우 레벨로 되돌린다.
- [0214] 동일 도면에 예시하는 바와 같이, 수직 주사 회로(211)는, 노광 종료시에 전단 선택 트랜지스터(317 및 327)를 순서대로 단핍 상태로 한다. 그리고, 수직 주사 회로(211)는, 노광 종료시에 전송 트랜지스터(312 및 322)에 전하를 전송시키고, 그 후에 전단 선택 트랜지스터(317 및 327)를 순서대로 단핍 상태로 한다.
- [0215] 한편, 제3 실시형태에, 제1 실시형태의 제1, 제3 변형예나 제2 실시형태를 적용할 수 있다.
- [0216] 이와 같이, 본 기술의 제3 실시형태에 의하면, 2화소에서 전류원 트랜지스터(326)를 공유하기 때문에, 칩간의 Cu-Cu 접속수를 삭감할 수 있다. 이에 의해, 화소의 미세화가 용이해진다.
- [0217] <4. 제4 실시형태>
- [0218] 상술한 제1 실시형태에서는, 화소마다 한 쌍의 용량을 배치하고 있었는데, 이 구성에서는, 화소의 미세화가 곤란하게 된다. 이 제4 실시형태의 고체 촬상 소자(200)는, 용량의 개수를 삭감한 점에서 제1 실시형태와 다르다.
- [0219] 도 26은, 본 기술의 제4 실시형태에 있어서의 화소 블록(300)의 일 구성예를 나타내는 회로도이다. 이 제4 실시형태의 화소 블록(300)에는, 전단 회로 블록(305)과, 용량 소자(331, 332, 531, 532 및 533)와, 선택부(340)와, 후단 리셋 트랜지스터(361)와, 후단 회로(370)가 배치된다. 제4 실시형태의 화소 블록(300)에는, 4화소가 배치된다. 예를 들면, 도 17에 있어서의 화소(301 내지 304)가 화소 블록(300) 내에 배치된다.
- [0220] 전단 회로 블록(305)은, 광전 변환 소자(311, 511, 512 및 513)와, 전송 트랜지스터(312, 514, 515 및 516)를 구비한다. 전단 회로 블록(305)은, FD 리셋 트랜지스터(313), FD(314), 전단 증폭 트랜지스터(315) 및 전류원 트랜지스터(316)를 더 구비한다. 전송 트랜지스터(312, 514, 515 및 516)로서, 예를 들면, nMOS 트랜지스터가 사용된다.
- [0221] 또한, 선택부(340)는, 선택 트랜지스터(351, 352, 551, 552 및 553)를 구비한다. 선택 트랜지스터(551, 552 및 553)로서, 예를 들면, nMOS 트랜지스터가 사용된다.
- [0222] 제4 실시형태의 광전 변환 소자(311), 전송 트랜지스터(312), FD 리셋 트랜지스터(313), FD(314), 전단 증폭 트랜지스터(315) 및 전류원 트랜지스터(316)의 접속 구성은, 제1 실시형태와 마찬가지로이다. 단, FD 리셋 트랜지스터(313)에는, 수직 주사 회로(211)로부터의 FD 리셋 신호(rst)가 입력된다.
- [0223] 광전 변환 소자(511 내지 513)는, 광전 변환에 의해 전하를 생성하는 것이다. 전송 트랜지스터(514)는, 수직 주사 회로(211)로부터의 전송 신호(trg2)에 따라, 광전 변환 소자(511)로부터 FD(314)로 전하를 전송하는 것이다. 전송 트랜지스터(515)는, 수직 주사 회로(211)로부터의 전송 신호(trg3)에 따라, 광전 변환 소자(512)로부터 FD(314)로 전하를 전송하는 것이다. 전송 트랜지스터(516)는, 수직 주사 회로(211)로부터의 전송 신호(trg4)에 따라, 광전 변환 소자(513)로부터 FD(314)로 전하를 전송하는 것이다.
- [0224] 제4 실시형태의 용량 소자(331 및 332)와 선택 트랜지스터(351 및 352)의 접속 구성은, 제1 실시형태와 마찬가지로이다. 단, 선택 트랜지스터(351)에는, 수직 주사 회로(211)로부터의 선택 신호(Φr)가 입력된다.
- [0225] 용량 소자(531, 532 및 533)의 일단은, 전단 노드(330)에 공통으로 접속되고, 타단은, 선택부(340)에 접속된다.
- [0226] 선택 트랜지스터(551)는, 수직 주사 회로(211)로부터의 선택 신호($\Phi r2$)에 따라, 용량 소자(531)와 후단 노드

(360)의 사이의 경로를 개폐하는 것이다. 선택 트랜지스터(552)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_{r3})에 따라, 용량 소자(532)와 후단 노드(360)의 사이의 경로를 개폐하는 것이다. 선택 트랜지스터(553)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_{r4})에 따라, 용량 소자(533)와 후단 노드(360)의 사이의 경로를 개폐하는 것이다.

- [0227] 제4 실시형태의 후단 리셋 트랜지스터(361) 및 후단 회로(370)의 회로 구성은, 제1 실시형태와 마찬가지로이다.
- [0228] 또한, 고체 촬상 소자(200) 내의 회로나 소자는, 상측 화소 칩(201) 및 회로 칩(202)에 분산되어 배치된다. 예를 들면, 전단 회로 블록(305)이 상측 화소 칩(201)에 배치되고, 이들 후단의 회로는 회로 칩(202)에 배치된다.
- [0229] 도 26에 예시한 바와 같이, 4화소에 의해 1개의 FD(314)와, 후단 리셋 트랜지스터(361)나 후단 회로(370)가 공유된다. 또한, 4화소의 리셋 레벨은, 용량 소자(331)에 보유되고, 4화소의 각각의 신호 레벨은, 용량 소자(332, 531, 532 및 533)에 보유된다. 제1 실시형태에서는, 리셋 레벨을 보유하기 위한 용량을 화소마다 배치해야 했지만, 제4 실시형태에서는, 그 용량을 4화소에서 공유하기 때문에, 용량의 개수를 삭감할 수 있다. 이에 의해, 공유하지 않는 경우와 비교하여 화소의 미세화가 용이해진다.
- [0230] 한편, FD(314) 등을 4화소가 공유하고 있지만, 공유하는 화소수는 4화소에 한정되지 않는다. 또한, 용량 소자(331 및 332)는, 특허청구의 범위에 기재된 제1 및 제2 용량 소자의 일 예이다. 용량 소자(531, 532 및 533)는, 특허청구의 범위에 기재된 제3 용량 소자의 일 예이다.
- [0231] 도 27은, 본 기술의 제4 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 노광 시작시의 타이밍(T0 내지 T4)의 기간 내에 수직 주사 회로(211)는, 하이 레벨의 FD 리셋 신호(rst)를 모든 행에 공급한다. 이 기간 내의 타이밍(T0, T1, T2 및 T3)에서, 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 전송 신호(trg1, trg2, trg3 및 trg)를 공급한다. 이에 의해, 전화소가 PD 리셋된다.
- [0232] 그리고, 노광 종료시의 타이밍(T5 내지 T15)의 기간 내에 수직 주사 회로(211)는, 하이 레벨의 후단 리셋 신호(rstb)를 모든 행에 공급한다. 또한, 타이밍(T5)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 FD 리셋 신호(rst)를 공급한다. 타이밍(T5) 직후의 타이밍(T6)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 선택 신호(Φ_r)를 공급한다. 이에 의해, 모든 행이 FD 리셋된다.
- [0233] 또한, 타이밍(T7)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 전송 신호(trg1)를 공급한다. 타이밍(T7) 직후의 타이밍(T8)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 선택 신호(Φ_{s1})를 공급한다. 이에 의해, 화소 블록(300) 내의 첫번째 화소의 신호 레벨이 샘플 홀드된다.
- [0234] 또한, 타이밍(T9)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 전송 신호(trg2)를 공급한다. 타이밍(T9) 직후의 타이밍(T10)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 선택 신호(Φ_{s2})를 공급한다. 이에 의해, 화소 블록(300) 내의 첫번째와 2번째의 화소의 각각의 신호 레벨의 합이 샘플 홀드된다.
- [0235] 또한, 타이밍(T11)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 전송 신호(trg3)를 공급한다. 타이밍(T11) 직후의 타이밍(T12)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 선택 신호(Φ_{s3})를 공급한다. 이에 의해, 화소 블록(300) 내의 첫번째부터 3번째까지의 화소의 각각의 신호 레벨의 합이 샘플 홀드된다.
- [0236] 또한, 타이밍(T13)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 전송 신호(trg4)를 공급한다. 타이밍(T13) 직후의 타이밍(T14)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 모든 행에 선택 신호(Φ_{s4})를 공급한다. 이에 의해, 화소 블록(300) 내의 첫번째부터 4번째까지의 화소의 각각의 신호 레벨의 합이 샘플 홀드된다.
- [0237] 여기서, rst_[n] 및 $\Phi_{r_}[n]$ 은, N행 중 n행째의 화소에의 신호를 나타낸다.
- [0238] 제4 실시형태에서는 FD(314)를 4화소에서 공유하기 때문에, 동일 도면에 예시하는 바와 같이, 4화소의 각각의 전하 전송을 동시에 행할 수는 없다. 단, 전하의 전송처인 4개의 용량(용량 소자(332, 531, 532 및 533))의 샘플링은, 수 마이크로 초(μs)의 오더로 실현할 수 있기 때문에, 화소간의 노광 시간차는 그다지 커지지 않는다.
- [0239] 도 28은, 본 기술의 제4 실시형태에 있어서의 리셋 레벨 및 신호 레벨의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- [0240] 제n 행을 판독하는 타이밍(T20 내지 T26)의 기간에서, 수직 주사 회로(211)는, FD 리셋 신호(rst)를 하이 레벨로 한다.

- [0241] 또한, 타이밍(T20)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 하이 레벨의 후단 리셋 신호(rstb)를 제n 행에 공급한다. 그리고, 타이밍(T20) 직후의 타이밍(T21)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 하이 레벨의 선택 신호(Φ_r)를 제n 행에 공급한다. 이 제어 직후에, 4화소에서 공통으로 사용되는 리셋 레벨이 수직 신호선(309)을 통해 판독된다.
- [0242] 그리고, 리셋 레벨의 판독 후의 타이밍(T22)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 하이 레벨의 선택 신호(Φ_{s1})를 제n 행에 공급한다. 이 제어 직후에, 첫번째 화소의 신호 레벨(Vsig1)이 수직 신호선(309)을 통해 판독된다. 컬럼 신호 처리 회로(260)는, CDS 처리에 의해, 리셋 레벨(Vrst)과 신호 레벨(Vsig1)의 차분을 첫번째 화소의 정미(net)의 신호 레벨로서 구한다.
- [0243] 그리고, 신호 레벨(Vsig1)의 판독 후의 타이밍(T23)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 하이 레벨의 선택 신호(Φ_{s2})를 제n 행에 공급한다. 이 제어 직후에, Vsig2가 수직 신호선(309)을 통해 판독된다. 이 Vsig2는, 첫번째 및 2번째의 화소의 각각의 신호 레벨의 합에 해당한다. 컬럼 신호 처리 회로(260)는, Vsig1과 Vsig2의 차분을 2번째의 화소의 CDS 처리 후의 신호 레벨로서 구한다.
- [0244] 그리고, Vsig2의 판독 후의 타이밍(T24)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 하이 레벨의 선택 신호(Φ_{s3})를 제n 행에 공급한다. 이 제어 직후에, Vsig3이 수직 신호선(309)을 통해 판독된다. 이 Vsig3은, 첫번째부터 3번째까지의 화소의 각각의 신호 레벨의 합에 해당한다. 컬럼 신호 처리 회로(260)는, Vsig2와 Vsig3의 차분을 3번째의 화소의 CDS 처리 후의 신호 레벨로서 구한다.
- [0245] 그리고, Vsig3의 판독 후의 타이밍(T25)에서 수직 주사 회로(211)는, 펄스 기간에 걸쳐서 하이 레벨의 선택 신호(Φ_{s4})를 제n 행에 공급한다. 이 제어 직후에, Vsig4가 수직 신호선(309)을 통해 판독된다. 이 Vsig4는, 첫번째부터 4번째까지의 화소의 각각의 신호 레벨의 합에 해당한다. 컬럼 신호 처리 회로(260)는, Vsig3과 Vsig4의 차분을 4번째의 화소의 CDS 처리 후의 신호 레벨로서 구한다.
- [0246] 한편, 제4 실시형태에, 제1 실시형태의 제3 변형예를 적용할 수도 있다.
- [0247] 이와 같이 본 기술의 제4 실시형태에서는, 리셋 레벨을 보유하는 용량 소자(331)를 4화소에서 공유하기 때문에, 공유하지 않는 경우와 비교하여 화소의 미세화가 용이해진다.
- [0248] <5. 이동체에의 응용예>
- [0249] 본 개시에 따른 기술(본 기술)은 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시에 따른 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등 어느 종류의 이동체에 탑재되는 장치로서 실현되어도 된다.
- [0250] 도 29는 본 개시에 따른 기술이 적용될 수 있는 이동체 제어 시스템의 일례인 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.
- [0251] 차량 제어 시스템(12000)은 통신 네트워크(12001)를 거쳐 접속된 복수의 전자 제어 유닛을 구비한다. 도 29에 나타낸 예에서는, 차량 제어 시스템(12000)은 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040), 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로컴퓨터(12051), 음성 화상 출력부(12052), 및 차제 네트워크 I/F(Interface)(12053)가 도시되어 있다.
- [0252] 구동계 제어 유닛(12010)은 각종 프로그램에 따라 차량의 구동계에 관련하는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은, 내연기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구, 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.
- [0253] 보디계 제어 유닛(12020)은 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 보디계 제어 유닛(12020)은 키리스 엔트리(keyless entry) 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는 헤드 램프, 백 램프, 브레이크 램프, 깜빡이 또는 안개등 등의 각종 램프의 제어장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은 이들 전파 또는 신호의 입력을 수신하여, 차량의 도어록 장치, 파워 윈도우 장치, 램프 등을 제어한다.
- [0254] 차외 정보 검출 유닛(12030)은 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면,

차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 촬상부(12031)에 차 밖의 화상을 촬상시키고, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 기초하여, 사람, 차, 장애물, 표지 또는 노면 상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 된다.

[0255] 촬상부(12031)는 광을 수광하고, 그 광의 수광량에 따른 전기 신호를 출력하는 광 센서이다. 촬상부(12031)는, 전기 신호를 화상으로서 출력할 수도 있고, 측거의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은 가시광이어도 되고, 적외선 등의 비가시광이어도 된다.

[0256] 차내 정보 검출 유닛(12040)은, 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들면, 운전자를 촬상하는 카메라를 포함한다. 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 기초하여 운전자의 피로 정도 또는 집중 정도를 산출해도 되고, 운전자가 졸고 있지 않은지를 판별해도 된다.

[0257] 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 기초하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표값을 연산하여, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로컴퓨터(12051)는, 차량의 충돌 회피 또는 충격 완화, 차간거리에 기초하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 차선 이탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.

[0258] 또한, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량 주위의 정보에 기초하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함으로써, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0259] 또한, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 기초하여, 보디제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030)으로 검지한 선행차 또는 대향차의 위치에 따라 헤드 램프를 제어하여, 하이 빔을 로우 빔으로 전환하는 등의 눈부심 방지책을 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.

[0260] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력장치로 음성 및 화상 중 적어도 일방의 출력 신호를 송신한다. 도 29의 예에서는, 출력장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되고 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이 중 적어도 하나를 포함하고 있어도 된다.

[0261] 도 30은 촬상부(12031)의 설치 위치의 예를 나타내는 도면이다.

[0262] 도 30에서는, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104 및 12105)를 갖는다.

[0263] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노즈, 사이드 미러, 리어범퍼, 백 도어 및 차실내의 프런트 글래스의 상부 등의 위치에 설치된다. 프런트 노즈에 구비되는 촬상부(12101) 및 차실내의 프런트 글래스의 상부에 구비되는 촬상부(12105)는, 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는, 주로 차량(12100)의 측방의 화상을 취득한다. 리어범퍼 또는 백 도어에 구비되는 촬상부(12104)는, 주로 차량(12100)의 후방의 화상을 취득한다. 차실내의 프런트 글래스의 상부에 구비되는 촬상부(12105)는, 주로 선행 차량 또는 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.

[0264] 또한, 도 30에는 촬상부(12101 내지 12104)의 촬영 범위의 일례가 도시되어 있다. 촬상 범위(12111)는, 프런트 노즈에 설치된 촬상부(12101)의 촬상 범위를 나타낸다. 촬상 범위(12112, 12113)는, 각각의 사이드 미러에 설치된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는, 리어범퍼 또는 백 도어에 설치된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)로 촬상된 화상 데이터가 중첩됨으로써, 차량(12100)을 상방으로부터 본 부감 화상을 얻을 수 있다.

[0265] 촬상부(12101 내지 12104) 중 적어도 하나는 거리 정보를 취득하는 기능을 가지고 있어도 된다. 예를 들면, 촬상부(12101 내지 12104) 중 적어도 하나는 복수의 촬상 소자로 이루어지는 스테레오 카메라여도 되고, 위상차 검출용의 화소를 가지는 촬상 소자여도 된다.

- [0266] 예를 들면, 마이크로컴퓨터(12051)는, 활상부(12101 내지 12104)로부터 얻어지는 거리 정보를 기초로, 활상 범위(12111 내지 12114) 내에 있어서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함으로써, 특히 차량(12100)의 진행로 상에 있는 가장 가까운 입체물로, 차량(12100)과 대략 같은 방향으로 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로컴퓨터(12051)는, 선행차와의 사이에서 미리 확보해야 하는 차간거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함함)나 자동 가속 제어(추종 발진 제어도 포함함) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0267] 예를 들면, 마이크로컴퓨터(12051)는, 활상부(12101 내지 12104)로부터 얻어진 거리 정보를 바탕으로, 입체물에 관한 입체물 데이터를, 이륜차, 보통 차량, 대형차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로컴퓨터(12051)는, 차량(12100) 주변의 장애물을, 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로컴퓨터(12051)는, 각 장애물과의 충돌 위험도를 나타내는 충돌 리스크를 판단하여, 충돌 리스크가 설정값 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통해 드라이버에 경보를 출력하거나, 구동계 제어 유닛(12010)을 통해 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.
- [0268] 활상부(12101 내지 12104) 중 적어도 하나는, 적외선을 검출하는 적외선 카메라여도 된다. 예를 들면, 마이크로컴퓨터(12051)는, 활상부(12101 내지 12104)의 활상 화상 중에 보행자가 존재하는지 아닌지를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들면, 적외선 카메라로서의 활상부(12101 내지 12104)의 활상 화상에 있어서의 특징점을 추출하는 절차와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지 아닌지를 판별하는 절차에 의해 행해진다. 마이크로컴퓨터(12051)가, 활상부(12101 내지 12104)의 활상 화상 중에 보행자가 존재한다고 판정하여, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 원하는 위치에 표시하도록 표시부(12062)를 제어해도 된다.
- [0269] 이상, 본 개시에 관한 기술이 적용될 수 있는 차량 제어 시스템의 일 예에 대해 설명하였다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 활상부(12031)에 적용될 수 있다. 구체적으로는, 예를 들면, 도 1의 활상 장치(100)는, 활상부(12031)에 적용할 수 있다. 활상부(12031)에 본 개시에 관한 기술을 적용함으로써, kTC 노이즈를 저감하여, 보다 보기 쉬운 촬영 화상을 얻을 수 있기 때문에, 드라이버의 피로를 경감하는 것이 가능해진다.
- [0270] 한편, 상술한 실시형태는 본 기술을 구체화하기 위한 일 예를 나타낸 것이며, 실시형태에서의 사항과, 특허청구의 범위에 있어서의 발명 특정 사항은 각각 대응 관계를 가진다. 마찬가지로, 특허청구의 범위에 있어서의 발명 특정 사항과, 이것과 동일 명칭을 붙인 본 기술의 실시형태에서의 사항은 각각 대응 관계를 가진다. 단, 본 기술은 실시형태에 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위에서 실시형태에 다양한 변형을 실시함으로써 구체화할 수 있다.
- [0271] 한편, 본명세서에 기재된 효과는 어디까지나 예시이며, 한정되는 것이 아니고, 또한, 다른 효과가 있어도 된다.
- [0272] 한편, 본 기술은 이하와 같은 구성도 취할 수 있다.
- [0273] (1) 소정수의 용량 소자와,
- [0274] 소정의 리셋 레벨과 노광량에 따른 복수의 신호 레벨의 각각을 생성하여 서로 다른 상기 용량 소자에 보유시키는 전단 회로 블록과,
- [0275] 상기 소정수의 용량 소자 중 상기 리셋 레벨이 보유된 용량 소자를 소정의 후단 노드에 접속하는 제어와 상기 소정수의 용량 소자를 상기 후단 노드로부터 분리하는 제어와 상기 소정수의 용량 소자 중 상기 복수의 신호 레벨 중 어느 하나가 보유된 용량 소자를 상기 후단 노드에 접속하는 제어를 순서대로 행하는 선택부와,
- [0276] 상기 소정수의 용량 소자가 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와,
- [0277] 상기 후단 노드를 통해 상기 리셋 레벨과 상기 복수의 신호 레벨의 각각을 순서대로 판독하는 후단 회로
- [0278] 를 구비하는 고체 촬상 소자.

- [0279] (2) 상기 소정수의 용량 소자는, 제1 및 제2 용량 소자와 제3 및 제4 용량 소자를 포함하고,
- [0280] 상기 전단 회로 블록은,
- [0281] 제1 리셋 레벨과 제1 신호 레벨을 순서대로 생성하여 상기 제1 및 제2 용량 소자에 보유시키는 제1 전단 회로와,
- [0282] 제2 리셋 레벨과 제2 신호 레벨을 순서대로 생성하여 상기 제3 및 제4 용량 소자에 보유시키는 제2 전단 회로
- [0283] 를 구비하고,
- [0284] 상기 선택부는,
- [0285] 상기 제1 및 제2 용량 소자 중 어느 하나를 상기 후단 노드에 접속하는 제1 선택 회로와,
- [0286] 상기 제3 및 제4 용량 소자 중 어느 하나를 상기 후단 노드에 접속하는 제2 선택 회로를 구비하는,
- [0287] 상기 (1)에 기재된 고체 촬상 소자.
- [0288] (3) 상기 제1 전단 회로는,
- [0289] 제1 광전 변환 소자와,
- [0290] 상기 제1 광전 변환 소자로부터 제1 부유 확산층으로 전하를 전송하는 제1 전단 전송 트랜지스터와,
- [0291] 상기 제1 부유 확산층을 초기화하는 제1 리셋 트랜지스터와,
- [0292] 상기 제1 부유 확산층의 전압을 증폭하는 제1 전단 증폭 트랜지스터
- [0293] 를 구비하고,
- [0294] 상기 제2 전단 회로는,
- [0295] 제2 광전 변환 소자와,
- [0296] 상기 제2 광전 변환 소자로부터 제2 부유 확산층으로 전하를 전송하는 제2 전단 전송 트랜지스터와,
- [0297] 상기 제2 부유 확산층을 초기화하는 제2 리셋 트랜지스터와,
- [0298] 상기 제2 부유 확산층의 전압을 증폭하는 제2 전단 증폭 트랜지스터
- [0299] 를 구비하는,
- [0300] 상기 (2)에 기재된 고체 촬상 소자.
- [0301] (4) 상기 제1 전단 회로는, 제1 전단 노드에 접속된 제1 전류원 트랜지스터를 더 구비하고,
- [0302] 상기 제2 전단 회로는, 제2 전단 노드에 접속된 제2 전류원 트랜지스터를 더 구비하고,
- [0303] 상기 제1 전단 증폭 트랜지스터는, 상기 제1 부유 확산층의 전압을 증폭하여 상기 제1 전단 노드로 출력하고,
- [0304] 상기 제2 전단 증폭 트랜지스터는, 상기 제2 부유 확산층의 전압을 증폭하여 상기 제2 전단 노드로 출력하고,
- [0305] 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 제1 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제1 선택 회로에 접속되고,
- [0306] 상기 제3 및 제4 용량 소자의 각각의 일단은 상기 제2 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제2 선택 회로에 접속되는,
- [0307] 상기 (3)에 기재된 고체 촬상 소자.
- [0308] (5) 소정의 노광 시작 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 상기 전하를 전송하는 동시에 상기 제1 및 제2 리셋 트랜지스터가 상기 제1 및 제2 부유 확산층과 함께 상기 제1 및 제2 광전 변환 소자를 초기화하고,
- [0309] 소정의 노광 종료 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 상기 전하를 전송하는,

- [0310] 상기 (3) 또는 (4)에 기재된 고체 촬상 소자.
- [0311] (6) 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어와 상기 제3 및 제4 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와 상기 제3 및 제4 용량 소자의 타방을 상기 후단 노드에 접속하는 제어를 순서대로 행하는,
- [0312] 상기 (3) 내지 (5) 중 어느 하나에 기재된 고체 촬상 소자.
- [0313] (7) 상기 선택부는, 소정의 가산 모드에서 상기 제1 및 제2 용량 소자의 일방과 상기 제3 및 제4 용량 소자의 일방의 양쪽을 상기 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 타방과 상기 제3 및 제4 용량 소자의 타방의 양쪽을 상기 후단 노드에 접속하는 제어를 순서대로 행하는,
- [0314] 상기 (3) 내지 (6) 중 어느 하나에 기재된 고체 촬상 소자.
- [0315] (8) 상기 제1 전단 회로는, 소정의 제1 선택 신호에 따라 상기 제1 전단 증폭 트랜지스터에 의해 증폭된 전압을 소정의 전단 노드에 출력하는 제1 전단 선택 트랜지스터를 더 구비하고,
- [0316] 상기 제2 전단 회로는,
- [0317] 소정의 제2 선택 신호에 따라 상기 제2 전단 증폭 트랜지스터에 의해 증폭된 전압을 상기 전단 노드에 출력하는 제2 전단 선택 트랜지스터와,
- [0318] 상기 전단 노드에 접속된 전류원 트랜지스터
- [0319] 를 더 구비하고,
- [0320] 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제1 선택 회로에 접속되고,
- [0321] 상기 제3 및 제4 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 제2 선택 회로에 접속되는,
- [0322] 상기 (3)에 기재된 고체 촬상 소자.
- [0323] (9) 소정의 노광 종료의 타이밍 직전과 상기 노광 종료의 타이밍 후에 상기 제1 및 제2 전단 선택 트랜지스터는, 순서대로 닫힘 상태로 이행하고,
- [0324] 상기 제1 리셋 트랜지스터는, 상기 제1 전단 선택 트랜지스터가 상기 닫힘 상태일 때에 상기 제1 부유 확산층을 초기화하고,
- [0325] 상기 제2 리셋 트랜지스터는, 상기 제2 전단 선택 트랜지스터가 상기 닫힘 상태일 때에 상기 제2 부유 확산층을 초기화하고,
- [0326] 상기 노광 종료의 타이밍 직후에 상기 제1 및 제2 전단 선택 트랜지스터는, 순서대로 닫힘 상태로 이행하고,
- [0327] 상기 제1 및 제2 전단 전송 트랜지스터는, 소정의 노광 종료의 타이밍에서 상기 전하를 전송하는,
- [0328] 상기 (8)에 기재된 고체 촬상 소자.
- [0329] (10) 제1 후단 노드와 제2 후단 노드의 사이의 경로를 개폐하는 단락 트랜지스터를 더 구비하고,
- [0330] 상기 소정수의 용량은, 제1, 제2, 제3, 제4, 제5, 제6, 제7 및 제8 용량 소자를 포함하고,
- [0331] 상기 선택부는,
- [0332] 상기 제1 및 제2 용량 소자 중 어느 하나를 상기 제1 후단 노드에 접속하는 제1 선택 회로와,
- [0333] 상기 제3 및 제4 용량 소자 중 어느 하나를 상기 제1 후단 노드에 접속하는 제2 선택 회로와,
- [0334] 상기 제5 및 제6 용량 소자 중 어느 하나를 상기 제2 후단 노드에 접속하는 제3 선택 회로와,
- [0335] 상기 제7 및 제8 용량 소자 중 어느 하나를 상기 제2 후단 노드에 접속하는 제4 선택 회로
- [0336] 를 구비하는 상기 (1)에 기재된 고체 촬상 소자.
- [0337] (11) 소정의 비가산 모드에서 상기 단락 트랜지스터는, 열림 상태이며,

- [0338] 상기 비가산 모드에서 상기 선택부는, 상기 제1 및 제2 용량 소자의 각각을 순서대로 상기 제1 후단 노드에 접속하는 제어와 상기 제3 및 제4 용량 소자의 각각을 순서대로 상기 제1 후단 노드에 접속하는 제어와 상기 제5 및 제6 용량 소자의 각각을 순서대로 상기 제2 후단 노드에 접속하는 제어와 상기 제7 및 제8 용량 소자의 각각을 순서대로 상기 제2 후단 노드에 접속하는 제어를 소정의 순서로 행하는,
- [0339] 상기 (10)에 기재된 고체 촬상 소자.
- [0340] (12) 소정의 가산 모드에서 상기 단락 트랜지스터는, 단핍 상태이며,
- [0341] 상기 가산 모드에서 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방과 상기 제3 및 제4 용량 소자의 일방을 상기 제1 후단 노드에 접속하면서 상기 제5 및 제6 용량 소자의 일방과 상기 제7 및 제8 용량 소자의 일방을 상기 제2 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 타방과 상기 제3 및 제4 용량 소자의 타방을 상기 제1 후단 노드에 접속하면서 상기 5 및 제6 용량 소자의 타방과 상기 제7 및 제8 용량 소자의 타방을 상기 제2 후단 노드에 접속하는 제어를 순서대로 행하는,
- [0342] 상기 (10) 또는 (11)에 기재된 고체 촬상 소자.
- [0343] (13) 상기 소정수의 용량 소자는, 제1 및 제2 용량 소자와 제3 용량을 포함하고,
- [0344] 상기 전단 회로 블록은,
- [0345] 제1 광전 변환 소자와,
- [0346] 상기 제1 광전 변환 소자로부터 소정의 부유 확산층으로 전하를 전송하는 제1 전단 전송 트랜지스터와,
- [0347] 제2 광전 변환 소자와,
- [0348] 상기 제2 광전 변환 소자로부터 소정의 부유 확산층으로 전하를 전송하는 제2 전단 전송 트랜지스터와,
- [0349] 상기 부유 확산층을 초기화하는 리셋 트랜지스터와,
- [0350] 상기 부유 확산층의 전압을 증폭하여 소정의 전단 노드로 출력하는 전단 증폭 트랜지스터
- [0351] 를 구비하고,
- [0352] 상기 제1 및 제2 용량 소자와 상기 제3 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택부에 접속되는,
- [0353] 상기 (1)에 기재된 고체 촬상 소자.
- [0354] (14) 소정의 노광 시작 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송하는 동시에 상기 리셋 트랜지스터가 상기 부유 확산층과 함께 상기 제1 및 제2 광전 변환 소자를 초기화하고,
- [0355] 소정의 노광 종료 타이밍에서 상기 제1 및 제2 전단 전송 트랜지스터가 상기 제1 및 제2 부유 확산층으로 순서대로 상기 전하를 전송하는,
- [0356] 상기 (13)에 기재된 고체 촬상 소자.
- [0357] (15) 상기 선택부는, 상기 제1 및 제2 용량 소자의 일방을 상기 후단 노드에 접속하는 제어와 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어와 상기 제3 용량 소자를 상기 후단 노드에 접속하는 제어를 순서대로 행하는
- [0358] 상기 (13) 또는 (14)에 기재된 고체 촬상 소자.
- [0359] (16) 상기 전단 회로 블록은, 제1 칩에 설치되고,
- [0360] 상기 소정수의 용량 소자와 상기 선택부와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 제2 칩에 설치되는,
- [0361] 상기 (1) 내지 (15) 중 어느 하나에 기재된 고체 촬상 소자.
- [0362] (17) 상기 출력된 상기 리셋 레벨과 상기 복수의 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,
- [0363] 상기 아날로그 디지털 변환기는, 상기 제2 칩에 설치되는,

- [0364] 상기 (16)에 기재된 고체 촬상 소자.
- [0365] (18) 상기 출력된 상기 리셋 레벨과 상기 복수의 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,
- [0366] 상기 아날로그 디지털 변환기는, 제3 칩에 설치되는,
- [0367] 상기 (16) 또는 (17)에 기재된 고체 촬상 소자.
- [0368] (19) 소정수의 용량 소자와,
- [0369] 소정의 리셋 레벨과 노광량에 따른 복수의 신호 레벨의 각각을 생성하여 서로 다른 상기 용량 소자에 보유시키는 전단 회로 블록과,
- [0370] 상기 소정수의 용량 소자 중 상기 리셋 레벨이 보유된 용량 소자를 소정의 후단 노드에 접속하는 제어와 상기 소정수의 용량 소자를 상기 후단 노드로부터 분리하는 제어와 상기 소정수의 용량 소자 중 상기 복수의 신호 레벨 중 어느 하나가 보유된 용량 소자를 상기 후단 노드에 접속하는 제어를 순서대로 행하는 선택부와,
- [0371] 상기 소정수의 용량 소자가 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와,
- [0372] 상기 후단 노드를 통해 상기 리셋 레벨과 상기 복수의 신호 레벨의 각각을 순서대로 판독하는 후단 회로와,
- [0373] 상기 리셋 레벨과 상기 복수의 신호 레벨을 순서대로 디지털 신호로 변환하여 처리하는 신호 처리 회로
- [0374] 를 구비하는 촬상 장치.
- [0375] (20) 입사한 광을 전하로 변환하는 제1 광전 변환 소자와,
- [0376] 입사한 광을 전하로 변환하는 제2 광전 변환 소자와,
- [0377] 상기 전하를 전압으로 변환하는 전단 증폭 트랜지스터와,
- [0378] 상기 전단 증폭 트랜지스터의 출력치인 전단 노드에 각각의 일단이 접속된 소정수의 용량 소자와,
- [0379] 상기 소정수의 용량 소자의 각각의 타단과 소정의 후단 노드의 사이의 각각의 경로에 삽입된 소정수의 선택 트랜지스터와,
- [0380] 상기 후단 노드에 소스 또는 드레인이 접속된 리셋 트랜지스터와,
- [0381] 상기 후단 노드에 게이트가 접속되고, 화소 신호를 출력하는 후단 증폭 트랜지스터
- [0382] 를 구비하는 고체 촬상 소자.

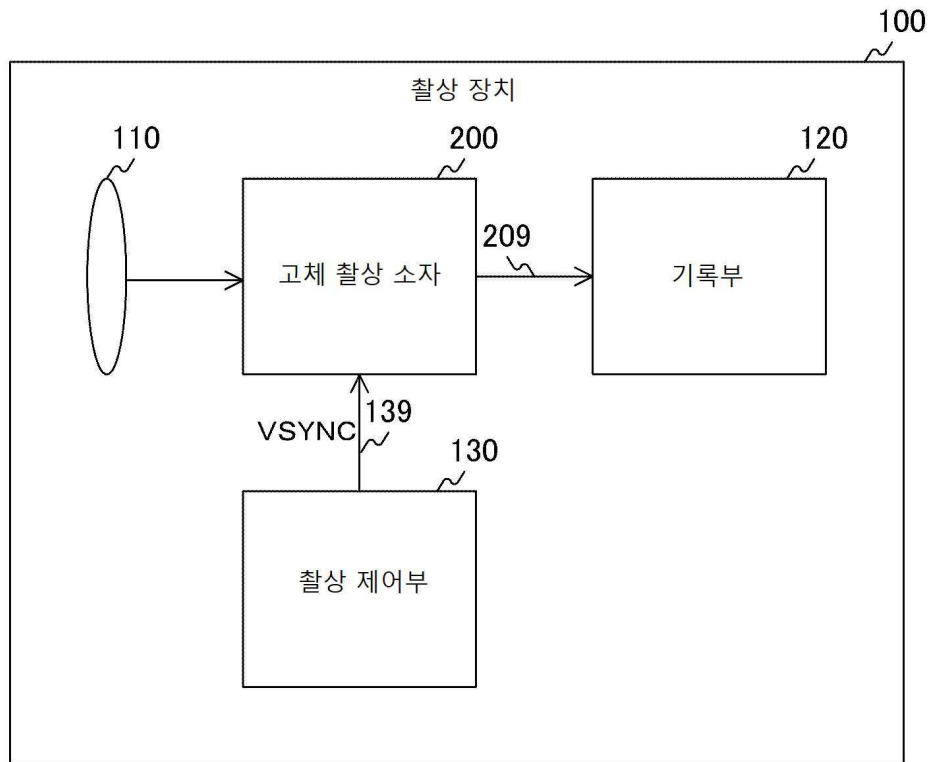
부호의 설명

- [0383] 100 ; 촬상 장치
- 110 ; 촬상 렌즈
- 120 ; 기록부
- 130 ; 촬상 제어부
- 200 ; 고체 촬상 소자
- 201 ; 상측 화소 칩
- 202 ; 하측 화소 칩
- 203 ; 회로 칩
- 211 ; 수직 주사 회로
- 212 ; 타이밍 제어 회로
- 213 ; DAC

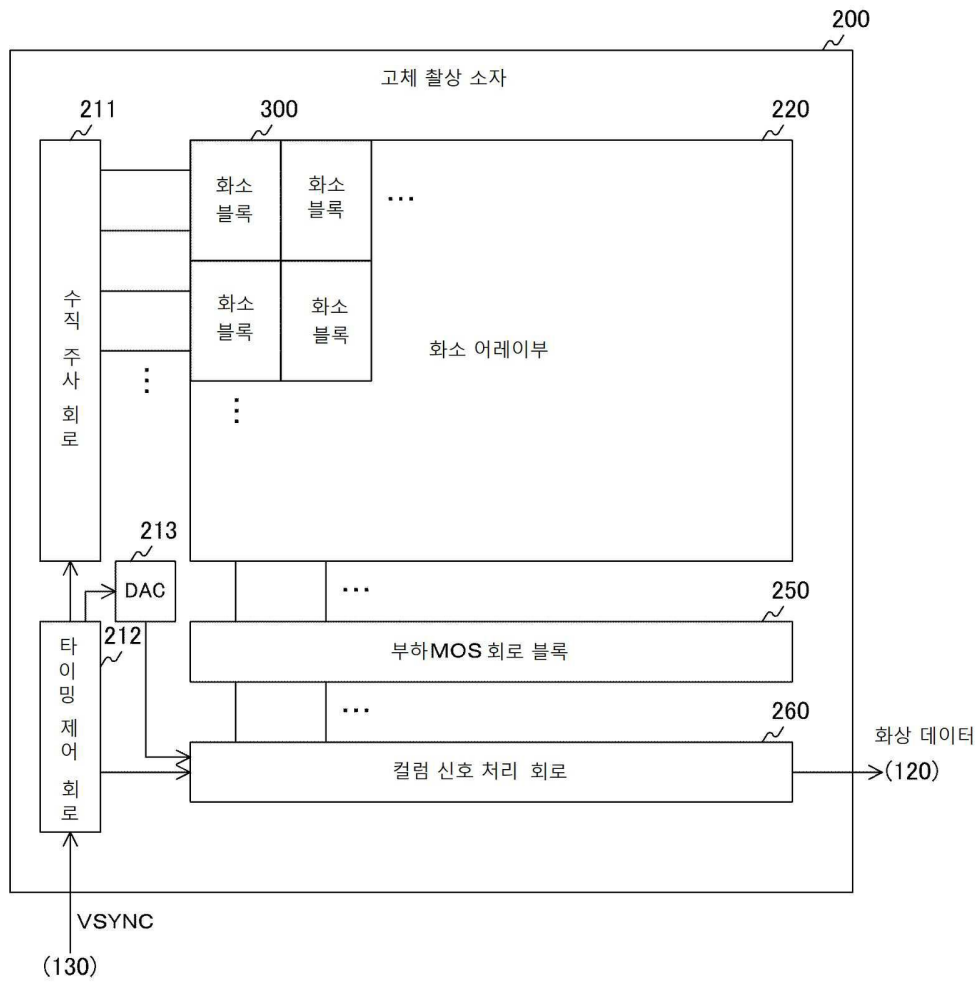
220 ; 화소 어레이부
 221 ; 상측 화소 어레이부
 222 ; 하측 화소 어레이부
 250 ; 부하 MOS 회로 블록
 251 ; 부하 MOS 트랜지스터
 260 ; 컬럼 신호 처리 회로
 261 ; ADC
 262 ; 디지털 신호 처리부
 300 ; 화소 블록
 301~304 ; 화소
 305 ; 전단 회로 블록
 310, 320, 410, 420 ; 전단 회로
 311, 321, 411, 421, 511~513 ; 광전 변환 소자
 312, 322, 412, 422, 514~516 ; 전송 트랜지스터
 313, 323, 413, 423 ; FD 리셋 트랜지스터
 314, 324, 414, 424 ; FD
 315, 325, 415, 425 ; 전단 증폭 트랜지스터
 316, 326, 416, 426 ; 전류원 트랜지스터
 317, 327 ; 전단 선택 트랜지스터
 331, 332, 336, 337, 431, 432, 436, 437, 531~533 ; 용량 소자
 340 ; 선택부
 350, 355, 450, 455 ; 선택 회로
 351, 352, 356, 357, 451, 452, 456, 457, 551~553 ; 선택 트랜지스터
 361, 461 ; 후단 리셋 트랜지스터
 370, 470 ; 후단 회로
 371, 471 ; 후단 증폭 트랜지스터
 372, 472 ; 후단 선택 트랜지스터
 480 ; 단락 트랜지스터
 12031 ; 촬상부

도면

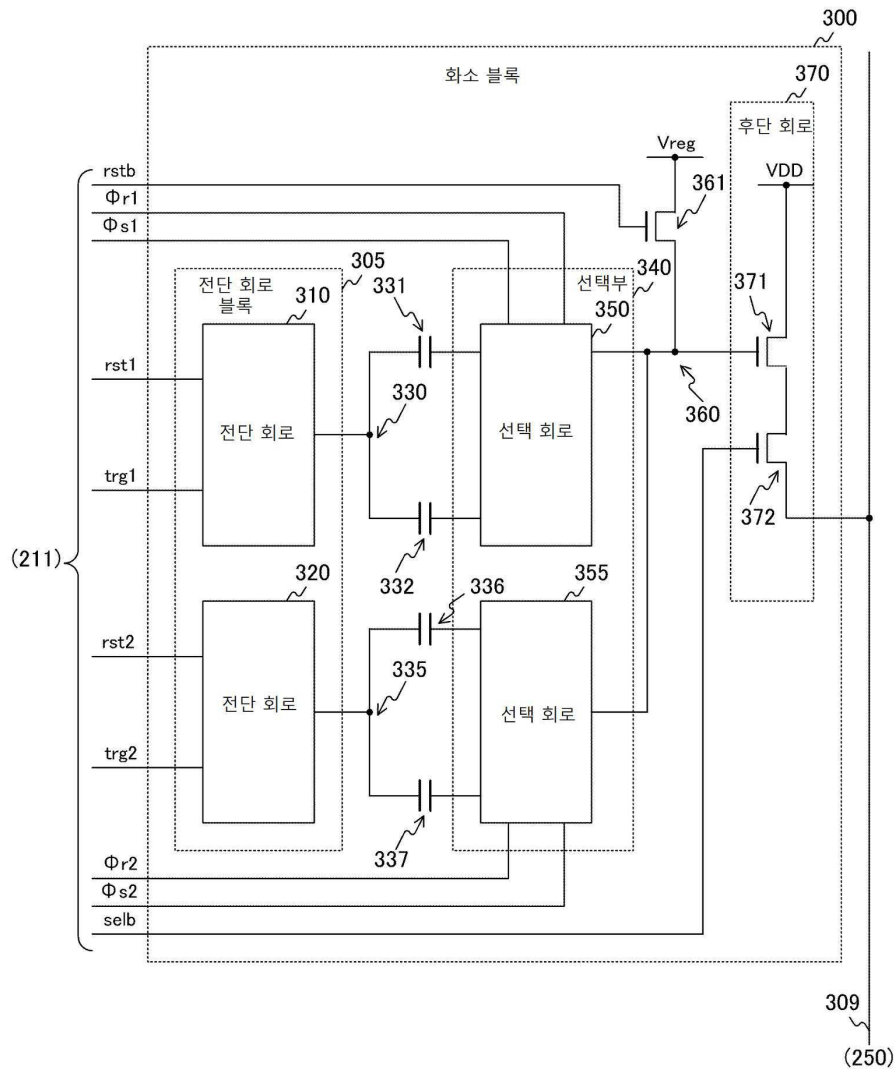
도면1



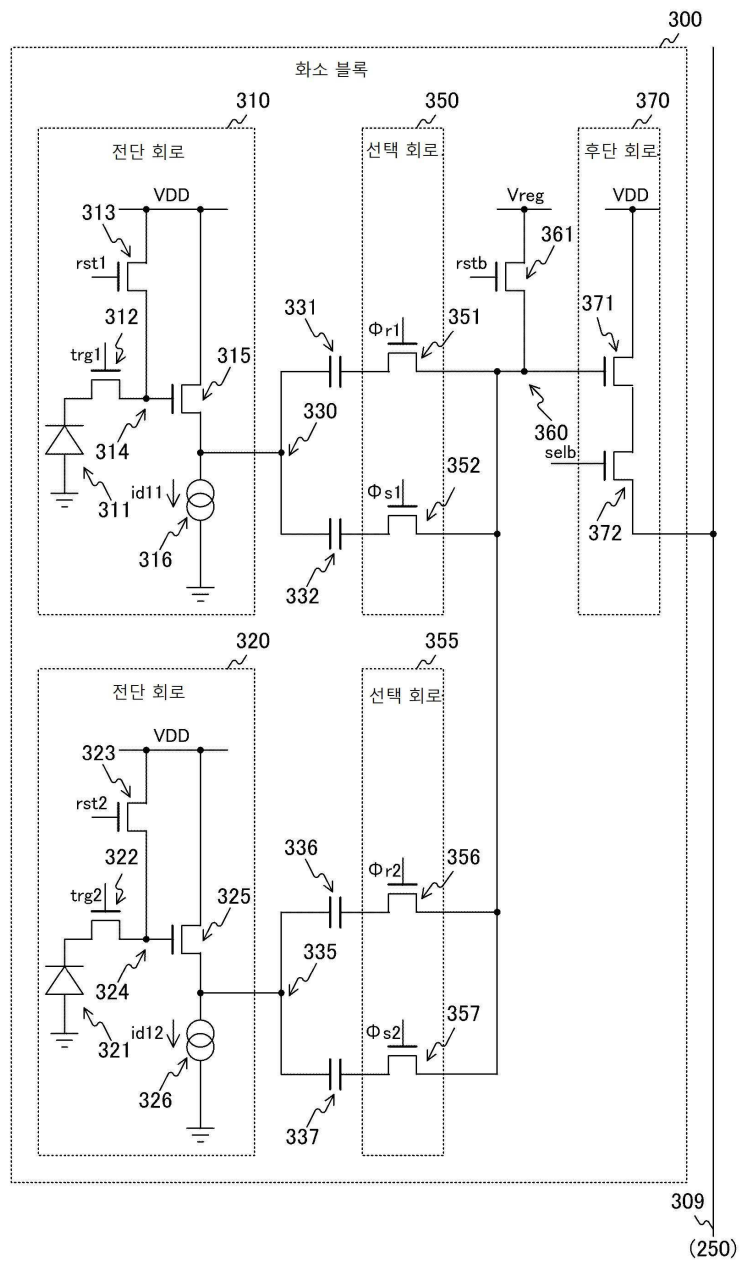
도면2



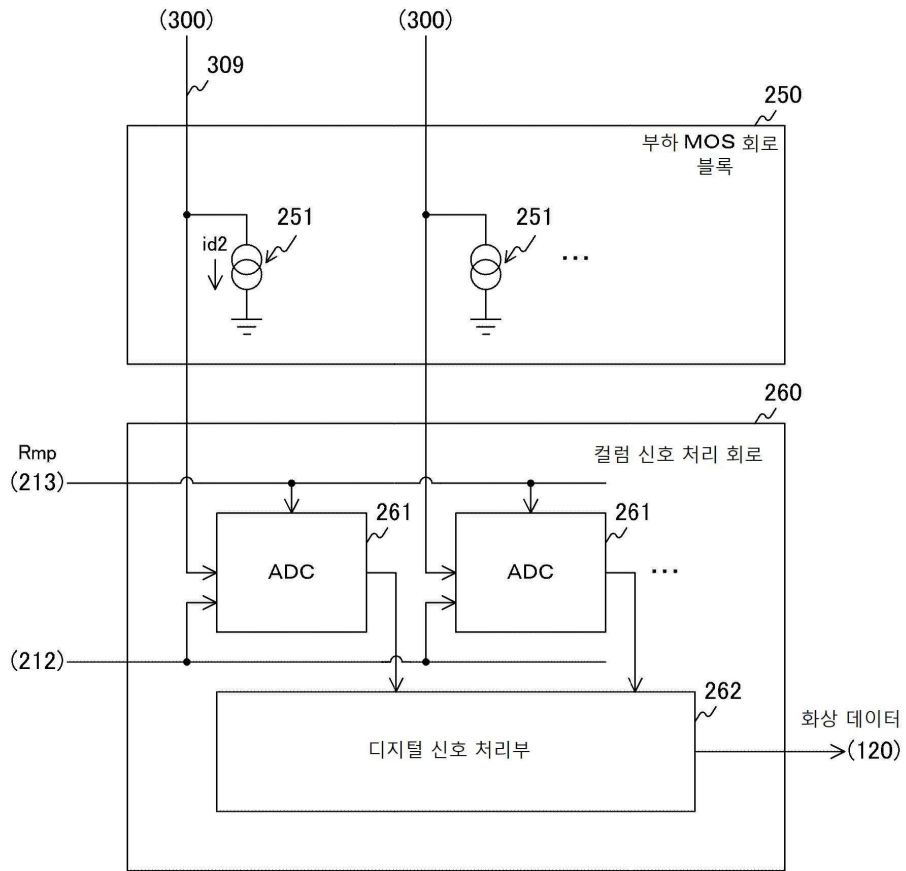
도면3



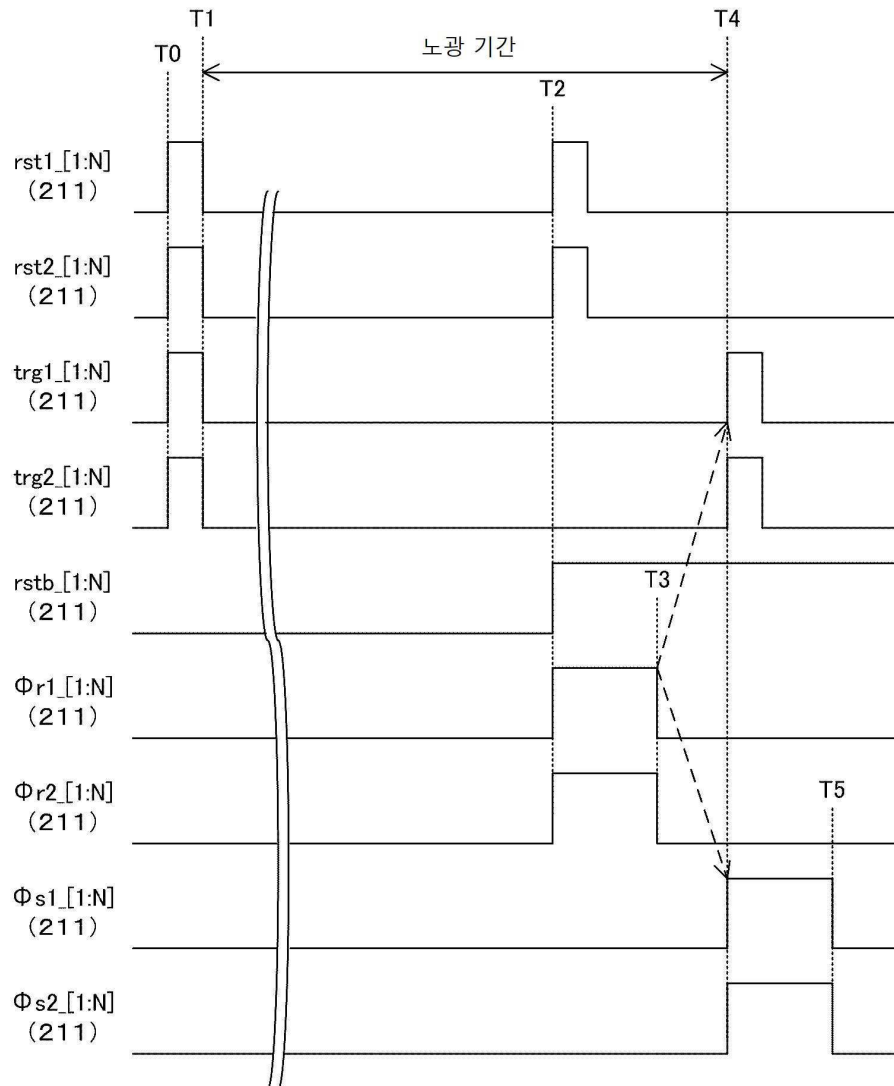
도면4



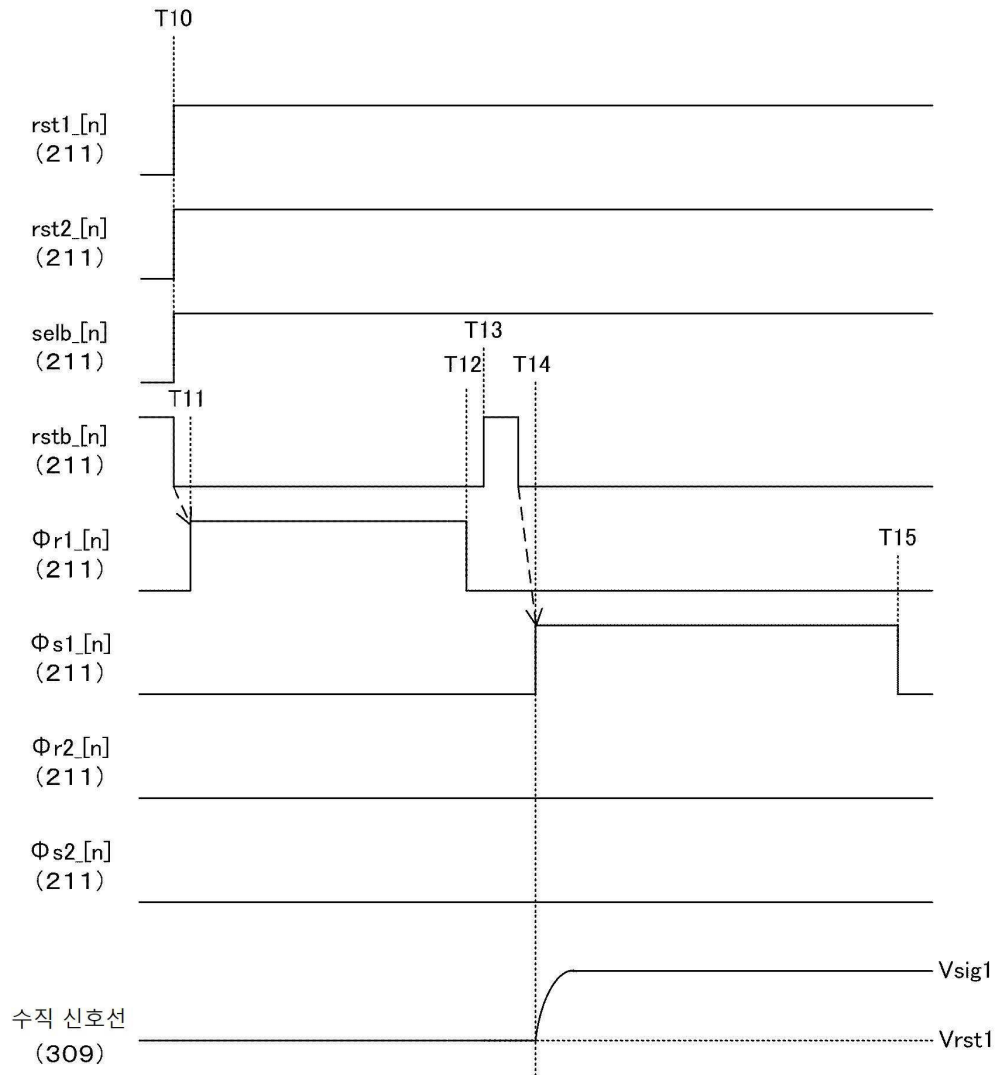
도면5



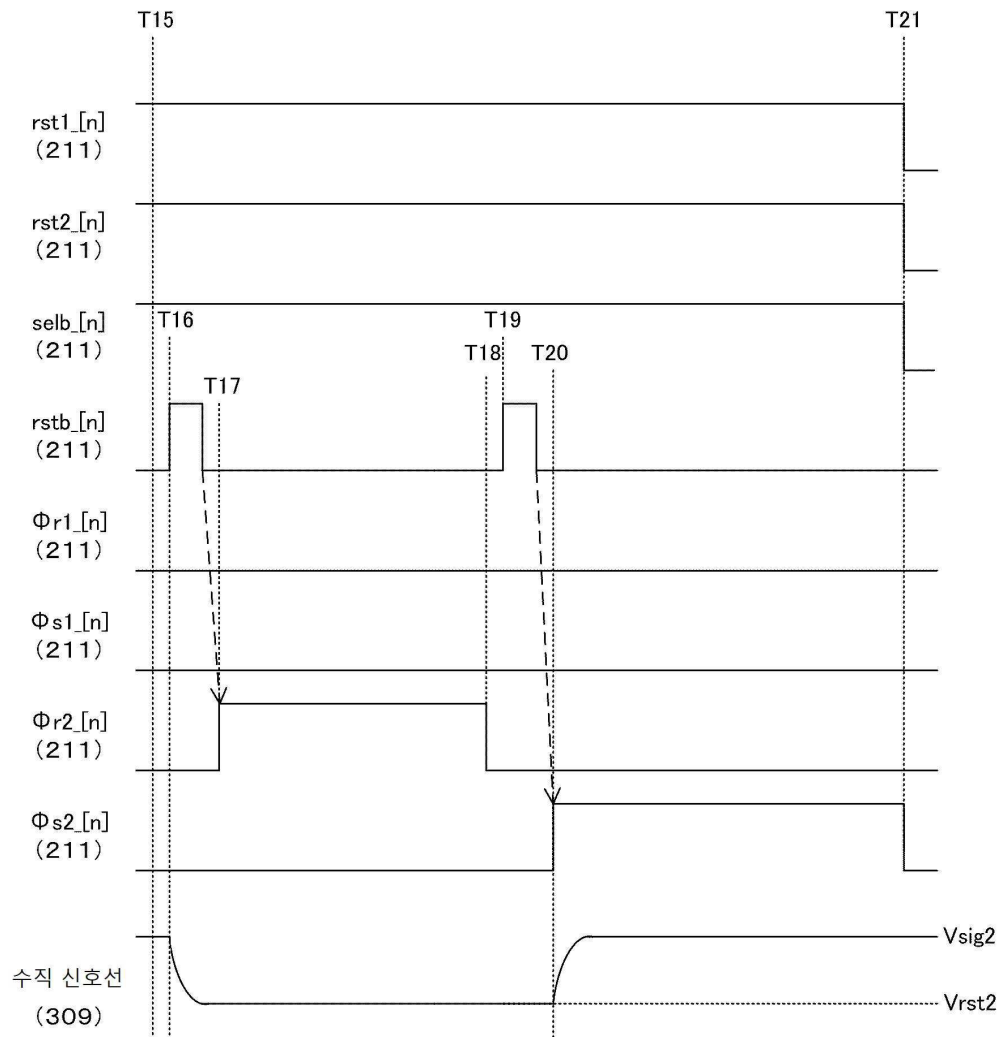
도면6



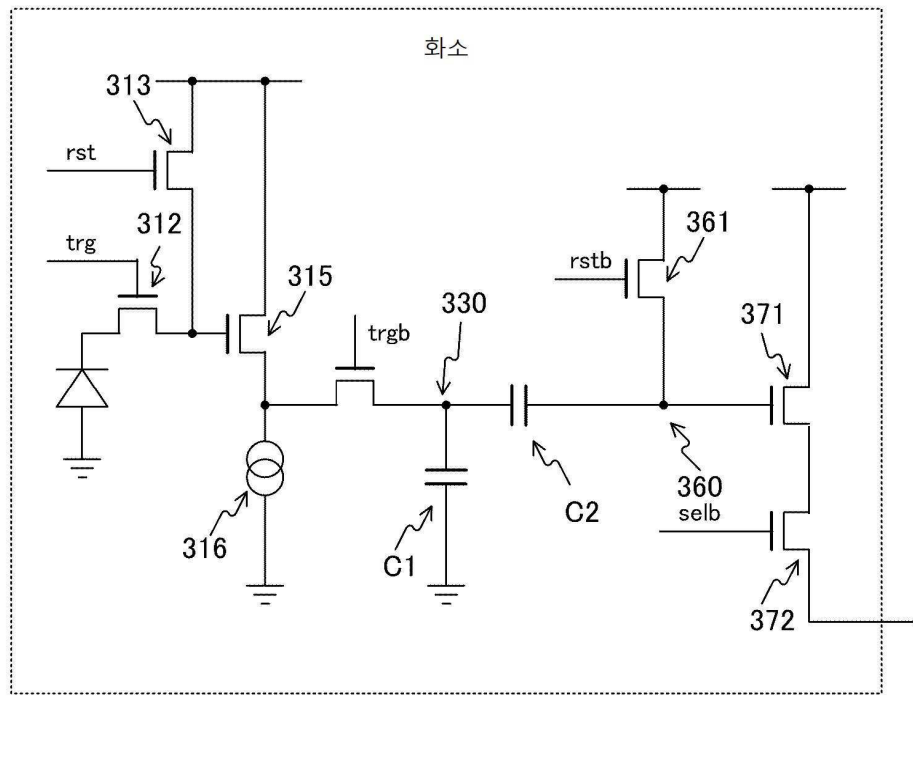
도면7



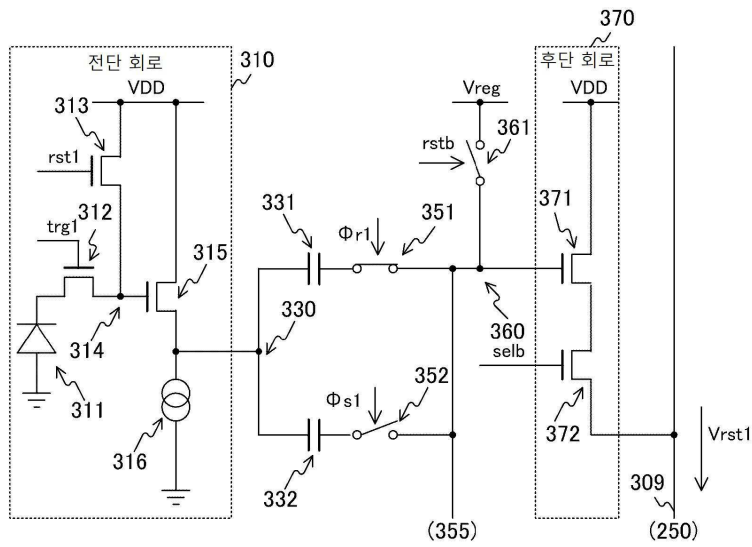
도면8



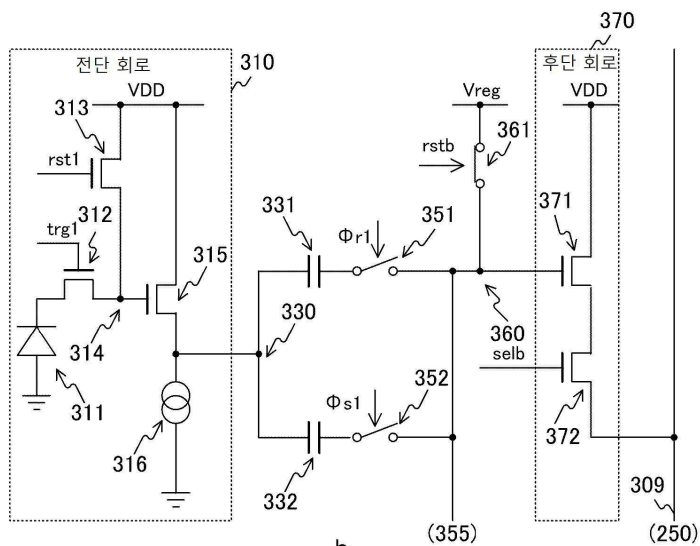
도면9



도면10

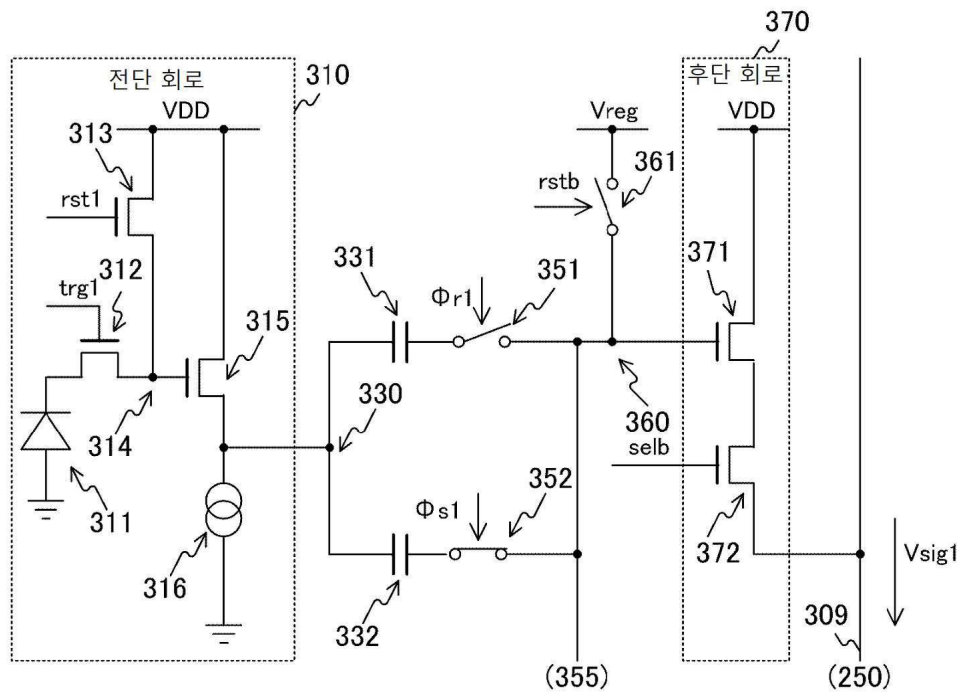


a

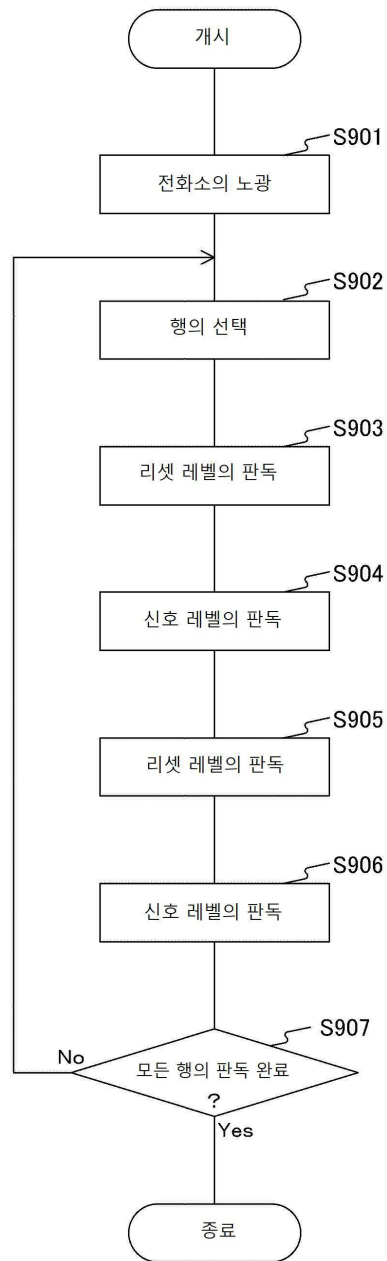


b

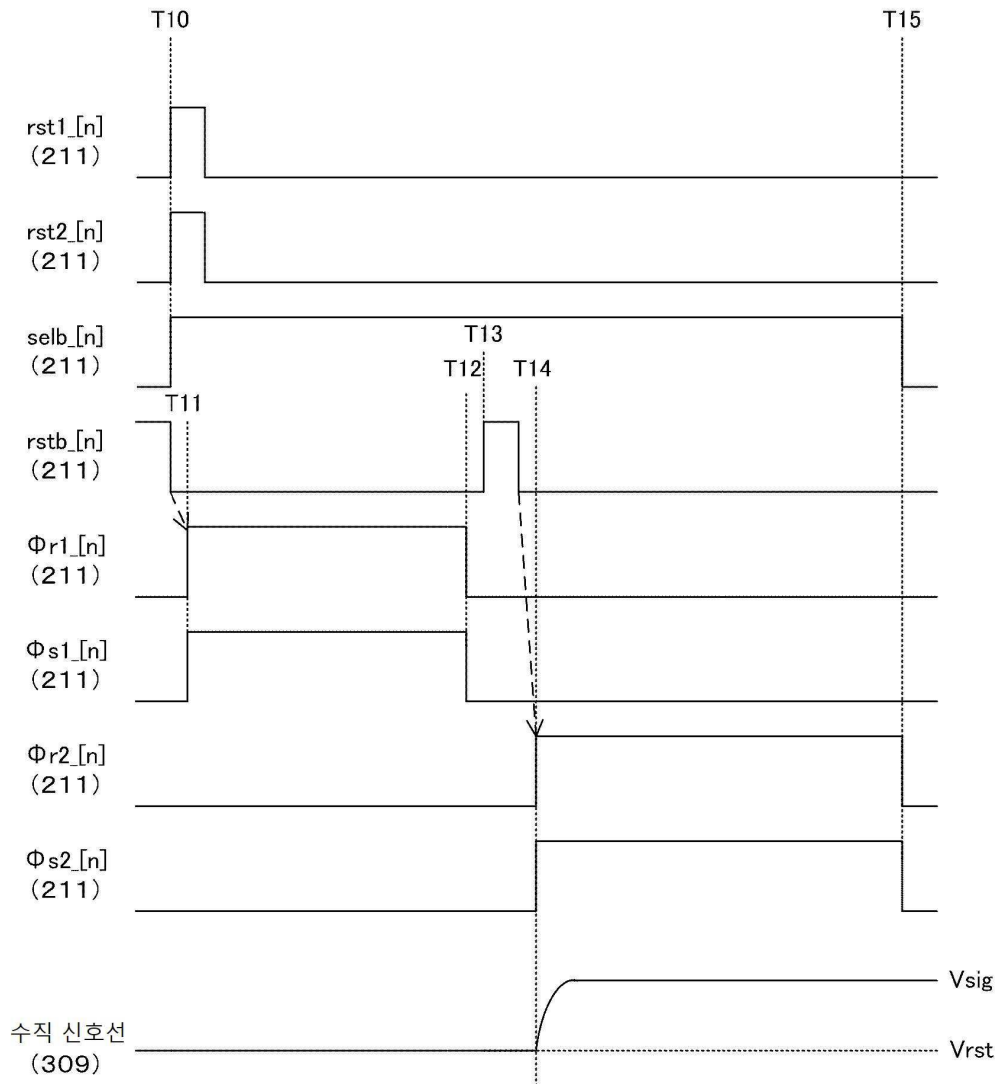
도면11



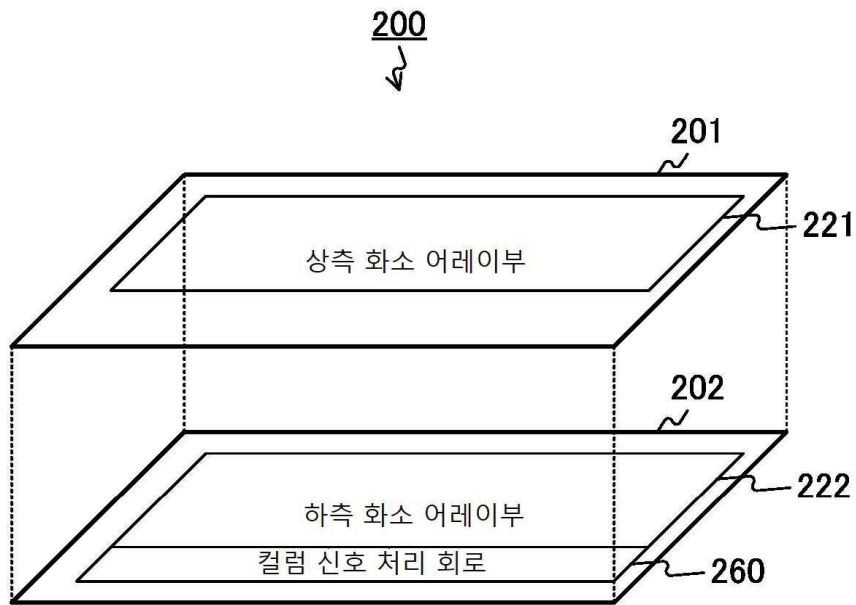
도면12



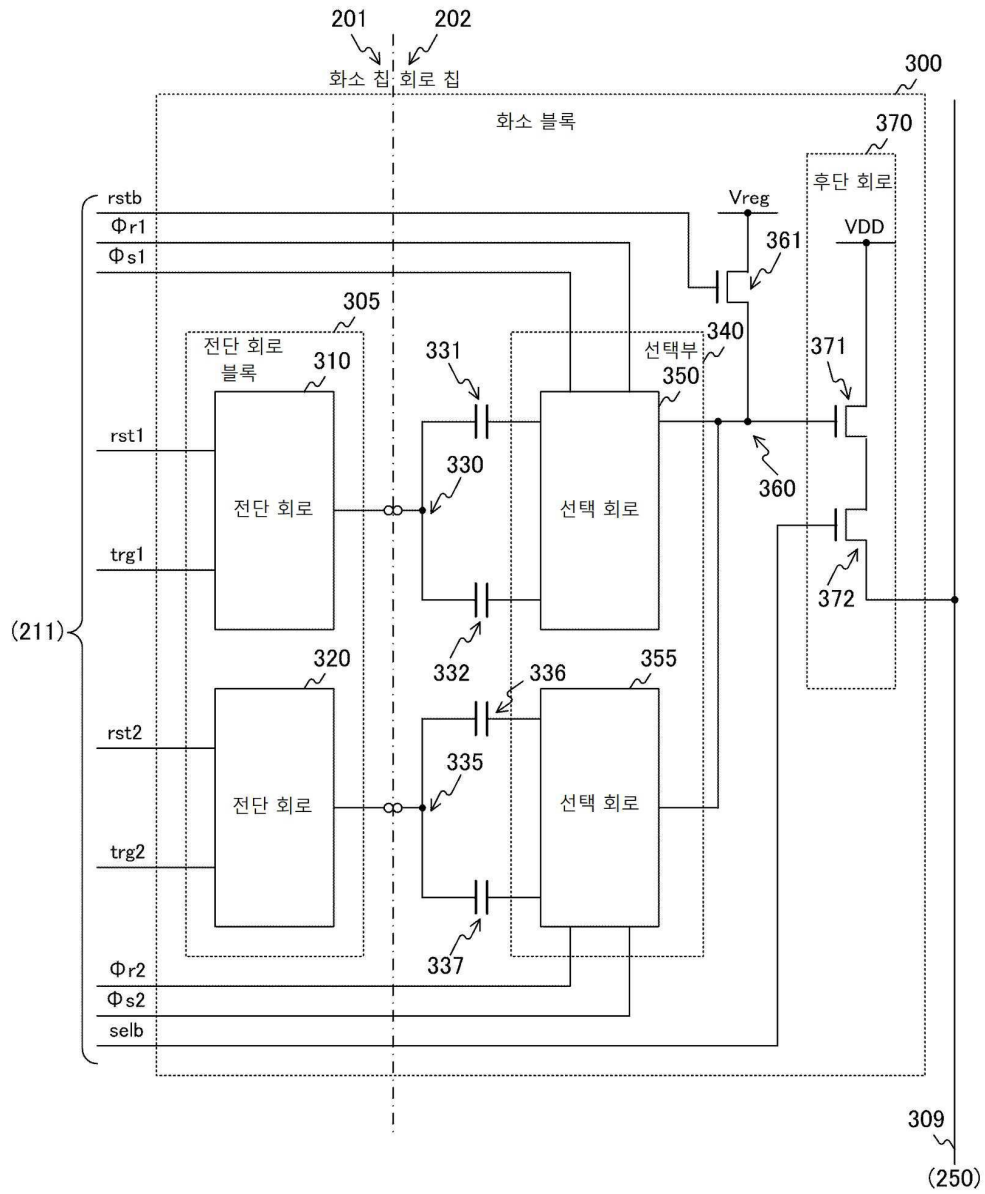
도면13



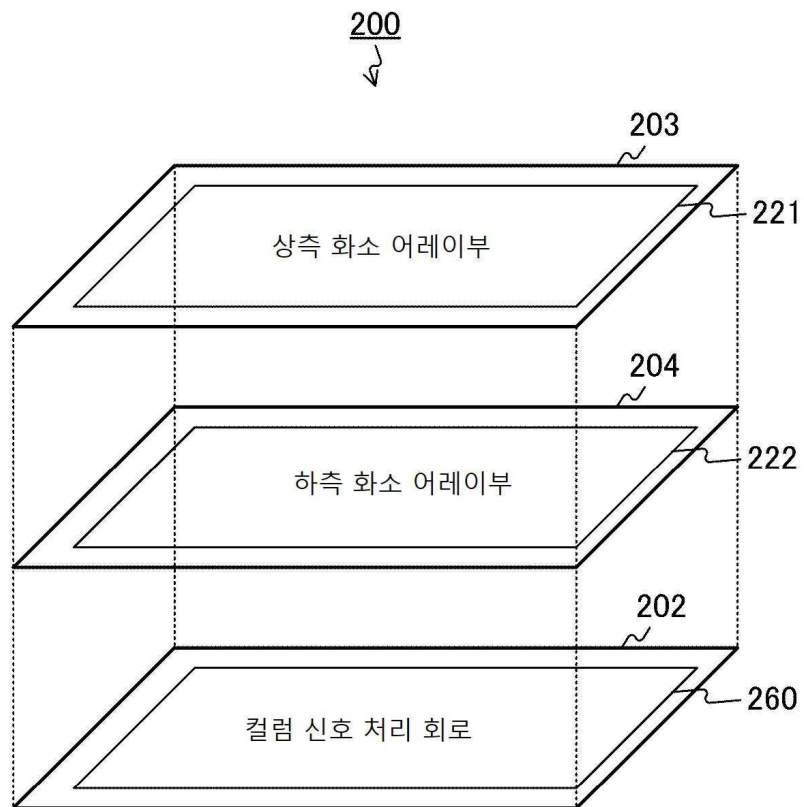
도면14



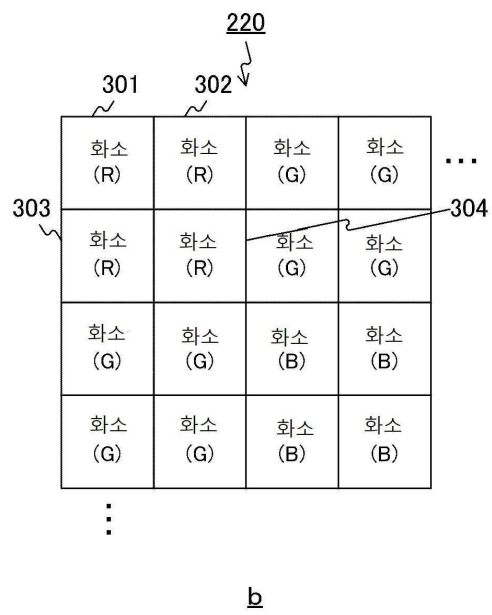
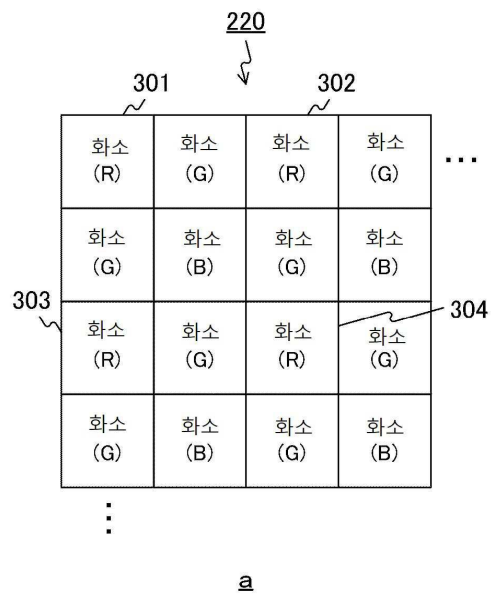
도면15



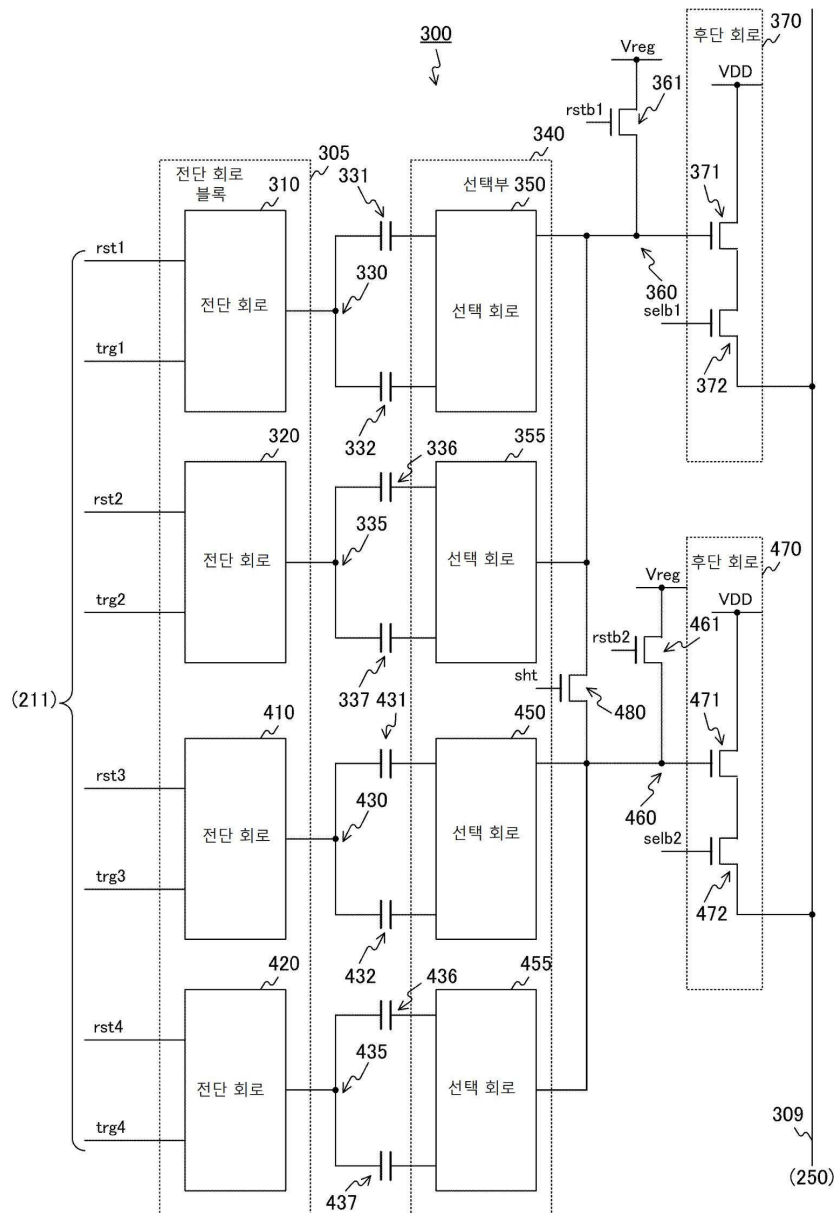
도면16



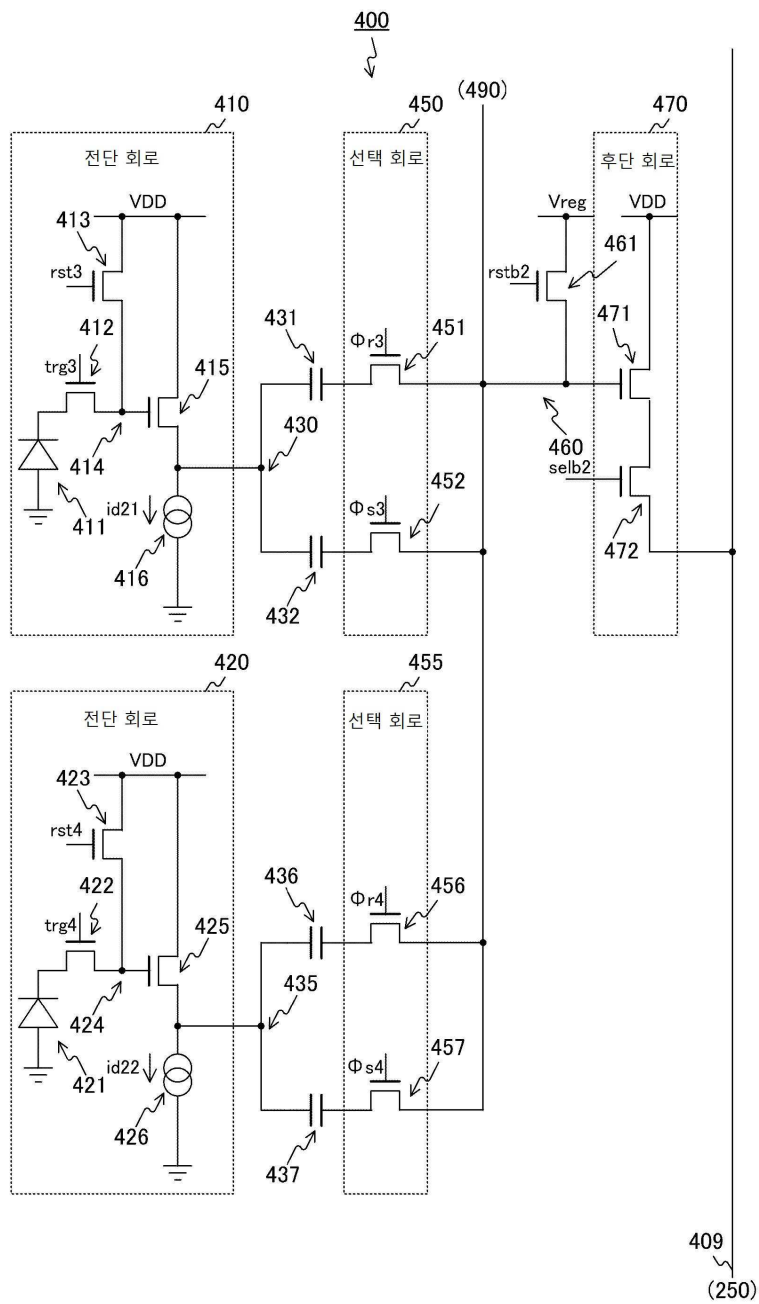
도면17



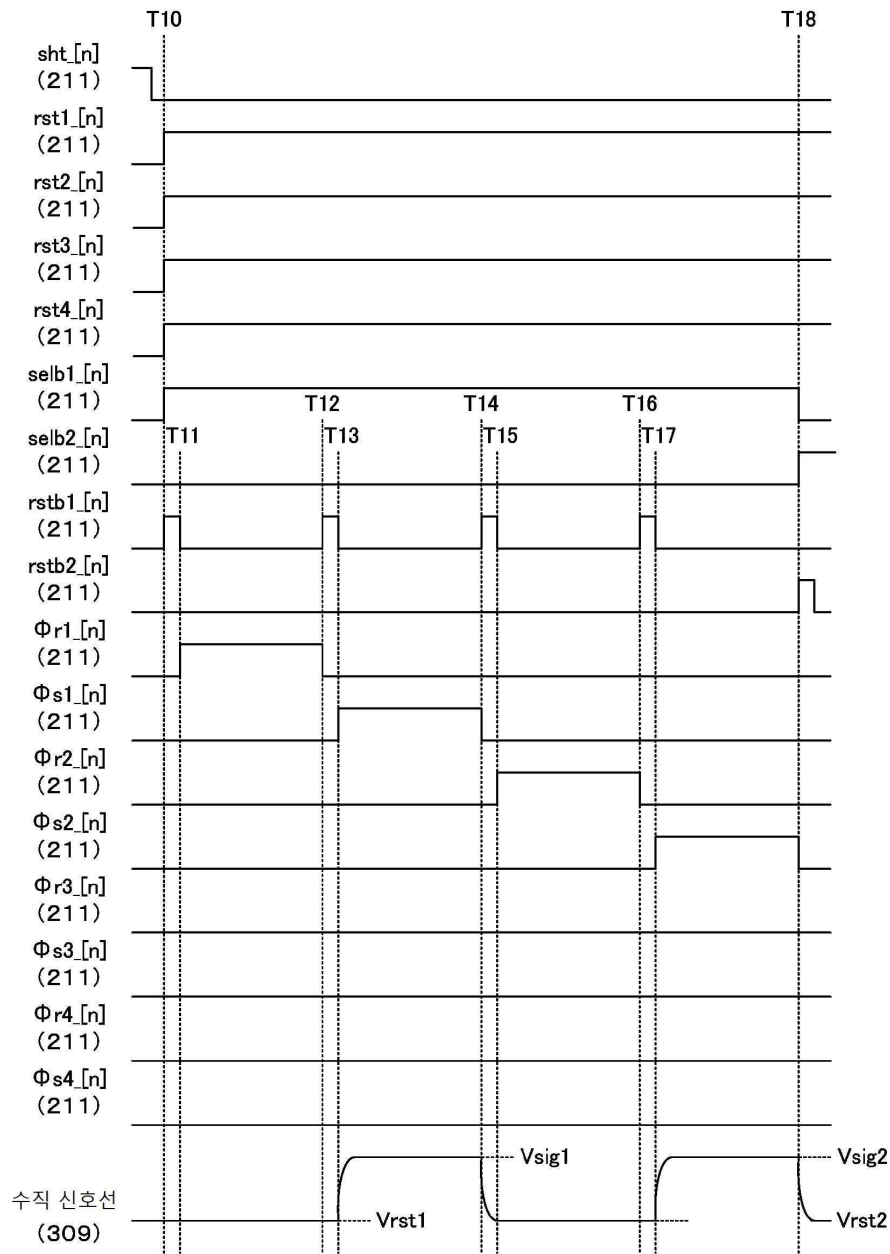
도면 18



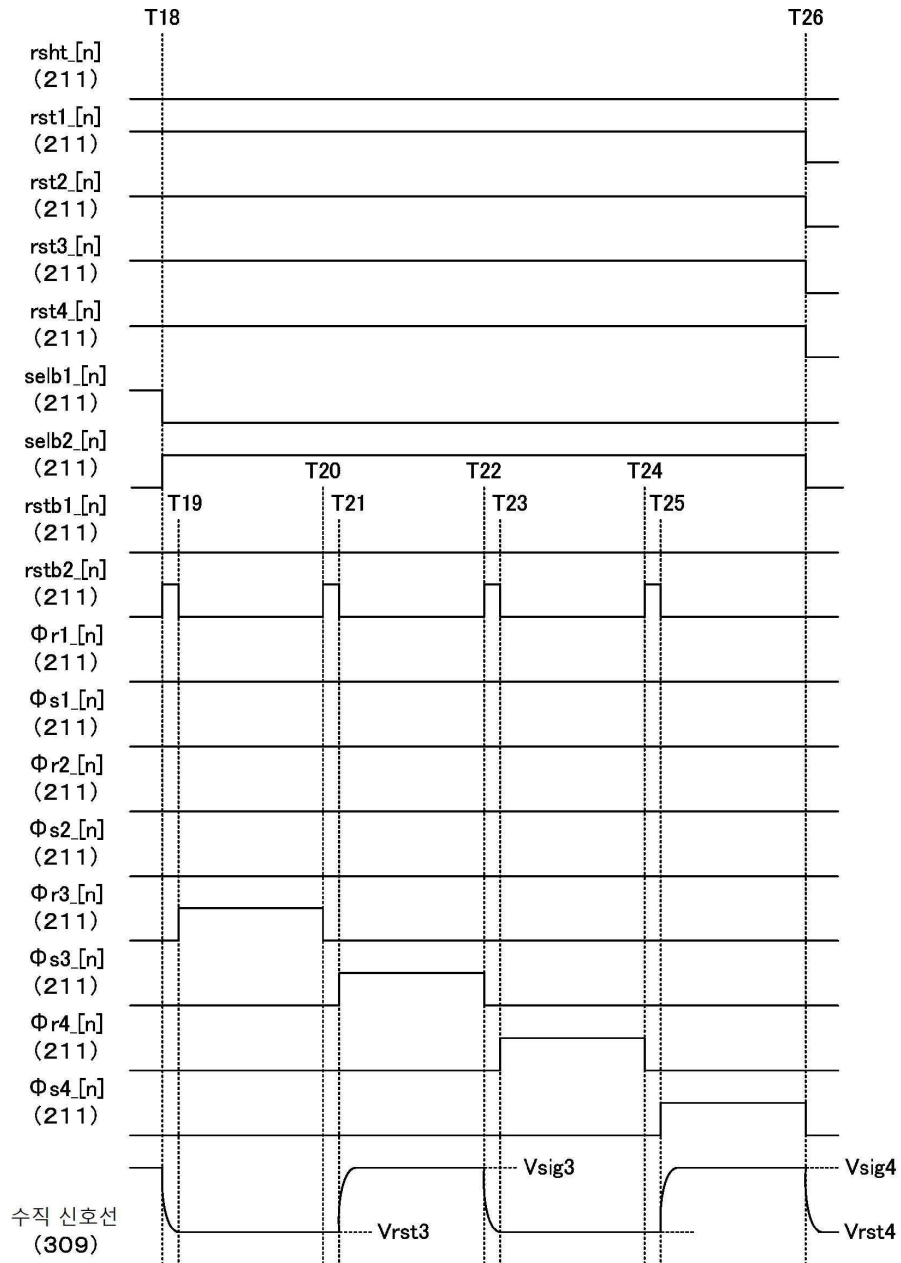
도면 19



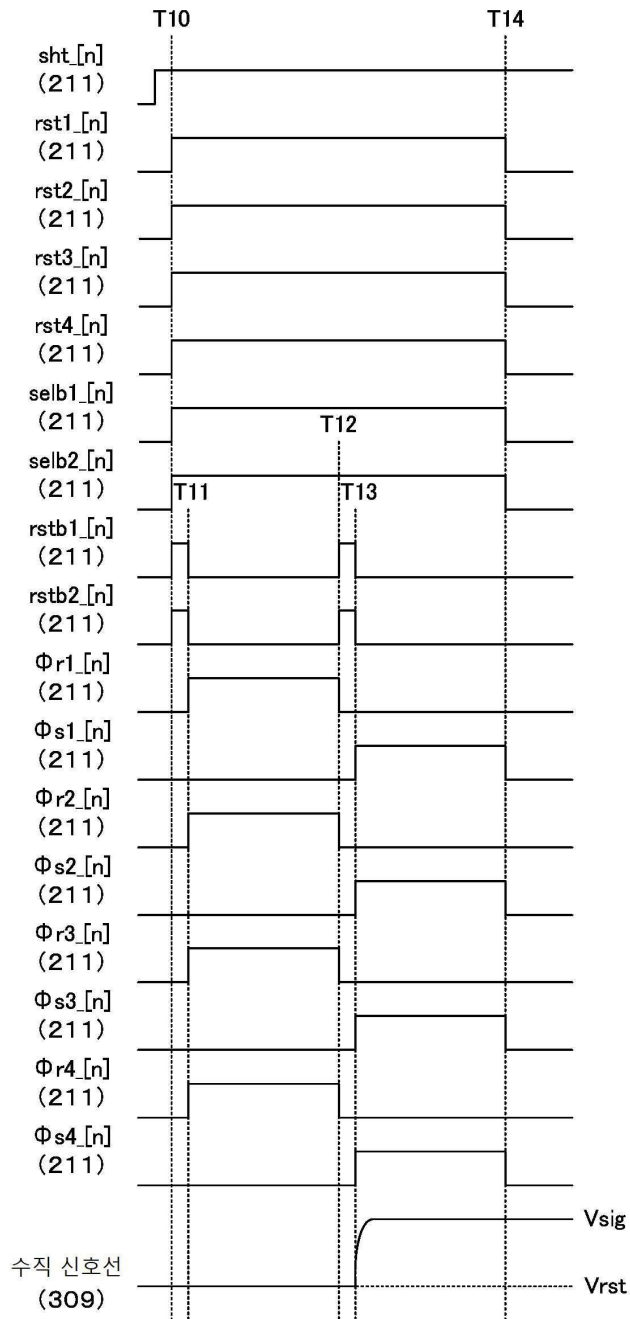
도면20



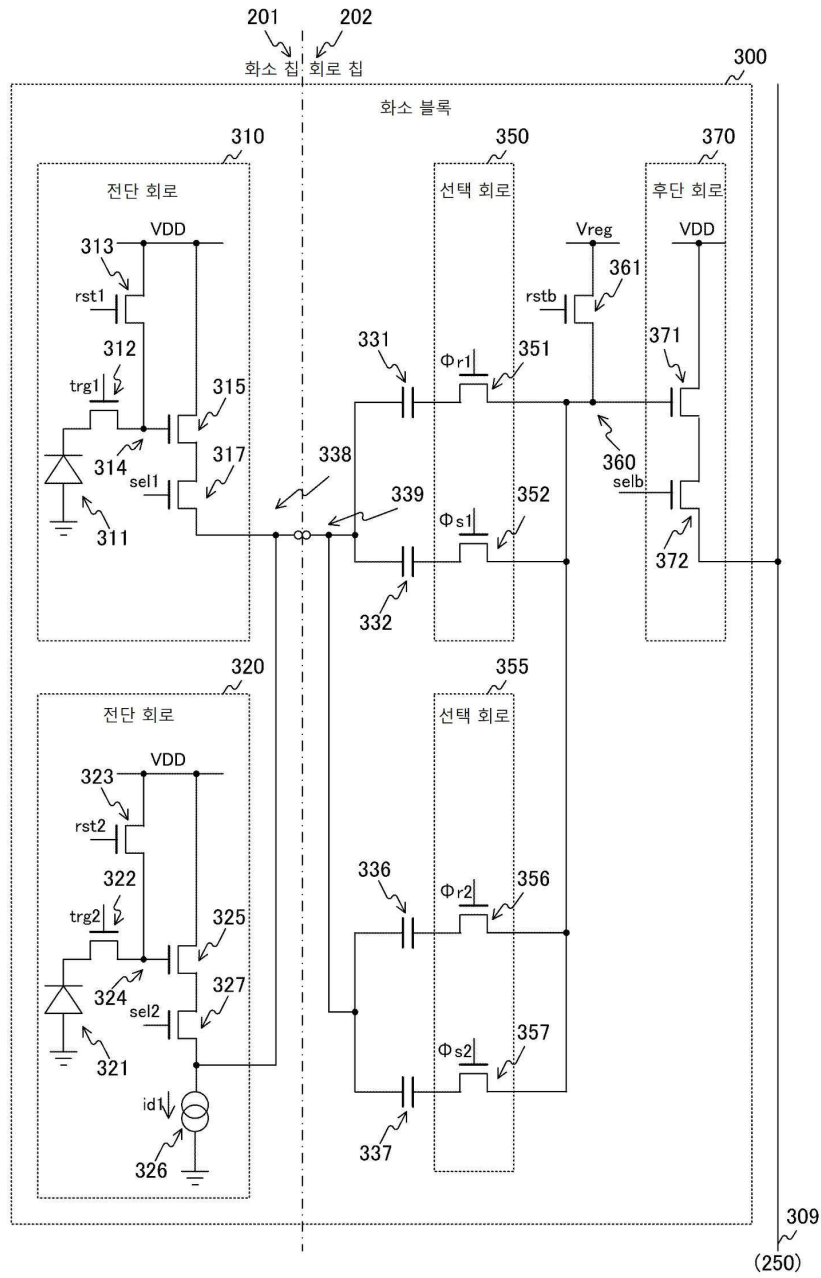
도면21



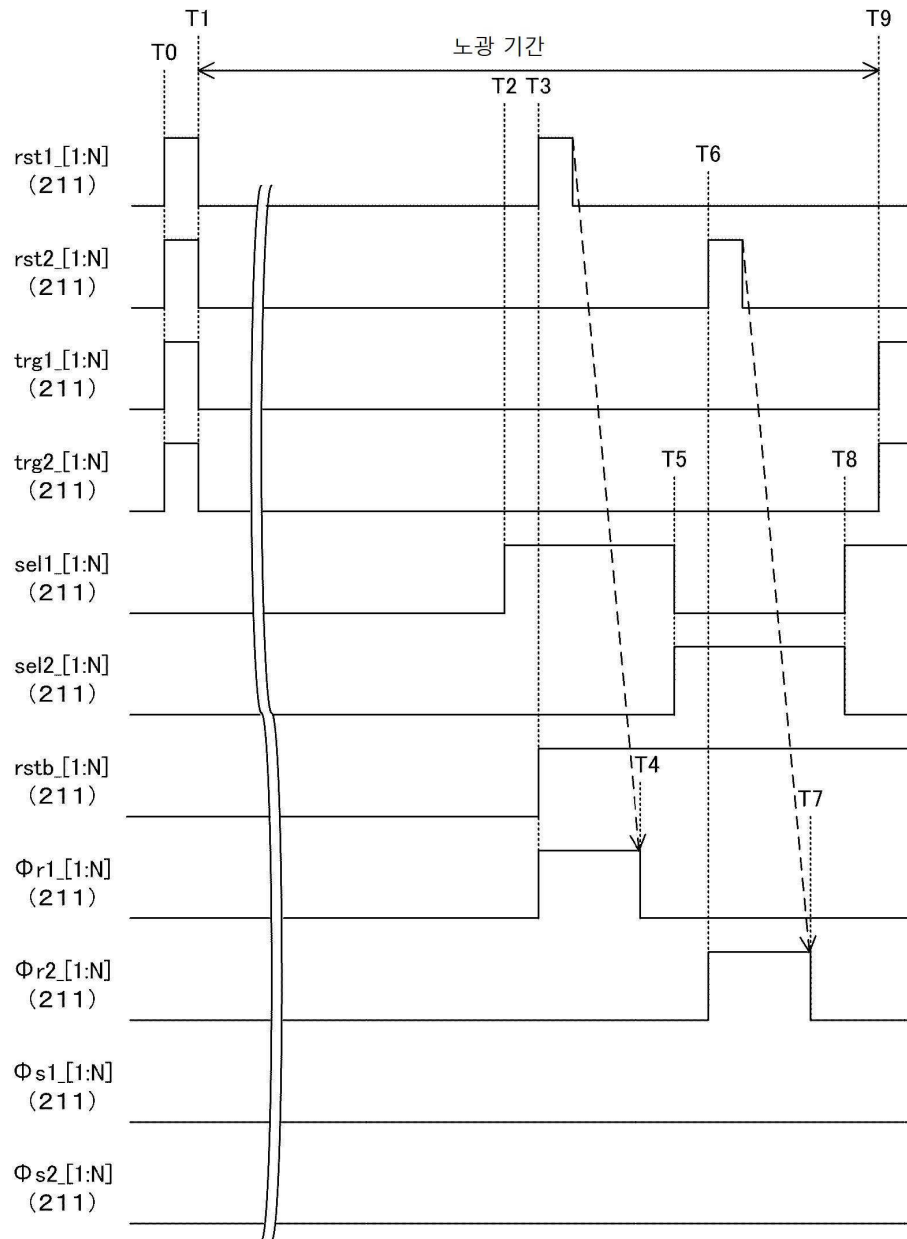
도면22



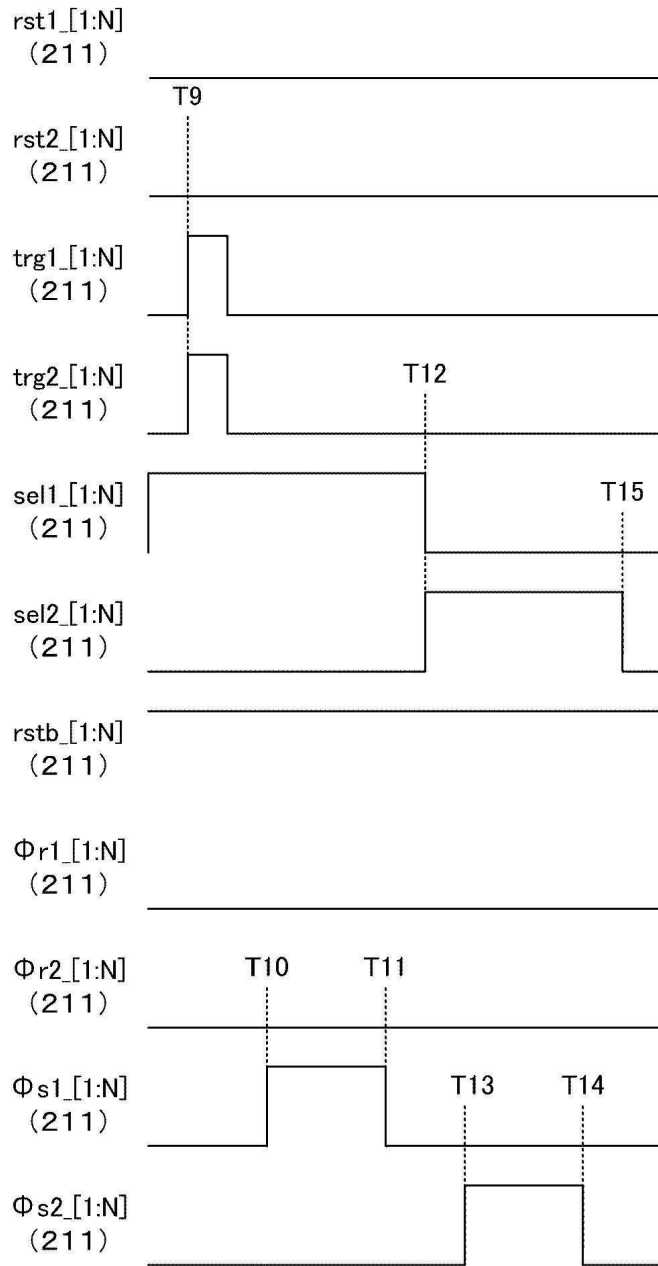
도면23



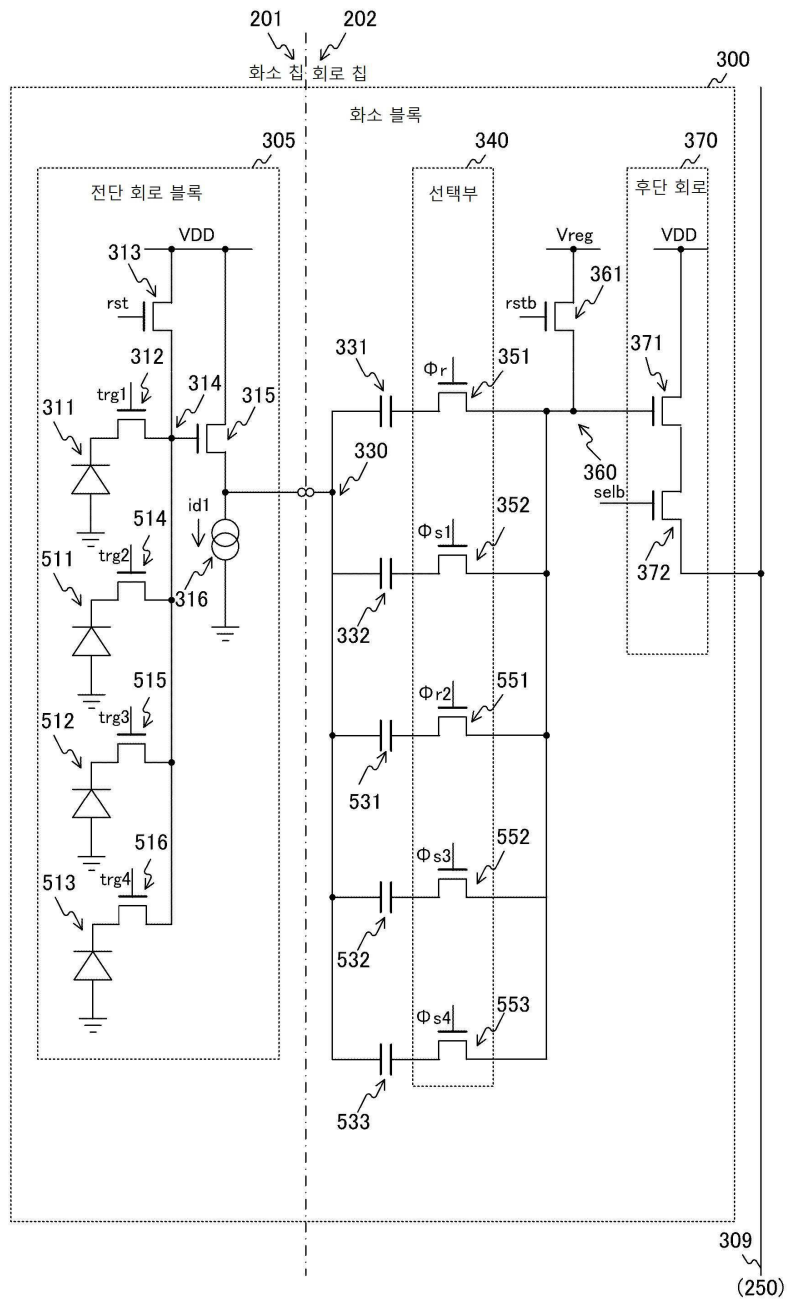
도면24



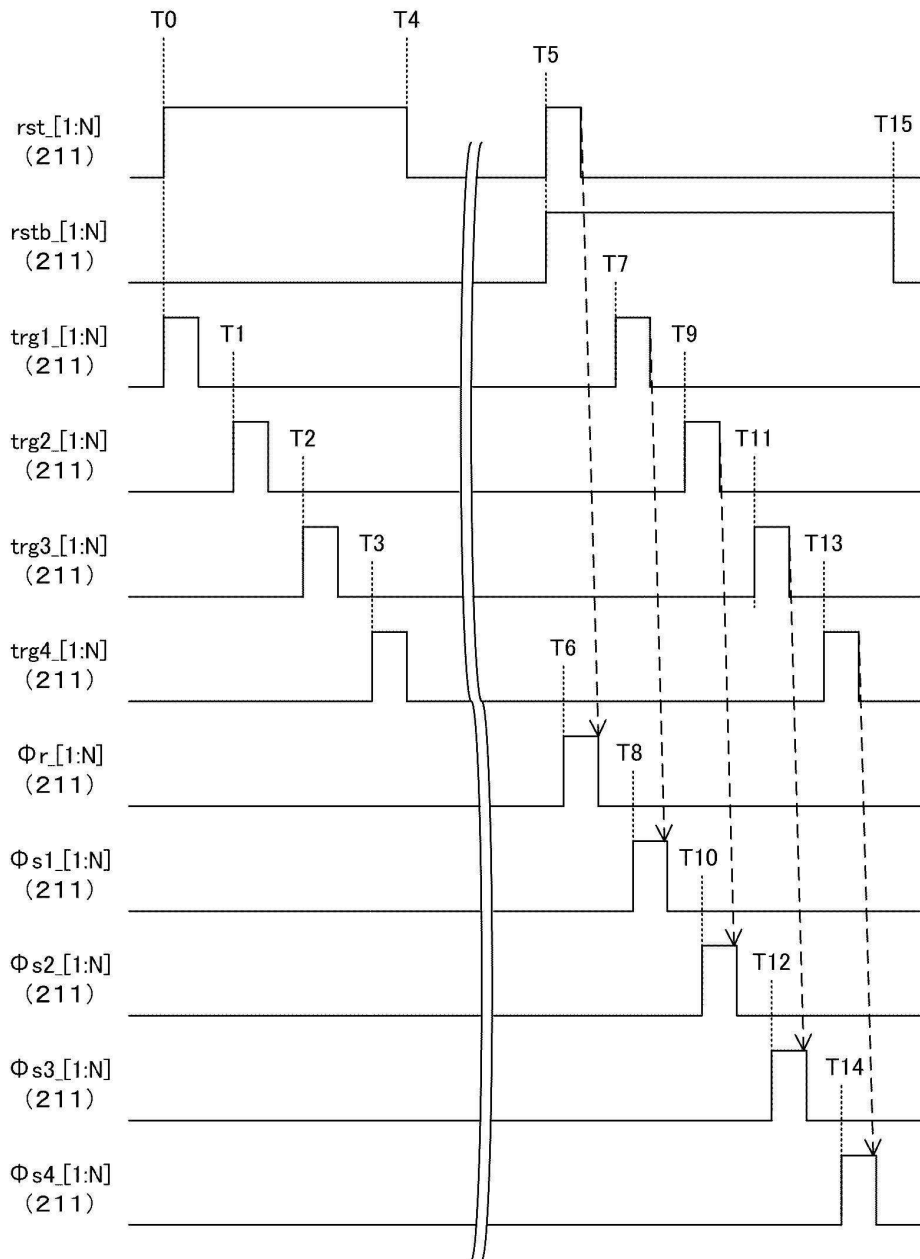
도면25



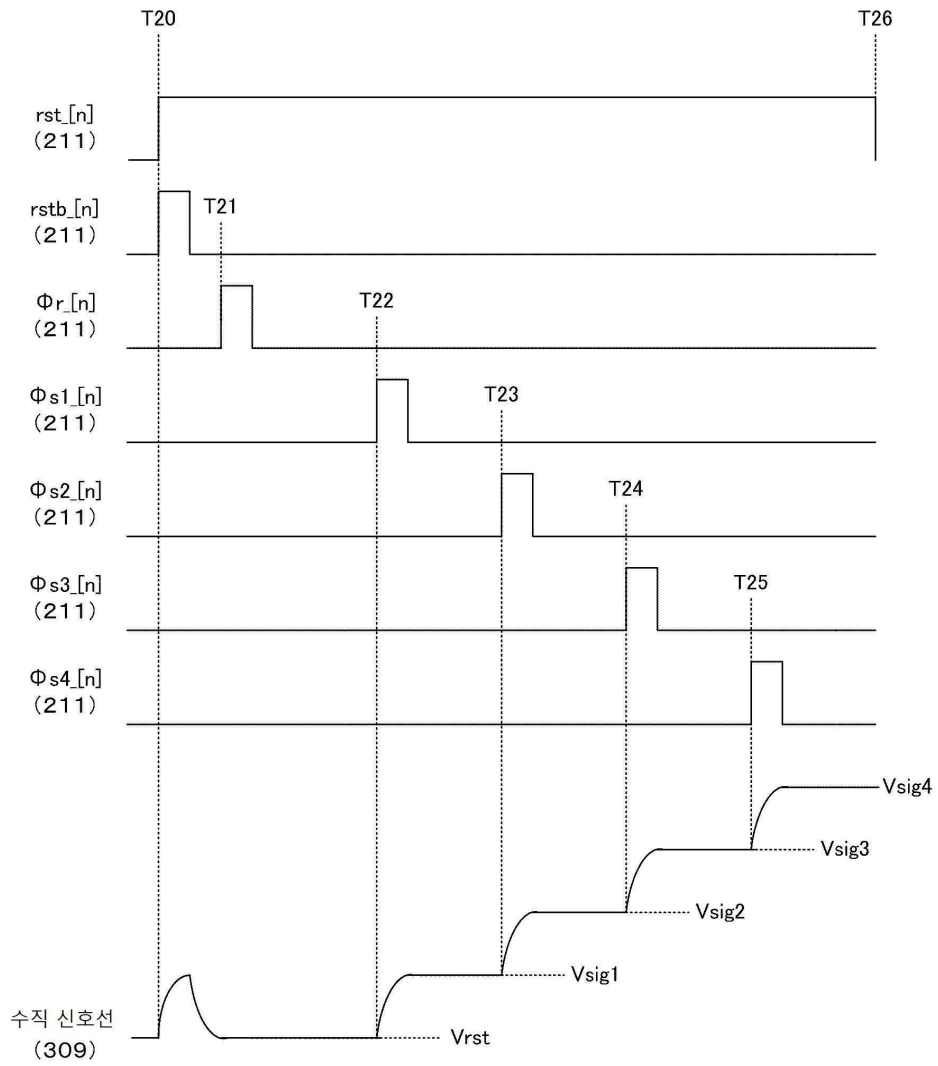
도면26



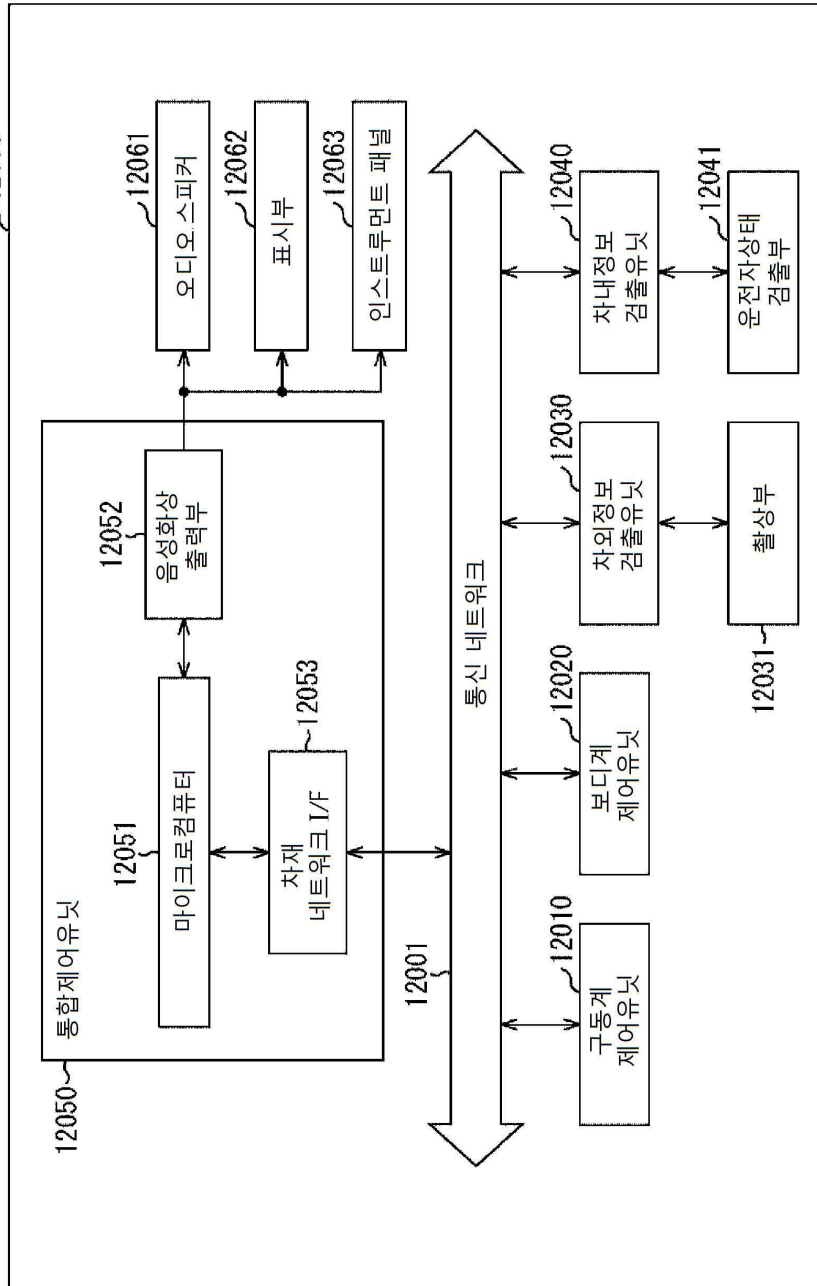
도면27



도면28



도면29



도면30

