



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월22일
(11) 등록번호 10-1022358
(24) 등록일자 2011년03월08일

(51) Int. Cl.
G01R 23/15 (2006.01) G01R 23/02 (2006.01)
(21) 출원번호 10-2010-0045508
(22) 출원일자 2010년05월14일
심사청구일자 2010년05월14일
(56) 선행기술조사문헌
US5022048 A
JP평성11220507 A
KR1020070040932 A

(73) 특허권자
엘아이지넥스원 주식회사
서울 강남구 역삼동 838번지 푸르덴셜빌딩
(72) 발명자
박진오
인천광역시 남동구 논현동 주공아파트 113동 801호
(74) 대리인
특허법인우인

전체 청구항 수 : 총 7 항

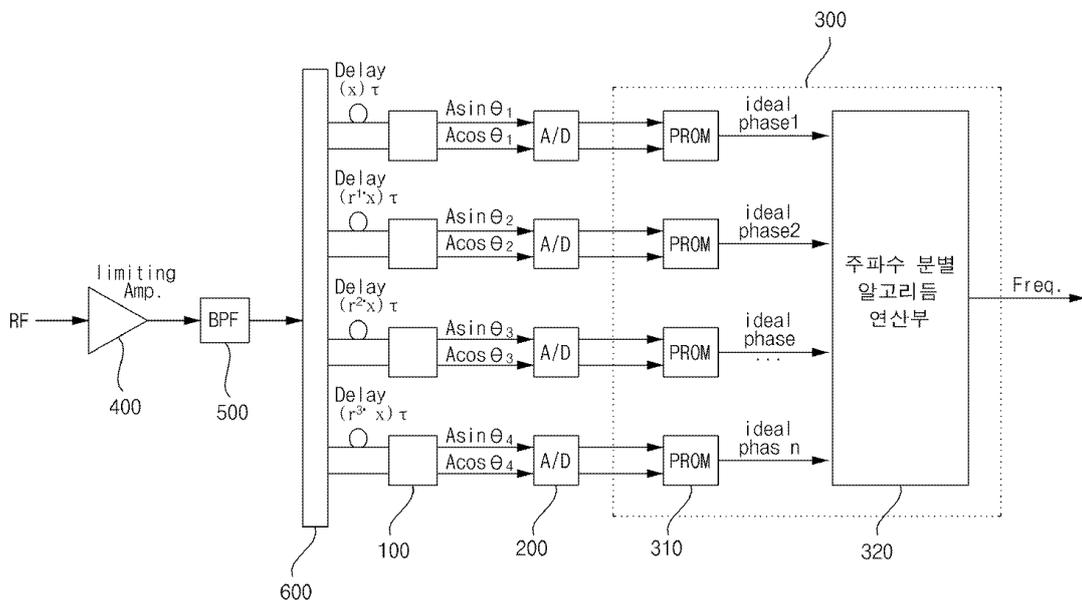
심사관 : 김주식

(54) 위상보정 기반환경의 최소자승 디지털 주파수 변별장치 및 방법

(57) 요약

본 발명은 위상보정 기반환경에서 최소자승법을 이용한 디지털 주파수를 변별하는 기술에 관한 것이다. 개시발명은 각 채널에 구비되어 입력된 RF신호를 지연된 RF라인 및 지연되지 않은 RF라인으로 입력받아 I 비디오 및 Q 비디오를 출력하는 코릴레이터(Correlator), 각 채널의 코릴레이터에 연결되어 I 비디오 및 Q 비디오를 디지털 신호로 변환하는 아날로그/디지털 변환부, 각 채널의 아날로그/디지털 변환부에 연결되어 디지털 신호로부터 상대 위상(Wrapped Phase)을 획득하고, 모든 채널에 대한 상대 위상들을 조합하여 RF신호를 검출하는 논리연산부(ALU)를 포함하며, 논리연산부는 상대 위상을 저장하는 메모리 및 상대 위상을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정하는 주파수 분별 알고리즘 연산부를 포함한다. 따라서, 메모리를 절약할 수 있으며, 잡음이 있는 환경에서 30도 이상의 위상 오차에서도 정상적인 RF 주파수를 판별할 수 있다.

대표도



특허청구의 범위

청구항 1

각 채널에 구비되어 입력된 RF신호를 지연된 RF라인 및 지연되지 않은 RF라인으로 입력받아 I 비디오 및 Q 비디오를 출력하는 코릴레이터(Correlator);

상기 각 채널의 상기 코릴레이터에 연결되어 상기 I 비디오 및 Q 비디오를 디지털 신호로 변환하는 아날로그/디지털 변환부;

상기 각 채널의 상기 아날로그/디지털 변환부에 연결되어 상기 디지털 신호로부터 상대 위상(Wrapped Phase)을 획득하고, 모든 채널에 대한 상대 위상들을 조합하여 상기 RF신호를 검출하는 논리연산부(ALU)를 포함하되,

상기 논리연산부는

상기 상대 위상을 저장하는 메모리 및

상기 상대 위상을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정하는 주파수 분별 알고리즘 연산부를 포함하는 것을 특징으로 하는 위상보정 기반환경의 최소자승법 디지털 주파수 변별장치.

청구항 2

제 1 항에 있어서,

상기 상대 위상은 \tan^{-1} (Q 비디오 / I 비디오)로부터 계산되는 것을 특징으로 하는 위상보정 기반환경의 최소자승법 디지털 주파수 변별장치.

청구항 3

제 2 항에 있어서,

상기 RF신호를 증폭하는 증폭기;

상기 증폭기에 연결되어 상기 증폭된 RF신호를 필터링하는 대역통과필터; 및

상기 대역통과필터에 연결되어 상기 필터링된 RF신호를 상기 각 채널로 분배시키는 분배기

를 더 포함하는 것을 특징으로 하는 위상보정 기반환경의 최소자승법 디지털 주파수 변별장치.

청구항 4

제 3 항에 있어서, 상기 대역통과필터는 2 내지 18 GHz의 대역을 통과시키는 것을 특징으로 하는 위상보정 기반환경의 최소자승법 디지털 주파수 변별장치.

청구항 5

a) 각 채널에서 RF신호를 지연된 RF라인 및 지연되지 않은 RF라인으로 입력받아 I 비디오 및 Q 비디오를 출력하는 단계;

b) 상기 I 비디오 및 Q 비디오를 디지털 신호로 변환하는 단계;

c) 상기 디지털 신호를 주소값으로 사용하여 상대 위상을 저장하는 단계; 및

d) 상기 상대 위상을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정하는 단계

를 포함하는 위상보정 기반환경의 최소자승법 디지털 주파수 변별방법.

청구항 6

제 5 항에 있어서, 상기 a) 단계는

RF신호를 증폭하는 단계;

상기 증폭된 RF신호를 대역통과필터에 통과시키는 단계; 및

상기 대역통과필터를 통과한 RF신호를 상기 각 채널로 분배시키는 단계

를 더 포함하여, 각 채널에서 RF신호를 입력받아 I 비디오 및 Q 비디오를 출력하는 것을 특징으로 하는 위상보정 기반환경에서 최소자승법 디지털 주파수 변별방법.

청구항 7

제 6 항에 있어서, 상기 대역통과필터는 2 내지 18 GHz의 대역을 통과시키는 것을 특징으로 하는 위상보정 기반환경의 최소자승법 디지털 주파수 변별방법.

명세서

기술분야

[0001] 본 발명은 위상보정 기반환경에서 디지털 주파수 변별에 관한 것으로, 특히 최소자승법을 이용한 디지털 주파수 변별장치에 관한 것이다.

배경기술

[0002] 디지털 주파수 변별기(DFD, Digital Frequency Discriminator)는 군용 광대역 주파수(2 내지 6 GHz 또는 2 내지 18GHz)를 실시간으로 측정하는 모듈로, RWR, ELINT 등의 핵심구성품 전자장비이다. DFD는 잡음이 심한 환경에서도 정상적으로 동작해야 하므로, 주파수 변별의 앰비규어티(ambiguity, 모호성)가 발생하지 말아야 하며 의도한 주파수를 더 정확히 판별해야 한다.

[0003] 종래의 DFD는 RF 모듈에서 출력되는 IQ 비디오 신호를 상대 위상으로 변환한 후에 변환된 위상을 물리적인 메모리의 어드레스로 활용하여 해당 어드레스의 공간에 주파수를 저장하는 방식을 사용하였다.

[0004] 그런데, IQ 비디오 신호를 변환한 상대 위상을 메모리의 어드레스로 활용하므로 많은 채널의 IQ 비디오를 가질 경우에 그만큼 많은 메모리가 필요하여 실제적 제품의 출시가 어렵고 구현 가능하더라도 대용량의 메모리가 필요하게 되어 가격 경쟁력이 없다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 상술한 문제점을 해소하기 위하여 안출된 것으로, 상대 위상(Wrapped Phase)을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정하는 주파수 분별 알고리즘 연산부를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여 본 발명은 각 채널에 구비되어 입력된 RF신호를 지연된 RF라인 및 지연되지 않은

RF라인으로 입력받아 I 비디오 및 Q 비디오를 출력하는 코릴레이터(Correlator), 각 채널의 코릴레이터에 연결되어 I 비디오 및 Q 비디오를 디지털 신호로 변환하는 아날로그/디지털 변환부, 각 채널의 아날로그/디지털 변환부에 연결되어 디지털 신호로부터 상대 위상(Wrapped Phase)을 획득하고, 모든 채널에 대한 상대 위상들을 조합하여 RF신호를 검출하는 논리연산부(ALU)를 포함하며, 논리연산부는 상대 위상을 저장하는 메모리 및 상대 위상을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정하는 주파수 분별 알고리즘 연산부를 포함한다.

[0007] 상대 위상은 \tan^{-1} (Q 비디오 / I 비디오)로부터 계산된다.

[0008] 또한, 본 발명은 RF신호를 증폭하는 증폭기, 증폭기에 연결되어 증폭된 RF신호를 필터링하는 대역통과필터 및 대역통과필터에 연결되어 필터링된 RF신호를 각 채널로 분배시키는 분배기를 더 포함할 수 있다.

[0009] 또한, 본 발명을 균용 주파수에 적용하기 위하여 대역통과필터는 2 내지 18 GHz의 대역을 통과시키도록 할 수 있다.

[0010] 또한, 본 발명의 디지털 주파수 변별방법은 a) 각 채널에서 RF신호를 지연된 RF라인 및 지연되지 않은 RF라인으로 입력받아 I 비디오 및 Q 비디오를 출력하는 단계, b) I 비디오 및 Q 비디오를 디지털 신호로 변환하는 단계, c) 디지털 신호를 주소값으로 사용하여 상대 위상을 저장하는 단계 및 d) 상대 위상을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정하는 단계를 포함할 수 있고, a) 단계는 RF신호를 증폭하는 단계, 증폭된 RF신호를 대역통과필터에 통과시키는 단계 및 대역통과필터를 통과한 RF신호를 각 채널로 분배시키는 단계를 더 포함할 수 있다.

발명의 효과

[0011] 이와 같은 본 발명에 따른 IQ 비디오를 논리연산부의 메모리를 통하여 이상적 상대 위상으로 변환하고, 이를 주파수 분별 알고리즘 연산부를 거치며 주파수 값이 출력되는 기술은 기존의 상대 위상들을 메모리의 주소로 활용하여 해당 메모리 주소값 안에 주파수 값을 넣는 방식과 달리 메모리를 절약할 수 있으며, 잡음이 있는 환경에서 1:4 비 DFD는 22.5도 이상의 위상 오차가 발생하면 주파수 측정이 불가능하지만, 본 발명의 장치 및 방법을 통하여 30도 이상의 위상 오차에서도 정상적인 RF 주파수를 판별할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 위상보정 기반환경에서 최소자승법 디지털 주파수 변별장치를 개괄적으로 보여주는 블럭도,

도 2는 주파수 입력에 대하여 1, 4, 16 τ 지연 라인에 따른 상대 위상이 360도마다 반복되는 것을 보이는 그래프,

도 3은 최소자승법에 따라 1, 4, 16 τ 지연 라인에 대한 가속 위상을 보이는 그래프,

도 4는 본 발명의 일 실시예에 따른 위상보정 기반환경의 최소자승 디지털 주파수 변별방법을 보여주는 순서도, 및

도 5는 τ 가 1, 4, 16일 때의 주파수 계산을 위한 본 발명의 알고리즘을 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하 동일한 부재번호는 동일한 구성요소를 참조로 하는, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다. 본 명세서 및 특허청구범위에 사용된 용어나 단어는 통상적이거나 사전적 의미로 한정되어 해석되지 아니하며, 본 발명의 기술적 사항에 부합하는 의미와 개념으로 해석되어야 한다.

[0014] 도 1은 본 발명의 일 실시예에 따른 위상보정 기반환경에서 최소자승법 디지털 주파수 변별장치를 개괄적으로 보여주는 블럭도이다. 도 1을 참조하면, 본 발명의 디지털 주파수 변별장치는 코릴레이터(100), 아날로그/디지털 변환부(200), 및 논리연산부(300)를 포함하고, 논리연산부(300)는 메모리(310) 및 주파수 분별 알고리즘 연

산부(320)를 포함한다.

[0015] 상기 코릴레이터(100)는 각 채널에 구비되어 입력된 RF신호를 지연된 RF라인 및 지연되지 않은 RF라인으로 입력 받아 I(In phase) 비디오 신호 및 Q(Quadrature) 비디오 신호를 출력한다.

[0016] 상기 아날로그/디지털 변환부(200)는 각 채널의 코릴레이터에 연결되어 I 비디오 및 Q 비디오 신호를 디지털 신호로 변환한다.

[0017] 상기 논리연산부(300)는 각 채널의 아날로그/디지털 변환부에 연결되어 디지털 신호로부터 상대 위상(Wrapped Phase)을 획득하고, 모든 채널에 대한 상대 위상들을 조합하여 상기 RF신호를 검출한다.

[0018] 상기 메모리(310)는 디지털 변환된 신호에서 얻은 상대 위상을 저장한다. 바람직하게는 PROM (Programmable Read-Only Memory)를 이용할 수 있다.

[0019] 상기 주파수 변별 알고리즘 연산부(320)는 상기 상대 위상을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정한다.

[0020] 또한, 본 발명의 DFD는 RF신호를 증폭하는 증폭기(400), 증폭기(400)에 연결되어 증폭된 RF신호를 필터링하는 대역통과필터(500) 및 대역통과필터(500)에 연결되어 필터링된 RF신호를 각 채널로 분배시키는 분배기(600)를 더 포함할 수 있다. DFD 설계에 있어서 문제가 되는 것이 넓은 대역폭과 주파수 정확도인데, 이러한 문제를 해결하기 위하여 다중 코릴레이터를 구성할 수 있다.

[0021] 바람직하게는, 입력되는 RF신호는 2 내지 18 GHz 범위의 주파수 신호로 제한할 수 있을 것이다. 이를 위하여 2 내지 18 GHz의 대역통과필터를 이용할 수 있다.

[0022] 위와 같은 본 발명의 DFD의 기능을 이하에서 상세하게 설명한다. 각 코릴레이터(100)에서 두 입력은 각 채널을 통과하는 서로 다른 지연 시간을 가지는 신호들로 구성된다. 하나의 채널은 다른 채널에 관하여 일정 시간 지연된다. 이러한 지연에 의한 위상 차이가 코릴레이터(100)의 두 출력 사이에 발생한다. 회전 위상 차는 입력된 RF신호의 주파수에 대한 함수로 식 (1)로 나타낼 수 있다.

[0023]
$$\theta = f\tau \dots\dots\dots(1)$$

[0024] 여기서, τ 는 지연시간, θ 는 회전 위상각, 그리고 f 는 입력된 RF신호의 주파수이다.

[0025] 식 (1)에서 회전 위상각이 측정되고, 시간지연을 알면 입력된 RF신호의 주파수를 알 수 있다. 특히, 회전 위상각은 I(In phase) 비디오 신호 및 Q(Quadrature) 비디오 신호의 진폭으로부터 측정될 수 있고, 다음의 식 (2)로 표현된다.

[0026]
$$\theta = \tan^{-1} \frac{\sin\theta}{\cos\theta} = f\tau \dots\dots\dots(2)$$

[0027] 아날로그/디지털 변환부(200)를 통과한 IQ 비디오 신호(I 비디오 및 Q 비디오)는 논리연산부(300)에 포함된 메모리(310)로 입력된다.

[0028] 메모리(310)는 디지털 신호로 변환된 IQ 비디오 신호를 메모리의 주소값(ADDR)으로 사용하여 해당하는 주소에 이론적으로 출력되어야 할 상대 위상(Wrapped Phase)을 저장한다. 따라서 IQ 비디오 신호가 입력되었을 때 마치 $\tan^{-1}(Q/I)$ 인 상대 위상을 출력하는 효과를 가진다. 이는 IQ 비디오 신호를 이상적인 IQ 비디오 신호로 변환하여 $\tan^{-1}(Q/I)$ 를 연산하는 효과, 즉 보정(Calibration)하는 효과를 가진다.

[0029] 주파수 변별 알고리즘 연산부(320)는 메모리(310)에서 출력되는 이론적 상대 위상을 입력받아 각각 연속 위상(Unwrapped Phase)으로 변환하고, 식 (1) 및 식 (2)에 따라 RF신호를 결정하여 출력한다.

[0030] 본 발명의 일 실시예에 따라 IQ 비디오 신호로부터 위상을 보정하는 과정을 상세하게 설명한다.

[0031] 매칭 및 고립과 관련한 DFD 성분과 같이 위상 에러를 초래하는 많은 원인이 있다. 실제 DFD 성분의 각 기능은 매칭 및 고립 주파수에서 예측 에러를 가지며 이는 에러를 포함하는 상대 위상을 초래한다. 아무런 위상 에러가 없다면, IQ 비디오는 4τ 지연 라인에서 정확히 4배로 오버랩될 수 있다. 그러나, 상대 위상을 가진 실제의 IQ 비디오는 무한 SNR의 경우에서도 오버랩되지 않는다.

[0032] 상대 위상 에러를 조절하기 위하여, 종래의 DFD는 사전 실험에서 얻은 행렬 테이블을 사용하여 에러를 포함하는 실제의 연쇄적 상대 위상을 실제 주파수에 단순 매핑하기 위한 메모리를 사용했다. 이러한 변경을 채택하여 RF 모듈의 불완전한 특성을 보정할 수 있는데, 이러한 설계방식은 위상 기초 메모리 구조에 해당한다. 그러나, 설계를 함에 있어서 더 넓은 주파수 밴드의 경우에서와 동등한 주파수 측정의 정확도를 유지하기 위하여 더 많은 지연 라인이 필요하다면, 연쇄적 위상에서 주파수로의 매핑을 위한 메모리 공간은 그 요소(예를 들면, 더 많은 지연 라인)가 지연 라인에서 상대 위상 스텝의 수에 있어서 높은 증가를 초래하기 때문에 지수적으로 증가한다.

[0033] 이러한 메모리 문제를 해결하기 위하여, 본 발명에서는 에러를 포함하는 측정된 상대 위상과 사전 실험에서 얻은 에러가 없는 실제의 상대 위상 사이에서 보정 매핑을 하는 비디오 기초 메모리 구조를 제공한다. 메모리가 있는 보정 매핑의 출력으로부터 실제의 위상을 얻을 수 있다. 이를 위하여 실제 주파수를 결정하기 위한 주파수 분별 알고리즘 연산부(320)를 포함한다. 본 발명에서는 연쇄적 위상에서 실제의 주파수로의 매핑을 위한 메모리 공간을 필요로 하지 않기 때문에 위상 기초 메모리 구조에서와 같은 많은 메모리를 필요로 하지 않는다. 위상 기초 메모리 구조에 필요한 메모리 공간은 식 (3)로 표현된다.

[0034]
$$S = 2 \sum 2 \cdot 2 + 2\pi^2 \dots\dots\dots(3)$$

[0035] 여기에서, S는 메모리 공간, n은 지연 라인의 수, l은 ADC 비트 수, p는 위상 비트 수, m은 주파수 비트 수이다.

[0036] 이에 반하여 본 발명의 메모리 구조에 필요한 메모리 공간은 식 (4)로 표현된다.

[0037]
$$S = 2 \sum 2 \cdot 2 \dots\dots\dots(4)$$

[0038] 예를 들어, n=4, l=8, m=16일 때의 메모리 할당을 비교해 보면, 종래의 메모리 구조는 더 많은 메모리 공간(예를 들면, 8GB + 64KB)을 필요로 하고, 본 발명의 메모리 구조는 이보다 훨씬 적은 64KB의 메모리 공간만을 필요로 함을 알 수 있다.

[0039] 따라서 종래의 위상 기초 메모리 구조는 어떤 주파수 보정 알고리즘 내지 장치를 필요로 하지 않지만, 큰 메모리 공간을 차지하고, 본 발명의 메모리 구조는 정확한 주파수 계산 알고리즘을 가진 비디오 기초 메모리 구조로서 적은 메모리 공간을 필요로 하는 장점이 있다. 그리고 주파수 분별 알고리즘 연산부(320)에 있는 주파수 보정을 위하여 확장된 적은 양의 메모리는 고속 DSP(Digital Signal Processing) 기술을 이용하여 해결될 수 있다.

[0040] 다음으로 본 발명의 일 실시예로서 주파수 분별 알고리즘 연산부(320)의 기능을 설명한다. 임의의 DFD 설계에 있어서 실시간 동작을 필요로 한다. 이를 충족하기 위하여 본 발명에서는 잡음이 있는 경우에 주파수 앰비규어티(frequency ambiguity)에 로버스트(robust)할 뿐만 아니라 순시 주파수를 제공하는 DFD 구조를 제공한다.

[0041] 잡음이 있는 환경에서 부가적 위상 잡음은 디지털화된 상대 위상에 영향을 준다. 따라서 논리연산부(300) 내의 메모리(310) 출력에서 결정된 이상적 상대 위상에 위상 잡음을 부가하여 시뮬레이션을 수행함으로써 디지털화된 상대 위상에 존재하는 잡음 효과를 고려할 수 있다.

[0042] 주파수 분별 알고리즘은 두 개의 부분으로 구성된다. 하나는 지연 라인과 상대 위상 사이의 관계를 알아냄으로써 연속 위상을 도출하는 것이다. 다른 하나는 연속 위상으로부터 피팅(fitting)한 최소자승 라인 주파수 계산 방법이다.

[0043] 초기에 이상적 상대 위상은 메모리(310) 출력에서 제공된다. 상대 위상과 연속 위상 사이의 관계는 식 (5)으로 표현된다.

[0044] $k \cdot \theta = (360 \cdot I) + \theta = \theta', n=1,2,3, \dots$ (5)

[0045] 여기에서 k는 $(x \cdot r)$, x는 1보다 작은 계수, r은 지연 라인의 길이비, θ 는 상대 위상, I는 미지의 정수, θ' 는 n번째 지연 라인에서의 연속 위상이다. 식 (1) 및 식 (5)를 보면, 동일한 양의 잡음이 각 지연 라인에 동등하게 추가되기 때문에, 더 긴 지연 라인은 유한 SNR의 경우 더 작은 주파수 에러를 포함함을 알 수 있다. 미지의 정수 I를 얻기 위하여 이러한 성질을 이용하면, 가장 긴 지연 라인의 연속 위상 θ' 이 가장 짧은 지연 라인의 연속 위상 θ' 으로부터 예측될 수 있다. 그러나 연속 위상 θ' 은 잡음에 영향을 받기 때문에 연속 위상 θ' 은 I에 종속된 범위를 가진다. 또한, I는 위상 잡음의 절대값의 최대값에 의존한다. 가장 긴 지연 라인에 있는 연속 위상 θ' 에 의하여, 다른 연속 위상을 식 (6)에 의하여 쉽게 찾을 수 있다.

[0046] $k \cdot \theta' = k \cdot \theta' = \dots = k \cdot \theta'$ (6)

[0047] 그러나 식 (7)에서 구한 연속 위상은 잡음 때문에 이론적 값과 잘 맞지 않는다. 이 문제를 해결하기 위하여 본 발명에서는 식 (7) 대신에 식 (8)를 제공한다.

[0048] $(360 \cdot I) + \theta \neq \theta'$ (7)

[0049] $(360 \cdot F) + \theta = \theta'$ (8)

[0050] 식 (8)에서 F는 n번째 지연 라인에서 유리수이고, I를 F로 대체한다. F와 I 사이의 근본적인 차이는 주어진 주파수에 대한 언피트니스(unfitness)이다. 따라서 주어진 주파수에 대한 총 언피트니스는 식 (9)로 표현된다.

[0051] $y = \sum D \cdot w$ (9)

[0052] 여기에서, y는 주어진 주파수에서 총 언피트니스, w는 n번째 지연 라인의 웨이트, D는 F와 I의 차의 절대값이다. 웨이트는 각 지연 라인이 주파수 측정에서 서로 다른 감도를 갖는 성질이 있으므로 이러한 성질에 따라 각 지연 라인에 서로 달리 적용될 수 있다. 지연 라인이 짧으면 짧을수록 주파수 에러는 더 커지고, 지연 라인이 길면 길수록 유한 SNR의 경우 주파수 에러가 더 짧아진다. 따라서 웨이트값은 각 지연 라인의 길이에 의존하게 된다.

[0053] 그리고 최소자승 스트레이트 라인 피팅에 의한 최소값의 y를 생성하는 연속 위상 집합($0, \theta', \dots, \theta'$)으로 예측된 주파수는 라인의 기울기에서 얻을 수 있다. 기울기는 $(1 \cdot \tau)$ 상대적 위상으로 표현되고, 따라서 예측 주파수는 식 (10)로 표현된다.

[0054] $f(\text{예측}) = \frac{\theta'}{(1 \cdot \tau)}$ (10)

[0055] 본 발명의 일 실시예에 따른 DFD의 시뮬레이션 결과를 설명한다. 이상적 위상 데이터가 무한 SNR의 경우에 메모리(310)에서 얻을 수 있기 때문에 위상 잡음에 영향을 받는 상대 위상 데이터를 이용했다. 따라서 상대 위상을 부가적 위상 잡음으로 수정하였다. 또한, 2 내지 6 GHz 범위에서 세 지연 라인 $(x \cdot r)\tau, (x \cdot r)\tau, (x \cdot r)\tau$ 를 이용했다.

[0056] 도 5는 τ 가 1, 4, 16일 때 주파수 계산을 위한 알고리즘을 보여주는 순서도이다. 도 5를 참조하여 설명하면 먼저 상대 1, 4, 16 τ 위상을 측정하고(s10), 상대 1 τ 를 사용한 연속 16 τ 위상을 계산한다(s15). 다음에 16 τ 의 정수(I3)을 계산하는데, 연속 16 τ 위상에서 측정된 상대 16 τ 위상을 빼고 360으로 나눈다(s20). 16 τ 의 정수 값의 범위를 결정하고(s25) 범위 내 I3를 증가시키고 연속 16 τ 위상을 사용하여 예상 연속 1 τ 위상을 얻는다(s30). 연속 16 τ 위상을 사용하여 예상 연속 4 τ 위상을 얻고(s35), 1, 4 τ 의 정수 값을 계산하는데, 연속 1, 4 τ 위상에서 측정 상대 1, 4 τ 위상을 뺀 후 360으로 나눈다(s40). 1, 4, 16 τ 의 분수값을 계산한다(s45). 다음에 1, 4, 16 τ 의 차이 값에 웨이트를 각 곱하여 총 언피트니스(unfitness) y를 계산한다(s50).

13가 결정된 범위에 있는지를 판단하고(s55), 결정된 범위에 있지 않으면 s30 단계를 다시 시작하고, 결정된 범위에 있으면 총 언퍼트니스의 최소값을 탐색하고(s60), 상대 0, 1, 4, 16τ 위상으로 최소 자승법에 따라 계산하고(s65), 최소 자승으로부터 그레디언트를 획득하여 RF 주파수를 계산한다(s70).

[0057] 예측된 잡음이 있는 연속 위상 및 잡음이 있는 환경(±30 deg.)에 피팅한 최소자승 스트레이트 라인은 도 2 및 도 3에 보인다. 시뮬레이션 결과에 따른 주파수 예측 에러는 소정의 조건에서 2 내지 6 GHz의 주파수 범위에서 RMS 15.0 내지 15.1이다. 종래의 구조에 의한 주파수 에러는 동일 조건에서 RMS 15.4 내지 15.6으로 본 발명의 구조에 의한 주파수 에러보다 크다는 것을 알 수 있다. 또한, 상업화된 DFD의 수행(예를 들면, 10dB SNR을 가진 RMS 3MHz)을 본 발명과 비교하기 위하여, 상업화된 DFD의 스펙에 해당하는 ±5의 잡음 범위에서 시뮬레이션을 수행했다. 이 경우에 본 발명의 DFD에 의한 주파수 예측 에러는 RMS 2.5MHz이고, 종래의 DFD에 의한 것은 RMS 2.5 내지 2.6MHz이다.

[0058] 결론적으로, 본 발명에 의한 주파수 측정 결과는 앰비규어티가 없다는 가정에서 종래의 구조에 의한 주파수 측정에 비하여 뒤지지 않고 향상된 성능을 보여준다. 또한, 본 발명의 DFD는 도 2 및 도 3에 보이는 바와 같이 잡음이 있는 위상 ±30에 로버스트하지만, 종래의 1:4 비 DFD의 톨러런스(tolerance)는 측정 주파수 범위에서 앰비규어티없이 단지 22.5 위상 마진에 제한되었다. 따라서 본 발명의 DFD는 종래의 DFD보다 주파수 앰비규어티에 더 로버스트함을 알 수 있다.

[0059] 도 4는 본 발명의 일 실시예에 따른 위상보정 기반환경의 최소자승 디지털 주파수 변별방법을 보여주는 순서도이다. 도 4를 참조하면, 본 발명의 디지털 주파수 변별방법은 a) 각 채널에서 RF신호를 지연된 RF라인 및 지연되지 않은 RF라인으로 입력받아 I 비디오 및 Q 비디오를 출력하는 단계(s100), b) I 비디오 및 Q 비디오를 디지털 신호로 변환하는 단계(s200), c) 상대 위상을 저장하는 단계(s400) 및 d) 상대 위상을 연속 위상(Unwrapped Phase)으로 변환하고 RF를 결정하는 단계(s400)를 포함할 수 있다.

[0060] 그리고, a) 단계는 RF신호를 증폭하는 단계, 증폭된 RF신호를 대역통과필터에 통과시키는 단계 및 대역통과필터를 통과한 RF신호를 상기 각 채널로 분배시키는 단계를 더 포함하여 각 채널에서 RF신호를 입력받아 I 비디오 및 Q 비디오를 출력할 수 있다.

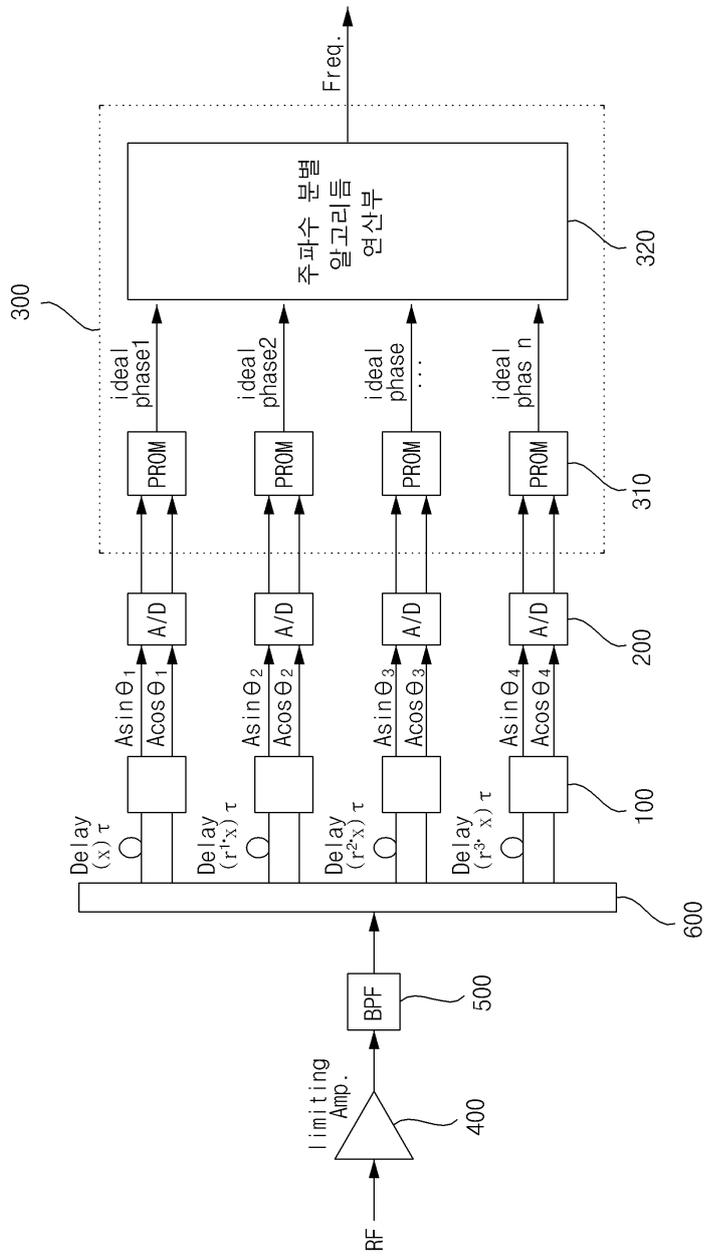
[0061] 이상 본 발명의 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형실시가 가능하다. 또한, 첨부된 도면으로부터 용이하게 유추할 수 있는 사항은 상세한 설명에 기재되어 있지 않더라도 본 발명의 내용에 포함되는 것으로 보아야 할 것이며, 다양한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 아니 될 것이다.

부호의 설명

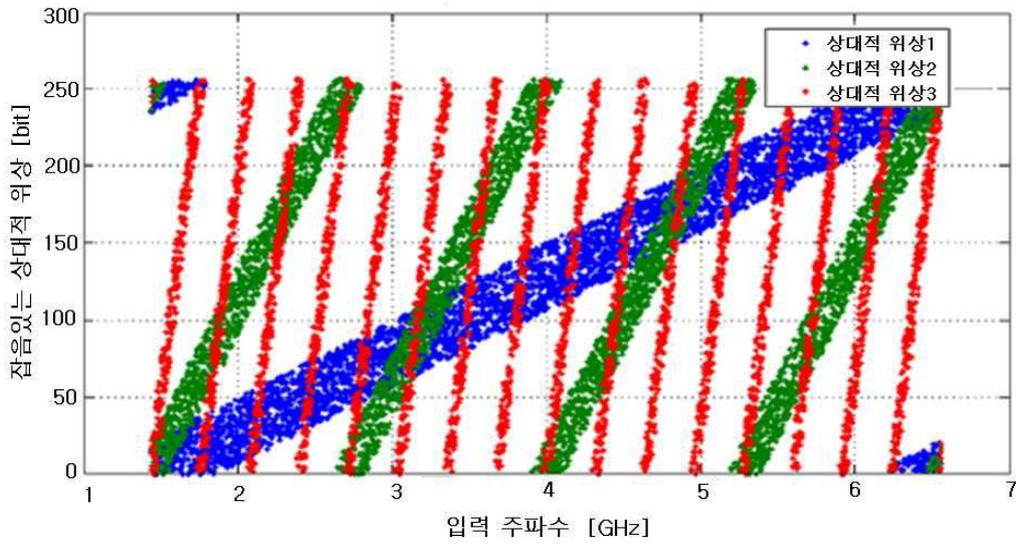
- [0062] 100: 코릴레이터 200: 아날로그/디지털 변환부
- 300: 논리연산부
- 310: 메모리 320: 주파수 분별 알고리즘 연산부
- 400: 증폭기 500: 대역통과필터
- 600: 분배기

도면

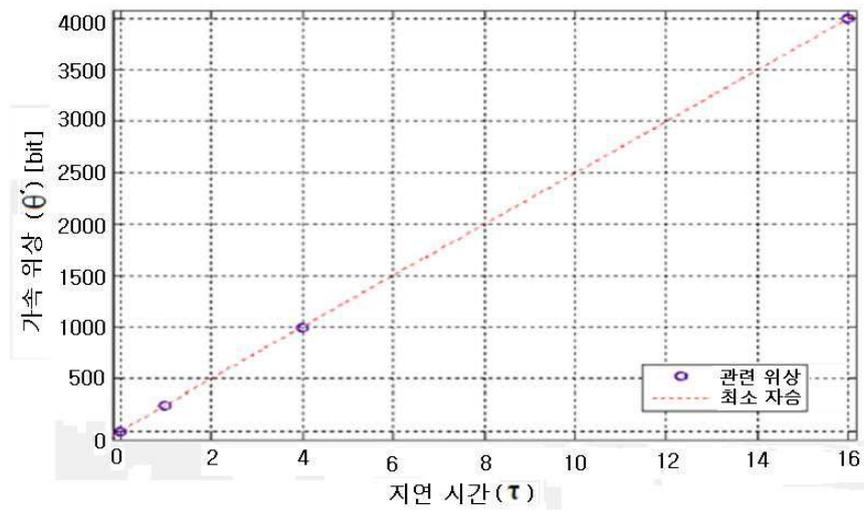
도면1



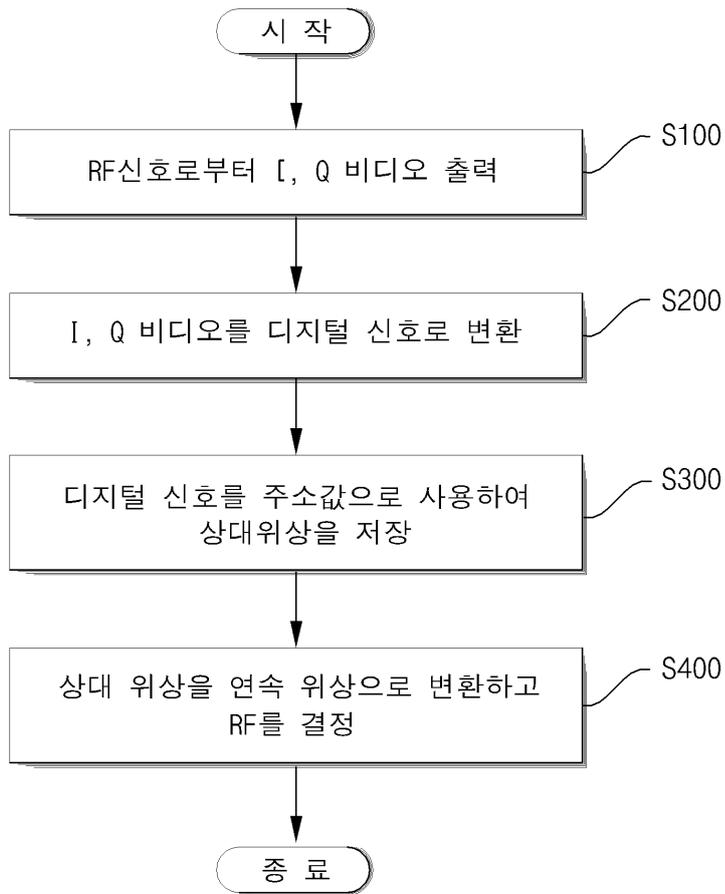
도면2



도면3



도면4



도면5

