

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 17 年 3 月 10 日 (2005.3.10)

【公開番号】特開 2004-112014 (P2004-112014A)

【公開日】平成 16 年 4 月 8 日 (2004.4.8)

【年通号数】公開・登録公報 2004-014

【出願番号】特願 2002-267869 (P2002-267869)

【国際特許分類第 7 版】

H 0 3 M 1/66

【F I】

H 0 3 M 1/66 C

【手続補正書】

【提出日】平成 16 年 4 月 1 日 (2004.4.1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 2

【補正方法】変更

【補正の内容】

【0 0 0 2】

【従来の技術】

デジタルオーディオ機器においては、デジタル化された音響信号をアナログ信号に変換する D A 変換器として、例えばラダー抵抗型 D A 変換器や積分型 D A 変換器などが知られ、使用されている。これら周知の D A 変換器は、離散的にサンプリングされてデジタル化されたデジタル信号の各サンプリング値（デジタル値）を単純にアナログ値に変換するものであるため、その出力信号波形は階段状の波形となり、原信号にはない不要な高周波成分を含むものとなる。このため、一般に、D A 変換器の後段にアナログローパスフィルタを設けて不要な高周波成分を除去して滑らかなアナログ信号を得るようにしている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

D A 変換器 1 0 0 は、デジタルフィルタ 1 0 1、2 個の遅延回路 1 0 2、1 0 3、4 個のマルチビット D A 変換器（以下、マルチビット D A C という。）1 0 4 ~ 1 0 7 および 2 個のアナログ信号処理回路（以下、A S P 回路という。）1 0 8、1 0 9 を備えている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 7

【補正方法】変更

【補正の内容】

【0 0 1 7】

上記構成において、オペアンプ O P 1 の - 端子と + 端子には、それぞれ各サンプリング点の第 1 のアナログ信号 $S(t)$ とこのアナログ信号 $S(t)$ より 1 サンプル時間だけ遅延した第 2 のアナログ信号 $S(-t)$ とが入力され、オペアンプ O P 1 から第 2 のアナログ信号 $S(-t)$ を基準電圧とした第 1 のアナログ信号 $S(t)$ の基準電圧に対する差分値の電圧が電流に変換されて出力される。そして、この電流により積分回路 S C のコンデンサ C 2 が時定数 $C 2 \cdot r 6$ で充電され、このコンデンサ C 2 の充電電圧は、バッファアンプ（オペア

ンブOP2)及び抵抗 r_5 を介して次に入力される第2のアナログ信号 $S(-t)$ に加算される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

ラッチ回路212はLRCCK信号の入力端子IN2と出力端子OUT3との間に接続され、反転回路204はBCLK信号の入力端子IN3と出力端子OUT4との間に接続されている。ラッチ回路210, 211, 212は、遅延回路207を介してスイッチ回路208から出力されるLチャンネルのデータとスイッチ回路209から出力されるRチャンネルのデータとLRCCK信号とを同期させてそれぞれLチャンネル出力端子OUT1、Rチャンネル出力端子OUT2、LRCCK出力端子OUT3から出力させるものである。ラッチ回路210, 211, 212にはそれぞれBCLK信号が入力され、ラッチ回路210, 211はBCLK信号を用いてデータを構成する各ビットのラッチ処理を行い、ラッチ回路212はBCLK信号を用いてLRCCK信号のラッチ処理を行う。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

反転回路204は、BCLK信号を反転させてBCLK出力端子OUT4から出力させることにより、Lチャンネル出力端子OUT1、Rチャンネル出力端子OUT2及びLRCCK出力端子OUT3からそれぞれ出力されるLチャンネルデータ、Rチャンネルデータ及びLRCCK信号に対するBCLK信号のタイミングを調整するものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

AND回路201は、LRCCK信号がLレベルのとき、DATA入力端子IN1からI2Sモードで入力されるDATA信号を出力し、AND回路202は、LRCCK信号がHレベルのとき、DATA入力端子IN1からI2Sモードで入力されるDATA信号を出力するから、図7に示す信号波形より、AND回路201からはLチャンネルのワードデータDLi ($i = 1, 2, \dots, m$)が出力され、AND回路202からはRチャンネルのワードデータDRi ($i = 1, 2, \dots, m$)が出力される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

スイッチ回路208から出力されるLチャンネルのワードデータDLiとスイッチ回路209から出力されるRチャンネルのワードデータDRiとは同一サインプリング位置のデータであるが、I2SモードによるDATA入力のフォーマットによりLチャンネルのワードデータDLiがRチャンネルのワードデータDRiよりもT/2だけ早く出力される。SDF変換回路2からはLチャンネルのワードデータ列DL1, DL1, DL2, DL

2, ..., D L i, D L i, D L i+1, D L i+1, ... のシリアル信号と R チャンネルのワードデータ列 D R 1, D R 1, D R 2, D R 2, ..., D R i, D R i, D R i+1, D R i+1, ... のシリアル信号とは同相で出力させる必要があるため、スイッチ回路 208 から出力される L チャンネルのワードデータ D L i は遅延回路 207 により $T/2$ だけ遅延されて R チャンネルのワードデータ D R i の出力タイミングに調整される。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

【発明の効果】

以上説明したように、本発明によれば、各種モードにより入力されるデジタルオーディオ信号のデータのフォーマットを、入力されたデータとこの入力データに対して 1 サンプル時間だけ遅延した遅延データとをワード単位で交互にシリアルに配列してなるデータのフォーマットに変換し、フォーマット変換後のデータを用いてワンビット D A 変換手段により元のオーディオデータを D A 変換した第 1 のアナログ信号とこの第 1 のアナログ信号を 1 サンプル時間だけ遅延した第 2 のアナログ信号とを生成し、両アナログ信号を用いてサンプリング点間の信号レベルを結んだアナログ信号を生成してアナログオーディオ信号として出力するようにしたので、マルチビット D A C を用いた従来の D A 変換器に比して回路構成の簡素な低コストの D A 変換器を実現することができる。

【手続補正 9】

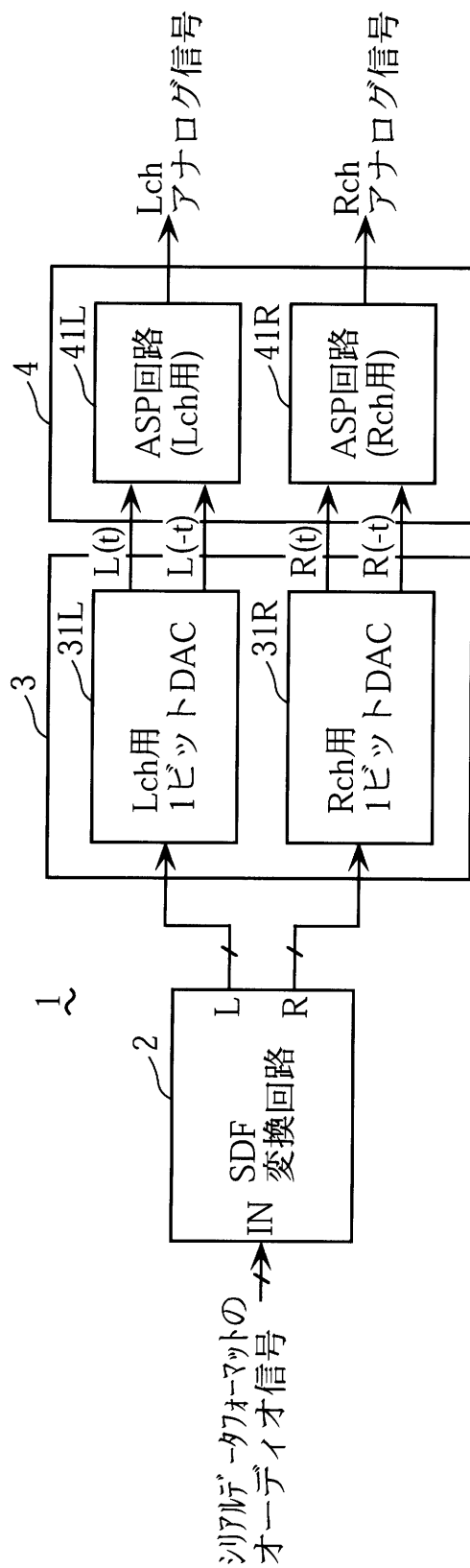
【補正対象書類名】図面

【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

【 図 1 】



【 手続補正 1 0 】

【 補正対象書類名 】 図面

【 補正対象項目名 】 図 6

【 補正方法 】 変更

【 補正の内容 】

【図 6】

