

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5151439号
(P5151439)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl. F I
G 1 1 C 13/00 (2006.01) G 1 1 C 13/00 1 5 0
 G 1 1 C 13/00 1 1 0 C

請求項の数 16 (全 16 頁)

(21) 出願番号	特願2007-320580 (P2007-320580)	(73) 特許権者	000002185
(22) 出願日	平成19年12月12日(2007.12.12)		ソニー株式会社
(65) 公開番号	特開2009-146480 (P2009-146480A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年7月2日(2009.7.2)	(74) 代理人	100098785
審査請求日	平成22年11月25日(2010.11.25)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(72) 発明者	対馬 朋人
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	椎本 恒則
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 記憶装置および情報再記録方法

(57) 【特許請求の範囲】

【請求項1】

一対の電極を有し、前記電極への電圧印加により多値情報が記録される記憶素子と、第1、第2入出力端子および制御端子を有し、前記第1入出力端子が前記記憶素子の一方の電極に接続されたスイッチング素子とを有するメモリセルを複数備えた記憶装置であって、

前記記憶素子において情報の記録が正しく実行されたか否かを確認し、その結果に応じて再記録を行うペリファイ制御手段と、

前記記憶素子に多値情報を記録する際に、前記スイッチング素子の制御端子と前記第2入出力端子との間の電位差のペリファイ制御時の初期値を、多値情報に応じて個別に設定する初期値設定手段と、

前記ペリファイ制御手段による再記録の際に、前記スイッチング素子の制御端子と前記第2入出力端子との間の電位差を、前回の記録のときのそれよりも増加させる電位差変更手段とを備え、

前記電位差変更手段は、前記電位差の増加分を、前記多値情報の各値に対応する抵抗値レベル毎に異なる値とする

記憶装置。

【請求項2】

前記記憶素子は、前記電極間に異なる極性の電圧が印加されることによりその抵抗値が高抵抗状態と低抵抗状態との間で可逆的に変化する不揮発性の可変抵抗素子である

請求項 1 記載の記憶装置。

【請求項 3】

前記初期値設定手段は、前記電位差のベリファイ制御時の初期値を、前記多値情報に対応する抵抗値レベルが大きい場合には小さく、前記抵抗値レベルが小さい場合には大きくなるように設定する

請求項 2 記載の記憶装置。

【請求項 4】

前記初期値設定手段は、前記電位差のベリファイ制御時の初期値を、前記多値情報に対応する抵抗値レベルよりも低いレベルに相当する値に設定する

請求項 3 記載の記憶装置。

10

【請求項 5】

前記電位差変更手段は、前記電位差の増加分を、電流による前記可変抵抗素子の記録抵抗の変化幅の大小関係に応じて異なる値とする

請求項 2 記載の記憶装置。

【請求項 6】

前記電位差変更手段は、前記電位差の増加分を、電流による前記可変抵抗素子の記録抵抗の変化幅が大きい領域では少なく、記録抵抗の変化幅が小さい領域では多くなるようにする

請求項 5 記載の記憶装置。

【請求項 7】

前記電位差変更手段は、前記スイッチング素子の制御端子に印加する電圧を変更することにより前記電位差を増加させる

請求項 1 記載の記憶装置。

20

【請求項 8】

前記電位差変更手段は、前記スイッチング素子の第 2 入出力端子に印加する電圧を変更することにより前記電位差を増加させる

請求項 1 記載の記憶装置。

【請求項 9】

前記スイッチング素子は MOS トランジスタであり、前記電位差変更手段は、前記 MOS トランジスタのゲート・ソース間電圧 (VGS) を変更する

請求項 1 記載の記憶装置。

30

【請求項 10】

前記可変抵抗素子は、前記電極間に、高抵抗層と前記高抵抗層に接してイオン化が容易な金属元素を含有するイオン源層とを有する

請求項 2 記載の記憶装置。

【請求項 11】

前記可変抵抗素子は、前記電極間に高抵抗層を有し、前記高抵抗層内にイオン化が容易な金属元素を含有する

請求項 2 記載の記憶装置。

【請求項 12】

前記電極間に電圧を印加すると、前記イオン源層から前記高抵抗層の中にイオン化した前記金属元素が移動して前記可変抵抗素子の抵抗が下がる

請求項 10 記載の記憶装置。

40

【請求項 13】

前記金属元素は、Cu, Ag および Al のうちの少なくとも 1 種類の元素である

請求項 10 ~ 12 いずれか記載の記憶装置。

【請求項 14】

前記高抵抗層に接する層内、或いは前記高抵抗層内に S, Se, Te および O のうち少なくとも 1 種類の元素を含む

請求項 10 ~ 12 いずれか記載の記憶装置。

50

【請求項 15】

一对の電極を有し、前記電極への電圧印加により多値情報が記録される記憶素子と、第1、第2入出力端子および制御端子を有し、前記第1入出力端子が前記記憶素子の一方の電極に接続されたスイッチング素子とを有するメモリセルを複数備えた記憶装置の、前記記憶素子に対して情報の記録が正しく実行されたか否かを確認するペリファイ制御を行い、その結果に応じて再記録を行う情報再記録方法であって、

前記記憶素子に多値情報を記録する際に、前記スイッチング素子の前記制御端子と前記第2入出力端子との間の電位差の前記ペリファイ制御時の初期値を多値情報に応じて個別に設定し、

前記ペリファイ制御による再記録の際に、前記スイッチング素子の前記制御端子と前記第2入出力端子との間の電位差を、前回の記録のときのそれよりも増加させ、かつ前記電位差の増加分を、前記多値情報の各値に対応する抵抗値レベル毎に異なる値とする情報再記録方法。

10

【請求項 16】

前記記憶素子は、前記電極間に異なる極性のパルス電圧が印加されることによりその抵抗値が高抵抗状態と低抵抗状態との間で可逆的に変化する不揮発性の可変抵抗素子である請求項15記載の情報再記録方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶素子およびスイッチング素子を有するメモリセルを備えた記憶装置に係り、特にペリファイ制御により再記録を行う記憶装置および情報再記録方法に関する。

20

【背景技術】

【0002】

コンピュータ等の情報機器においては、高速動作の可能な高密度のDRAM (Dynamic Random Access Memory) が広く用いられている。しかし、DRAMにおいては、電子機器に用いられる一般的な論理回路や信号処理回路などと比較して製造プロセスが複雑なため、製造コストが高いという問題がある。また、DRAMは、電源を切ると情報が消えてしまう揮発性メモリであり、頻繁にリフレッシュ動作を行う必要がある。

【0003】

そこで、電源を切っても情報の消えない不揮発性メモリとして、例えば、FeRAM (Ferroelectric Random Access Memory ; 強誘電体メモリ) や、MRAM (Magnetoresistive Random Access Memory ; 磁気記憶素子) などが提案されている。これらのメモリでは、電力を供給しなくても書き込んだ情報を長時間保持し続けることが可能であり、また、リフレッシュ動作を行う必要がないので、その分だけ消費電力を低減させることができる。しかし、FeRAMにおいては微細化が容易でないという問題があり、MRAMにおいては書込み電流が大きいという問題があった(例えば、非特許文献1)。

30

【0004】

そこで、データの書込み速度の高速化に適したメモリとして、図16および図17に示したような新しいタイプの記憶装置が提案されている。

40

【0005】

図16はこの記憶装置のメモリセル100を表したものである。このメモリセル100は、図17に断面構造を表した可変抵抗素子110と、MOSトランジスタ120(スイッチング素子)とを備えている。可変抵抗素子110は、電極111、イオン源層112、高抵抗層113および電極114を積層して形成されたものである。電極111はビット線BLR、電極114はMOSトランジスタ120の一方の端子にそれぞれ電氣的に接続されている。MOSトランジスタ120の他方の端子はビット線BLT、MOSトランジスタ120のゲートはワード線WLにそれぞれ電氣的に接続されている。

【0006】

この記憶装置では、イオン源層112から高抵抗層113に向かって電流が流れるよう

50

に電極 1 1 4 および電極 1 1 1 に電圧を印加すると、高抵抗層 1 1 3 が低抵抗に変化してデータが書き込まれる。逆に、高抵抗層 1 1 3 からイオン源層 1 1 2 に向かって電流が流れるように電極 1 1 4 および電極 1 1 1 に電圧を印加すると、高抵抗層 1 1 3 が高抵抗に変化してデータが消去される。

【 0 0 0 7 】

このような記憶装置では、従来の不揮発性メモリ等と比較して、単純な構造でメモリセルを構成することができるため素子のサイズ依存性がなく、かつ、大きい信号を得ることができるためスケールに強いという特長を有する。また、記録電流や記録電圧を制御することにより多値記録、すなわち一つのメモリセルに対して 3 ビット以上のデータを記憶することが可能という大きな利点を有する（特許文献 1）。

【非特許文献 1】日経エレクトロニクス，2007.7.16号，p.98

【特許文献 1】特開 2005-235360 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

しかしながら、上記した新しいタイプの記憶装置において多値記録を行うためには、単値記録以上に、メモリセルの抵抗値を特定の狭い範囲に制限する必要があり、セル毎の書き込み動作毎に抵抗値を適正に調整する必要がある。その手法としては、ペリファイ読み出しと再書き込みを組み合わせた方法（以下、合わせて単にペリファイと呼ぶ）が考えられる。すなわち、書き込み動作後にペリファイ読み出しを行い、所望の低抵抗であったら書き込み成功として書き込み動作を終了し、所望値以上の高抵抗であったら書き込み失敗として再書き込みを行う。そして、このサイクルをある上限回数まで繰り返すものであるが、高速化のためにはそのサイクル回数は可能な限り少ないことが望ましい。

【 0 0 0 9 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、多値記録の際のペリファイに要するサイクル回数を低減することの可能な記憶装置および情報再記録方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の記憶装置は、一对の電極を有し、電極への電圧印加により多値情報が記録される記憶素子と、第 1，第 2 入出力端子および制御端子を有し、第 1 入出力端子が記憶素子の一方の電極に接続されたスイッチング素子とを有するメモリセルを複数備えた記憶装置であって、記憶素子において情報の記録が正しく実行されたか否かを確認し、その結果に応じて再記録を行うペリファイ制御手段と、記憶素子に多値情報を記録する際に、スイッチング素子の制御端子と第 2 入出力端子との間の電位差のペリファイ時の初期値を、多値情報に応じて個別に設定する初期値設定手段と、ペリファイ制御手段による再記録の際に、スイッチング素子の制御端子と第 2 入出力端子との間の電位差を、前回の記録のときのそれよりも増加させる電位差変更手段とを備え、電位差変更手段は、電位差の増加分を、多値情報の各値に対応する抵抗値レベル毎に異なる値とするものである。

【 0 0 1 1 】

本発明の情報再記録方法は、一对の電極を有し、電極への電圧印加により多値情報が記録される記憶素子と、第 1，第 2 入出力端子および制御端子を有し、第 1 入出力端子が記憶素子の一方の電極に接続されたスイッチング素子とを有するメモリセルを複数備えた記憶装置の、記憶素子に対して情報の記録が正しく実行されたか否かを確認するペリファイ制御を行い、その結果に応じて再記録を行う情報再記録方法であって、記憶素子に多値情報を記録する際に、スイッチング素子の制御端子と第 2 入出力端子との間の電位差のペリファイ時の初期値を、多値情報に応じて個別に設定し、ペリファイ制御による再記録の際に、スイッチング素子の制御端子と第 2 入出力端子との間の電位差を、前回の記録のときのそれよりも増加させ、かつ電位差の増加分を、多値情報の各値に対応する抵抗値レベル毎に異なる値とするものである。

10

20

30

40

50

【 0 0 1 2 】

本発明の記憶装置および情報再記録方法では、記憶素子において情報の記録が正しく実行されたか否かが確認され、その結果に応じて再記録が行われるが、そのとき、スイッチング素子の制御端子と第2入出力端子との間の電位差のペリファイ時の初期値が、多値情報に応じて個別に設定される、すなわち多値の抵抗値レベルの大きさに対応して初期値が異なる値に設定され、これによりペリファイ制御が適正に行われる。

【発明の効果】

【 0 0 1 3 】

本発明の記憶装置および情報再記録方法によれば、スイッチング素子の制御端子と第2入出力端子との間の電位差のペリファイ時の初期値を、多値情報に応じて個別に設定するようにしたので、ペリファイに要するサイクル回数を低減し、多値記録に要する時間を大幅に短縮することができる。

10

【 0 0 1 4 】

更に、スイッチング素子の制御端子と第2入出力端子との間の電位差の増加分（ステップ電圧）を多値情報に応じて変化させることにより、抵抗値レベルの調整能力が向上し、抵抗値レベル間に必要とされるマージンを十分に確保することが可能になる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【 0 0 1 6 】

20

[第 1 の 実 施 の 形 態]

図1は、本発明の第1の実施の形態に係る記憶装置のメモリセル1を表したものである。メモリセル1は、記憶素子、例えば図2に示した可変抵抗素子10と、スイッチング素子としてのNチャンネルMOS型のトランジスタ20とを備えている。記憶装置は、このメモリセル1を記憶単位として、複数個アレイ状またはマトリクス状に配置したものである。図3はメモリセル1の書き込み動作時の等価回路を表している。

【 0 0 1 7 】

可変抵抗素子10は、例えば、電極11、イオン源層12、高抵抗層（可変抵抗層）13および電極14を積層して形成されたものである。

【 0 0 1 8 】

30

電極11, 14は、例えば、Al、Cu、Wなどの金属材料により構成されている。高抵抗層13は、例えば、金属材料、希土類元素、これらの混合物の酸化物あるいは窒化物、または半導体材料からなり、後述するように2つの電極11, 14間に電圧を印加することにより、電極11, 14の間に生じる電場の向きに応じて抵抗値が変化する機能を有している。

【 0 0 1 9 】

イオン源層12は、例えば、Cu、AgおよびAlのうち少なくとも一種の金属元素と、Te、SおよびSeのうち少なくとも一種のカルコゲン元素とを含んで構成されており、例えば、CuTeSi、GeSbTeSi、CuGeTeSi、AgGeTeSi、AgTeSi、AlTeSi、AlGeTeSi、ZrTeAl、CuZrTeAl、CuSSi、CuGeSSi、CuSeSi、CuGeSeSi等からなる。

40

【 0 0 2 0 】

上記Cu、Agは、陽イオンとなったときに、イオン源層12内や、高抵抗層13内を移動しやすい元素である。Teは、イオン源層12の抵抗値を、可変抵抗素子10がオンしたときの高抵抗層13の抵抗値よりも小さくすることの可能な元素である。そのため、イオン源層12において、カルコゲン元素としてTeを用いた場合には、抵抗値が大きく変化する部分を高抵抗層13に限定することができ、メモリ動作の安定性を向上させることができる。また、イオン源層12において、陽イオンとなる元素としてCuを用い、さらに、カルコゲン元素としてTeを用いた場合には、イオン源層12の抵抗値を、可変抵抗素子10がオンしたときの高抵抗層13の抵抗値よりも十分に小さくすることができる

50

ので、メモリ動作の安定性をより向上させることができる。

【0021】

また、上記A1は可変抵抗素子10が低抵抗状態から高抵抗状態へ切り替わるときに化学的に安定な酸化物を形成するものであり、これにより消去状態（高抵抗状態）の保持特性が改善される。Siは、イオン源層12を非晶質化し、イオン源層12の結晶化温度を上昇させることの可能な元素である。そのため、イオン源層12にSiを適量含有させた場合には、プロセス時に受ける熱などによる結晶化等の状態変化が抑制され、メモリ動作の安定性を向上させることができる。イオン源層12には、例えばTeAlZrOxのように、更にO（酸素）を含めるようにしてもよく、これによりデータの書き込み時の保持特性および抵抗値の制御性が向上する。

10

【0022】

可変抵抗素子10の一方の電極11は図1に示したビット線BLR、他方の電極14はトランジスタ20の第1入出力端子（ドレイン/ソース）20aにそれぞれ電氣的に接続されている。トランジスタ20の第2入出力端子（ソース/ドレイン）20bはビット線BLT、トランジスタ20の制御端子20c（ゲート端子）はワード線WLにそれぞれ電氣的に接続されている。

【0023】

可変抵抗素子10の電極11にはビット線BLRを介して第1電源21より第1パルス電圧（VBLR）、トランジスタ20の制御端子20cにはワード線WLを介して第2電源22よりセル選択用の第2パルス電圧（VWL）が供給されるようになっている。トランジスタ20の第2入出力端子20bには第3電源23より第3パルス電圧（VBLT）が供給されるようになっているが、ビット線BLTを介して接地（GND）してもよい（図7参照）。

20

【0024】

ここで、本実施の形態では、第1電源21および第3電源23はそれぞれその書き込みの電圧値（パルス高さ）が一定の固定電圧源であるのに対し、第2電源22はその電圧値を調整回路24（調整手段）により変更できるものである。すなわち、情報の書き込み時において、トランジスタ20の制御端子20cに対して印加する電圧値を任意に減少または増加させることが可能となっている。

【0025】

具体的には、例えば第2電源22では電圧値（パルス高）の異なる複数の書き込み用DC電源を含む構成を有しており、その選択が調整回路24によりなされる。なお、パルス電圧には、文字通りのパルス波形に限らず、例えばランプ状波形の電圧も含まれる。

30

【0026】

本実施の形態では、このように第2電源22から供給されるVWLが可変となっていることから、トランジスタ20の制御端子20cと第2入出力端子20bとの間の電位差（ソース・ゲート間電圧 $VGS = VWL - VBLT$ ）のベリファイ制御時における初期値が、後述のように多値情報（抵抗値レベル）に応じて個別に設定されるようになっている。具体的には、VGSの初期値は、多値情報の各値に対応する抵抗値レベルが大きい場合には小さく、抵抗値レベルが小さい場合には大きくなるように設定される。また、このときの初期値は、多値情報の各値に対応する抵抗値レベルよりも低い抵抗値に相当する値に設定される。

40

【0027】

加えて、WL調整回路24は、ベリファイ制御による再記録毎にVWLを増加（増加分VWL）すると共に、多値記録を行う場合には、このVWLを多値情報の抵抗値レベル毎に異なる値とするようになっている。具体的には、VWLは、電流による可変抵抗素子10の記録抵抗の変化幅の大小関係に応じて異なる値とするものであり、電流による記録抵抗の変化幅が大きい（トランジスタ20のソース・ゲート間電圧VGSが小さい）領域では少なく、記録抵抗の変化幅が小さい（VGSが大きい）領域では多くなるようにする。なお、上記第1電源21～第3電源23およびWL調整回路24によって、本発明

50

のペリファイ制御手段、初期値設定手段および電位差変更手段の一具体例が構成されている。

【0028】

次に、本実施の形態の記憶装置（メモリセル1）の動作について説明する。

【0029】

（書き込み）

第1電源21および第3電源23により、電極14に負電位（-電位）、電極11に正電位（+電位）をそれぞれ印加して、イオン源層12から高抵抗層13に向かって電流を流すと、イオン源層12から、Cu、AgおよびZnのうち少なくとも一種の金属元素がイオン化して高抵抗層13内を拡散していき、電極14側で電子と結合して析出したり、あるいは、高抵抗層13の内部に拡散した状態で留まる。その結果、高抵抗層13の内部に上記金属元素を多量に含む電流パスが形成されたり、若しくは、高抵抗層13の内部に上記金属元素による欠陥が多数形成され、高抵抗層13の抵抗値が低くなる。このとき、イオン源層12の抵抗値は、高抵抗層13の書き込み前の抵抗値に比べて元々低いので、高抵抗層13の抵抗値が低くなることにより、可変抵抗素子10全体の抵抗値も低くなる（つまり、可変抵抗素子10がオンする）。なお、このときの可変抵抗素子10全体の抵抗が書込抵抗となる。その後、電極11、14に印加されている電位を零にして可変抵抗素子10にかかる電圧を零にすると、可変抵抗素子10の抵抗値が低くなった状態で保持される。このようにして情報の書き込みが行われる。

10

【0030】

20

（消去）

次に、第1電源21および第3電源23により、電極14に正電位（+電位）、電極11に負電位（-電位）をそれぞれ印加して、高抵抗層13からイオン源層12に向かって電流を流すと、高抵抗層13内に形成されていた電流パス、あるいは不純物準位を構成する、上記金属元素がイオン化して、高抵抗層13内を移動してイオン源層12側に戻る。その結果、高抵抗層13内から、電流パス若しくは欠陥が消滅して、高抵抗層13の抵抗値が高くなる。このときイオン源層12の抵抗値は元々低いので、高抵抗層13の抵抗値が高くなることにより、可変抵抗素子10全体の抵抗値も高くなる（つまり、可変抵抗素子10がオフする）。なお、このときの可変抵抗素子10全体の抵抗が消去抵抗となる。その後、電極11、14に印加されている電位を零にして可変抵抗素子10にかかる電圧を零にすると、可変抵抗素子10の抵抗値が高くなった状態で保持される。このようにして、書き込まれた情報の消去が行われる。

30

【0031】

このような過程を繰り返し行うことにより、可変抵抗素子10に情報の書き込みと、書き込まれた情報の消去を繰り返し行うことができる。

【0032】

このとき、例えば、可変抵抗素子10全体の抵抗が書込抵抗となっている状態（低抵抗状態）を「1」の情報に、可変抵抗素子10全体の抵抗が消去抵抗となっている状態（高抵抗状態）を「0」の情報に、それぞれ対応させると、電極14に負電位を印加することによって、可変抵抗素子10の情報を「0」から「1」に変え、電極14に正電位を印加することによって、可変抵抗素子10の情報を「1」から「0」に変えることができる。

40

【0033】

また、この可変抵抗素子10では、広範囲の抵抗値を保持できるものであり、セルに流れる電流量をコントロールすることで電流パスの大きさを制限できる。従って、高抵抗状態と低抵抗状態の少なくとも一方の状態において、複数段階の大きさの電流パスを形成することができ、その状態を安定して保持することができる。よって、電流パスの大きさに対応した複数の抵抗値レベルと情報を関連付けることで、3値以上の多値記録が可能となり、大容量化を実現することができる。

【0034】

例えば、可変抵抗素子10の書き込み抵抗が最も低い状態を「11」に、2番目に低い状

50

態を「10」に、3番目に低い状態を「01」に、可変抵抗素子10の消去状態を「00」にそれぞれ対応させると、電極14に負電位を印加すると同時に可変抵抗素子10に流れる電流を制御することによって、可変抵抗素子10の情報を「00」から「01」、または「01」から「11」、または「10」から「11」等の、可変抵抗素子10の抵抗がより低くなる方向へ情報を変えることができる。同様に、電極14に正電位を印加することによって、可変抵抗素子10の情報を「01」または「10」または「11」から、「00」に戻すことができる。

【0035】

(読み出し)

上記のように記録された情報の読み出しを行う場合には、電極14に書き込み動作が起きない程度の負電位を印加すると共に電極11に正電位を印加、または逆に電極14に消去動作が起きない程度の正電位を印加すると共に電極11に負電位を印加して、イオン源層12および高抵抗層13に電流を流すと、書き込み状態の抵抗値、消去状態の抵抗値に対応した微小な電流が流れる。この電流値を、例えばメモリセルアレイの外部に設置したセンスアンプなどで検出することにより、可変抵抗素子10が低抵抗状態(「1」)か、高抵抗状態(「0」)かを判別することができる。これは多値の場合も同様である。

【0036】

このように、本実施の形態の可変抵抗素子10では、電極11、イオン源層12、高抵抗層13および電極14を積層しただけの簡易な構造であるので、微細化しても情報の書き込みおよび消去を行うことができると共に、電力の供給がなくても、高抵抗層13の抵抗値を保持することができるので、情報を長期に渡って保存することができる。また、読み出しによって高抵抗層13の抵抗値が変化することなく、リフレッシュ動作を行う必要がないので、その分だけ消費電力を低減することが可能である。

【0037】

(ベリファイ)

前述のようにベリファイ制御では、書き込み動作後に読み出し(ベリファイ読み出し)を行い、可変抵抗素子10が低抵抗であったら書き込み成功として書き込み動作を終了し、高抵抗であったら書き込み失敗として再書き込みを行う。そして、このサイクルをある上限回数まで繰り返す。以下、そのベリファイ制御について説明する。

【0038】

図3に示した等価回路では、セル印加電流は以下のように近似することができる。

【数1】

$$I_{\text{セル印加電流}} \doteq \frac{1}{2} \cdot \frac{W}{L} \mu_s C_{\text{ox}} (V_g - V_s - V_t)^2 = \frac{1}{2} \cdot \frac{W}{L} \mu_s C_{\text{ox}} (V_{\text{WL}} - V_{\text{BLT}} - V_t)^2$$

ここで、W：チャネル幅、L：チャネル長、 μ_s ：キャリアの表面移動度、 C_{ox} ：単位面積当たりのゲート容量、 V_g ：ゲート電圧、 $V_s (= 0V)$ ：ソース電圧、 V_t ：閾値電圧、 V_{WL} ：ワード線電圧、 V_{BLT} ：ビット線BLT電圧である。

【0039】

ベリファイ時の書き込み電流の調整は、上記の電流式から、主にトランジスタ20のゲート・ソース間の電位差(V_{GS})によってなされ、具体的には V_{WL} 、ビット線BLTに印加される電圧 V_{BLT} のうちのいずれか、またはその両者によって調整される。所望の抵抗値レベルに達せずに再書き込みを行うときには、 V_{GS} を前回の書き込みよりも電圧を増加させて、記録抵抗を調整する。図4はこの様子を模式的に表わしたものである。 V_{GSmin} を初期値とし、サイクル上限10回、電圧上限 V_{GSmax} までベリファイを行う例である。電圧は毎回 V_{GS} だけ増加させる。図中でベリファイ読み出しは図示していないが、ベリファイ読み出しは電圧パルスの印加後に挿入される。

10

20

30

40

50

【 0 0 4 0 】

しかしながら、多値記録の場合には、全ての多値情報の抵抗値レベルに対応するVGSの初期値VGSminを固定値とすると、以下に説明するようにペリファイに必要な時間が長くなるという問題がある。

【 0 0 4 1 】

図5は上記VGSとセル記録抵抗との関係の一例を表したものである。多値記録の一例として、2bit/セル、すなわち4値/セルの多値メモリであり、4値のうち3値を書き込み側で実現し、残り1値を消去で実現するとすれば、図4(ペリファイ模式図)、図6(抵抗値の遷移)に示したように、上記ペリファイ動作を抵抗値レベルになるまでVGSをステップアップしながら調整する必要がある。しかしながら、3値全ての多値情報に対応するVGSの初期値VGSminを同じ固定値とすると、所望の抵抗値レベルによっては他の抵抗値レベルと比較してペリファイ回数が増えてしまい、結果的にペリファイに必要な時間が長くなる。そこで、本実施の形態では、以下のようにメモリセル1のVGSの初期値を多値情報の各抵抗値レベルに応じて異なるように設定するものである。

【 0 0 4 2 】

図7は、説明を簡単にするために図3の等価回路においてビット線BLTを接地させたもので、これにより可変抵抗素子10に流れる電流はWL調整回路24によりVWLのみで制御されるようになっている。このときのセル印加電流は以下ようになる。

【 0 0 4 3 】

【 数 2 】

$$\text{セル印加電流} \doteq \frac{1}{2} \cdot \frac{W}{L} \mu_{s\text{Cox}} (V_g - V_s - V_t)^2 = \frac{1}{2} \cdot \frac{W}{L} \mu_{s\text{Cox}} (V_{WL} - V_t)^2$$

【 0 0 4 4 】

図8は、メモリセル10のVGS(=VWL)セル記録抵抗特性、およびVGS(VWL)の初期値設定例を表している。ここでは、2bit/セル、すなわち4値/セルのうち3値を書き込み側で実現し、残り1値を消去で実現するため、書き込み側で3値の記録を行う。情報“01”であれば狙いとなる抵抗値レベル“01”に対応するVGS(VWL)=1.7Vよりも手前に初期値VGS01を設定し、情報“00”であれば狙いとなる抵抗値レベル“00”に対応するVGS=2.2Vよりも低く、かつ、上記VGS01よりも高い値を初期値VGS00として設定する。これによりペリファイに要するサイクル回数の短縮が可能となる。

【 0 0 4 5 】

図9(A)~(C)は、このように多値情報に応じたペリファイ制御の例を表すものである。図9(A)~(C)のレベルのいずれにおいても、書き込み動作後にペリファイ読み出しを行い、低抵抗であったら書き込み成功として書き込み動作を終了し、高抵抗であったら書き込み失敗として再書き込みを行う。このサイクルをある上限回数まで繰り返す。再書き込みを行う場合には、VWLを前回の書き込みよりも電圧を増加させて書き込み電流を増大させ、抵抗値レベルを調整する。

【 0 0 4 6 】

なお、上記では説明を簡単にするために、ビット線BLTを接地させた例について説明したが、図3に示したようにビット線BLTに対して第3電源23からVBLTを印加する場合においても本発明は適用できるものである。なお、このときVGS=VWL-VBLTとして、ペリファイ制御を行う。このときのセル印加電流は数1に示したようになる。

【 0 0 4 7 】

以上のように本実施の形態では、トランジスタ20のゲート・ソース間の電位差VGS

10

20

30

40

50

の初期値を多値情報の各抵抗値レベルに応じて個別に設定するようにしたので、ベリファイに要するサイクル回数を低減させ、多値記録に要する時間を大幅に短縮することができる。

【0048】

なお、図12はベリファイ回数とビット数(任意軸)との関係を表したものであり、同図(A)はVWLの初期値を各抵抗値レベルにおいて同一としてベリファイを行った場合、同図(B)はVWLの初期値を各抵抗値レベルに応じて最適化してベリファイを行った場合の結果を表すものである。これによりVWLの初期値を各抵抗値レベルに応じて最適化することにより、ベリファイ回数を大幅に低減できることが分かる。

【0049】

次に、本発明の第2の実施の形態について説明するが、第1の実施の形態と共通の要素については、その説明は省略し、異なる点についてのみ説明する。

【0050】

[第2の実施の形態]

本実施の形態では、第1の実施の形態と同様に、ベリファイ制御時において、トランジスタ20のVGSの初期値を多値情報の各抵抗値レベルに応じて個別に設定することに加えて、再記録時の増加分VGSも、各抵抗値レベルに応じて異なる値とすることにより、抵抗値レベル間に必要とされるマージンを十分に確保することができるようにしたものである。

【0051】

ベリファイ制御では、メモリセルの抵抗変化が線形である場合には多値情報のいずれの抵抗値レベルにおいてもVGSを固定値とすればよいが、抵抗変化が非線形である場合には、VGSを抵抗値レベル毎に異なる値とすることが望ましい。以下、その理由について説明する。

【0052】

上述のようにベリファイ制御では、所望の抵抗値レベルになるまでVGSをステップアップ、またはステップダウンしながら調整する必要があるが、VGSとセル記録抵抗との関係は図5に示したように必ずしも線形とはならない。従って、ステップ量を同一にすると、所望の多値レベルによってはベリファイによって抵抗値がオーバーしてしまう現象が発生し、結果的にレベル間に必要なマージンが取れなくなる場合がある。このような場合には、以下のようなベリファイ制御を実行すればよい。

【0053】

図10はメモリセル1のVGS(ここではVGS = VWL) - セル記録抵抗特性におけるセル記録抵抗の変化の様子を表すものである。図10によると、記録電流の小さい、すなわちVGSが小さい領域においては、セル記録抵抗の変化の幅が大きく、記録電流が大きくなるに従って、すなわちVGSが大きくなるに従ってセル記録抵抗の変化の幅が徐々に小さくなっていることが判る。よって、このような特性を持ったセルに対して多値記録を行うには、記録抵抗の変化幅が大きい(VGSが小さい)領域ではベリファイにおけるVGSステップ電圧VGSを他のステップ電圧設定値よりも小さく設定し、逆に、記録抵抗の変化幅が小さい(VGSが大きい)領域ではベリファイにおけるVGSステップ電圧VGSを他のステップ電圧設定値よりも大きく設定する、すなわち、記録抵抗の変化幅(図10の傾きに相当)の大小関係に対応したステップ電圧を設定することが有効となる。

【0054】

図11(A)~(C)は、そのような場合のベリファイ制御の模式図を示したものである。ここでは、図9と同じく2bit/セル、すなわち4値/セルのうちの3値を書き込み側で実現し、残り1値を消去で実現するため、書き込み側で3値の記録をする例を示している。図11(A)~(C)ともに、書き込み動作後にベリファイ読み出しを行い、低抵抗であったら書き込み成功として書き込み動作を終了し、高抵抗であったら書き込み失敗として再書き込みを行う。このサイクルをある上限回数まで繰り返す。再書き込みを行

10

20

30

40

50

う場合には、VWLを前回の書き込みよりも電圧を増加させて書き込み電流を増大させ、書き込みの成功率を向上させるものである。

【0055】

本実施の形態では、最も低い抵抗値レベルに対応する情報“00”を記録するときには図11(A)に示したように他の情報よりも大きいステップ電圧 VWL00に設定し、最も高い抵抗値レベルに対応する情報“10”を記録するときには図11(C)に示したように他の情報よりも小さいステップ電圧 VWL10に設定し、両者の中間抵抗値レベル“01”を記録する場合には図11(B)のように両者の中間のステップ電圧 VWL01に設定する。

【0056】

以上のように本実施の形態では、多値情報の抵抗値レベルに応じて VGSを異なる値とするようにしたので、抵抗値レベルの調整能力が向上し、抵抗値レベル間に必要とされるマージンを十分に確保することができる。その他の作用効果は第1の実施の形態と同様である。

【0057】

以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されるものではなく、種々変形可能である。例えば、上記実施の形態では、可変抵抗素子10に流れる電流をWL調整回路24によりVWLのみで制御するものとしたが、図13および図14に示したように、VWLを一定とし、第3電源23のVBLTを調整回路25により変更可能とし、これによりVGS(=VWL-VBLT)を変更できるようにしてもよい。

【0058】

また、上記実施の形態では、トランジスタ20のゲート・ソース間の電位差の増加分VGSを各サイクル毎に同じ値としているが、例えば図15に示したVGS1, VGS2, VGS3, …のように各サイクル毎にVGSを順次増加させるようにしてもよい。

【0059】

また、上記実施の形態では、1つの選択トランジスタに対して1つの可変抵抗素子10を接続したメモリセル(所謂1T-1R型のメモリセル)を例に挙げて説明したが、本発明は1つの選択トランジスタに対して複数の可変抵抗素子10を接続した構成のメモリセルについて適用することも可能である。

【0060】

更に、可変抵抗素子10の構造についても上記実施の形態のものに限らず、他の構成、例えば図2の断面構成において、イオン源層12と高抵抗層13との積層順序を逆にした構成としたもの、あるいはイオン源層12を設ける代わりにイオン源層12に用いられる金属元素を高抵抗層13に含有させた構成のもの、更にはイオン源層12に用いられる金属元素を電極に含有させて、電極がイオン源層12を兼ねるようにした構成のものなどでもよく、本発明はこのような可変抵抗素子を用いた記憶装置のいずれにも適用可能である。更には、記憶素子としては上記のような可変抵抗素子10に限らず、その他の素子、例えば相変化メモリを用いることも可能であり、このようなメモリを用いた記憶装置としてもよい。

【0061】

また、スイッチング素子として、NMOS構成のトランジスタ20を用いたが、PMOS構成のトランジスタを用いてもよく、更に、本発明のスイッチング素子は、2つの出力端子および制御端子を有するものであればよく、MOSトランジスタの他、バイポーラトランジスタを用いることも可能である。

【図面の簡単な説明】

【0062】

【図1】本発明の第1の実施の形態に係る記憶装置(メモリセル)の回路構成図である。

【図2】図1に示したメモリセルの構成を表す断面図である。

10

20

30

40

50

- 【図3】図1に示したメモリセルの情報書き込み時の等価回路図である。
- 【図4】ベリファイ制御を説明するための波形図である。
- 【図5】メモリセルのVGSセル記録抵抗特性を表すものである。
- 【図6】抵抗値の遷移状態を説明するための図である。
- 【図7】他のメモリセルの情報書き込み時の等価回路図である。
- 【図8】VGSの大きさに対するセル記録抵抗およびVGSの初期値設定例を説明するための図である。
- 【図9】第1の実施の形態でのベリファイ制御を説明するための波形図である。
- 【図10】VGSの大きさに対するセル記録抵抗の変化幅を説明するための図である。
- 【図11】第2の実施の形態でのベリファイ制御を説明するための波形図である。
- 【図12】第1の実施の形態でのベリファイ回数とビット数との関係を表したものである。

10

- 【図13】変形例に係る等価回路図である。
- 【図14】図13の回路でのベリファイ制御を説明するための波形図である。
- 【図15】他のベリファイ制御を説明するための波形図である。
- 【図16】従来の記憶装置(メモリセル)の回路構成図である。
- 【図17】図16に示したメモリセルの構成を表す断面図である。

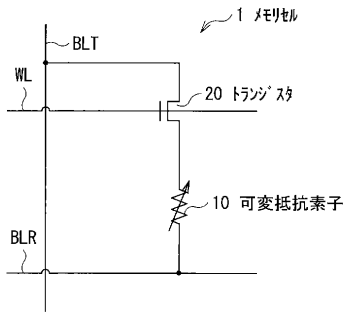
【符号の説明】

【0063】

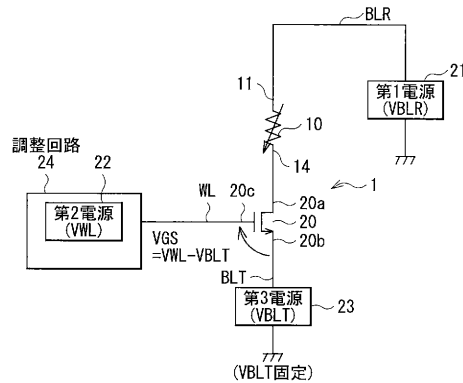
1...メモリセル、10...可変抵抗素子(記憶素子)、11, 14...電極、12...イオン源層、13...高抵抗層、20...選択トランジスタ、21...第1電源、22...第2電源、23...第3電源)、24, 25...調整回路

20

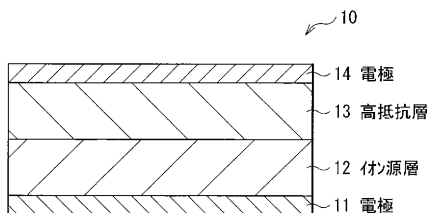
【図1】



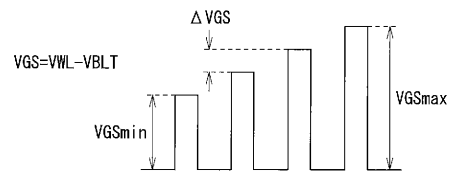
【図3】



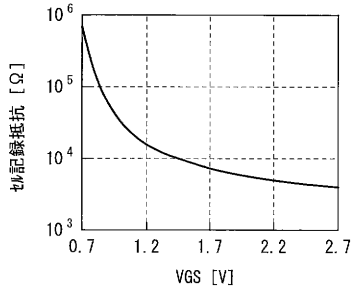
【図2】



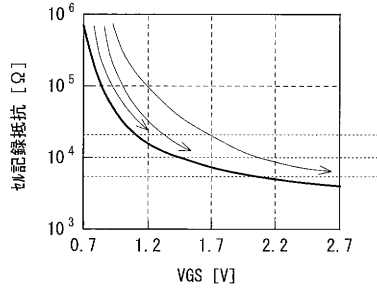
【図4】



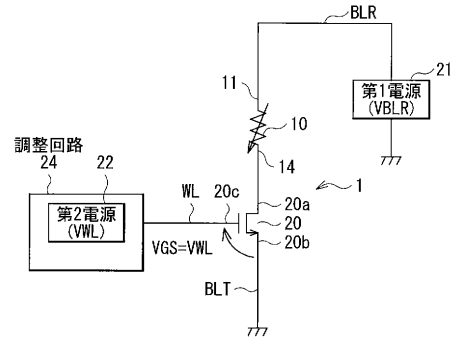
【図5】



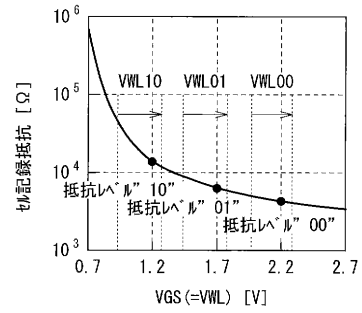
【図6】



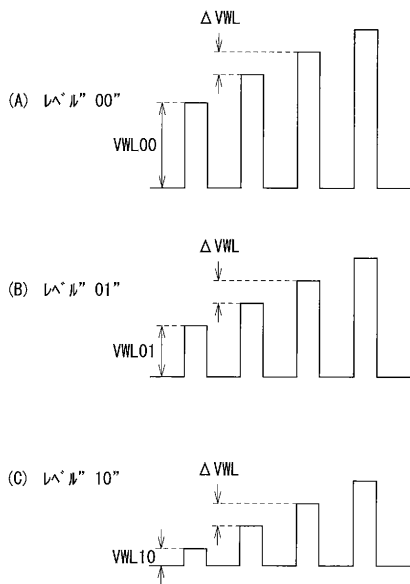
【図7】



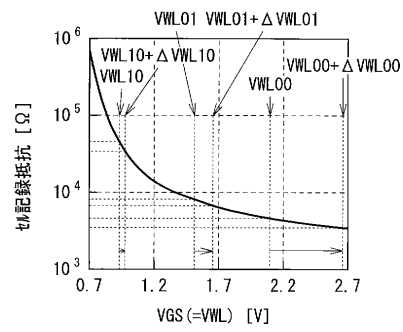
【図8】



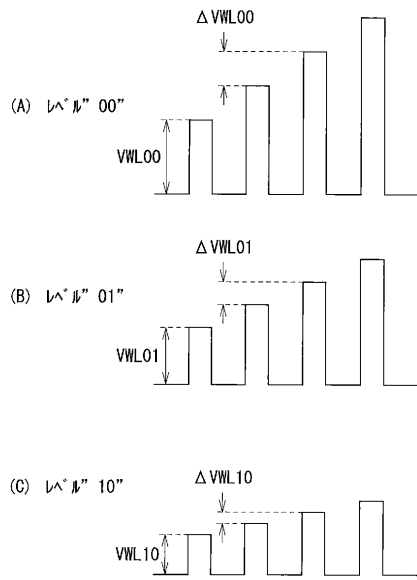
【図9】



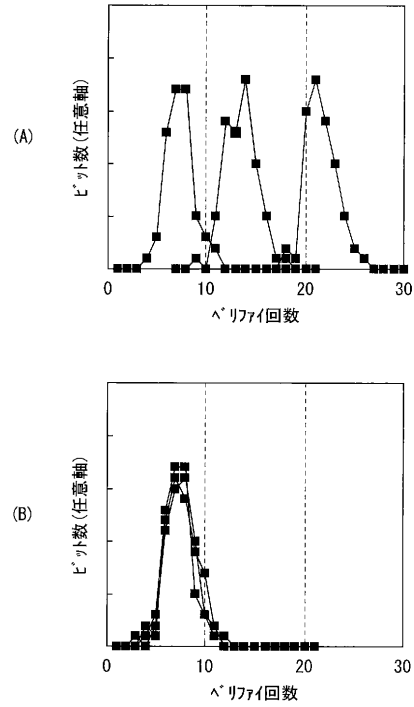
【図10】



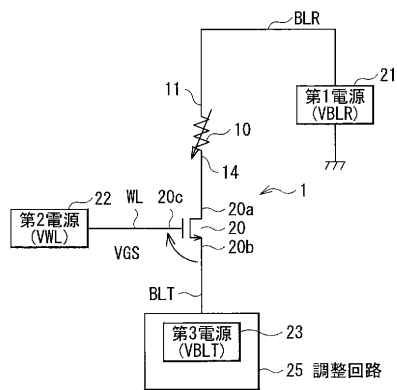
【図11】



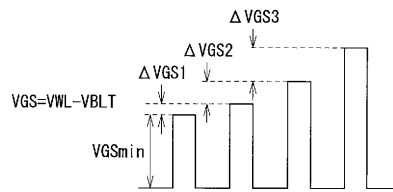
【図12】



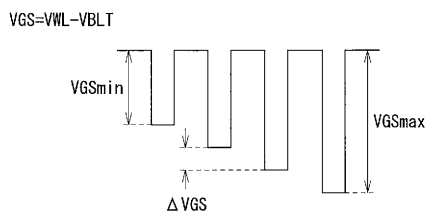
【図13】



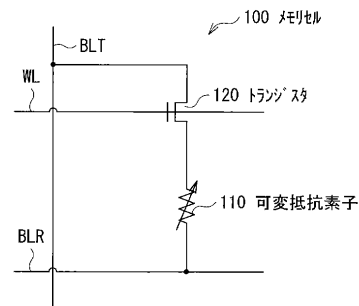
【図15】



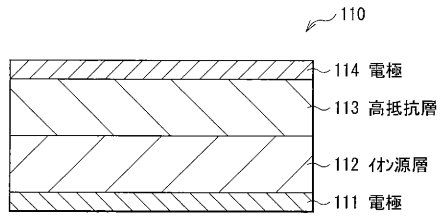
【図14】



【図16】



【図 17】



フロントページの続き

(72)発明者 保田 周一郎
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 後藤 彰

(56)参考文献 特開2004-185756(JP,A)
特開2005-235360(JP,A)
特開2007-018615(JP,A)
特開2008-140535(JP,A)
特許第4356786(JP,B2)

(58)調査した分野(Int.Cl., DB名)
G11C 13/00