

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4898024号
(P4898024)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl.		F I		
HO 1 L 21/8238 (2006.01)		HO 1 L 27/08	3 2 1 D	
HO 1 L 27/092 (2006.01)		HO 1 L 27/06	1 0 2 A	
HO 1 L 27/06 (2006.01)		HO 1 L 27/04	P	
HO 1 L 21/8234 (2006.01)				
HO 1 L 27/04 (2006.01)				

請求項の数 11 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2001-188050 (P2001-188050)	(73) 特許権者	000002325
(22) 出願日	平成13年6月21日(2001.6.21)		セイコーインスツル株式会社
(65) 公開番号	特開2003-7847 (P2003-7847A)		千葉県千葉市美浜区中瀬1丁目8番地
(43) 公開日	平成15年1月10日(2003.1.10)	(74) 代理人	100154863
審査請求日	平成20年3月19日(2008.3.19)		弁理士 久原 健太郎
		(74) 代理人	100142837
			弁理士 内野 則彰
		(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	長谷川 尚
			千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内
		(72) 発明者	小山内 潤
			千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に熱酸化による素子分離絶縁膜を形成する工程と、
熱酸化によるゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に500 ~ 2500 の第1の多結晶シリコン膜を堆積する工程と、
前記第1の多結晶シリコン膜に不純物濃度が 1×10^{18} atoms/cm³以上となるように不純物のドーピングを行い前記第1の多結晶シリコン膜の導電型をP型にする工程と、
前記第1のP型多結晶シリコン上に500 ~ 2500 からなる高融点金属シリサイドを堆積する工程と、
前記高融点金属シリサイド上に500 ~ 3000 からなる絶縁膜を堆積する工程と、
前記第1のP型多結晶シリコンと前記高融点金属シリサイドと前記絶縁膜をエッチングし積層構造を有するポリサイドゲート電極を形成する工程と、
第1の導電型のMOSトランジスタの低濃度拡散領域に第1の導電型の不純物を 1×10^{16} ~ 1×10^{18} atoms/cm³ドーピングする工程と、
第2の導電型のMOSトランジスタの低濃度拡散領域に第2の導電型の不純物を 1×10^{16} ~ 1×10^{18} atoms/cm³ドーピングする工程と、
前記ポリサイドゲート電極上にサイドスペーサー形成用の絶縁膜を堆積する工程と、
異方性ドライエッチで前記サイドスペーサー形成用の絶縁膜をエッチングし前記ポリサ

イドゲート電極側壁にサイドスペーサーを形成する工程と、

前記ポリサイドゲート電極の形成後に、前記素子分離絶縁膜上に $500 \sim 2500$ からなる第2の多結晶シリコン膜を堆積する工程と、

前記第2の多結晶シリコン膜の全域ないしは前記第2の多結晶シリコン膜の第1の領域に第2の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ ドーピングする工程と、

前記第2の多結晶シリコン膜の第2の領域に第1の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ ドーピングする工程と、

前記第2の多結晶シリコン膜をエッチングし第2の多結晶シリコン膜からなる第1導電型の抵抗体および第2導電型の抵抗体を形成する工程と、

前記第1導電型の抵抗体の一部ないし全域に $1 \times 10^{19} \text{atoms/cm}^3$ 以上の第1の導電型の不純物をドーピングする工程と、

前記第2導電型の抵抗体の一部ないし全域に $1 \times 10^{19} \text{atoms/cm}^3$ 以上の第2の導電型の不純物をドーピングする工程と、

前記半導体基板上に中間絶縁膜を形成する工程と、

前記半導体基板上的前記中間絶縁膜にコンタクト孔を形成する工程と、

前記コンタクト孔に金属配線を設ける工程と、からなる半導体装置の製造方法。

【請求項2】

前記第1の多結晶シリコン膜への不純物導入法がボロンのイオン注入であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記第1の多結晶シリコン膜への不純物導入法が BF_2 のイオン注入であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】

前記第1の多結晶シリコン膜への不純物導入法が、前記第1の多結晶シリコン膜の堆積時に不純物を同時に混入しながら堆積する Doped-CVD 法であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】

前記高融点金属シリサイド上に堆積した前記絶縁膜が酸化膜で構成されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】

前記高融点金属シリサイド上に堆積した前記絶縁膜が酸化膜である時、前記ポリサイドゲート電極側壁に形成するサイドスペーサーの材料となる前記絶縁膜が窒化膜であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】

前記高融点金属シリサイド上に堆積した前記絶縁膜が窒化膜で構成されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】

前記高融点金属シリサイド上に堆積した前記絶縁膜が窒化膜である時、前記ポリサイドゲート電極側壁に形成するサイドスペーサーの材料となる前記絶縁膜が酸化膜であることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】

前記高融点金属シリサイド上に堆積した前記絶縁膜が酸化膜及び窒化膜及び前記酸化膜とは別層の酸化膜の積層構造で構成されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】

前記高融点金属シリサイド上に堆積した前記絶縁膜が積層構造で最上層が酸化膜である時、前記ポリサイドゲート電極側壁に形成するサイドスペーサーの材料となる前記絶縁膜が窒化膜であることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】

前記第2の多結晶シリコン膜の第1の領域の一部及び全域への $1 \times 10^{19} \text{atoms/cm}^3$ 以

10

20

30

40

50

上の第1の導電型の不純物ドーピングが第1の導電型のMOSトランジスタの拡散領域ドーピングと同時であり、前記第2の多結晶シリコン膜の第2の領域の一部及び全域への 1×10^{19} atoms/cm³以上の第2の導電型の不純物ドーピングが第2の導電型のMOSトランジスタの拡散領域ドーピングと同時であることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は抵抗回路を有する相補型MOS半導体装置において低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器(Voltage Detector、以後VDと表記)や定電圧レギュレータ(Voltage Regulator、以後VRと表記)やスイッチングレギュレータ(Switching Regulator、以後SWRと表記など)などのパワーマネジメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置の製造方法に関する。

10

【0002】

【従来の技術】

従来多結晶シリコンなどの抵抗体を使用した抵抗回路を有する相補型MOS半導体装置は数多く使用されている。図14は従来の抵抗回路を備えた半導体装置の構造の一実施例を示したものである。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャンネル型MOSトランジスタ(以後NMOSと表記)と、Nウェル領域に形成されたゲート電極がやはりN+型の多結晶シリコンからなるPチャンネル型MOSトランジスタ(以後PMOSと表記)とからなる相補型MOS構造(Complementary MOS、以後CMOS表記)と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられる抵抗体とから構成されている。

20

【0003】

【発明が解決しようとする課題】

この抵抗回路を有する相補型MOS(CMOS)半導体装置において、ゲート電極の極性はその製造の容易さ、安定性より、N+型多結晶シリコンがよく用いられている。この場合ゲート電極と半導体基板(ウェル)の仕事関数の関係よりNMOSトランジスタは表面チャンネル型となるが、PMOSトランジスタの場合、やはりゲート電極と半導体基板の仕事関数の関係によりしきい値電圧は約-1Vとなる。そのためしきい値電圧を低下させるために不純物注入を行うと、表面より少し基板内部にチャンネル形成する埋め込みチャンネルとなってしまう。埋め込みチャンネルは基板内部をキャリアが通過するため移動度が大きいという利点があるが、しきい値電圧を下げるとサブスレッショルド特性は極めて劣化し、リーク電流が増加する。そのためNMOSトランジスタに比べPMOSトランジスタは低電圧化、短チャンネル化が困難である。

30

【0004】

またNMOSトランジスタ、PMOSトランジスタともに低電圧化が可能となる構造として、ゲート電極の極性をトランジスタの極性と等しくする同極ゲート構造というものがある。この構造はNMOSトランジスタのゲート電極にはN+型多結晶シリコン、PMOSトランジスタにはP+型多結晶シリコンを用いるためどちらも表面チャンネル型となりリーク電流を抑えることができ低電圧化が可能となる。しかしながらゲート電極の極性を別々にすることによる製造工程数が増加し製造コストや製造工期の増大を招き、さらに最も基本的な回路要素であるインバータ回路においては通常は、面積効率の向上のためにNMOSトランジスタとPMOSトランジスタのゲート電極はメタルを介しての結線を避け平面的にNMOSトランジスタからPMOSトランジスタまで連続な1個の多結晶シリコンないしは多結晶シリコンと高融点金属シリサイドとの積層からなるポリサイド構造によりレイアウトされるが、図4に示すような多結晶シリコン単層から形成される場合にはその多結晶シリコン中のPN接合のインピーダンスが高く実用的でないこと、図5に示すようなポリサイド構造の場合にはN型とP型の不純物は工程における熱処理中に高融点金属シリサイド中を高速でお互いに逆導電型のゲート電極へ拡散し、その結果として仕事関数が変

40

50

化してしきい値電圧が安定しないなどの、コスト面や特性面において問題を有している。

【0005】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【0006】

(1) 半導体基板上に熱酸化による素子分離絶縁膜を形成する工程と、熱酸化によるゲート絶縁膜を形成する工程と、ゲート絶縁膜上に500 ~ 2500 の第1の多結晶シリコン膜を堆積する工程と、第1の多結晶シリコン膜に不純物濃度が 1×10^{18} atoms/cm³以上となるように不純物をドーピングを行い第1の多結晶シリコン膜の導電型をP型する工程と、第1のP型多結晶シリコン上に500 ~ 2500 からなる高融点金属シリサイドを堆積する工程と、高融点金属シリサイド上に500 ~ 3000 からなる絶縁膜を堆積する工程と、第1のP型多結晶シリコンと高融点金属シリサイドと絶縁膜をエッチングし積層のポリサイドゲート電極を形成する工程と、第1の導電型のMOSトランジスタの低濃度拡散領域に第1の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³ドーピングする工程と、第2の導電型のMOSトランジスタの低濃度拡散領域に第2の導電型の不純物を $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³ドーピングする工程と、ポリサイドゲート電極上にポリサイドゲート電極と同程度の膜厚の絶縁膜を堆積する工程と、異方性ドライエッチで絶縁膜をエッチングしポリサイドゲート電極側壁にサイドスペーサーを形成する工程と、素子分離絶縁膜上に500 ~ 2500 からなる第2の多結晶シリコン膜を堆積する工程と、第2の多結晶シリコン膜の全域ないしは第2の多結晶シリコン膜の第1の領域に第2の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18}$ atoms/cm³ドーピングする工程と、第2の多結晶シリコン膜の第2の領域に第1の導電型の不純物を $1 \times 10^{14} \sim 9 \times 10^{18}$ atoms/cm³ドーピングする工程と、第2の多結晶シリコン膜をエッチングし第2の多結晶シリコン膜の抵抗体を形成する工程と、第2の多結晶シリコン膜の第1の領域の一部ないし全域に 1×10^{19} atoms/cm³以上の第1の導電型の不純物をドーピングする工程と、第2の多結晶シリコン膜の第2の領域の一部ないし全域に 1×10^{19} atoms/cm³以上の第2の導電型の不純物をドーピングする工程と、半導体基板上に中間絶縁膜を形成する工程と、半導体基板上の中間絶縁膜にコンタクト孔を形成する工程と、コンタクト孔に金属配線を設けることからなる半導体装置の製造方法とした。

【0007】

(2) 第1の多結晶シリコン膜への不純物導入法がボロンのイオン注入であることを特徴とする半導体装置の製造方法とした。

【0008】

(3) 第1の多結晶シリコン膜への不純物導入法が、BF₂のイオン注入であることを特徴とする半導体装置の製造方法とした。

【0009】

(4) 第1の多結晶シリコン膜への不純物導入法が、第1の多結晶シリコン膜の堆積時に不純物を同時に混入しながら堆積するDoped-CVD法であることを特徴とする半導体装置の製造方法とした。

【0010】

(5) 高融点金属シリサイド上に堆積した絶縁膜が酸化膜で構成されていることを特徴とする半導体装置の製造方法とした。

【0011】

(6) 高融点金属シリサイド上に堆積した絶縁膜が酸化膜である時、ポリサイドゲート電極側壁に形成するサイドスペーサーの材料となる絶縁膜が窒化膜であることを特徴とする半導体装置の製造方法とした。

【0012】

(7) 高融点金属シリサイド上に堆積した絶縁膜が窒化膜で構成されていることを特徴とする半導体装置の製造方法とした。

【0013】

10

20

30

40

50

(8) 高融点金属シリサイド上に堆積した絶縁膜が窒化膜である時、ポリサイドゲート電極側壁に形成するサイドスペーサーの材料となる絶縁膜が酸化膜であることを特徴とする半導体装置の製造方法とした。

【0014】

(9) 高融点金属シリサイド上に堆積した絶縁膜が酸化膜及び窒化膜及び別層の酸化膜の積層構造で構成されていることを特徴とする半導体装置の製造方法とした。

【0015】

(10) 高融点金属シリサイド上に堆積した絶縁膜が積層構造で最上層が酸化膜である時、ポリサイドゲート電極側壁に形成するサイドスペーサーの材料となる絶縁膜が窒化膜であることを特徴とする半導体装置の製造方法とした。

10

【0016】

(11) 第2の多結晶シリコン膜の第1の領域の一部及び全域への 1×10^{19} atoms/cm³以上の第1の導電型の不純物ドーピングが第1の導電型のMOSトランジスタの拡散領域ドーピングと同時であり、第2の多結晶シリコン膜の第2の領域の一部及び全域への 1×10^{19} atoms/cm³以上の第2の導電型の不純物ドーピングが第2の導電型のMOSトランジスタの拡散領域ドーピングと同時であることを特徴とする半導体装置の製造方法とした。

【0017】

【発明の実施の形態】

以下、本発明の実施例を図面を用いて詳細に説明する。

20

図1は本発明の抵抗回路を有するCMOS半導体装置の一実施例を示す断面図である。

【0018】

本実施例では、P型シリコン半導体基板101中に基板とは逆導電型のN型ウェル拡散層領域102が形成されている。さらにシリコン半導体基板101中には基板とは逆導電型の不純物拡散層によるN型MOSトランジスタ114、N型ウェル拡散層領域102にはウェルと逆導電型の不純物拡散層によるP型MOSトランジスタ115が形成されている。そしてゲート絶縁膜105、ゲート電極となるP+型多結晶シリコン107と高融点金属シリサイド112の積層ポリサイド構造で、おのおののトランジスタが構成されている。そしてゲート電極のマスク材として酸化膜絶縁膜113をゲート電極の上に堆積させている。ここでゲート電極のマスク材として窒化膜を用いても構わない。また、ここではP型シリコン半導体基板を用いたが、N型シリコン基板上にP型ウェル拡散層を形成し、そこにCMOS半導体装置を構成しても構わない。

30

【0019】

また本実施例において、フィールド絶縁膜106上に第1導電型であるN型の第2の多結晶シリコン抵抗体116と、第2導電型であるP型の第2の多結晶シリコン抵抗体117が形成されているが、CMOSのゲート電極の一部である多結晶シリコン107と多結晶シリコン抵抗体116、117は別工程で形成され、膜厚も異なっており、多結晶シリコン抵抗体の方がゲート電極より薄く形成されている。たとえばゲート電極膜厚は2000から6000程度の膜厚であるのに対し、抵抗体の膜厚は500から2500で形成される。これは多結晶シリコン抵抗体においては膜厚は薄い方がシート抵抗値を高く設定でき、また温度特性も良くなるため、より精度を向上させることができる。

40

【0020】

N型多結晶シリコン抵抗体116には高抵抗領域110と抵抗体両端に配線材と十分なコンタクトを取ることの出来る高濃度不純物領域108を有している。そして高抵抗領域110の不純物濃度をイオン注入で制御し、所望の抵抗値を有する抵抗体を形成する。同様にP型多結晶シリコン抵抗体117にも高抵抗領域111と高濃度不純物領域109を有し、高抵抗領域の不純物濃度により抵抗値を設定する。

【0021】

例えば、シート抵抗値はその抵抗の用途にもよるが通常に分圧回路においては数k / から数十k / の範囲で使われる。この時の不純物はP-抵抗体117においてはボロ

50

ンないし BF_2 を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ 程度の濃度であり、N - 抵抗体 116 においてはリンないし砒素を用い $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ 程度の濃度である。

【0022】

また図1にはN - 抵抗体 116 およびP - 抵抗体 117 の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的でN - 抵抗体 116 もしくはP - 抵抗体 117 のどちらかしか搭載しない場合もある。

【0023】

このようにゲート電極をP + 型とすることでPMOSトランジスタは表面チャネルとなり、しきい値電圧を低く設定しても埋め込みチャネル時に比べリーク電流を抑えることが可能となる。一方NMOSトランジスタの場合は、ゲート電極をP + 型にすると埋め込みチャネルとなるが

10

しきい値電圧の低下のための不純物注入にはボロンより拡散係数の小さい砒素を使うことになる。そのためN + 型ゲート電極のPMOSトランジスタに比べ表面チャネルに近い状態になり、また砒素はシリコンと酸化膜の界面付近に凝縮する性質があるので、さらに表面チャネルに近づく。よってN型MOSトランジスタもしきい値電圧を下げてモリーク電流を抑えることができ、低電圧動作が可能となる。また同極ゲート構造に対し、N型MOSトランジスタ、P型MOSトランジスタともにゲートをP + 型にすることで製造工程が簡単となり、コストを下げる事が可能となる。

【0024】

20

さらに図1においてはアナログ回路において重要であるチャンネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的として、ソースとドレインに低濃度不純物拡散層N - 120、P - 121と、ゲート電極からサイドスペーサ123の距離だけ離れて設けた高濃度不純物拡散層N + 103、P + 104を有するいわゆるLightly Doped Drain (LDD) 構造からなるMOSトランジスタ構造としている。この構造は高濃度不純物拡散層が自己整合的に形成されるため微細化に有利な構造である反面、耐圧の向上に制限があるというデメリットも有している。

【0025】

図1に示すLDD構造は例えば低濃度不純物拡散層をイオン注入法と熱処理により形成した後、CVD法(化学気相成長法)により絶縁膜被着し異方性ドライエッチングを行うことでサイドスペーサを形成し、自己整合的に高濃度不純物拡散層をイオン注入法により設けることで形成される。低濃度不純物拡散層は、NMOS 114のN - 120の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms/cm}^3$ 程度であり、PMOS 115のP - 121の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{atoms/cm}^3$ 程度である。高濃度不純物拡散層は、NMOS 114のN + 103の場合には不純物としてリンないしは砒素を用い濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上であり、PMOS 115のP + 104の場合には不純物としてボロンないしは BF_2 を用い濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上である。またサイドスペーサ123の幅は通常は $0.2 \mu\text{m}$ から $0.5 \mu\text{m}$ 程度である。

30

【0026】

40

以上の説明により本発明によるP + 多結晶シリコン単極をゲート電極としたCMOSは、従来のN + 多結晶シリコン単極をゲート電極としたCMOSに比べ、低電圧動作および低消費電力に対し有効な技術であり、さらにゲート電極と異なる多結晶シリコンの抵抗体とLDD構造トランジスタを有する半導体装置とすることでアナログ回路に必要となる高機能、高精度がより可能となる。

【0027】

次に図1に示す半導体装置の製造工程の一実施例を図2をもとに説明する。

【0028】

P型シリコン半導体基板101に例えばリンをイオン注入し、1000 ~ 1175 で3 ~ 20時間アニールを行いリンを拡散させ、不純物濃度が $1 \times 10^{16} \text{atoms/cm}^3$ 程度とな

50

るようなN型ウェル拡散層102を形成する。その後LOCOS法によりフィールド絶縁膜106を形成、熱酸化によるゲート絶縁膜105を膜厚が100~300ほど形成し、所望のしきい値電圧を得るためイオン注入したのち、減圧CVD法で第1の多結晶シリコン膜を膜厚500から2500ほど堆積させる。そしてこの第1の多結晶シリコン中の不純物濃度が 1×10^{18} atoms/cm³以上となるようにボロンもしくはBF₂をイオン注入し、P+型多結晶シリコン膜107を形成する(図2)。ここではイオン注入によりP+型多結晶シリコン膜を形成したが、多結晶シリコンを堆積する際にたとえばボロンなどの不純物を同時に混入しながら堆積させるDoped-CVD法でP+型多結晶シリコン膜を形成してもかまわない。その後スパッタ法等で高融点金属シリサイドであるタングステンシリサイド112をP+型多結晶シリコン膜上に堆積させる。尚、ここでは高融点金属シリサイドにタングステンシリサイドを用いたが、モリブデンシリサイドやチタンシリサイド、またはプラチナシリサイドを用いることも可能である。そしてP+型ゲート電極にN型不純物導入を回避のためのマスク材として例えば減圧CVD法により酸化膜絶縁膜113を500から3000堆積させ(図3)、フォトレジストでパターンニングを施しP+型ゲート電極を形成する。ここでマスク材としては窒化膜を使用しても構わない。そして熱酸化もしくは減圧CVD法等を用いてゲート電極部および半導体基板表面に酸化膜を100~500形成する(図4)。また、ここで、P+型ゲート電極上の絶縁膜113は高品質なキャパシター形成を目的として、例えば300の酸化膜、500の膜厚のCVD法による窒化膜、10程度の膜厚の熱酸化膜からなる積層構造である絶縁膜を用いても構わない。

【0029】

次に図5に示すように、フォトレジスト119をパターンニングしN型不純物である砒素またはリンをイオン注入法により不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³程度となるようにドーピングし、NMOSトランジスタのソースおよびドレインのN型低濃度不純物領域120を形成する。そしてフォトレジスト除去後、図6に示す様に、新たにフォトレジスト119をパターンニングしP型不純物であるボロンないしBF₂をイオン注入法により不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³程度となるようにドーピングし、PMOSトランジスタのドレインのP型低濃度不純物領域121を形成する。

【0030】

次に図7に示す様に、ゲート電極側壁にサイドスペーサーを形成するためCVD法(化学気相成長法)により絶縁膜122を被着する。このとき、ゲート電極のマスク材として絶縁膜に酸化膜を用いた場合はスペーサー材として窒化膜を、マスク材として窒化膜を用いた場合はスペーサー材として酸化膜を堆積する。これはスペーサーエッチの際、ゲートのマスク材とスペーサー材のエッチングの選択比をとるためである。その後RIE異方性ドライエッチングを行うことで図8のようにサイドスペーサー123を形成する。

【0031】

その後、図9に示すように、CVD法もしくはスパッタ法により例えば1000の膜厚の第2の多結晶シリコン118を堆積させる。そして低濃度のP型抵抗体を形成するために、第2の多結晶シリコン118全面にP型不純物であるBF₂をドーズ量を例えば 1×10^{14} atoms/cm²でイオン注入する。尚、BF₂の代わりにボロンを用いても構わない。その後図10に示すように低濃度のN型抵抗体領域をフォトレジスト119でパターンニングし選択的にリンを、例えばドーズ量 3×10^{14} atoms/cm²イオン注入する。このときN型抵抗体を安定して形成するためにリンのドーズ量はBF₂ドーズ量に対して2倍以上にする必要がある。尚、リンの代わりに砒素を用いても構わない。このように後にN型となる多結晶シリコン抵抗体領域に予めP型抵抗体のシート抵抗値を設定するボロンを導入し、後にN型不純物であるリンもしくは砒素でN型抵抗体領域を打ち返すことで、効率よくシート抵抗値を上げることが可能となる。尚、P型抵抗体領域およびN型抵抗体領域にフォトレジストなどのマスクをそれぞれ用いてイオン注入を打ち分ける方法をとっても構わない。

【0032】

10

20

30

40

50

その後フォトレジスト119を除去後、フォトレジストでパターンングしR I E異方性ドライエッチングをすることで、図11のように第1導電型のN型多結晶シリコン抵抗体116と、第2導電型のP型多結晶シリコン抵抗体117を形成する。

【0033】

次に図12に示す様に、フォトレジスト119をパターンングしN型不純物である砒素をイオン注入法によりドーズ量 5×10^{15} atoms/cm²でドーピングすることで、第1導電型であるN型の第2多結晶シリコン抵抗体116にアルミニウム配線と十分なコンタクトをとるための高濃度不純物領域108と、NMOSトランジスタのソースおよびドレインとなるN型高濃度不純物領域103を同時に形成する。また図10における第2多結晶シリコン抵抗体のN型不純物導入を省略して、代わりに図12においてのN型高濃度不純物をN型抵抗体全域へドーピングし、比較的低抵抗のN型抵抗体を形成することも可能である。

10

【0034】

その後フォトレジスト除去した後、図13に示す様に、フォトレジスト119をパターンングしP型不純物であるBF₂をイオン注入法によりドーズ量 5×10^{15} atoms/cm²でドーピングすることで、第2導電型であるP型の第2多結晶シリコン抵抗体117にアルミニウム配線と十分なコンタクトをとるための高濃度不純物領域109と、PMOSトランジスタのソースおよびドレインとなるP型高濃度不純物領域104を同時に形成する。また図13において、P型高濃度不純物をP型抵抗体全域へドーピングし、比較的低抵抗のP型抵抗体を形成することも可能である。

20

【0035】

その後は図示しないが従来の半導体プロセスと同様に、中間絶縁膜の形成、コンタクトホール形成、アルミニウム配線パターンの形成、保護膜の形成とそのパターンングを経て相補型MOS半導体装置が形成される。

【0036】

以上本発明の実施の形態をP型半導体基板を用いた実施例により説明してきたが、基板の極性を逆にしてN型の半導体基板を用いたN基板Pウェル型のP+単極ゲートCMOSによっても以上に説明してきた内容と原理に同じく低電圧動作、低消費電力、低コストである半導体装置の提供は可能である。

【0037】

【発明の効果】

上述したように、本発明はCMOSと抵抗体とを含むパワーマネージメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造の製造方法であり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極とは異なる別層の多結晶シリコンで形成することでより高精度の抵抗体を有することができる半導体装置の製造方法であるため、従来のN+多結晶シリコンゲート単極のCMOSやチャンネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であり、またより高機能、高精度なパワーマネージメント半導体装置やアナログ半導体装置の実現を可能とする。

30

【図面の簡単な説明】

40

【図1】本発明のCMOS半導体装置の一実施例を示す模式的断面図。

【図2】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図3】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図4】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図5】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図6】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図7】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図8】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図9】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

【図10】本発明のCMOS半導体装置の製造方法を示す工程順断面図。

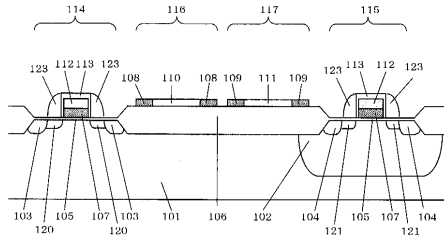
50

- 【図 1 1】本発明のCMOS半導体装置の製造方法を示す工程順断面図。
 【図 1 2】本発明のCMOS半導体装置の製造方法を示す工程順断面図。
 【図 1 3】本発明のCMOS半導体装置の製造方法を示す工程順断面図。
 【図 1 4】従来のCMOS半導体装置の一実施例を示す模式的断面図。
 【図 1 5】従来のCMOS半導体装置の一実施例を示す模式的断面図。
 【図 1 6】従来のCMOS半導体装置の一実施例を示す模式的断面図。

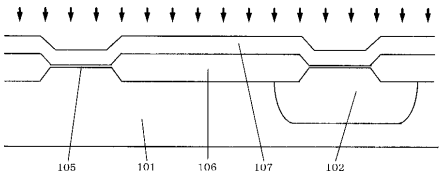
【符号の説明】

1 0 1、2 0 1	P型半導体基板	
1 0 2、2 0 2	Nウェル	
1 0 3、2 0 3	N+	10
1 0 4、2 0 4	P+	
1 0 5、2 0 5	ゲート絶縁膜	
1 0 6、2 0 6	フィールド絶縁膜	
1 0 7、2 0 7	P+多結晶シリコン	
1 0 8、2 0 8	N+多結晶シリコン	
1 0 9、2 0 9	P+多結晶シリコン	
1 1 0、2 1 0	N-多結晶シリコン	
1 1 1、2 1 1	P-多結晶シリコン	
1 1 2、2 1 2	高融点金属シリサイド	
1 1 3	絶縁膜	20
1 1 4、2 1 4	NMOS	
1 1 5、2 1 5	PMOS	
1 1 6、2 1 6	N-抵抗体	
1 1 7、2 1 7	P-抵抗体	
1 1 8	多結晶シリコン	
1 1 9	フォトレジスト	
1 2 0	N-	
1 2 1	P-	
1 2 2	絶縁膜	
1 2 3	サイドスペーサー	30
2 2 1	N+多結晶シリコン	
2 2 2	P+多結晶シリコン	

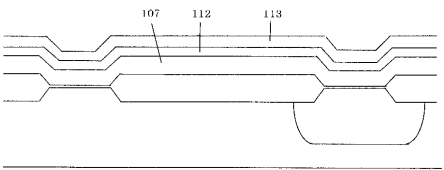
【図 1】



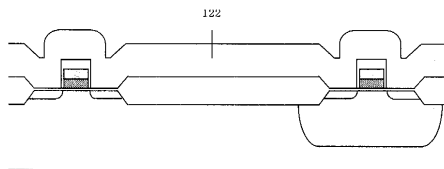
【図 2】



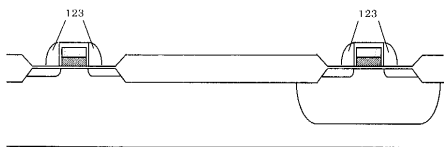
【図 3】



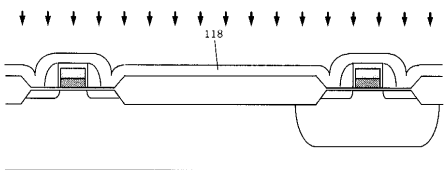
【図 7】



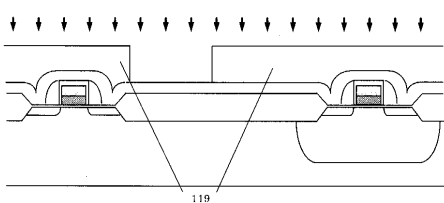
【図 8】



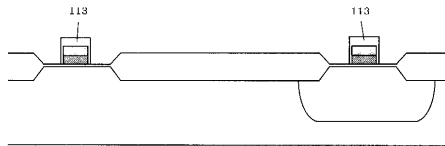
【図 9】



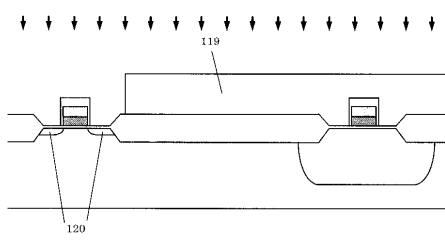
【図 10】



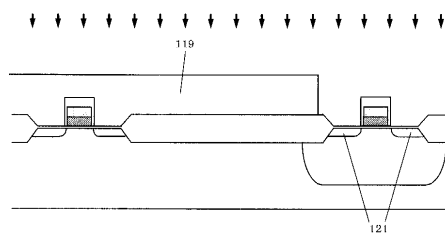
【図 4】



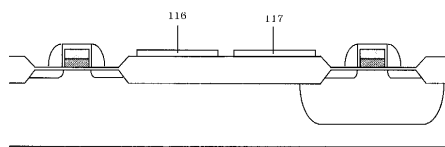
【図 5】



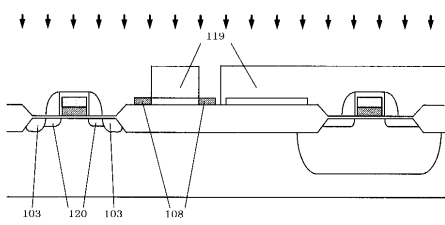
【図 6】



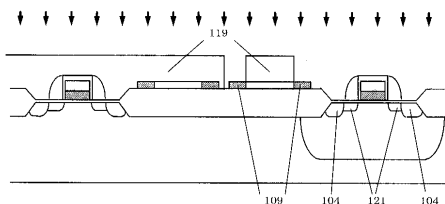
【図 11】



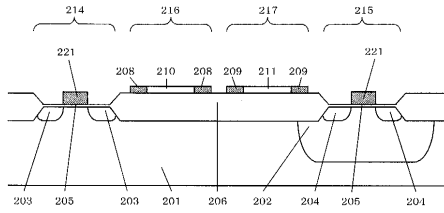
【図 12】



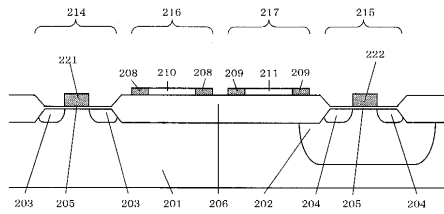
【図 13】



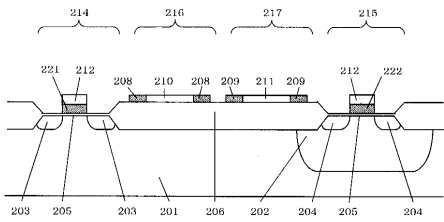
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/822 (2006.01)

審査官 宇多川 勉

(56)参考文献 特開平 1 0 - 0 0 4 1 7 9 (J P , A)
特開平 0 8 - 1 8 6 1 7 9 (J P , A)
特開平 0 4 - 0 8 4 4 2 8 (J P , A)
特開平 1 1 - 1 1 1 9 7 8 (J P , A)
特開昭 6 4 - 0 7 3 6 7 6 (J P , A)
特開 2 0 0 0 - 2 4 3 8 6 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8238
H01L 21/822
H01L 21/8234
H01L 27/04
H01L 27/06
H01L 27/092