

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-247295

(P2010-247295A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.			F I	テーマコード (参考)
B 8 1 B	3/00	(2006.01)	B 8 1 B 3/00	3 C 0 8 1
B 8 1 C	1/00	(2006.01)	B 8 1 C 1/00	
H O 1 L	41/09	(2006.01)	H O 1 L 41/08	C
H O 1 L	41/187	(2006.01)	H O 1 L 41/18	1 O 1 B
H O 1 L	41/22	(2006.01)	H O 1 L 41/22	Z

審査請求 未請求 請求項の数 5 O L (全 27 頁)

(21) 出願番号 特願2009-100958 (P2009-100958)
 (22) 出願日 平成21年4月17日 (2009. 4. 17)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100124372
 弁理士 山ノ井 傑

最終頁に続く

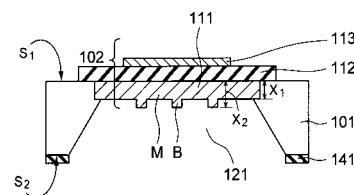
(54) 【発明の名称】 圧電MEMS素子及びその製造方法

(57) 【要約】 (修正有)

【課題】 圧電膜の膜応力によるメンブレンの不均一な撓みが原因の圧電素子特性のばらつきを抑制し、圧電素子の感度や信頼性を向上させることが可能な圧電MEMS素子及びその製造方法を提供する。

【解決手段】 圧電MEMS素子であって、基板の表面側に形成され、不純物がドーピングされており下部電極として機能する支持体111と、基板の裏面側に形成され支持体の下部に位置する裏面空洞121と、が設けられた基板101と、支持体111上に形成された圧電膜112と、圧電膜上に形成された上部電極113とを備える。支持体111は、少なくとも、第1の厚さを有する第1の支持体部分Mと、第1の厚さよりも厚い第2の厚さを有する第2の支持体部分Bとを含む。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板の表面側に形成され、不純物がドーブされており、下部電極として機能する支持体と、前記基板の裏面側に形成され、前記支持体の下部に位置する裏面空洞と、が設けられた基板と、

前記支持体上に形成された圧電膜と、

前記圧電膜上に形成された上部電極とを備え、

前記支持体は、少なくとも、第 1 の厚さを有する第 1 の支持体部分と、前記第 1 の支持体部分の前記第 1 の厚さよりも厚い第 2 の厚さを有する第 2 の支持体部分と、を含むことを特徴とする圧電 MEMS 素子。

10

【請求項 2】

前記支持体は、一様な厚さを有するメンブレン構造と、前記メンブレン構造の下面に設けられたビーム構造と、を含むことを特徴とする請求項 1 に記載の圧電 MEMS 素子。

【請求項 3】

前記圧電膜は、少なくとも、第 1 の厚さを有する第 1 の圧電膜部分と、前記第 1 の圧電膜部分の前記第 1 の厚さよりも厚い第 2 の厚さを有する第 2 の圧電膜部分と、を含むことを特徴とする請求項 1 又は 2 に記載の圧電 MEMS 素子。

【請求項 4】

前記基板には更に、前記基板の裏面側に形成され、前記裏面空洞を介して前記支持体の下方に位置し、前記基板の一部から形成された補強ビームが設けられていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の圧電 MEMS 素子。

20

【請求項 5】

基板を用意し、

前記基板の表面側から前記基板内に不純物をドーブすることで、前記基板内に、少なくとも、第 1 のドーブ深さを有する部分と、前記第 1 のドーブ深さよりも深い第 2 のドーブ深さを有する部分と、を含む不純物領域を形成し、

前記不純物領域上に圧電膜を形成し、

前記圧電膜上に上部電極を形成し、

前記不純物領域をエッチングストップパとして、前記基板の裏面側から前記基板をエッチングすることで、前記基板の表面側には、前記不純物領域を含み、下部電極として機能する支持体を形成し、前記基板の裏面側には、前記支持体の下部に位置する裏面空洞を形成する、ことを特徴とする圧電 MEMS 素子の製造方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、圧電 MEMS (Micro Electro Mechanical Systems) 素子及びその製造方法に関し、例えば、メンブレン構造を有する圧電 MEMS 素子に使用されるものである。

【背景技術】**【0002】**

近年、半導体プロセスを用いて作られた MEMS デバイスが、様々な分野において急速に普及している。MEMS デバイスの例としては、加速度センサ、ジャイロセンサ、ショックセンサ、マイクロフォン、圧力センサ等のように、力学的な物理量を検出するセンシングデバイスが挙げられる。また、別の例としては、スイッチ、可変容量素子、モータ、アクチュエータ、可動ミラー等のように、電気信号により微小構造体を機械的に変形させるデバイスが挙げられる。また、更なる別の例としては、共振器や、共振器を組み合わせたフィルタのように、微小構造体の共振を用いたデバイスが挙げられる。

40

【0003】

このように、MEMS 技術によれば、多様な機能を持つデバイスが実現されるが、これらのデバイスの動作原理もまた、多様な物理現象に基づいている。例えばキャパシタは、電極の変位や振動を容量変化としてとらえ電気信号に変えることができる一方、電圧の印

50

加により発生する電極間の静電引力から、電極の変位や振動を発生させることができる。このような電気系動作と力学系動作との間の相互変換は、磁場により誘導起電力やローレンツ力を発生させることでも実現できるし、圧電効果や逆圧電効果を利用することでも実現できる。また、センシングデバイスに関して言えば、半導体のピエゾ抵抗効果を利用すれば歪みを抵抗変化として検出することができるし、気体の動きは熱伝導により検出することができる。

【0004】

以上のデバイスの中で最も適用例が多いのは、キャパシタを利用したセンサ・アクチュエータである。その理由としてはまず、キャパシタは、二枚の導体を空気を介して対向させるだけで製造できるため、キャパシタを製造する際には、新規材料を製造プロセスに導入する必要がない点が挙げられる。他には、極板間のギャップや極板間に印加するDCバイアスにより、センサの感度や極板間に発生する力を制御できるため、設計自由度が高い点も挙げられる。逆に、空気を介したキャパシタを用いるため、デバイスのインピーダンスが高くなる点、極板間の静電気力は引力しかないうえ非線形である点、DCバイアスを発生させるための昇圧回路が必要となる点、等がデメリットであると言える。また、マイクロフォンや圧力センサにおいては、二枚の電極をメンブレンとして作らなければならないため、デバイスの構造が非常に複雑となる点もデメリットである。

10

【0005】

一方、圧電効果や逆圧電効果を利用したMEMSデバイスは、静電気力を利用したMEMSデバイスの問題点を全て解決することが可能である。そのメリットとしては、圧電体の誘電率が高いためデバイスのインピーダンスが低い点、力の向きは正負いずれの向きにも発生可能である点、動作させるためのDCバイアスは不要である点、等が挙げられる。ただし、圧電効果や逆圧電効果を利用したMEMSデバイスでは、圧電材料を新規にSiプロセスに導入する必要がある。

20

【0006】

通常、圧電材料としては、AlNやZnOやPZT等の強誘電体を用いられる。中でもAlNは、LSIプロセスに対し高い整合性を有する。これらの圧電材料が十分な圧電性を発揮するには、圧電膜は、高度に配向した結晶構造を有する必要がある。それには、下部電極の材料や構造の選択が、重要なポイントとなる。また、高度に配向した圧電膜は、応力を内包しやすく、これをメンブレンとした場合には、感度の低下やばらつきの原因となる撓みが発生する。そのため、圧電膜を形成する際には、膜応力を制御することが重要となる。

30

【0007】

下部電極材料として、Mo、W、Al等の金属材料を用いる場合、下部電極上の圧電膜に高い配向性を与えるためには、下部電極自身に高い配向性を持たせる必要があることが多い。そして、下部電極に高い配向性を持たせる必要がある場合には、下部電極の下に、特別な下地層を形成することが多い。しかしながら、圧電材料がAlNの場合には、下部電極の加工後に圧電膜を配向させることが困難であることが問題となる。更には、下部電極の端部のテーパが急峻な場合には、その上に圧電膜を成長させるとクラックが形成されやすいことが問題となる。このようなクラックが形成されると、上部電極や配線の段切れが発生したり、製造工程においてエッチング液によって下部電極が溶解する、といった問題が生じる。

40

【0008】

このような問題を解決するために、下部電極材料として、金属材料の代わりに、不純物をドーピングしたSi等の半導体材料を用いる方法がある(例えば、非特許文献1)。この方法では、金属膜に比べ平坦性に優れたSi基板を下地としてAlN膜を成長させることができるため、高い配向性を有するAlN膜を容易に得ることができる。また、この方法には、エッチングによる下部電極の加工プロセスが不要となるという、製造上のメリットもある。

【0009】

50

A l N 膜の形成方法としては、C V D やスパッタリングが一般的である。ただし、結晶性のよい A l N 膜を C V D で形成するためには、1 0 0 0 以上の高温での処理が必要となる。1 0 0 0 以上の高温での C V D は、化合物半導体のエピタキシャル成長時のバッファ層を形成するのに使用されることがあるが、M E M S 素子用の A l N 膜を形成する際にはあまり使用されない。M E M S 素子用の A l N 膜を形成する際には、代わりに、窒素雰囲気中で A l をスパッタして成膜する反応性スパッタ法が用いられる。この方法によれば、成膜温度が数百度以下でも、配向性の高い A l N 膜が得られる。

【 0 0 1 0 】

A l N 膜の応力は、A l N 膜を形成する際の条件設定によって制御可能である。一方、ウエー八面内均一性や再現性の観点からは、最小でも数十 M P a 程度の応力変動は避けられない。しかしながら、僅か数十 M P a 程度の応力のばらつきでも、この A l N 膜をメンブレンとした際には、メンブレンの撓みや座屈を不均一に発生させてしまう。

10

【 0 0 1 1 】

メンブレンに撓みが発生している場合でも、外力によって圧電体の歪みが発生すれば、圧電効果は発生し、圧電体構造は圧電素子として機能することができる。しかしながら、その圧電効果には、撓みの方向やモードにより、ばらつきが発生してしまう。また、圧電素子ごとに安定な撓みの状態が異なると、デバイスの性能の均一性を確保することができなくなってしまう。また、環境の変化による撓みの状態の変化は、圧電素子特性の経時変化に繋がり、デバイスの信頼性を低下させてしまう。

20

【 0 0 1 2 】

また、圧電膜を用いたセンシングデバイスでは、機械的信号（例えば音波や慣性力）により生じた歪みを、圧電膜により電気信号に変換し、これを検出回路部に出力している。出力信号のエネルギーは、圧電膜に蓄えられる歪みエネルギーに比例するため、圧電膜の面積は、できるだけ広いことが好ましく、圧電膜の厚さは、できるだけ厚いことが好ましい。しかしながら、圧電膜を大きくすると、M E M S 構造体の剛性が大きくなり、外力の印加による歪みが小さくなってしまふという問題がある。

【 0 0 1 3 】

また、圧電膜を用いたデバイスでは、製造時のエアブローや、ハンドリング時の治具接触により、メンブレンの変形や損傷が生じるおそれがある。更には、圧電素子を作り込んだチップを実装基板上にマウントする際、実装基板とダイボンド材との間の熱膨張係数の差に起因して、チップに熱応力が加わるおそれがある。このような熱応力は、メンブレンの感度ばらつきを引き起こす可能性がある。これらの現象は、圧電素子の信頼性の向上の妨げになると考えられる。

30

【 先行技術文献 】

【 非特許文献 】

【 0 0 1 4 】

【 非特許文献 1 】 A. Jaakkola et al., Proceeding 2007 IEEE Ultrasonics Symposium, p1653-1656

【 非特許文献 2 】 S. D. Collins, J. Electrochem. Soc., Vol 144, No. 6, June 1997

【 発明の概要 】

40

【 発明が解決しようとする課題 】

【 0 0 1 5 】

本発明は、圧電膜の膜応力によるメンブレンの不均一な撓みが原因の圧電素子特性のばらつきを抑制することや、圧電素子の感度や信頼性を向上させることが可能な圧電 M E M S 素子及びその製造方法を提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 6 】

本発明の一の態様は例えば、基板の表面側に形成され、不純物がドーブされており、下部電極として機能する支持体と、前記基板の裏面側に形成され、前記支持体の下部に位置する裏面空洞と、が設けられた基板と、前記支持体上に形成された圧電膜と、前記圧電膜

50

上に形成された上部電極とを備え、前記支持体は、少なくとも、第1の厚さを有する第1の支持体部分と、前記第1の支持体部分の前記第1の厚さよりも厚い第2の厚さを有する第2の支持体部分と、を含むことを特徴とする圧電MEMS素子である。

【0017】

本発明の他の態様は例えば、基板を用意し、前記基板の表面側から前記基板内に不純物をドーピングすることで、前記基板内に、少なくとも、第1のドーピング深さを有する部分と、前記第1のドーピング深さよりも深い第2のドーピング深さを有する部分と、を含む不純物領域を形成し、前記不純物領域上に圧電膜を形成し、前記圧電膜上に上部電極を形成し、前記不純物領域をエッチングストップとして、前記基板の裏面側から前記基板をエッチングすることで、前記基板の表面側には、前記不純物領域を含み、下部電極として機能する支持体を形成し、前記基板の裏面側には、前記支持体の下部に位置する裏面空洞を形成する、ことを特徴とする圧電MEMS素子の製造方法である。

10

【発明の効果】

【0018】

本発明によれば、圧電膜の膜応力によるメンブレンの不均一な撓みが原因の圧電素子特性のばらつきを抑制することや、圧電素子の感度や信頼性を向上させることが可能な圧電MEMS素子及びその製造方法を提供することが可能となる。

【図面の簡単な説明】

【0019】

【図1】第1実施形態の圧電MEMS素子の構造を示す側方断面図である。

20

【図2】第1実施形態の圧電MEMS素子の構造を示す斜視図である。

【図3】支持体の形状の変形例を示す斜視図である。

【図4】支持体の形状の変形例を示す斜視図である。

【図5】第1実施形態の圧電MEMS素子の製造方法を示す側方断面図である。

【図6】第2実施形態の圧電MEMS素子の構造を示す側方断面図である。

【図7】第2実施形態の圧電MEMS素子の構造を示す斜視図である。

【図8】第2実施形態の圧電MEMS素子の製造方法を示す側方断面図(1/2)である。

【図9】第2実施形態の圧電MEMS素子の製造方法を示す側方断面図(2/2)である。

【図10】第3実施形態の圧電MEMS素子の構造を示す側方断面図である。

【図11】第1比較例の圧電MEMS素子の構造を示す側方断面図である。

30

【図12】第3実施形態の圧電MEMS素子の構造の変形例を示す側方断面図である。

【図13】第4実施形態の圧電MEMS素子の構造を示す側方断面図である。

【図14】第2比較例の圧電MEMS素子の構造を示す側方断面図である。

【図15】第4実施形態の圧電MEMS素子の構造の変形例を示す側方断面図である。

【図16】第5実施形態の圧電MEMS素子の構造を示す側方断面図、底面図である。

【図17】第5実施形態の圧電MEMS素子の構造を示す詳細な側方断面図である。

【図18】第3比較例の圧電MEMS素子の構造を示す側方断面図、底面図である。

【図19】第3比較例の圧電MEMS素子の構造を示す詳細な側方断面図である。

【図20】第5実施形態の圧電MEMS素子の構造の変形例を示す側方断面図である。

【図21】第6実施形態の圧電MEMS素子の構造を示す側方断面図、底面図である。

40

【図22】第6実施形態の圧電MEMS素子の構造を示す詳細な側方断面図である。

【図23】第7実施形態の圧電MEMS素子の構造を示す側方断面図、底面図である。

【図24】第7実施形態の圧電MEMS素子の構造を示す詳細な側方断面図である。

【発明を実施するための最良の形態】

【0020】

本発明の実施形態を、図面に基づいて説明する。

【0021】

(第1実施形態)

図1及び図2は、第1実施形態の圧電MEMS素子の構造を示す側方断面図及び斜視図である。図1は、図2に示すA-A'線に沿った断面図となっている。

50

【0022】

以下、本実施形態の圧電MEMS素子について、図1を参照して説明する。その説明中で適宜、図2についても参照する。

【0023】

本実施形態の圧電MEMS素子は、基板101と、圧電素子102とを備える。

【0024】

基板101は、半導体基板、詳細には、シリコン基板である。図1では、基板101の表面が S_1 で示され、基板101の裏面が S_2 で示されている。基板101の表面 S_1 側には、支持体111が形成されており、基板101の裏面 S_2 側には、裏面空洞121が形成されている。

10

【0025】

支持体111は、基板101の表面 S_1 側に形成され、不純物がドーブされており、圧電素子102の下部電極として機能する。支持体111は、基板101の表面 S_1 側から基板101内に不純物をドーブすることで形成された不純物領域を含んでいる。当該不純物領域は例えばn+層であり、基板101内にP(リン)イオンを注入することで形成される。イオン注入条件は例えば、190keV及び 5×10^{16} atoms/cm²、並びに100keV及び 5×10^{16} atoms/cm²である。不純物は、支持体111の全体にドーブされていても、支持体111の一部のみにドーブされていても構わない。

【0026】

裏面空洞121は、基板101の裏面 S_2 側に形成され、支持体111の下部に位置する。裏面空洞121は、基板101の裏面 S_2 側から基板101をエッチングすることで、基板101の裏面 S_2 に形成された空洞(キャビティ)であり、基板101の裏面 S_2 に対し窪んだ形状を有する。裏面空洞121は、上記不純物領域をエッチングストップパとして、基板101の裏面 S_2 側から基板101をエッチングすることで形成される。当該エッチングにより、基板101の表面 S_1 側には、上記不純物領域を含む支持体111が形成され、基板101の裏面 S_2 側には、支持体111の下部に位置する裏面空洞121が形成される。

20

【0027】

圧電素子102は、下部電極として機能する支持体111と、圧電膜112と、上部電極113とを備える。圧電膜112は、ここではAlN(窒化アルミニウム)膜であり、支持体111上に形成されている。また、上部電極113は、ここではAl(アルミニウム)層であり、圧電膜112上に形成されている。なお、圧電膜112は、AlN膜以外の強誘電体膜、例えば、ZnO(酸化亜鉛)膜やPZT(チタン酸ジルコン酸鉛)膜でも構わない。また、上部電極113は、Al層以外のメタル層、例えば、Ti(チタン)層、Mo(モリブデン)層、W(タンゲステン)層、又はNi(ニッケル)層でも構わない。また、上部電極113は、不純物をドーブして低抵抗化したSi(シリコン)層でも構わない。

30

【0028】

本実施形態の圧電MEMS素子には更に、貫通孔131(図2)と、熱酸化膜141が設けられている。貫通孔131(図2)は、基板101の表面 S_1 側と裏面 S_2 側とを繋ぐ通気孔であり、支持体111と圧電膜112とを貫通している。熱酸化膜141は、ここではシリコン酸化膜であり、基板101の裏面 S_2 に形成されている。

40

【0029】

ここで、支持体111の構造の詳細について説明する。

【0030】

支持体111は、図1に示すように、第1の厚さ X_1 を有する部分と、第2の厚さ X_2 を有する部分を含んでおり、第2の厚さ X_2 は、第1の厚さ X_1 よりも厚くなっている(即ち $X_2 > X_1$)。第1の厚さ X_1 を有する部分は、本発明の第1の支持体部分の例であり、第2の厚さ X_2 を有する部分は、本発明の第2の支持体部分の例である。

【0031】

50

支持体 1 1 1 は、図 1 に示すように、一様な厚さ (X_1) を有するメンブレン構造 M と、メンブレン構造 M の下面に設けられたビーム構造 B を含んでいる。メンブレン構造 M は、支持体 1 1 1 に厚さ X_1 を与えており、メンブレン構造 M に付け加えられたビーム構造 B は、支持体 1 1 1 に厚さ X_2 を与えている。その結果、支持体 1 1 1 は、厚さ X_1 を有する部分と、厚さ X_2 を有する部分とを含んでいる。

【 0 0 3 2 】

このように、本実施形態の支持体 1 1 1 は、厚さ X_1 を有する部分と、厚さ X_2 を有する部分とを含んでおり、メンブレン構造 M の強度をビーム構造 B が補強している。本実施形態では、このような構造の支持体 1 1 1 により、メンブレンに生じる撓みの方向や分布を均一にすることが可能となっている。本実施形態によれば、支持体 1 1 1 や圧電膜 1 1 2 や上部電極 1 1 3 の応力分布を好適に制御でき、圧電膜 1 1 2 の膜応力によるメンブレンの不均一な撓みが原因の圧電素子特性のばらつきを抑制することができる。本実施形態によれば更に、メンブレンに生じる撓みの方向や分布を均一にすることで、圧電素子 1 0 2 の感度を向上することができる。

10

【 0 0 3 3 】

なお、本実施形態では、支持体 1 1 1 は、2 種類の厚さ (X_1 及び X_2) を有しているが、3 種類以上の厚さを有していても構わない。即ち、支持体 1 1 1 は、第 1 から第 N (N は 3 以上の整数) の厚さを有する第 1 から第 N の支持体部分を有していても構わない。

【 0 0 3 4 】

また、厚さ X_1 と X_2 との比 X_2 / X_1 は、どのような値でも構わない。ただし、 X_2 / X_1 が小さ過ぎると、ビーム構造 B によるメンブレン構造 M の補強効果が弱くなってしまう。一方、 X_2 / X_1 が大き過ぎると、メンブレンに撓みが生じにくくなってしまふ。そこで、 X_2 / X_1 の値は、1.2 ~ 1.8 程度とすることが望ましい。

20

【 0 0 3 5 】

また、ビーム構造 B は、メンブレン構造 M の下面に設けても上面に設けてもよいが、本実施形態では、メンブレン構造 M の下面に設けている。ビーム構造 B をメンブレン構造 M の下面に設けることには、圧電膜 1 1 2 や上部電極 1 1 3 の形成面を平坦にできるという利点がある。このような構造によれば、圧電 MEMS 素子の歩留まりを下げることなく、メンブレンの剛性を変化させることができる。

【 0 0 3 6 】

また、本実施形態では、メンブレンは、図 2 に示すように、四角形の平面形状を有している。また、本実施形態では、図 2 に示すように、このようなメンブレンに対し、3 本の帯状のビームが設けられている。これらのビームのうち、2 本のビームは、メンブレンの対角線部分に設けられており、残り 1 本のビームは、メンブレンの対称線部分に設けられている。ただし、メンブレン構造 M やビーム構造 B のデザインとしては、その他のデザインを採用することも可能である。これらの構造の最適なデザインは、メンブレンの形状やサイズや、圧電膜 1 1 2 の形状や厚さ等により異なり、実現すべき応力範囲や撓み状態に合わせて変化させる必要がある。

30

【 0 0 3 7 】

なお、支持体 1 1 1 には例えば、図 3 のように、メンブレンの形状と相似形な、四角形の環状の形状を有する複数のビームを設けてもよい。また、図 4 のように、メンブレンのエッジに平行な、帯状の形状を有する複数のビームを設けてもよい。図 3 及び図 4 は、支持体 1 1 1 の形状の変形例を示す斜視図である。支持体 1 1 1 の形状の変形例は、後述の第 2 実施形態においても説明する。

40

【 0 0 3 8 】

図 5 は、第 1 実施形態の圧電 MEMS 素子の製造方法を示す側方断面図である。

【 0 0 3 9 】

まず、圧電 MEMS 素子を製造するための基板 1 0 1 を用意する (図 5 (A))。基板 1 0 1 はここでは、両面研磨の 6 インチサイズの p 型 (100) シリコン基板とする。次に、基板 1 0 1 の表面 S_1 及び裏面 S_2 に、熱酸化膜 1 4 1 を形成する (図 5 (A))。熱酸化膜

50

141はここでは、厚さ $1\mu\text{m}$ 程度のシリコン酸化膜とする。次に、基板101の裏面 S_2 に形成された熱酸化膜141をレジスト等で保護しつつ、基板101の表面 S_1 の熱酸化膜141をバッファード弗酸等で除去する(図5(A))。

【0040】

次に、ドライエッチングにより、基板101上に、位置合わせ用のマークパターンを形成する。当該ドライエッチングは、シリコンが加工可能な方法であれば、どのような方法で行ってもよい。当該ドライエッチングはここでは、 CF_4 、 CHF_3 等のガスを使用したRIE(Reactive Ion Etching)エッチャーにより行う。また、当該エッチング用のエッチングマスクとしては、通常のリソグラフィレジストを使用可能である。ここでは、厚さ $1.3\mu\text{m}$ のノボラック系i線ポジレジストを使用する。また、当該エッチングの際のエッチング深さは、使用するステッパーの性能に適した 100nm とする。なお、上記エッチングマスクは、エッチングの終了後、アッシャー及びSH洗浄処理により剥離する。

10

【0041】

次に、基板101の表面 S_1 側からのイオン注入により、支持体(下部電極)111となる不純物領域201を形成する(図5(A))。当該イオン注入では、不純物領域201のうち、まず、ビーム構造Bとなる部分を形成し、次に、メンブレン構造Mとなる部分を形成する。

【0042】

ビーム構造Bとなる部分を形成する際にはまず、イオン注入用のマスクパターンを上記のポジレジストにより形成する。次に、イオン加速電圧を大きな値に設定し、基板101内の深い位置にイオンを注入する。イオンはここでは、P(リン)イオンとし、基板101内にn+層を形成する。イオン注入条件はここでは、 190keV 及び $5\times 10^{16}\text{atoms/cm}^2$ とする。上記のマスクは、イオン注入の終了後、上述の方法により剥離する。

20

【0043】

また、メンブレン構造Mとなる部分を形成する際にもまず、イオン注入用のマスクパターンを上記のポジレジストにより形成する。次に、イオン加速電圧を小さな値に設定し、基板101内の浅い位置にイオンを注入する。イオンはここでも、P(リン)イオンとし、基板101内に、上記のn+層と一体となるn+層を形成する。イオン注入条件はここでは、 100keV 及び $5\times 10^{16}\text{atoms/cm}^2$ とする。上記のマスクは、イオン注入の終了後、上述の方法により剥離する。なお、本実施形態では、貫通孔131(図2参照)を形成予定の部分に、予めイオンを注入しないようにする。

30

【0044】

次に、基板101の活性化アニールを、Ar(アルゴン)雰囲気中において1100で3分間行う。これにより、第1のドーブ深さ X_1 を有する部分と、第2のドーブ深さ X_2 を有する部分を含む不純物領域201が、基板101内に形成される(図5(A))。

【0045】

次に、スパッタリングにより、基板101の表面 S_1 に、圧電膜112となるAlN膜を堆積する(図5(B))。AlN膜の厚さはここでは、 500nm とする。また、AlN膜を形成するためのスパッタ成膜装置としては、膜応力のウエー八面内分布及び基板間分布が $\pm 50\text{MPa}$ 以下となるような装置を使用する。

40

【0046】

次に、AlN膜をメンブレン形状になるようにエッチング加工し、AlN膜から圧電膜112を形成する(図5(B))。この際、貫通孔131も形成する。AlN膜の加工は、上記のポジレジストによりマスクパターンを形成した後、 Cl_2 、 BCl_3 等のガスを使用したRIEエッチャーにより行う。エッチング速度や加工断面形状の制御用に、Ar、 O_2 、 N_2 等のガスを加えてもよい。上記のマスクは、エッチングの終了後、アッシャー及びリソグラフィレジスト剥離液処理により剥離する。こうして、不純物領域201上に圧電膜112が形成される(図5(B))。

【0047】

次に、スパッタリングにより、圧電膜112上に、下部電極取り出し用の配線及び上部

50

電極 113 となる Al 層を堆積する (図 5 (B))。Al 層の厚さはここでは、250 nm とする。

【0048】

次に、Al 層をエッチング加工し、Al 層から下部電極取り出し用の配線及び上部電極 113 を形成する (図 5 (B))。Al 層の加工は、上述のポジレジストによりマスクパターンを形成した後、 Cl_2 、 BCl_3 等のガスを使用した RIE エッチャーにより行う。当該マスクは、エッチングの終了後、アッシャー及びフォトリソ剥離液処理により剥離する。こうして、圧電膜 112 上に上部電極 113 が形成される (図 5 (B))。なお、本実施形態では、下部電極取り出し用の配線と上部電極 113 を、共に Al 層から形成しているが、上部電極 113 は、Al 以外の材料で形成しても構わない。この場合には、上部電極 113 を形成するプロセスが、下部電極取り出し用の配線を形成するプロセスと別のプロセスとなり、本製造方法全体で加工プロセスが 1 段階増えることになる。

10

【0049】

次に、両面合わせの可能な露光装置を使用して、ポジレジストにより、裏面 S_2 の熱酸化膜 141 上に、裏面空洞 121 を形成するためのマスクパターンを形成する。次に、該マスクパターンをマスクとして、パフアード弗酸等によるエッチングにより、熱酸化膜 141 をパターンニングする (図 5 (B))。

【0050】

次に、表面 S_1 側の全面に、アルカリ耐性のある保護膜を形成し、その後、アルカリ水溶液で基板 101 をエッチングする。これにより、基板 101 が、裏面 S_2 側から選択的にエッチングされる (図 5 (C))。

20

【0051】

保護膜の例としては、アクリル系樹脂や、日産科学工業株式会社の提供する ProTEK™ B3 等が挙げられる。基板 101 のエッチングは、基板 101 を、85 °C に加熱した KOH (水酸化カリウム) 水溶液に 1 分間浸漬した後、85 °C に加熱した TMAH (テトラメチルアンモニウムヒドロキシド) 22% 水溶液に浸漬することで行う。KOH 水溶液に浸漬する理由は、最初に 10 nm / 分以上の酸化膜エッチング速度のある KOH 水溶液に浸漬して、自然酸化膜を除去しておくことで、TMAH によるエッチングの際に、自然酸化膜の存在により、シリコン基板面が荒れるのを抑制するためである。また、85 °C の 22% TMAH 水溶液は、シリコンの (100) 面に対し、0.5 mm / 分程度のエッチング速度を示す。

30

【0052】

本実施形態では、基板内で均一なエッチングを実現すべく、攪拌子の使用等により、これらの薬液を対流させる。なお、アルカリ水溶液の例としては、KOH 水溶液や TMAH 水溶液の他に、ヒドラジン水溶液や、EDP (エチレンジアミンピロカテコール) 水溶液が挙げられる。

【0053】

アルカリ水溶液に対するシリコン基板 101 のエッチング速度は、ドーブされた不純物の密度に大きく依存する。具体的には、シリコン基板 101 のエッチング速度は、不純物密度が 1×10^{20} atoms/cm³ 以上になると大きく低下する (例えば、非特許文献 2)。

40

【0054】

よって、図 5 (C) に示すエッチングの際には、不純物領域 201 がエッチングストップパとして機能する。これにより、基板 101 の表面 S_1 側には、不純物領域 201 を含み、圧電素子 102 の下部電極として機能する支持体 111 が形成され、基板 101 の裏面 S_2 側には、支持体 111 の下部に位置する裏面空洞 121 が形成される (図 5 (C))。即ち、支持体 111 と裏面空洞 121 が同時に形成される。最後に、上記の保護膜をアセトンやシンナー等の有機溶剤で除去し、アッシャーにより残渣を除去する。

【0055】

なお、図 5 (C) から理解されるように、第 1 のドーブ深さ X_1 は、図 1 に示す第 1 の厚さ X_1 に該当し、第 2 のドーブ深さ X_2 は、図 1 に示す第 2 の厚さ X_2 に該当する。

50

【0056】

このように、本実施形態の圧電MEMS素子の製造方法では、不純物領域201を、裏面空洞121を形成する際のエッチングストップパとして使用する。これにより、本実施形態では、当該エッチングの際に、不純物領域201とは別にエッチングストップパを設ける必要がなくなる。また、本実施形態によれば、基板101として、SOI基板を採用する必要がなくなる。

【0057】

以上のように、本実施形態の圧電MEMS素子は、下部電極として機能する支持体111と、圧電膜112と、上部電極113とを備え、支持体111は、少なくとも、第1の厚さ X_1 を有する部分と、第1の厚さ X_1 よりも厚い第2の厚さ X_2 を有する部分とを含んでいる。これにより、本実施形態では、圧電膜112の膜応力によるメンブレンの不均一な撓みが原因の圧電素子特性のばらつきを抑制することができると共に、圧電素子102の感度を向上させることができる。

10

【0058】

以下、本発明の第2から第7実施形態について説明する。これらの実施形態は、第1実施形態の変形例であり、これらの実施形態については、第1実施形態との相違点を中心に説明する。

【0059】

(第2実施形態)

図6及び図7は、第2実施形態の圧電MEMS素子の構造を示す側方断面図及び斜視図である。図6は、図7に示すB-B'線に沿った断面図となっている。

20

【0060】

上述のように、第1実施形態では、メンブレンは、図2に示すような四角形の平面形状を有している。また、第1実施形態では、図2に示すように、このメンブレンに対し、3本の帯状のビームが設けられている。そして、これらのビームのうち、2本のビームは、メンブレンの対角線部分に設けられており、残り1本のビームは、メンブレンの対称線部分に設けられている。

【0061】

一方、第2実施形態でも、メンブレンは、図7に示すような四角形の平面形状を有している。しかしながら、第2実施形態では、図7に示すように、このメンブレンに対し、帯状のビームは2本だけ設けられている。そして、これらのビームはそれぞれ、メンブレンの対称線部分に設けられている。その結果、第2実施形態では、四角形のメンブレンに対し、十字形のビームが設けられている。

30

【0062】

第1及び第2実施形態では、ビームが、メンブレンの下面において、1方向だけではなく、2方向又は3方向に走るように形成されている。その結果、第1及び第2実施形態では、メンブレンの強度が、ビームにより効果的に補強されている。

【0063】

なお、第2実施形態では、図6に示すように、支持体111と圧電膜112と上部電極113との面積比が、第1実施形態とは異なっていることに留意されたい。その関係で、第1実施形態では、貫通孔131は、支持体111及び圧電膜112を貫通している(図2)のに対し、第2実施形態では、貫通孔131は、支持体111のみを貫通する位置に設けることができる(図7)。

40

【0064】

また、第2実施形態では、図6に示すように、基板101の裏面 S_2 側に、熱酸化膜141(図1参照)に代わり、Al(アルミニウム)層151が設けられていることにも留意されたい。Al層151は、後述するように、Alエッチインヒビターを添加したTMAH水溶液による基板101のエッチングの際に、マスクとして利用される。

【0065】

図8, 図9は、第2実施形態の圧電MEMS素子の製造方法を示す側方断面図である。

50

【0066】

まず、図8(A)及び(B)に示す工程を、図5(A)及び(B)に示す工程と同様に実施する。ただし、熱酸化膜141を形成する工程(図5(A)参照)については、本実施形態では不要である。

【0067】

次に、基板101の表面 S_1 側に、貼り付け用樹脂211により、サポート基板221を貼り付ける(図8(C))。当該貼り付け処理ではまず、基板101の表面 S_1 に、スピンド塗りにより、貼り付け用樹脂211を塗布する。続いて、180の窒素オープンに基板101を1時間入れて、溶剤を揮発させる。続いて、基板101に対し、サポート基板221を、減圧化で150のホットプレスにより貼り付ける。サポート基板221はこ
10

【0068】

次に、サポート基板221に貼り付けられた基板101の裏面 S_2 を研削し、基板101の厚さを200 μm まで薄くする(図9(A))。この際、裏面 S_2 の研磨の仕上げは、ドライポリッシュにより行い、裏面 S_2 をほぼ鏡面に仕上げる。更には、希弗硝酸を用いたスピネッチャーにより、裏面 S_2 (研磨面)の洗浄を行う。

【0069】

次に、スパッタリングにより、基板101の研磨面に、200nm程度の厚さのAl層151を堆積する(図9(A))。次に、両面合わせの可能な露光装置を使用して、ポジレジストにより、裏面 S_2 のAl層151上に、裏面空洞121を形成するためのマスクパターンを形成する。次に、当該マスクパターンをマスクとして、燐酸、酢酸、硝酸を含む混酸によるウェットエッチングにより、Al層151をパターンニングする(図9(A))。この際、ウエーハ内のQC(Quality Control)領域等、素子領域以外にもエッチング口を形成して、サポート基板221脱離用の剥離材浸透口を形成する。なお、上記のマスクは、エッチングの終了後、アッシャーにより除去する。
20

【0070】

次に、アルカリ水溶液で基板101をエッチングする。これにより、基板101が、裏面 S_2 側から選択的にエッチングされる(図9(B))。

【0071】

シリコン基板のエッチング液としては、例えば、Alエッチインヒビターを添加したTMAH水溶液等が製品化されている。本実施形態では、アルカリ水溶液によるエッチングの前に、弗酸緩衝液を用いた10秒程度の前処理により、基板101の裏面 S_2 の自然酸化膜を除去する。例えば、Alエッチインヒビターを添加したTMAH水溶液によれば、シリコンの(100)面に対し、80にて1 μm /分程度のシリコンエッチング速度が得られる。
30

【0072】

上述のように、アルカリ水溶液に対するシリコン基板101のエッチング速度は、ドーブされた不純物の密度に大きく依存する。例えば、TMAHに対するシリコン基板101のエッチング速度は、高濃度に不純物イオンが注入されることで、1/10程度にまで低下し得る。
40

【0073】

よって、図9(B)に示すエッチングの際には、不純物領域201がエッチングストップバとして機能する。これにより、基板101の表面 S_1 側には、不純物領域201を含み、圧電素子102の下部電極として機能する支持体111が形成され、基板101の裏面 S_2 側には、支持体111の下部に位置する裏面空洞121が形成される(図9(B))。即ち、支持体111と裏面空洞121が同時に形成される。

【0074】

次に、基板101及びサポート基板221を、サポート基板221の剥離液に浸漬し、サポート基板221及び貼り付け用樹脂211を、基板101から除去する(図9(C))
50

。樹脂 211 を溶解する剥離液は、ウエーハ内の QC 領域等に予め用意された貫通口や、圧電素子 102 の貫通孔 131 (図 7) から浸透するため、サポート基板 221 は、剥離時に応力をかけることなく脱離可能である。サポート基板 221 及び貼り付け用樹脂 211 の除去後には、基板 101 を洗浄した後、アッシャーにより残渣を除去する。

【 0075 】

以上のように、本実施形態の圧電 MEMS 素子は、下部電極として機能する支持体 111 と、圧電膜 112 と、上部電極 113 とを備え、支持体 111 は、少なくとも、第 1 の厚さ X_1 を有する部分と、第 1 の厚さ X_1 よりも厚い第 2 の厚さ X_2 を有する部分とを含んでいる。これにより、本実施形態では、圧電膜 112 の膜応力によるメンブレンの不均一な撓みが原因の圧電素子特性のばらつきを抑制することができると共に、圧電素子 102 の感度を向上させることができる。

10

【 0076 】

(第 3 実施形態)

図 10 は、第 3 実施形態の圧電 MEMS 素子の構造を示す側方断面図である。

【 0077 】

本実施形態では、第 1 実施形態の半導体基板 101、圧電素子 102、裏面空洞 121 がそれぞれ、SOI (Semiconductor On Insulator) 基板 301、圧電素子 302、裏面空洞 321 に置き換えられている。SOI 基板 301 は、本発明の基板の例である。

【 0078 】

SOI 基板 301 は、半導体基板 311 と、半導体基板 311 上に形成された埋込絶縁膜 312 と、埋込絶縁膜 312 上に形成された半導体層 313 とを備える。ここでは、半導体基板 311 は n 型シリコン基板、埋込絶縁膜 312 はシリコン酸化膜、半導体層 313 は n 型シリコン層となっている。なお、半導体基板 311 及び半導体層 313 の比抵抗値はここでは、 $0.1 \sim 10$ [$\Omega \cdot \text{cm}$] 程度である。

20

【 0079 】

図 10 では、SOI 基板 301 の表面が S_1 で示され、SOI 基板 301 の裏面が S_2 で示されている。SOI 基板 301 の表面 S_1 側には、半導体層 313 の一部から、支持体 314 が形成されており、SOI 基板 301 の裏面 S_2 側には、支持体 314 の下部に、裏面空洞 321 が形成されている。本実施形態では、圧電素子 302 は、裏面空洞 321 の上方において支持体 314 上に設けられている。本実施形態では、埋込絶縁膜 312 をエッチングストップパとして、SOI 基板 301 を裏面 S_2 側からエッチングすることで、SOI 基板 301 の表面 S_1 側に支持体 314 を形成し、SOI 基板 301 の裏面 S_2 側に裏面空洞 321 を形成する。

30

【 0080 】

支持体 314 は、その表面に不純物がドーピングされており、圧電素子 302 の下部電極として機能する。当該不純物はここでは、B (ボロン) である。支持体 314 の表面は、当該不純物のドーピングにより、p 型半導体層となっている。具体的には、この p 型半導体層が、圧電素子 302 の下部電極として機能する。

【 0081 】

なお、本実施形態では、上記の p 型半導体層は、半導体層 313 の表面全体に形成されている。図 10 では、半導体層 313 のうち、n 型半導体層の部分が $313n$ で示され、p 型半導体層の部分が $313p$ で示されている。

40

【 0082 】

圧電素子 302 は、下部電極として機能する支持体 314 と、支持体 314 上に形成された圧電膜 315 と、圧電膜 315 上に形成された上部電極 316 とを備える。圧電膜 315 は、ここでは AlN 膜であるが、その他の強誘電体膜、例えば、ZnO 膜や PZT 膜でも構わない。また、上部電極 316 は、ここでは Al 層であるが、その他のメタル層でも構わない。

【 0083 】

ここで、圧電膜 315 の構造の詳細について説明する。

50

【0084】

圧電膜315は、図10に示すように、メンブレンの周辺部に位置し、第1の厚さ Y_1 を有する部分と、メンブレンの中心部に位置し、第2の厚さ Y_2 を有する部分とを含んでおり、第2の厚さ Y_2 は、第1の厚さ Y_1 よりも厚くなっている（即ち、 $Y_2 > Y_1$ ）。第1の厚さ Y_1 を有する部分は、本発明の第1の圧電膜部分の例であり、第2の厚さ Y_2 を有する部分は、本発明の第2の圧電膜部分の例である。

【0085】

上述のように、圧電素子302の出力信号のエネルギーは、圧電膜315に蓄えられる歪みエネルギーに比例する。そのため、圧電膜315の面積は、できるだけ広いことが好ましく、圧電膜315の厚さは、できるだけ厚いことが好ましい。しかしながら、圧電膜315を大きくすると、MEMS構造体の剛性が大きくなり、外力の印加による歪みが小さくなってしまう。

10

【0086】

そこで、本実施形態では、圧電膜315に、厚さ Y_1 を有する部分と、厚さ Y_2 を有する部分とを設ける。これにより、本実施形態では、圧電膜315の厚さを、全体的ではなく部分的に厚くすることが可能になる。これにより、本実施形態では、MEMS構造体の剛性が大きくなるのを抑えつつ、圧電膜315に蓄えられる歪みエネルギーを増やすことが可能になる。本実施形態によれば、MEMS構造体に発生する歪みエネルギーを有効に検出できるようになり、圧電素子302の感度を向上させることができる。図10では、メンブレンの中心部では、圧電膜315が厚く形成され、メンブレンの周辺部では、圧電膜315が薄く形成されている。

20

【0087】

なお、本実施形態では、圧電膜315を上方から見た場合、圧電膜315は、裏面空洞321の平面パターン内部において、2種類の厚さ（ Y_1 及び Y_2 ）を有しているが、3種類以上の厚さを有していても構わない。即ち、圧電膜315は、裏面空洞321の平面パターン内部において、第1から第M（Mは3以上の整数）の厚さを有する第1から第Mの圧電膜部分を有していても構わない。

【0088】

また、厚さ Y_1 や Y_2 の値としては、任意の値を選択可能である。本実施形態では、厚さ Y_1 は例えば $0.5 \mu\text{m}$ に設定し、厚さ Y_2 は例えば $1.0 \mu\text{m}$ に設定する。

30

【0089】

また、図10に示す断面において、厚さ Y_2 を有する部分（中央の部分）の幅や、厚さ Y_1 を有する部分（左右の部分）の幅としては、任意の値を選択可能である。本実施形態では、中央の部分の幅は例えば $800 \mu\text{m}$ に設定し、左右の部分の幅は例えば、それぞれ $1000 \mu\text{m}$ に設定する。

【0090】

また、図10に示す断面では、厚さ Y_1 を有する部分の圧電膜315と、厚さ Y_2 を有する部分の圧電膜315は、分断されているが、これらの圧電膜315同士は、別の断面において繋がっている。同様に、図10に示す断面では、前者の圧電膜315上の上部電極316と、後者の圧電膜315上の上部電極316は、分断されているが、これらの上部電極316同士は、別の断面において繋がっている。これらは、後述する第4実施形態、第1比較例、第2比較例でも同様である。

40

【0091】

以下、図10を参照しながら、本実施形態の圧電MEMS素子の製造方法について説明する。

【0092】

まず、圧電MEMS素子を製造するためのSOI基板301を用意する（図10）。上述のように、SOI基板301は、半導体基板311と、半導体基板311上に形成された埋込絶縁膜312と、埋込絶縁膜312上に形成された半導体層313とを備える。

【0093】

50

次に、半導体層 3 1 3 上にレジストパターンを形成し、当該レジストパターンをマスクとして、半導体層 3 1 3 の表面に B (ボロン) イオンを注入する。イオン注入条件は、加速電圧を 250kV とし、ドーズ量を 1×10^{15} atoms/cm² とする。次に、上記レジストパターンを剥離した後、1 1 0 0 で S O I 基板 3 0 1 のアニールを行う。これにより、半導体層 3 1 3 の表面には、1 ~ 5 μm の深さまでの不純物密度が 1×10^{16} atoms/cm³ となる p 型半導体層 3 1 3 p が形成される (図 1 0)。この p 型半導体層 3 1 3 p は、半導体層 3 1 3 内に形成され、p n 接合面及び埋込絶縁膜 3 1 2 を介して、半導体基板 3 1 1 と電氣的に絶縁される。

【 0 0 9 4 】

次に、反応性マグネトロンスパッタ法により、半導体層 3 1 3 上に、厚さ 0 . 5 μm の A l N 膜を堆積する。この厚さが、上記の第 1 の厚さ Y₁ に相当する (図 1 0)。このスパッタリングでは、スパッタガスは A r と N₂ の混合ガスとし、ターゲットパワーは 5 k W とする。次に、塩素系ガスを使用した R I E により、当該 A l N 膜をパターニングする。

10

【 0 0 9 5 】

次に、再び反応性マグネトロンスパッタ法により、上記 A l N 膜上に、厚さ 0 . 5 μm の A l N 膜を堆積する。この厚さと上述の厚さとの和が、上記の第 2 の厚さ Y₂ に相当する (図 1 0)。このスパッタリングの際の条件は、上述の条件と同様である。次に、塩素系ガスを使用した R I E により、当該 A l N 膜をパターニングする。これにより、第 1 の厚さ Y₁ (= 0 . 5 μm) の部分と、第 2 の厚さ Y₂ (= 1 . 0 μm) の部分とを含む圧電膜 3 1 5 が形成される (図 1 0)。

20

【 0 0 9 6 】

このように、本実施形態では、圧電膜 3 1 5 が、1 回の堆積処理ではなく、2 回の堆積処理により形成される。このような 2 回の堆積処理には、1 回の堆積処理に比べ、厚さ Y₁ の部分の圧電膜 3 1 5 の上面の膜質が良好になるという利点がある。

【 0 0 9 7 】

次に、再び反応性マグネトロンスパッタ法により、圧電膜 3 1 5 上に、厚さ 0 . 5 μm の A l 層を堆積する (図 1 0)。このスパッタリングの際の条件は、上述の条件と同様である。次に、塩素系ガスを使用した R I E により、当該 A l 層をパターニングする。これにより、厚さ 0 . 5 μm の上部電極 3 1 6 が形成される (図 1 0)。なお、A l 層のパターニングは、薬液を用いたウェットエッチングで行っても構わない。

30

【 0 0 9 8 】

次に、S O I 基板 3 0 1 の表面 S₁ 側から、R I E により、S O I 基板 3 0 1 のエッチングを行い、半導体層 3 1 3 を貫通する貫通孔を形成する。当該 R I E には、塩素系ガス又はフッ素系ガスが使用される。また、当該 R I E では、埋込絶縁膜 3 1 2 がエッチングストッパとして使用される。

【 0 0 9 9 】

次に、S O I 基板 3 0 1 の裏面 S₂ 側から、D - R I E (Deep Reactive Ion Etching) により、S O I 基板 3 0 1 のエッチングを行い、半導体基板 3 1 1 が除去され埋込絶縁膜 3 1 2 が露出した空洞を形成する。次に、B H F 水溶液を用いて、当該空洞内の埋込絶縁膜 3 1 2 をエッチング除去する。これにより、S O I 基板 3 0 1 の裏面 S₂ 側に、裏面空洞 3 2 1 が形成される (図 1 0)。さらには、裏面空洞 3 2 1 が、上記の貫通孔と繋がる。なお、埋込絶縁膜 3 1 2 のエッチング除去は、弗素系ガスを用いた R I E により行ってもよい。

40

【 0 1 0 0 】

本実施形態では、このような方法で、圧電 M E M S 素子 (ここでは圧電 M E M S マイクロフォン) を作製することができる。本発明者らが、この方法で圧電 M E M S マイクロフォンを作製したところ、当該マイクロフォンは、1 k H z において音圧感度 - 4 3 d B を示した。

【 0 1 0 1 】

50

ここで、第1比較例の圧電MEMS素子を、図11に示す。図11は、第1比較例の圧電MEMS素子の構造を示す側方断面図である。図10の圧電膜315が、2種類の厚さを有しているのに対し、図11の圧電膜315は、1種類の厚さ(=1.0 μ m)のみを有している。本発明者らが、上記の方法で図11の圧電MEMS素子(圧電MEMSマイクロフォン)を作製したところ、当該マイクロフォンは、中心部の圧電膜部分の幅や周辺部の圧電膜部分の幅を最適化しても、1kHzにおいて音圧感度-47dBにしか到らなかった。

【0102】

以上のように、本実施形態の圧電MEMS素子は、下部電極として機能する支持体314と、圧電膜315と、上部電極316とを備え、圧電膜315は、少なくとも、第1の厚さ Y_1 を有する部分と、第1の厚さ Y_1 よりも厚い第2の厚さ Y_2 を有する部分とを含んでいる。これにより、本実施形態では、MEMS構造体に発生する歪みエネルギーを有効に検出できるようになり、圧電素子302の感度を向上させることができる。

10

【0103】

なお、図12は、第3実施形態の圧電MEMS素子の構造の変形例を示す側方断面図である。第3実施形態では、図10に示すSOI基板301、裏面空洞321をそれぞれ、図12に示すように、第1実施形態の半導体基板101、裏面空洞121に置き換えても構わない。即ち、第3実施形態では、図10を参照して説明した方法で圧電MEMS素子を製造する際に、SOI基板301の代わりに半導体基板101を用意し、半導体基板101に、図5に示す方法で、裏面空洞321の代わりに裏面空洞121を形成しても構わない。この場合、半導体層313内のn型半導体層313n及びp型半導体層313pはそれぞれ、半導体基板101内のp型半導体層101p及びn型半導体層101nに置き換えられ、n型半導体層101nが、不純物領域201として使用される。

20

【0104】

(第4実施形態)

図13は、第4実施形態の圧電MEMS素子の構造を示す側方断面図である。

【0105】

本実施形態の圧電MEMS素子には、第3実施形態の圧電MEMS素子と同様、SOI基板301と、圧電素子302と、裏面空洞321とが設けられている。SOI基板301は、半導体基板311と、埋込絶縁膜312と、半導体層313とを備え、圧電素子302は、下部電極として機能する支持体314と、圧電膜315と、上部電極316とを備える。

30

【0106】

ここで、圧電膜315と支持体314の構造の詳細について説明する。

【0107】

本実施形態の圧電膜315は、第3実施形態の圧電膜315と同様、メンブレンの周辺部に位置し、第1の厚さ Y_1 を有する部分と、メンブレンの中心部に位置し、第2の厚さ Y_2 を有する部分とを含んでおり、第2の厚さ Y_2 は、第1の厚さ Y_1 よりも厚くなっている(即ち、 $Y_2 > Y_1$)。第1の厚さ Y_1 を有する部分は、本発明の第1の圧電膜部分の例であり、第2の厚さ Y_2 を有する部分は、本発明の第2の圧電膜部分の例である。

40

【0108】

また、本実施形態では、支持体314も、メンブレンの周辺部に位置し、第1の厚さ Z_1 を有する部分と、メンブレンの中心部に位置し、第2の厚さ Z_2 を有する部分とを含んでおり、第2の厚さ Z_2 は、第1の厚さ Z_1 よりも厚くなっている(即ち、 $Z_2 > Z_1$)。第1の厚さ Z_1 を有する部分は、本発明の第1の支持体部分の例であり、第2の厚さ Z_2 を有する部分は、本発明の第2の支持体部分の例である。

【0109】

その結果、本実施形態では、図13に示すように、メンブレンの中心部の支持体314と圧電膜315が、共に厚くなっており、メンブレンの周辺部の支持体314と圧電膜315が、共に薄くなっている。本実施形態によれば、周辺部の支持体314と圧電膜31

50

5 が共に薄くなることで、音圧が印加された際に同じ曲率となる中心部の領域が増加し、圧電素子 302 の感度が向上する。

【0110】

ここで、第2比較例の圧電MEMS素子を、図14に示す。図14は、第2比較例の圧電MEMS素子の構造を示す側方断面図である。図14では、支持体314は、中心部で厚くなっており、周辺部で薄くなっているが、圧電膜315は、中心部でも周辺部でも同じ厚さとなっている。そのため、第2比較例では、周辺部の支持体314を薄くした効果が、圧電膜315の存在により緩和されてしまう上、周辺部では中立面が圧電膜315に近くなり、圧電素子302の感度が向上しにくくなってしまふ。

【0111】

一方、図13では、支持体314及び圧電膜315に加えて、上部電極316も、中心部で厚くなっていると共に、周辺部で薄くなっている。本実施形態では、支持体314の厚さと、圧電膜315の厚さと、上部電極316の厚さとの比は、中心部と周辺部とではほぼ同じ値に設定することが望ましい。これにより、本実施形態では、周辺部の剛性の低下による圧電素子302の感度の向上を図りつつ、効果的に機械信号を検出することが可能となる。

【0112】

なお、本実施形態では、圧電膜315を上方から見た場合、圧電膜315は、裏面空洞321の平面パターン内部において、2種類の厚さ(Y_1 及び Y_2)を有しているが、3種類以上の厚さを有していても構わない。即ち、圧電膜315は、裏面空洞321の平面パターン内部において、第1から第M(Mは3以上の整数)の厚さを有する第1から第Mの圧電膜部分を有していても構わない。

【0113】

また、本実施形態では、支持体314を上方から見た場合、支持体314は、裏面空洞321の平面パターン内部において、2種類の厚さ(Z_1 及び Z_2)を有しているが、3種類以上の厚さを有していても構わない。即ち、支持体314は、裏面空洞321の平面パターン内部において、第1から第K(Kは3以上の整数)の厚さを有する第1から第Kの支持体部分を有していても構わない。

【0114】

また、厚さ Y_1 、 Y_2 、 Z_1 、 Z_2 の値としては、任意の値を選択可能である。本実施形態では、厚さ Y_1 、 Y_2 、 Z_1 、 Z_2 は例えば、それぞれ $0.25\mu\text{m}$ 、 $1.00\mu\text{m}$ 、 $1.00\mu\text{m}$ 、 $3.00\mu\text{m}$ に設定する。この場合、下部電極316の厚さは、中心部と周辺部とで同じ値にしても異なる値にしてもよいが、同じ値にする場合には、例えば、 $0.10\mu\text{m}$ とする。

【0115】

また、図13に示す断面において、厚さ Y_2 及び Z_2 を有する部分(中央の部分)の幅や、厚さ Y_1 及び Z_1 を有する部分(左右の部分)の幅としては、任意の値を選択可能である。本実施形態では、中央の部分の幅は例えば $800\mu\text{m}$ に設定し、左右の部分の幅は例えば、それぞれ $1000\mu\text{m}$ に設定する。

【0116】

本発明者らは、これらの厚さ及び幅の値を使用して、第4実施形態と第2比較例の感度を比較した。第4実施形態については、上記の厚さ及び幅の値を使用した。第2比較例については、 Y_1 、 Y_2 の値を $1.00\mu\text{m}$ とし、中央の部分の幅を $900\mu\text{m}$ とした以外、上記の厚さ及び幅の値を使用した。その結果、第4実施形態における感度は、第2比較例における感度に比べ、約2dB向上した。

【0117】

また、本実施形態の圧電MEMS素子の製造方法については、第3実施形態のそれと同様である。ただし、本実施形態では、半導体層313内にp型半導体層313pを形成する前に、半導体層313に、厚さ Z_1 の部分と第2の厚さ Z_2 の部分とを設けておく必要がある。

10

20

30

40

50

【0118】

以上のように、本実施形態の圧電MEMS素子は、下部電極として機能する支持体314と、圧電膜315と、上部電極316とを備え、圧電膜315は、少なくとも、第1の厚さ Y_1 を有する部分と、第1の厚さ Y_1 よりも厚い第2の厚さ Y_2 を有する部分とを含んでおり、支持体314は、少なくとも、第1の厚さ Z_1 を有する部分と、第1の厚さ Z_1 よりも厚い第2の厚さ Z_2 を有する部分とを含んでいる。これにより、本実施形態では、MEMS構造体に発生する歪みエネルギーを有効に検出できるようになり、圧電素子302の感度を向上させることができる。

【0119】

なお、図15は、第4実施形態の圧電MEMS素子の構造の変形例を示す側方断面図である。第4実施形態では、図13に示すSOI基板301、裏面空洞321をそれぞれ、図15に示すように、第1実施形態の半導体基板101、裏面空洞121に置き換えても構わない。即ち、第4実施形態では、図13を参照して説明した方法で圧電MEMS素子を製造する際に、SOI基板301の代わりに半導体基板101を用意し、半導体基板101に、図5に示す方法で、裏面空洞321の代わりに裏面空洞121を形成しても構わない。この場合、半導体層313内のn型半導体層313n及びp型半導体層313pはそれぞれ、半導体基板101内のp型半導体層101p及びn型半導体層101nに置き換えられ、n型半導体層101nが、不純物領域201として使用される。

10

【0120】

(第5実施形態)

図16は、第5実施形態の圧電MEMS素子の構造を示す側方断面図、底面図である。図16の側方断面図は、底面図のC-C'線に沿った断面図となっている。また、図17は、本実施形態の圧電MEMS素子の構造を示す詳細な側方断面図である。

20

【0121】

以下、本実施形態の圧電MEMS素子について、図17を参照して説明する。その説明中で適宜、図16についても参照する。

【0122】

本実施形態では、第1実施形態の半導体基板101、圧電素子102、裏面空洞121がそれぞれ、SOI (Semiconductor On Insulator) 基板401、圧電素子402、裏面空洞421に置き換えられている。SOI基板401は、本発明の基板の例である。

30

【0123】

SOI基板401は、半導体基板411と、半導体基板411上に形成された埋込絶縁膜412と、埋込絶縁膜412上に形成された半導体層413とを備える。ここでは、半導体基板411はn型シリコン基板、埋込絶縁膜412はシリコン酸化膜、半導体層413はn型シリコン層となっている。

【0124】

図17では、SOI基板401の表面が S_1 で示され、SOI基板401の裏面が S_2 で示されている。SOI基板401の表面 S_1 側には、半導体層413の一部から、支持体414が形成されており、SOI基板401の裏面 S_2 側には、支持体414の下部に、裏面空洞421が形成されている。本実施形態では、圧電素子402は、裏面空洞421の上方において支持体414上に設けられている。本実施形態では、埋込絶縁膜412をエッチングストップとして、SOI基板401を裏面 S_2 側からエッチングすることで、SOI基板401の表面 S_1 側に支持体414を形成し、SOI基板401の裏面 S_2 側に裏面空洞421を形成する。

40

【0125】

支持体414は、その表面に不純物がドーピングされており、圧電素子402の下部電極として機能する。当該不純物はここでは、B (ボロン) である。支持体414の表面は、当該不純物のドーピングにより、p型半導体層となっている。具体的には、このp型半導体層が、圧電素子402の下部電極として機能する。

【0126】

50

なお、本実施形態では、上記の p 型半導体層は、支持体 4 1 4 以外の半導体層 4 1 3 の表面にまで形成されている。図 1 7 では、半導体層 4 1 3 のうち、n 型半導体層の部分が 4 1 3 n で示され、p 型半導体層の部分が 4 1 3 p で示されている。

【0127】

圧電素子 4 0 2 は、下部電極として機能する支持体 4 1 4 と、支持体 4 1 4 上に形成された圧電膜 4 1 5 と、圧電膜 4 1 5 上に形成された上部電極 4 1 6 とを備える。圧電膜 4 1 5 は、ここでは AlN 膜であるが、その他の強誘電体膜、例えば、ZnO 膜や PZT 膜でも構わない。また、上部電極 4 1 6 は、ここでは Al 層であるが、その他のメタル層でも構わない。

【0128】

本実施形態の圧電 MEMS 素子には更に、貫通孔 4 3 1 と、メンブレンの強度を補強するための補強ビーム 4 4 1 が設けられている。貫通孔 4 3 1 は、SOI 基板 4 0 1 の表面 S₁ 側と裏面 S₂ 側とを繋ぐ通気孔であり、支持体 4 1 4 と圧電膜 4 1 5 と上部電極 4 1 6 を貫通している。なお、補強ビーム 4 4 1 の詳細については、後述する。

【0129】

ここで、補強ビーム 4 4 1 の構造の詳細について説明する。

【0130】

本実施形態の SOI 基板 4 0 1 には、SOI 基板 4 0 1 の裏面 S₂ 側に形成され、裏面空洞 4 2 1 を介して支持体 4 1 4 の下方に位置し、SOI 基板 4 0 1 の一部から形成された補強ビーム 4 4 1 が設けられている。詳細には、補強ビーム 4 4 1 は、図 1 6 に示すように、半導体基板 4 1 1 の一部から形成されており、十字形の平面形状を有している。

【0131】

上述のように、圧電 MEMS 素子では、製造時やハンドリング時のメンブレンの変形や損傷、熱応力によるメンブレンの感度ばらつき、急激な加圧によるメンブレンの破壊等が問題となる。圧電 MEMS 素子では、メンブレンの下部が空洞になっているため、メンブレンの変形が始まると、メンブレンが空洞方向に容易に変形し、最終的にメンブレンが損傷してしまう。

【0132】

しかしながら、本実施形態では、裏面空洞 4 2 1 の内部に補強ビーム 4 4 1 が取り付けられている。これにより、本実施形態では、実装時の熱応力によるメンブレンの変形が抑えられ、熱応力のメンブレンへの影響が低減されるため、メンブレンの感度ばらつきの発生を防止することができる。

【0133】

また、本実施形態では、補強ビーム 4 4 1 が、裏面空洞 4 2 1 を介してメンブレンの下方に形成されており、詳細には、メンブレンの下面の近傍に形成されている。よって、本実施形態では、メンブレンが外圧により裏面空洞 4 2 1 の方向に変形を開始しても、補強ビーム 4 4 1 がこれを下からガードできるので、メンブレンの変形や損傷を最小限に抑えることができる。本実施形態によれば、圧電 MEMS 素子に補強ビーム 4 2 1 を設けることで、裏面空洞 4 2 1 の容量をさほど減少させることなく、メンブレンの強度を向上させることができ、これにより、圧電素子 4 0 2 の信頼性を向上させることができる。

【0134】

なお、本実施形態では、補強ビーム 4 4 1 は、十字形の平面形状を有しているが、その他の平面形状を有していても構わない。補強ビーム 4 4 1 の平面形状の変形例は、後述の第 6 及び第 7 実施形態において説明する。

【0135】

また、本実施形態では、補強ビーム 4 4 1 は、2 本の帯状のビームを組み合わせた形状を有しており、これら 2 本のビームが、十字形の補強ビーム 4 4 1 を形成している。これら 2 本のビームの幅はそれぞれ、ここでは 5 μm とするが、その他の値でも構わない。

【0136】

以下、図 1 7 を参照しながら、本実施形態の圧電 MEMS 素子の製造方法について説明

10

20

30

40

50

する。

【0137】

まず、圧電MEMS素子を製造するための、6インチサイズのSOI基板401を用意する(図17)。上述のように、SOI基板401は、半導体基板411と、半導体基板411上に形成された埋込絶縁膜412と、埋込絶縁膜412上に形成された半導体層413とを備える。

【0138】

次に、SOI基板401上に、位置合わせ用のマークパターンを形成する。当該マークパターンは、シリコン層(活性層)である半導体層413の表面に、ドライエッチングにより形成する。当該ドライエッチングは、シリコンが加工可能な方法であれば、どのような方法で行ってもよい。当該ドライエッチングはここでは、 CF_4 、 CHF_3 等のガスを使用したRIEエッチャーにより行う。また、当該エッチング用のエッチングマスクとしては、通常の写真レジストを使用可能である。ここでは、厚さ $1.3\mu m$ のノボラック系i線ポジレジストを使用する。また、当該エッチングの際のエッチング深さは、使用するステッパーの性能に適した $150nm$ とする。なお、上記エッチングマスクは、エッチングの終了後、アッシャー及びSH洗浄処理により剥離する。

10

【0139】

次に、SOI基板401の表面 S_1 側からのイオン注入により、半導体層413内に、下部電極となるp型半導体層413pを形成する(図17)。当該イオン注入ではまず、イオン注入用のマスクパターンを、上述のポジレジストにより、半導体層413上に形成する。次に、半導体層413内に、 $180keV$ 及び $1 \times 10^{15} atoms/cm^2$ のイオン注入条件にて、B(ボロン)イオンを注入する。上記のマスクは、イオン注入の終了後、上述の方法により剥離する。

20

【0140】

次に、スパッタリングにより、半導体層413上に、圧電膜415となるAlN膜を堆積する(図17)。AlN膜の厚さはここでは、 $1000nm$ とする。また、AlN膜を形成するためのスパッタ成膜装置としては、膜応力のウエー八面内分布が $\pm 50MPa$ 以下となるような装置を使用する。

【0141】

次に、AlN膜をメンブレン形状になるようにエッチング加工し、AlN膜から圧電膜415を形成する(図17)。この際、下部電極取り出し口や貫通孔431となる通気孔も形成する。AlN膜の加工は、上述のポジレジストによりマスクパターンを形成した後、 Cl_2 、 BCl_3 等のガスを使用したRIEエッチャーにより行う。エッチング速度や加工断面形状の制御用に、Ar、 O_2 、 N_2 等のガスを加えてもよい。上記のマスクは、エッチングの終了後、アッシャー及び写真レジスト剥離液処理により剥離する。こうして、半導体層413上に圧電膜415が形成される(図17)。

30

【0142】

次に、スパッタリングにより、圧電膜415上に、下部電極取り出し用の配線及び上部電極416となるAl層を堆積する(図17)。Al層の厚さはここでは、 $500nm$ とする。

40

【0143】

次に、Al層をエッチング加工し、Al層から下部電極取り出し用の配線及び上部電極416を形成する(図17)。Al層の加工は、上述のポジレジストによりマスクパターンを形成した後、 Cl_2 、 BCl_3 等のガスを使用したRIEエッチャーにより行う。当該マスクは、エッチングの終了後、アッシャー及び写真レジスト剥離液処理により剥離する。こうして、圧電膜415上に上部電極416が形成される(図17)。

【0144】

次に、SOI基板401の表面 S_1 側から、SOI基板401のエッチングを行い、半導体層413を貫通する貫通孔431を形成する(図17)。貫通孔431の加工は、上述のポジレジストによりマスクパターンを形成した後、 C_4F_8 及び SF_6 ガスを使用した

50

ボッシュ方式のD-RIEにより行う。貫通孔431の加工は、 Cl_2 、 BCl_3 等のガスを使用したRIEエッチャーにより行っても構わない。貫通孔431を形成する際のエッチングでは、埋込絶縁膜412がエッチングストップとして利用される。上記マスクは、エッチングの終了後、アッシャー及びフォトリソスト剥離液処理により剥離する。

【0145】

次に、SOI基板401の裏面 S_2 側から、SOI基板401のエッチングを行い、半導体基板411が除去され埋込絶縁膜412が露出した空洞を形成する。当該空洞の加工は、上述のポジレジストにより厚さ5 μm のマスクパターンを形成した後、 C_4F_8 及び SF_6 ガスを使用したボッシュ方式のD-RIEにより行う。当該空洞を形成する際のエッチングでは、埋込絶縁膜412がエッチングストップ膜として利用される。上記マスクは、エッチングの終了後、アッシャー及びフォトリソスト剥離液処理により剥離する。

10

【0146】

なお、上記空洞を形成するためのマスクパターンには、裏面空洞421のパターンだけでなく、補強ビーム441のパターンも含まれる。

【0147】

また、本実施形態では、上記空洞を形成する際には、半導体基板411を、埋込絶縁膜412まで400 μm ほどエッチングするが、貫通孔431を形成する際には、半導体層413を、埋込絶縁膜412まで1 μm しかエッチングしない。そのため、本実施形態では、上記空洞を形成するためのD-RIEに先立ち、厚さ5 μm のフォトリソストから、上記のマスクパターンを、塩素系RIEによるドライエッチングにより形成する。

20

【0148】

次に、SOI基板401の裏面 S_2 側から、上記空洞内の埋込絶縁膜412をエッチング除去する。当該エッチングは、 C_4F_8 、 O_2 等のガスを使用したRIEエッチャーにより行う。こうして、本実施形態では、SOI基板401の表面 S_1 側に、支持体414が形成され、SOI基板401の裏面 S_2 側に、裏面空洞421が形成される(図17)。更には、SOI基板401の裏面 S_2 側に、裏面空洞421を介して支持体414の下部に位置する補強ビーム441が形成される(図17)。

【0149】

なお、本実施形態では、半導体層413と補強ビーム441との間の埋込絶縁膜412は、サイドエッチングにより除去する。この埋込絶縁膜412を除去する際には例えば、HF水溶液又はフッ化アンモン水溶液によるウェットエッチングを行ってもよい。

30

【0150】

次に、SOI基板401を、ダイシングにより、個々の圧電MEMS素子に個片化し、各個片を実装基板上に接着する。当該接着用の接着材としては、例えば、導電性又は非導電性のエポキシ樹脂を使用する。

【0151】

本発明者らは、以上の方法で圧電MEMS素子を作製し、そのダイボンディング後にメンブレンの破損がないことを確認した。その後、当該圧電MEMS素子を自動車内に取り付け、ドアの開閉を10回行った。その後、メンブレンの損傷の有無を確認したところ、メンブレンの損傷は生じていないことが確認された。

40

【0152】

ここで、第3比較例の圧電MEMS素子を、図18及び図19に示す。図18は、第3比較例の圧電MEMS素子の構造を示す側方断面図、底面図である。図18の側方断面図は、底面図のD-D'線に沿った断面図となっている。また、図19は、第3比較例の圧電MEMS素子の構造を示す詳細な側方断面図である。

【0153】

第5実施形態の裏面空洞421内には、図17のように、補強ビーム441が設けられているのに対し、第3比較例の裏面空洞421内には、図19のように、このような補強ビームが設けられていない。

【0154】

50

本発明者らは、第5実施形態の圧電MEMS素子を作製する方法とほぼ同様にして、第3比較例の圧電MEMS素子を作製し、そのダイボンディング後に、メンブレンの破損の有無を確認した。すると、100個の製品中66個の割合で、メンブレンの損傷が生じていた。その後、メンブレンの損傷のない上記圧電MEMS素子を自動車内に取り付け、ドアの開閉を10回行った。その後、メンブレンの損傷の有無を確認したところ、100個の製品中25個の割合でメンブレンの損傷が生じていた。

【0155】

以上の結果から、第5実施形態の圧電MEMS素子は、第3比較例の圧電MEMS素子に比べ、メンブレンの損傷が生じにくいことが解る。

【0156】

以上のように、本実施形態のMEMS素子は、支持体414及び裏面空洞421が設けられたSOI基板401と、圧電素子402とを備え、SOI基板401には、SOI基板401の裏面側に形成され、裏面空洞421を介して支持体414の下方に位置し、SOI基板401の一部から形成された補強ビーム441が設けられている。これにより、本実施形態では、メンブレンを損傷等から保護し、圧電素子402の信頼性を向上させることができる。

【0157】

なお、図20は、第5実施形態の圧電MEMS素子の構造の変形例を示す側方断面図である。第5実施形態では、図17に示す支持体414を、図20に示すように、第1実施形態の支持体111に置き換えても構わない。この場合、第5実施形態では、半導体層413内に、p型半導体層413pを形成する代わりに、図5に示す方法で、支持体111となる不純物領域201を形成する。更に、第5実施形態では、裏面空洞421の形成工程において、埋込絶縁膜412のエッチング後に、図5に示す方法で、不純物領域201をエッチングストップとする半導体層413のエッチングを行う。なお、図20では、不純物領域201はp型領域とする。また、本段落で説明した内容は、後述の第6及び第7実施形態にも適用可能である。

【0158】

(第6実施形態)

図21は、第6実施形態の圧電MEMS素子の構造を示す側方断面図、底面図である。図21の側方断面図は、底面図のE-E'線に沿った断面図となっている。また、図22は、本実施形態の圧電MEMS素子の構造を示す詳細な側方断面図である。

【0159】

本実施形態の圧電MEMS素子には、第5実施形態の圧電MEMS素子と同様、SOI基板401と、圧電素子402と、裏面空洞421が設けられている。SOI基板401は、半導体基板411と、埋込絶縁膜412と、半導体層413と、補強ビーム441とを備え、圧電素子402は、下部電極として機能する支持体414と、圧電膜415と、上部電極416とを備える。

【0160】

上述のように、第5実施形態では、補強ビーム441は、図16に示すような十字形の平面形状を有している。第5実施形態では、補強ビーム441は、2本の帯状のビームを組み合わせた形状を有しており、これら2本のビームが、それぞれ裏面空洞421の平面形状の対称線部分に設けられ、十字形の補強ビーム441を形成している。

【0161】

一方、第6実施形態では、補強ビーム441は、図21に示すようなX字形の平面形状を有している。第6実施形態では、補強ビーム441は、2本の帯状のビームを組み合わせた形状を有しており、これら2本のビームが、それぞれ裏面空洞421の平面形状の対角線部分に設けられ、X字形の補強ビーム441を形成している。これにより、第6実施形態では、第5実施形態と同様、メンブレンを損傷等から保護し、圧電素子402の信頼性を向上させることができる。

【0162】

10

20

30

40

50

なお、第5及び第6実施形態では、補強ビーム441が、1方向だけではなく、2方向に走るように形成されている。その結果、第5及び第6実施形態では、メンブレンの強度が、補強ビーム441により効果的に補強されている。

【0163】

また、第5実施形態では、補強ビーム441が十字形になっているのに対し、第6実施形態では、補強ビーム441がX字形になっており、メンブレンを斜め方向に補強している。そのため、第6実施形態のメンブレンには、第5実施形態のメンブレンよりも強度的に強いという利点がある。

【0164】

また、第6実施形態では、上記の2本のビームの幅はそれぞれ、5 μ mとするが、その他の値でも構わない。

10

【0165】

以上のように、本実施形態のMEMS素子は、支持体414及び裏面空洞421が設けられたSOI基板401と、圧電素子402とを備え、SOI基板401には、SOI基板401の裏面側に形成され、裏面空洞421を介して支持体414の下方に位置し、SOI基板401の一部から形成された補強ビーム441が設けられている。これにより、本実施形態では、メンブレンを損傷等から保護し、圧電素子402の信頼性を向上させることができる。

【0166】

(第7実施形態)

20

図23は、第7実施形態の圧電MEMS素子の構造を示す側方断面図、底面図である。図23の側方断面図は、底面図のF-F'線に沿った断面図となっている。また、図24は、本実施形態の圧電MEMS素子の構造を示す詳細な側方断面図である。

【0167】

本実施形態の圧電MEMS素子には、第5実施形態の圧電MEMS素子と同様、SOI基板401と、圧電素子402と、裏面空洞421が設けられている。SOI基板401は、半導体基板411と、埋込絶縁膜412と、半導体層413と、補強ビーム441とを備え、圧電素子402は、下部電極として機能する支持体414と、圧電膜415と、上部電極416とを備える。

【0168】

30

本実施形態では、補強ビーム441は、図23に示すように、1つの正方形から4つの円をくり抜いたような平面形状を有している。これにより、本実施形態では、第5、第6実施形態と同様、メンブレンを損傷等から保護し、圧電素子402の信頼性を向上させることができる。

【0169】

なお、本実施形態では、第5、第6実施形態と同様、補強ビーム441が、1方向だけではなく、概ね2方向に走るように形成されている。その結果、本実施形態では、メンブレンの強度が、補強ビーム441により効果的に補強されている。

【0170】

以上のように、本実施形態のMEMS素子は、支持体414及び裏面空洞421が設けられたSOI基板401と、圧電素子402とを備え、SOI基板401には、SOI基板401の裏面側に形成され、裏面空洞421を介して支持体414の下方に位置し、SOI基板401の一部から形成された補強ビーム441が設けられている。これにより、本実施形態では、メンブレンを損傷等から保護し、圧電素子402の信頼性を向上させることができる。

40

【0171】

以上、本発明の具体的な態様の例を、第1から第7実施形態により説明したが、本発明は、これらの実施形態に限定されるものではない。

【符号の説明】

【0172】

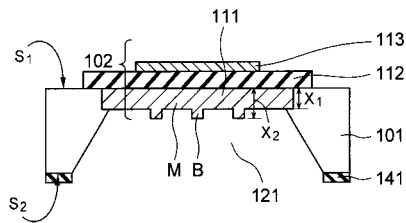
50

- 1 0 1 基板
- 1 0 2 圧電素子
- 1 1 1 支持体
- 1 1 2 圧電膜
- 1 1 3 上部電極
- 1 2 1 裏面空洞
- 1 3 1 貫通孔
- 1 4 1 熱酸化膜
- 1 5 1 A 1 層
- 2 0 1 不純物領域
- 2 1 1 貼り付け用樹脂
- 2 2 1 サポート基板
- 3 0 1 , 4 0 1 SOI 基板
- 3 0 2 , 4 0 2 圧電素子
- 3 1 1 , 4 1 1 半導体基板
- 3 1 2 , 4 1 2 埋込絶縁膜
- 3 1 3 , 4 1 3 半導体層
- 3 1 4 , 4 1 4 支持体
- 3 1 5 , 4 1 5 圧電膜
- 3 1 6 , 4 1 6 上部電極
- 3 2 1 , 4 2 1 裏面空洞
- 4 3 1 貫通孔
- 4 4 1 補強ビーム

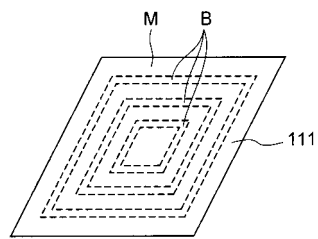
10

20

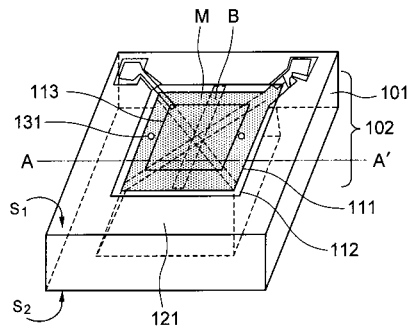
【 図 1 】



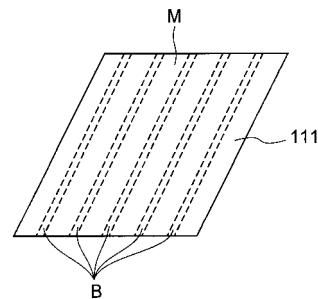
【 図 3 】



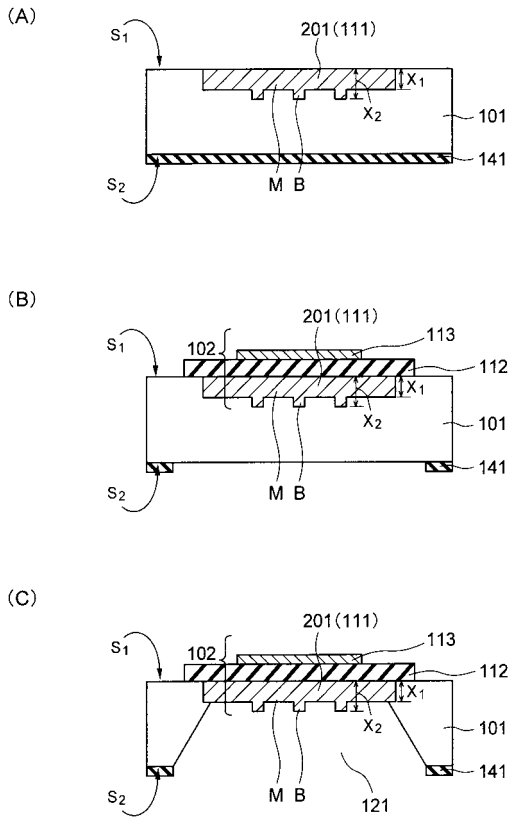
【 図 2 】



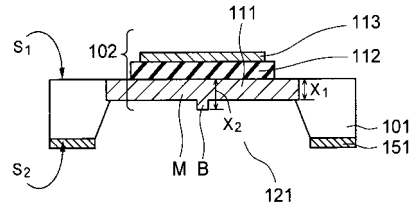
【 図 4 】



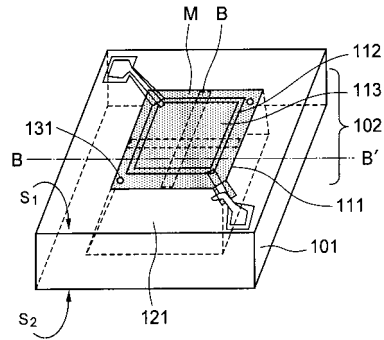
【 図 5 】



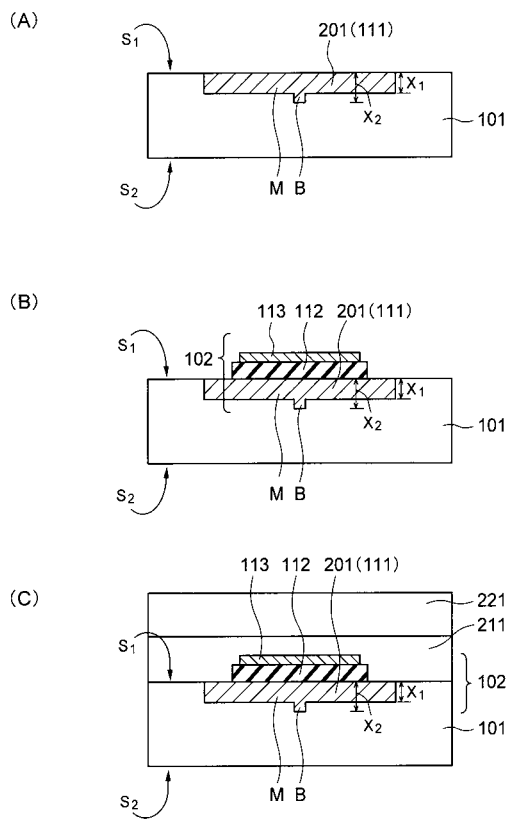
【 図 6 】



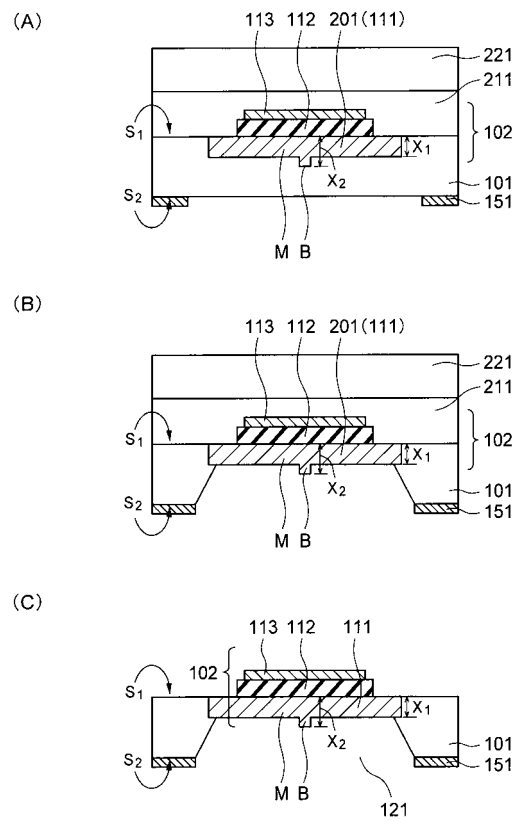
【 図 7 】



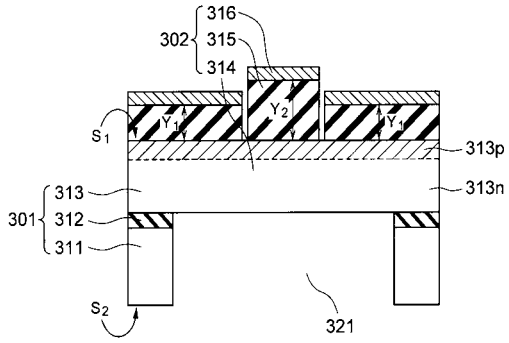
【 図 8 】



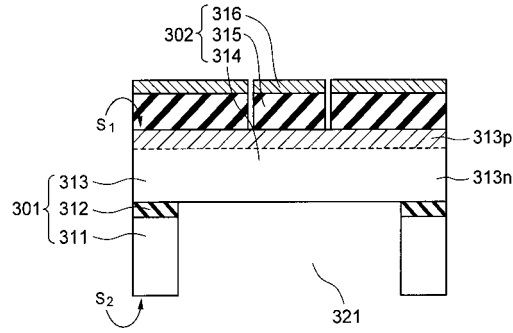
【 図 9 】



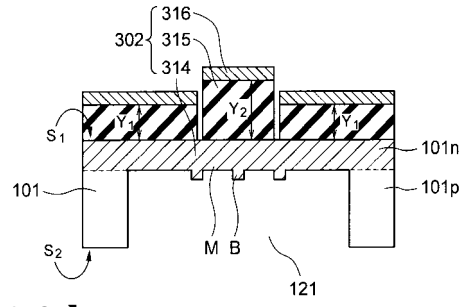
【 図 1 0 】



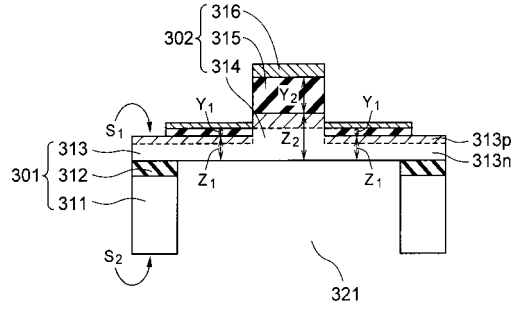
【 図 1 1 】



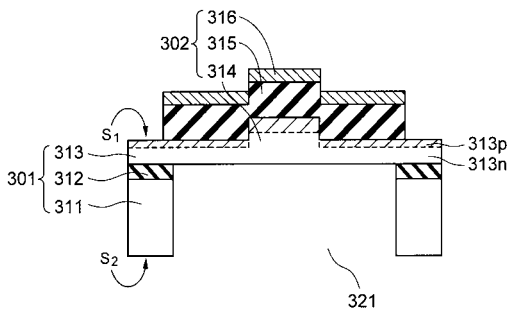
【 図 1 2 】



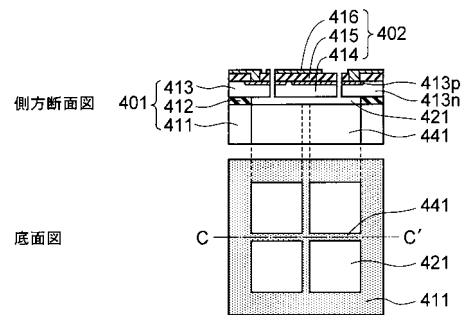
【 図 1 3 】



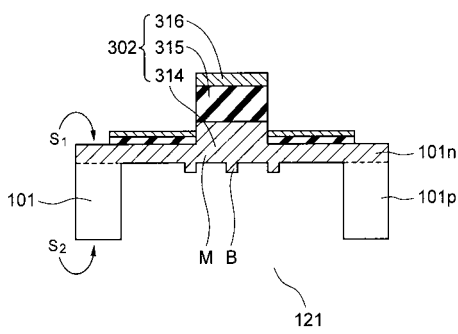
【 図 1 4 】



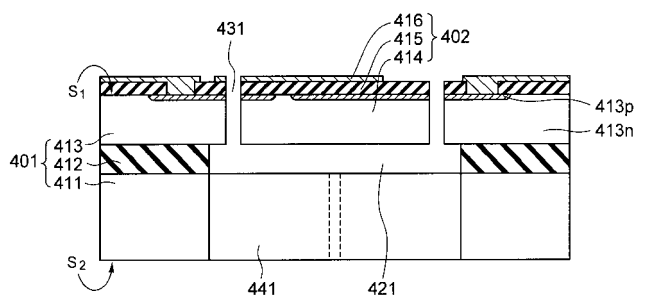
【 図 1 6 】



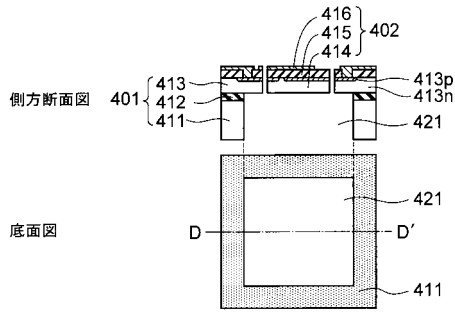
【 図 1 5 】



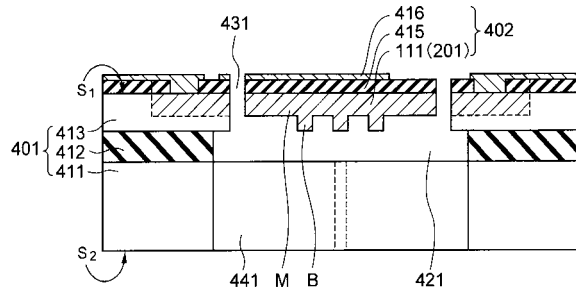
【 図 1 7 】



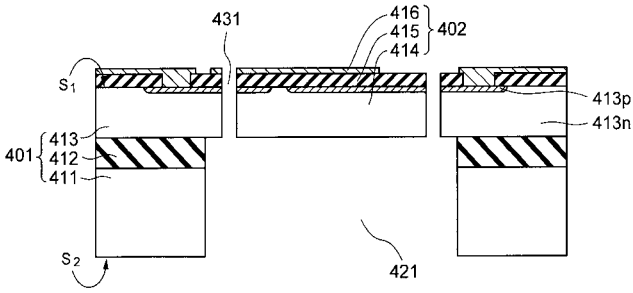
【 図 1 8 】



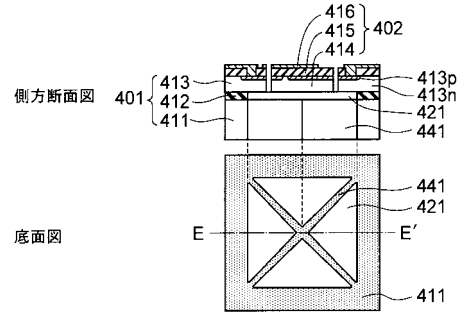
【 図 2 0 】



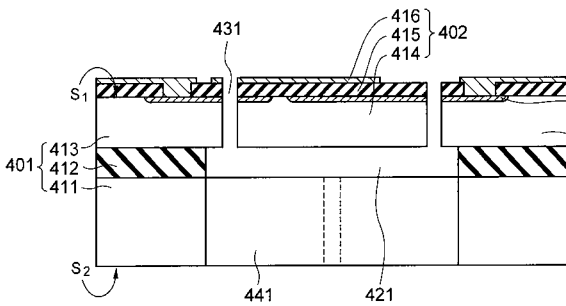
【 図 1 9 】



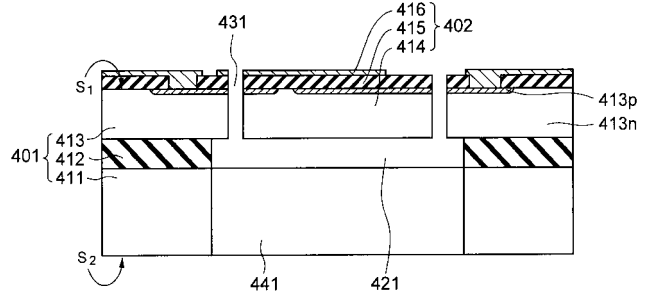
【 図 2 1 】



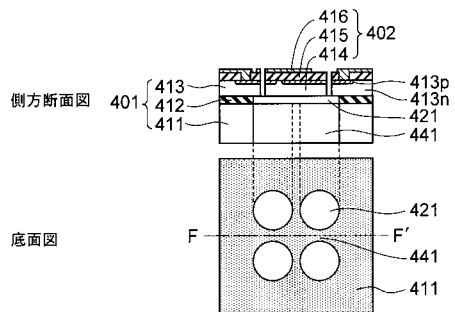
【 図 2 2 】



【 図 2 4 】



【 図 2 3 】



フロントページの続き

- (72)発明者 尾原 亮一
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 梁瀬 直子
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 安本 恭章
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 増子 真吾
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 佐野 賢也
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 3C081 AA07 BA45 BA46 BA55 CA02 CA14 CA15 CA28 CA40 DA02
DA25 DA27 DA44