



(12) 发明专利申请

(10) 申请公布号 CN 118646502 A

(43) 申请公布日 2024. 09. 13

(21) 申请号 202410638252.0

(22) 申请日 2024.05.22

(71) 申请人 中国商用飞机有限责任公司民用飞机试飞中心

地址 201323 上海市浦东新区祝桥镇金闻路108号

申请人 哈尔滨工业大学

(72) 发明人 雷爱强 李子扬 魏德宝 刘兆庆 刘旺 乔立岩 李瑞杰 陈少阳

(74) 专利代理机构 哈尔滨市阳光惠远知识产权代理有限公司 23211

专利代理师 张宏威

(51) Int. Cl.

H04J 3/06 (2006.01)

H04Q 9/00 (2006.01)

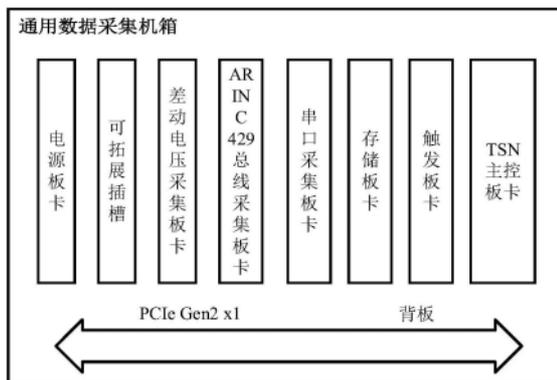
权利要求书1页 说明书10页 附图5页

(54) 发明名称

基于时间敏感网络的机载测试系统

(57) 摘要

基于时间敏感网络的机载测试系统,涉及机载测试技术领域。为解决现有技术中存在的,现有技术中,尚未提出一种基于时间敏感网络技术的机载数据采集系统,用以克服传统系统的同步性能差、传输延迟高等问题的技术缺陷,本发明提供的技术方案为:时间敏感网络主控板卡,板卡包括:主控核心板,用于完成控制和管理;用于承载主控核心板的载板,并具有数据传输和接口转换的功能;用于完成主控板卡初始化配置、通信和时间同步的核心控制模块;用于提供输出信号转换功能的接口模块。基于时间敏感网络的机载测试系统,系统包括:的时间敏感网络主控板卡,用于实现系统的控制和协调;可以应用于飞机、航天器等载具的性能测试和数据采集工作中。



1. 时间敏感网络主控板卡,其特征在於,所述板卡包括:
主控核心板,用于完成所述主控板卡的控制和管理;
用于承载所述主控核心板的载板,并具有数据传输和接口转换的功能;
用于完成所述主控板卡初始化配置、通信和时间同步的核心控制模块;
用于为所述主控核心板提供输出信号转换功能的接口模块。
2. 根据权利要求1所述的时间敏感网络主控板卡,其特征在於,所述时间敏感网络主控板卡采用子母板结构,主控核心板作为处理器,实现网络控制功能,载板实现信号转换和接口适配功能。
3. 根据权利要求2所述的时间敏感网络主控板卡,其特征在於,所述主控核心板通过ARM Cortex-A72架构的处理器实现,支持时间敏感网络的以太网交换机和以太网控制器。
4. 根据权利要求2所述的时间敏感网络主控板卡,其特征在於,所述载板通过FPGA芯片实现。
5. 根据权利要求4所述的时间敏感网络主控板卡,其特征在於,所述主控核心板和载板通过串行通信接口进行连接,所述载板中设置有I/O Bank接口。
6. 根据权利要求4所述的时间敏感网络主控板卡,其特征在於,所述接口模块用于将所述输出信号转换为FPGA可处理的信号。
7. 根据权利要求1所述的时间敏感网络主控板卡,其特征在於,所述板卡还包括用于为所述板卡供电的电源模块。
8. 基于时间敏感网络的机载测试系统,其特征在於,所述系统包括:
权利要求1所述的时间敏感网络主控板卡,用于实现所述系统的控制和协调;
用于采集不同类型的测试参数或信号的串口采集板卡、总线采集板卡和差动电压采集板卡;
用于实现所述系统中各个板卡间同步采集的触发板卡。
9. 根据权利要求8所述的基于时间敏感网络的机载测试系统,其特征在於,所述系统还包括用于对所述系统功能扩展的扩展模块。
10. 基于时间敏感网络的机载测试方法,其特征在於,所述方法是基于权利要求8所述的测试提供实现的,包括:采集待测系统中串口数据、总线数据和差动电压信号的步骤;对所述串口数据、总线数据和差动电压信号进行解析、校验、滤波和时间戳添加的信号处理步骤。

基于时间敏感网络的机载测试系统

技术领域

[0001] 涉及机载测试技术领域。

背景技术

[0002] 目前的机载数据采集系统通常采用分布式组网构架,使用传统以太网、CAN总线、ARINC 664总线等协议进行数据传输。然而,这种传统的组网构架存在一些不足,例如同步性能差、数据传输延迟高、带宽利用率低、可靠性不足等问题,因此需要新的技术来提高机载数据采集系统的性能和可靠性。

[0003] 在这一背景下,时间敏感网络(Time Sensitive Network, TSN)技术应运而生。TSN技术是一种基于以太网的新型网络通信技术,通过对网络数据流进行时间同步和调度,实现了高精度的数据传输和实时性要求。TSN技术具有分布式时钟同步、低延迟、高带宽利用率等特点,在工业控制、汽车领域等对实时性要求较高的领域得到了广泛应用。

[0004] 采用TSN技术对现有的机载数据采集系统进行改进将带来如下显著的优势:首先,TSN技术可以实现高精度的数据同步,提高数据采集系统的同步性能;其次,TSN技术具有低延迟的特点,可以降低数据传输延迟,提高数据传输的实时性;此外,TSN技术还能够提高网络的可靠性,通过对数据流的调度和管理,可确保数据的稳定传输。

[0005] 但是现有技术中,尚未提出一种基于TSN技术的机载数据采集系统,用以克服传统系统的同步性能差、传输延迟高等问题。

发明内容

[0006] 为解决现有技术中存在的,现有技术中,尚未提出一种基于TSN技术的机载数据采集系统,用以克服传统系统的同步性能差、传输延迟高等问题的技术缺陷,本发明提供的技术方案为:

[0007] 时间敏感网络主控板卡,所述板卡包括:

[0008] 主控核心板,用于完成所述主控板卡的控制和管理;

[0009] 用于承载所述主控核心板的载板,并具有数据传输和接口转换的功能;

[0010] 用于完成所述主控板卡初始化配置、通信和时间同步的核心控制模块;

[0011] 用于为所述主控核心板提供输出信号转换功能的接口模块。

[0012] 进一步,提供一个优选实施方式,所述时间敏感网络主控板卡采用子母板结构,主控核心板作为处理器,实现网络控制功能,载板实现信号转换和接口适配功能。

[0013] 进一步,提供一个优选实施方式,所述主控核心板通过ARM Cortex-A72架构的处理器实现,支持TSN的以太网交换机和以太网控制器。

[0014] 进一步,提供一个优选实施方式,所述载板通过FPGA芯片实现。

[0015] 进一步,提供一个优选实施方式,所述主控核心板和载板通过串行通信接口进行连接,所述载板中设置有I/O Bank接口。

[0016] 进一步,提供一个优选实施方式,所述接口模块用于将所述输出信号转换为FPGA

可处理的信号。

[0017] 进一步,提供一个优选实施方式,所述板卡还包括用于为所述板卡供电的电源模块。

[0018] 基于同一发明构思,本发明还提供了基于时间敏感网络的机载测试系统,所述系统包括:

[0019] 所述的时间敏感网络主控板卡,用于实现所述系统的控制和协调;

[0020] 用于采集不同类型的测试参数或信号的串口采集板卡、总线采集板卡和差动电压采集板卡;

[0021] 用于实现所述系统中各个板卡间同步采集的触发板卡。

[0022] 进一步,提供一个优选实施方式,所述系统还包括用于对所述系统功能扩展的扩展模块。

[0023] 基于同一发明构思,本发明还提供了基于TSN的机载测试方法,所述方法是基于所述的测试提供实现的,包括:采集待测系统中串口数据、总线数据和差动电压信号的步骤;对所述串口数据、总线数据和差动电压信号进行解析、校验、滤波和时间戳添加的信号处理步骤。

[0024] 与现有技术相比,本发明提供的技术方案的有益之处在于:

[0025] 本发明提供的基于时间敏感网络的机载测试系统,通过引入TSN技术,可以实现高精度的数据同步,提高数据采集系统的同步性能。能够实现几十纳秒级的高精度时间同步。

[0026] 本发明提供的基于时间敏感网络的机载测试系统,TSN技术具有低延迟的特点,可以降低数据传输延迟,提高数据传输的实时性。可以对数据流进行优先级分类和流量整形,实现低延迟的数据传输。

[0027] 本发明提供的基于时间敏感网络的机载测试系统,TSN技术通过对数据流的调度和管理,可以提高网络的可靠性,确保数据的稳定传输。可以对数据流进行周期性的波形整形,保证整个系统内的流量具有较低的时延和可预测性。

[0028] 本发明提供的基于时间敏感网络的机载测试系统,采用了高性能的ARM Cortex-A72架构处理器和支持TSN的以太网交换机以及以太网控制器,这使得主控模块具有强大的处理能力和网络管理能力。这样的设计保证了主控模块在处理高速数据流和复杂网络管理任务时能够保持高效稳定的运行。

[0029] 本发明提供的基于时间敏感网络的机载测试系统,主控板卡的载板采用了FPGA芯片作为核心,通过接口模块将核心板引出的信号进行转换和适配,以满足不同接口的需求。这种灵活的接口设计使得主控模块能够适应多种外部设备和环境,并且便于定制化和扩展。

[0030] 本发明提供的基于时间敏感网络的机载测试系统,主控模块采用了分层设计和模块化结构,将整个系统分为主控核心板和载板,并且在功能模块上进行了明确的分层设计。这种设计使得系统的各个功能模块相互独立、清晰明确,易于维护和升级,同时也提高了系统的可扩展性和灵活性。

[0031] 本发明提供的基于时间敏感网络的机载测试系统,可以应用于飞机、航天器等载具的性能测试和数据采集工作中。

附图说明

- [0032] 图1为基于时间敏感网络的机载测试系统结构示意图；
- [0033] 图2为时间敏感网络主控板卡结构示意图；
- [0034] 图3为主控板卡与载板组装结构示意图；
- [0035] 图4为主控板卡中主控模块载板电源树结构示意图；
- [0036] 图5为基于触发板卡的板卡间高精度同步触发原理示意图；
- [0037] 图6为触发板卡实现时间敏感网络主控板卡1PPS信号整形示意图；
- [0038] 图7为触发板卡实现多路1PPS信号时钟路径延迟补偿修正示意图；
- [0039] 图8为基于触发板卡的高精度触发机制PCIe同步数据传输格式示意图；
- [0040] 图9为基于时间敏感网络的机载测试系统应用实例图；
- [0041] 图10为基于时间敏感网络的机载测试系统流量调度策略模型示意图；

具体实施方式

[0042] 为使本发明提供的技术方案的优点和有益之处体现得更清楚,现结合附图对本发明提供的技术方案进行进一步详细地描述,具体的:

[0043] 实施方式一、本实施方式提供了时间敏感网络主控板卡,所述板卡包括:

[0044] 主控核心板,用于完成所述主控板卡的控制和管理;

[0045] 用于承载所述主控核心板的载板,并具有数据传输和接口转换的功能;

[0046] 用于完成所述主控板卡初始化配置、通信和时间同步的核心控制模块;

[0047] 用于为所述主控核心板提供输出信号转换功能的接口模块。

[0048] 实施方式二、本实施方式是对实施方式一提供的时间敏感网络主控板卡的进一步限定,所述时间敏感网络主控板卡采用子母板结构,主控核心板作为处理器,实现网络控制功能,载板实现信号转换和接口适配功能。

[0049] 实施方式三、本实施方式是对实施方式二提供的时间敏感网络主控板卡的进一步限定,所述主控核心板通过ARM Cortex-A72架构的处理器实现,支持TSN的以太网交换机和以太网控制器。

[0050] 实施方式四、本实施方式是对实施方式二提供的时间敏感网络主控板卡的进一步限定,所述载板通过FPGA芯片实现。

[0051] 实施方式五、本实施方式是对实施方式四提供的时间敏感网络主控板卡的进一步限定,所述主控核心板和载板通过串行通信接口进行连接,所述载板中设置有I/O Bank接口。

[0052] 实施方式六、本实施方式是对实施方式四提供的时间敏感网络主控板卡的进一步限定,所述接口模块用于将所述输出信号转换为FPGA可处理的信号。

[0053] 实施方式七、本实施方式是对实施方式一提供的时间敏感网络主控板卡的进一步限定,所述板卡还包括用于为所述板卡供电的电源模块。

[0054] 实施方式八、本实施方式提供了基于时间敏感网络的机载测试系统,所述系统包括:

[0055] 实施方式一提供的时间敏感网络主控板卡,用于实现所述系统的控制和协调;

[0056] 用于采集不同类型的测试参数或信号的串口采集板卡、总线采集板卡和差动电压

采集板卡；

[0057] 用于实现所述系统中各个板卡间同步采集的触发板卡。

[0058] 实施方式九、本实施方式是对实施方式八提供的基于时间敏感网络的机载测试系统的进一步限定,所述系统还包括用于对所述系统功能扩展的扩展模块。

[0059] 实施方式十、本实施方式提供了基于TSN的机载测试方法,所述方法是基于实施方式八提供的测试提供实现的,包括:采集待测系统中串口数据、总线数据和差动电压信号的步骤;对所述串口数据、总线数据和差动电压信号进行解析、校验、滤波和时间戳添加的信号处理步骤。

[0060] 实施方式十一、结合图1-10说明本实施方式,本实施方式通过距离实例,对上述提供的技术方案进行进一步详细、完整地说明,具体的:

[0061] 基于TSN技术的机载数据采集系统将能够克服传统系统的同步性能差、传输延迟高等问题。TSN将机载网络中的传感器数据网、音视频流量网、配置和校准流量网等整合成为一张网络,满足未来机载测试系统网络大数据量、高精度、低时延、高可靠性的要求,为航空航天领域的性能测试和数据采集提供更加可靠和高效的解决方案。

[0062] 本实施方式提供一种基于时间敏感网络的机载测试系统及应用方法,能够实现采集板卡间的高精度同步采集和采集机箱间的高精度时间同步及流量调度。测试系统主要包括基于TSN的数据采集机箱和TSN交换机。TSN采集机箱结构设计为插槽式机箱,由时间敏感网络主控板卡、电源板卡、触发板卡、存储板卡和其他功能板卡组成。时间敏感网络主控板卡作为测试系统的核心,负责计算处理各功能板卡的原始采集数据、进行TSN时间同步与流量调度以及对相关数据进行打包转发等。为了实现不同种类同步采集板卡间的高精度时间同步,引入触发板卡用来实现高精度的板间同步触发采集机制。如图1所示,给出了TSN采集机箱的逻辑结构示意图。设备结构包含电源板卡、时间敏感网络主控板卡、触发板卡、存储板卡及功能板卡(包含差动电压采集板卡、ARINC 429总线采集板卡、RS-485串口采集板卡等)。其中,机箱对于TSN能力的支持主要来源于时间敏感网络主控板卡。电源板卡、主控板卡以及可拓展插槽尺寸均为双槽可拆卸模块。如图中箭头所示,除电源板卡外,其余各板卡之间的通信协议为PCIe Gen2 x1总线。

[0063] 采集机箱支持VITA73模块工作,为保证通用机载采集设备的物理可靠性,提升测试平台的散热性能,使其工作温度和存储温度等机载环境适应性需求,机箱的开口向上更有利于散热,时间敏感网络主控板卡、电源板卡等从机箱上方插入插槽,功能板卡自带前面板,前面板留出模块所带有的接口的空间,满足各个板卡定制前面板对外部连接器的需求。

[0064] (1) 时间敏感网络主控板卡实现

[0065] 如图2所示,时间敏感网络主控板卡结构采用子母板。主控板卡核心板采用ARM Cortex-A72架构,其主控芯片选用NXP的QorIQ LS1028A应用处理器,其包括支持TSN的以太网交换机和以太网控制器。载板以XC7A100TFGG484型号的FPGA芯片为核心,将ARM核心板的以太网接口、DP视频接口和USB接口引出至背板或前面板,从而保证ARM处理器的正常运行,整张板卡的总功耗在30W左右。选用FPGA作为载板的主控芯片的核心原因是利用FPGA引脚资源与具有高速收发器的特点,适合作为高速数据传输与接口转换。同时FPGA由于可编程的特点,适合多种协议,适合在小批量生产的电子设备中作为主控芯片。FPGA还具有功耗低,引脚可重新配置的特点,配合板级连接器,具有一定的可扩展性。主控板卡与载板的连

接结构如图3所示。

[0066] 主控板卡的载板从功能上可以分为载板核心主控模块、供电电源模块和接口转换模块。

[0067] 各个模块的基本组成和功能作用如下所示：

[0068] 1) 核心控制模块负责系统的初始化配置以及与主控模块核心板的通信,通过软硬协同工作的方式完成TSN时间同步协议的功能,负责各个接口之间的调度。载板上的FPGA与核心板通过串行通信接口进行通信,在载板FPGA的I/O Bank接入触发功能。

[0069] 2) 接口模块将核心板引出的信号进行转换,变为适合FPGA的信号或增加PHY芯片功能。对于通过PHY芯片的信号,通过背板连接器传入转接板或传入前面板连接器将信号传输至前面板。主控模块载板将核心板的部分接口引入背板连接器,如USB 3.0接口,使用PTN3460I将DP信号引出,如将经过以太网变压器的以太网信号传至HJ30J连接器,数据传输与工程配置接口形式为100/1000base-T。主控卡载板接口模块主要由USB模块,以太网模块,DP模块构成。其中以太网模块(网络变压器使用SM51625EL芯片)是为了将核心板支持的以太网信号增强传输、阻抗匹配、波形修复、信号杂波抑制和高电压隔离等作用,保障数据传输及工程配置工作的完成。DP模块是将核心板的视频信号会传输至背板,通过转接板的DP接口进行信号传输,从而支持显示器显示主控模块的运行情况,实现调试主控模块时的显示功能。USB模块功能较为复杂,核心板具有多个USB接口,其中主控模块载板需要1个USB接口作为调试主控模块的外设的一个接口,还需要1个USB接口作为主控模块的一个传输接口,此外还需要1个USB接口作为与载板FPGA通信的串口,需要1个USB接口直接作为与FPGA通信的接口使用。

[0070] 3) 供电电源模块为载板主控FPGA芯片和其他芯片供电,包含ARM核心板供电,也将由供电电源模块转换为合适电压后供电。由于机箱只提供12V与5V电源,因此电源模块需将12V电压转换为所需电压。FPGA具有较为严苛的上电顺序与较高精度的电源电压。如果不满足上电顺序,FPGA上电时的拉电流会比手册中标注的要大很多,在实际应用中可能导致启动失败以及瞬间功耗过大。对于FPGA的高速串行收发器,由于这部分电路运行频率很高,因此相应抗干扰能力较差,需要提供电源纹波小的电源。因此,在实际工程中使用线性电源芯片为其供电。系统中FPGA需要的供电电压有1.8V、1.2V、1.0V、3.3V,其他模块需要5V、3.3V等供电电压,整个主控模块的电源构成如表1所示。

[0071] 表1主控模块载板的电源电压种类构成统计表

功能模块	电源构成
接口转换模块	3.3V/5V
内核电源 (FPGA)	1.0V
辅助电源 (FPGA)	1.8V
I/O电源 (FPGA)	1.8V/3.3V
收发器电源 (FPGA)	1.2V/1.0V
其他模块	3.3V

[0073] 电源模块采用ADI的开关电源芯片与TI的LDO芯片作为电源。最终选用LTM4644作为一级电源模块,利用其四路输出的特性与电源管理功能引脚(PGOOD与RUN引脚)大部分的FPGA上电顺序,使用TPS74401高速收发器的上电顺序。利用同时FPGA的高速收发器LTM4644

四路分别输出1.0V,1.8V,3.3V,1.0V,其中最后一路为收发器供电。使用TI的TPS74401为高速收发器提供1.2V电压。

[0074] 电源如图4所示,主控模块电源采用了LTM4644电源芯片,LTM4644是一款单输入四路输出DC/DC电源,每路输出电流最大为4A。LTM4644在具有四路不同电压输出的同时,还可将四路或多路相同电压输出进行多路并联,其四路并联输出最大电流可达16A电流,通过并联实现提升驱动能力。LTM4644还含有四个使能信号,通过实现四个使能信号可决定四路输出电压的上电顺序,完成FPGA对上电顺序的严格要求。LTM4644内部集成了功率场效应管,开关控制器,电感和其余支持组件,实现外围电路较为简单,通过反馈电阻的压值来控制输出电压,同时在外部手机用了大量的滤波电路,能够为主控模块提供稳定的电压源。LTM4644可以支持的单路输入电压范围为4V至14V,电源模块提供至背板的电压为12V,其输出电压范围为0.6V至5.5V满足主控模块载板FPGA内核电压,IO BANK电压等的电压需求。电源具有90%的转换效率并且每路都可提供4A的连续输出电流,瞬时电流峰值可支持5A。

[0075] (2) 基于触发板卡实现的板卡间高精度同步采集机制

[0076] 触发板卡以FPGA为核心,在其内部通过时钟分发模块、定时模块、通信模块等为功能板卡提供多种频率的参考时钟,秒脉冲(1PPS)信号,触发信号。触发板卡通过与时间敏感网络主控板卡的通信信号线获取触发信息,将信息解析后获知需要触发的对应功能板卡及触发方式。触发板卡从功能上分为核心主控模块及其配置电路、供电电源模块和时钟分发模块。时钟分发模块由多个时钟驱动芯片和高稳晶振组成,板载10MHz,100MHz晶振,使用时钟驱动芯片将这两个时钟信号进行多路转发。1PPS信号是由时间敏感网络主控板卡产生,经背板传输至触发模块的背板连接器。时钟分发模块中的时钟触发芯片将1PPS信号分为多路1PPS信号,并对每路的1PPS时钟触发信号进行单独的时钟补偿修正,最后直接传入背板的连接器。

[0077] 图5所示的是本实施方式中包含的基于触发板卡实现的同步采集板卡间的高精度同步采集机制。时间敏感网络主控板卡上的1PPS信号通过背板直接连接到触发板卡上,触发板卡内部通过信号整形模块、时钟修正模块的处理后将1路PPS信号分成多路独立的同步1PPS信号输出给各个功能槽位的1PPS信号线。该机制主要包括三个步骤:

[0078] 1) 信号整形模块实现的功能为将时间敏感网络主控板卡输出的1PPS进行信号波形的整形,受制于硬件水平以及主控模块需要实现的功能较为复杂,其内部信号间可能存在干扰,其输出的1PPS信号脉宽较窄、波峰较低,需要触发板卡对其进行波形整形,恢复成占空比50%的标准1PPS方波信号进行输出,从而给予各功能板卡更为标准统一的1PPS参考信号,过程如图6所示。

[0079] 2) 时钟修正模块实现的功能为对1PPS进行路径延迟、计算处理时间等导致的延迟进行补偿,其效果如图7所示。时间敏感网络主控板卡中输出的1PPS信号进入到触发板卡的FPGA中以后,经过相应模块的处理后再输出到各个功能板卡的槽位,必然会导致时钟信号产生漂移,这会导致各同步采集板卡在同一时刻采集到的数据时间戳与时间敏感网络主控板卡之间产生偏差。因此引入时钟修正模块对FPGA内部的1分多路1PPS信号分别进行时钟上的补偿,从而实现测试系统内板卡间的高精度时间同步触发机制。

[0080] 3) 测试系统实现板卡间的高精度时间同步以后,根据接收到的同步触发信号和1PPS参考信号开始同步数据的采集过程。各同步采集板卡在采集到数据以后,根据板载

100MHz晶振,记录下当前时刻相对于上一个1PPS参考信号后经过的时间,每次接收到新的1PPS信号后重新开始计时。同步采集板卡将所有数据打包后通过背板的PCIe总线传输给时间敏感网络主控板卡,传输格式为自定义数据格式。

[0081] PCIe传输格式如图8所示。前导码占4个bit,表示一段PCIe数据报文的开始;板卡编号(Card ID)占4个bit,表示当前传输数据的板卡型号及编号;通道编号(Channel ID)占4个bit,表示当前的数据来自板卡的哪一个通道;数据类型(Data type)占4个bit,表示当前的数据具体为哪一类型,比如温度、压力等;数据个数(Data num)占16个bit,表示当前PCIe报文中含有多少个同步采集数据;局部时间戳(Time stamp)占32个bit,表示同步采集板卡记录到的两个1PPS参考信号之间的相对时间戳,用来和时间敏感网络主控板卡计算到的整秒时间戳相加得到一个完成的64位同步采集时间戳;同步采集数据部分表示采集到的实际参数,实际大小为PCIe传输格式限制的剩余字节数。整个PCIe报文格式采用32位对齐的方式,方便进行后续的数据处理和校验。

[0082] 基于时间敏感网络的机载测试系统应用方法

[0083] 本实施方式包含的一种基于时间敏感网络的机载测试系统的应用场景如图9所示。其中,橙色连接线表示设备间为TSN网络流量,绿色连接线表示设备间为精准时间同步协议(IEEE 1588)网络流量。TSN测试设备为本实施方式中包含的基于TSN的机载数据采集机箱,它主要负责实现将机箱内各功能板卡采集的参数组成不同优先级类型的TSN网络包,并和TSN交换机之间进行基于TSN时间同步协议(IEEE 802.1AS)的高精度时间同步,并在此基础上基于时间敏感网络主控板卡支持的TSN流量调度能力实现对于采集数据包源端的初始流量调度和流量整形。传统机载测试设备为现有的基于传统以太网的机载测试设备,其一般为IEEE 1588机载测试系统,能够输出基于传统以太网的机载网络数据包。该机载测试系统工作的过程主要分为时间同步、数据流生成与转发、数据流调度三个步骤。时间同步用来实现整个混合机载测试系统内采集设备间的高精度时间同步;各采集设备在此基础上将采集数据打上精准时间戳并进行TSN流优先级分类,随后将生成相应的数据报文格式转发给TSN交换机;最后TSN交换机根据相应的流量调度规则对所有的机载网络流量进行TSN调度。具体过程如下所述。

[0084] 1) 时间同步

[0085] 时间同步是基于时间敏感网络的机载测试系统正常工作的基础。

[0086] 机载测试系统网络中存在的超主时钟(Grandmaster)将接收到的GPS时间戳信息同步给TSN一级主交换机,随后各级TSN交换机之间通过时钟同步协议将GPS授时的精准时间同步协议(Precision Timing Protocol,PTP)时间戳同步给挂载在本交换机下的各类机载测试设备。其中,TSN测试设备的同步使用IEEE 802.1AS协议,传统测试设备的同步采用IEEE 1588协议。两种不同的精准时钟同步协议通过在TSN交换机内部共用同一个硬件时钟的方式实现共用相同的PTP时间戳,到此实现整个机载测试网络内的机箱间的时间同步。

[0087] TSN测试设备在获取到精准的PTP时间戳后,将此时间戳信息同步给时间敏感网络主控板卡的本地系统时钟,时间敏感网络主控板卡使用此PTP时间戳进行网络报文数据的处理,并结合上文提到的板卡间的高精度同步采集机制实现采集机箱内板卡间的同步采集时间戳的统一,从而实现整个TSN机载测试系统内所有同步采集板卡间的高精度时间同步。

[0088] 2) 数据流生成与转发

[0089] a) 基于TSN的主控板卡将接收到的采集参数按需组成相应的网络数据包,并对其打上按照时间同步方法获取到的64位PTP时间戳。网络数据包应用层为机载测试系统中常用的IENA、NPD以及自定义数据包等格式;

[0090] b) 应用层的数据包完成组包后,时间敏感网络主控板卡对其链路层的报文进行修改,在数据报文部分前添加一个4bytes的虚拟桥接局域网(VLAN)字段,该字段为IEEE 802.1Q标准中定义的标准字段,用来实现对不同类型报文的优先级进行自定义分类。它将不同的流量数据分成0-7共8种优先级,数字越低代表优先级越高。在基于时间敏感网络的机载测试系统中,定义了四种优先级的数据,如表2所示。

[0091] 表2基于TSN的机载测试系统流量优先级表

流量类型	优先级	流量描述
控制流、时间同步流	0	机载设备发送的控制信息和测试设备间的时间同步报文,发送周期 20ms
机载网络音视频流	3	机载网络中需要保证实时传输的流量,发送周期 50ms
机载网络采集数据流	4	采集设备输出的同步性要求较高的采集数据网络数据流,发送周期 50ms
BE流、非实时性采集数据	7	机载网络中的普通流量,发送周期 50ms

[0093] 流量优先级的划分参考了不同流量的比特率、发送周期等参数综合计算得出,原则为保证不同流量所需的传输时间,确保满足基于时间敏感网络的机载测试系统的低时延和高可靠性要求。

[0094] 3) 数据流调度

[0095] 各级TSN交换机在接收到测试设备输出的网络数据包后,首先判断该设备类型。

[0096] 若为TSN测试设备,则不对其报文进行处理,直接让其进入TSN流量调度队列;若为传统测试设备,则在交换机端口的报文入口处自动为其链路层的数据报文添加上4bytes的VLAN tag,然后再让其进入TSN的流量调度队列与TSN流量一同进行优先级的管理。在本基于时间敏感网络的机载测试系统中采用的流量调度策略为转发与排队增强(IEEE 802.1Qav)、流量调度的增强(IEEE 802.1Qbv)和帧抢占(IEEE 802.1Qbu)协议的混合使用,具体如图10所示。

[0097] 较高优先级的流量在TSN交换机内部都先进行一次IEEE 802.1Qav协议的调度处理,用来按照严格优先级顺序对所有的高优先级流量进行一次更为细致的预分类处理,用来防止突发流量的干扰,并进行初始的波形整形。

[0098] 随后预处理过的流量全部按照IEEE 802.1Qbv协议输入到TSN交换机的门控列表中,进行周期性的波形整形,保证整个系统内的流量始终具有一个较低的时延和可预测性。

[0099] 接着将处理好的高优先级流量与未经过任何处理的尽力而为流(BE流)输入到TSN交换机的IEEE 802.1Qbu控制器中,用来实现高优先级流量对普通流量传输的抢占机制。

[0100] 最后,所有的机载网络流量实现调度后从TSN交换机的输出端口输出,TSN网络流量不做任何处理,非TSN网络流量去掉在交换机入口处添加的VLAN tag后输出到下一级设备中。

[0101] 本实施方式提供的技术方案的优势在于:

[0102] 1、主控板卡采用子母板设计,可以在较小的空间内依旧完成TSN和IEEE 1588时钟同步协议,同时有效解决了芯片密集分布带来的散热问题;

[0103] 2、主控板卡支持高精度的TSN时间同步协议(IEEE 802.1AS),可以实现几十ns级的高精度时间同步;

[0104] 3、主控板卡TSN的流量调度协议(IEEE 802.1Qav、IEEE 802.1Qbu),可以在输出的网络数据流进入TSN交换机之前对不同类型的采集数据进行优先级分类和流量整形、流量调度预处理;

[0105] 4、主控板卡支持IEEE 1588硬件时间戳,能够在输出采集数据包的同时打上64位的IEEE 1588精准时间戳,使机载设备采集参数具备更高的精准度;

[0106] 5、基于触发板卡实现的高精度同步触发机制,能够实现板卡间同步采集时的高精度时间同步;

[0107] 6、基于时间敏感网络的机载测试系统能够和现有的传统IEEE 1588机载采集设备兼容使用,传统的机载采集设备可以使用IEEE 1588时间同步协议与TSN交换机进行时间同步;同时传统采集设备输出的采集网络包可以与TSN网络包共同排队转发。

[0108] 以上通过几个具体实施方式对本发明提供的技术方案进行进一步详细地描述,是为了突出本发明提供的技术方案的优点和有益之处,不过以上所述的几个具体实施方式并不用于作为对本发明的限制,任何基于本发明的精神和原则范围内的,对本发明的合理修改和改进、实施方式的组合和等同替换等,均应当包含在本发明的保护范围之内。

[0109] 在本说明书的描述中,仅为本发明的较佳实施例,不能以此限定本发明之权利范围;另外,参考术语“一个实施方式”、“一些实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任一个或N个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中,“N个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。流程图中或在此以其他方式描述的任何过程或方法描述可以被理解为,表示包括一个或更N个用于实现定制逻辑功能或过程的步骤的可执行指令的代码的模块、片段或部分,并且本发明的优选实施方式的范围包括另外的实现,其中可以不按所示出或讨论的顺序,包括根据所涉及的功能按基本同时的方式或按相反的顺序,来执行功能,这应被本发明的实施例所属技术领域的技术人员所理解。在流程图中表示或在此以其他方式描述的逻辑和/或步骤,例如,可以被认为是用于实现逻辑功能的可执行指令的定序列列表,可以具体实现在任何计算机可读介质中,以供指令执行系统、装置或设备(如基于计算机的系统、包括处理器的系统或其他可以从指令执行系统、装置或设备取指令并执行指令的系统)使用,或结合这些指令执行系统、装置或设备而使用。就本说明书而言,“计算机可读介质”可以是任何可以包含、存储、通信、传播或传输程序以供指令执行系统、装置或设备或结合这些指令执行系统、装置或设备而使用的装置。计算机可读介质的更具体的示例(非穷尽性列

表)包括以下:具有一个或N个布线的电连接部(电子装置),便携式计算机盘盒(磁装置),随机存取存储器(RAM),只读存储器(ROM),可擦除可编程只读存储器(EPROM或闪速存储器),光纤装置,以及便携式光盘只读存储器(CDROM)。另外,计算机可读介质甚至可以是可在其上打印所述程序的纸或其他合适的介质,因为可以例如通过对纸或其他介质进行光学扫描,接着进行编辑、解译或必要时以其他合适方式进行处理来以电子方式获得所述程序,然后将其存储在计算机存储器中。应当理解,本发明的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中,N个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。如,如果用硬件来实现和在另一实施方式中一样,可用本领域公知的下列技术中的任一项或他们的组合来实现:具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路,具有合适的组合逻辑门电路的专用集成电路,可编程门阵列(PGA),现场可编程门阵列(FPGA)等。

[0110] 本技术领域的普通技术人员可以理解实现上述实施例方法携带的全部或部分步骤是可以通过程序来指令相关的硬件完成,所述的程序可以存储于一种计算机可读存储介质中,该程序在执行时,包括方法实施例的步骤之一或其组合。此外,在本发明各个实施例中的各功能单元可以集成在一个处理模块中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个模块中。上述集成的模块既可以采用硬件的形式实现,也可以采用软件功能模块的形式实现。所述集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用,也可以存储在一个计算机可读取存储介质中。

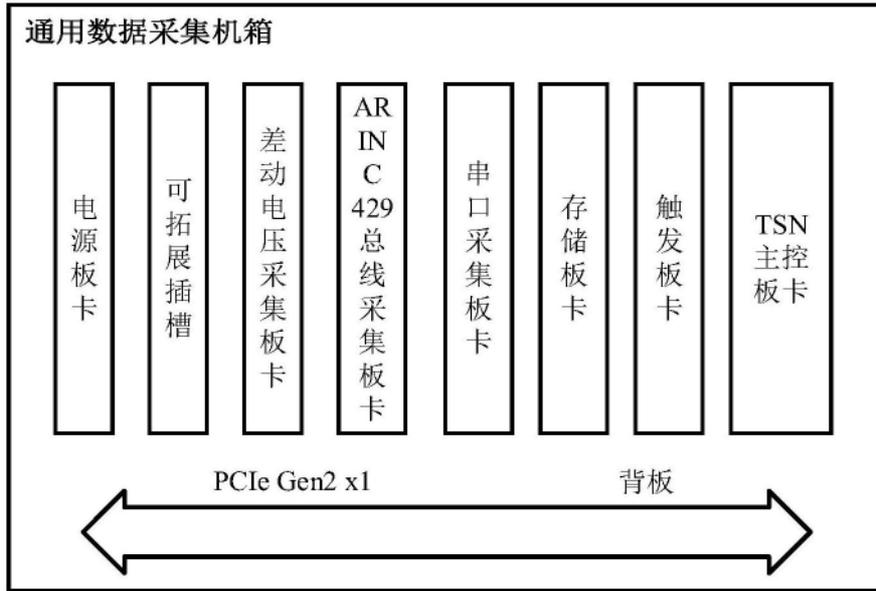


图1

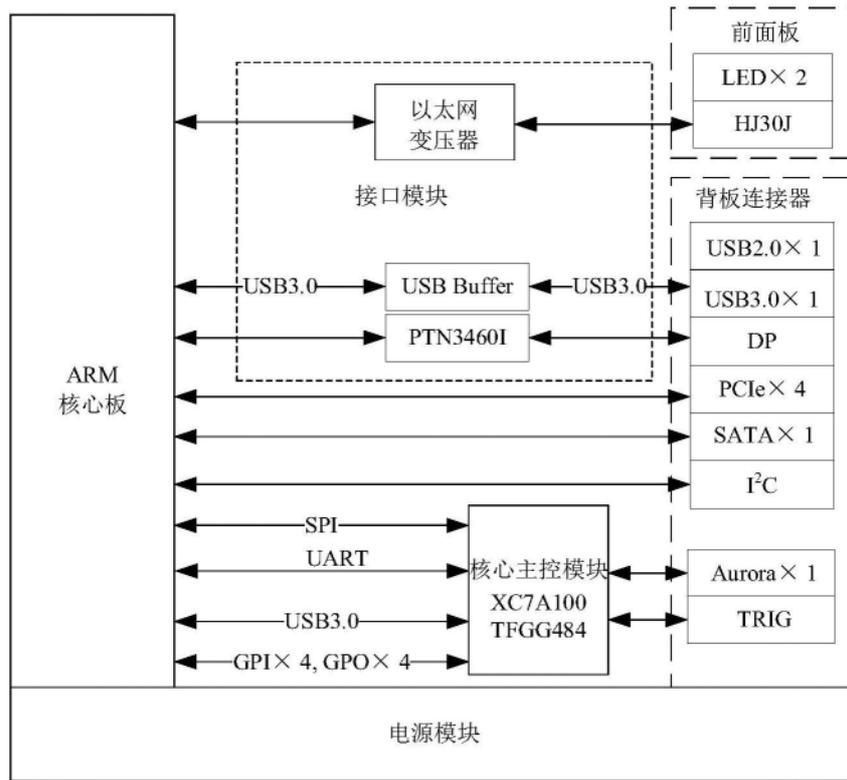


图2

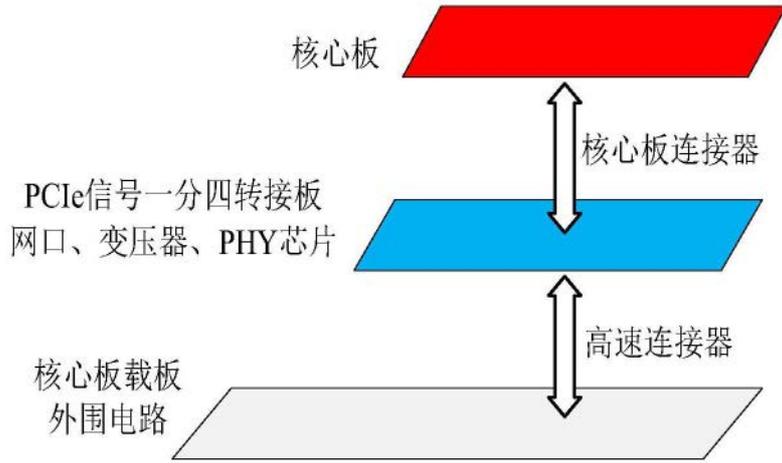


图3

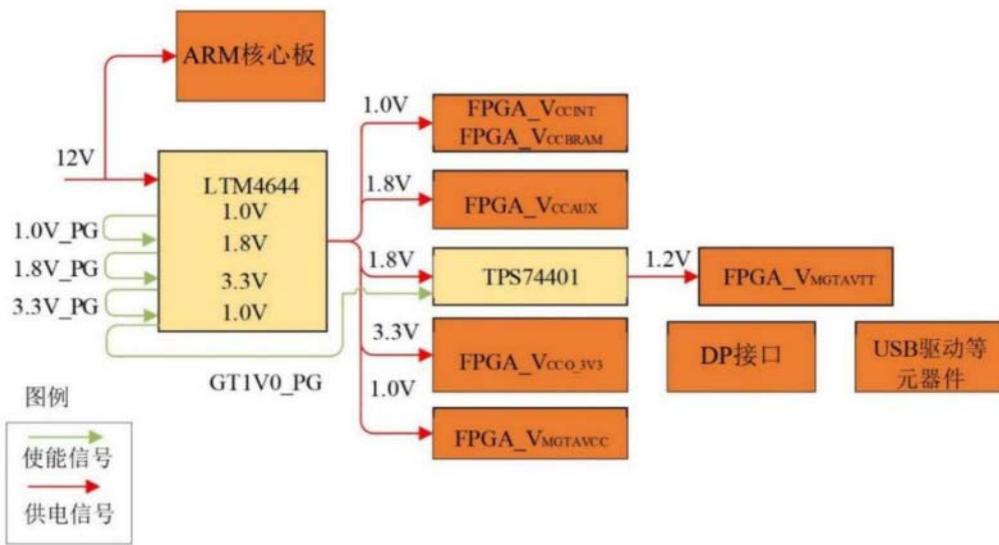


图4

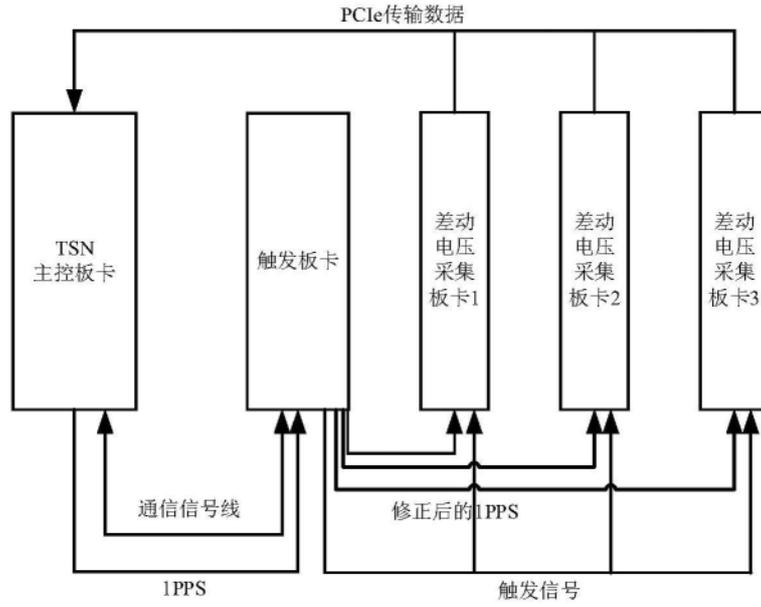


图5

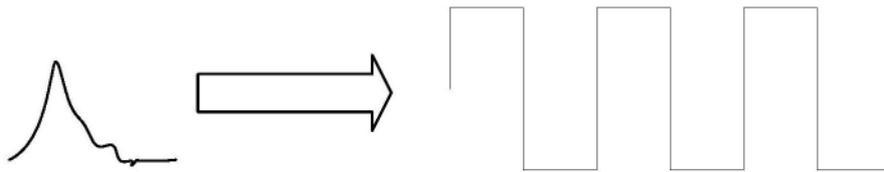


图6

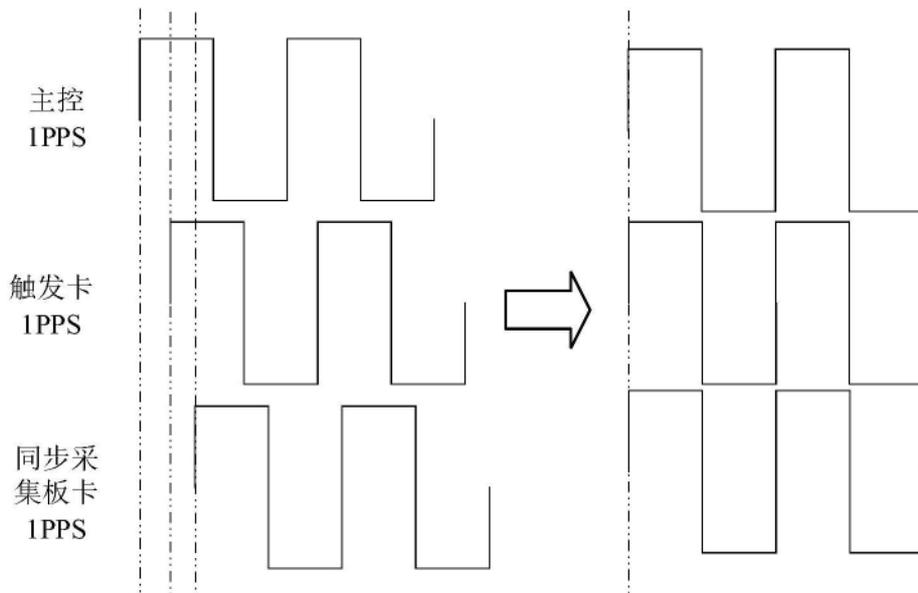


图7

msb 32	4bits	4bits	4bits	4bits	16	16bits	lsb 0
前导码	Chanel ID 板卡编号	Chanel ID 通道编号	Data type 数据类型	Data num 数据个数			
Time stamp 局部时间戳							
Sync data 同步采集数据							
Time stamp 局部时间戳							
Sync data 同步采集数据							
...							
Time stamp 局部时间戳							
Sync data 同步采集数据							

图8

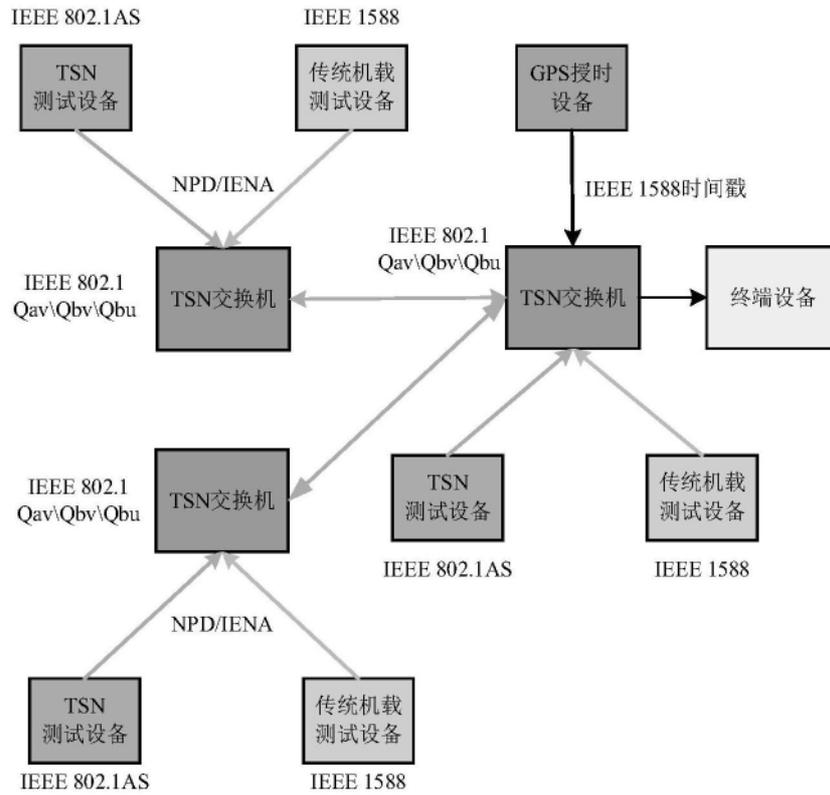


图9

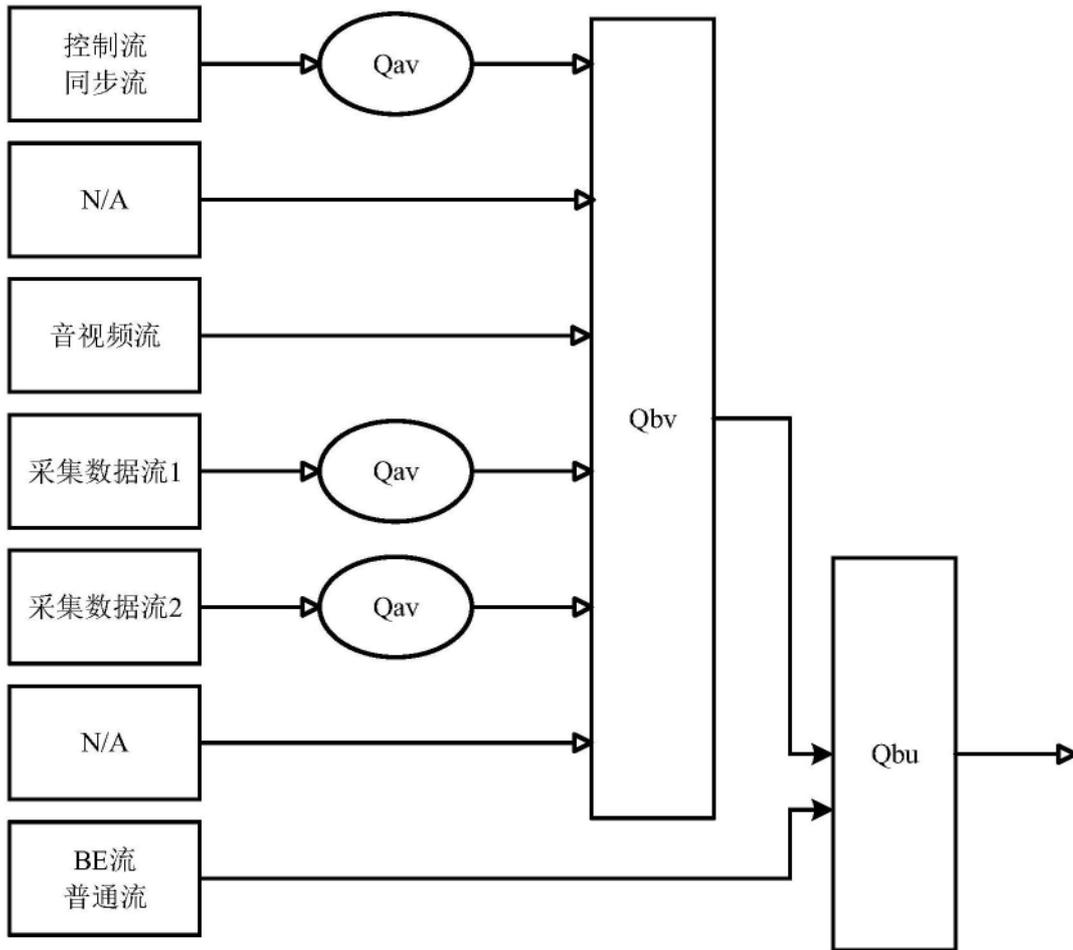


图10