



(12) 发明专利申请

(10) 申请公布号 CN 118738135 A

(43) 申请公布日 2024. 10. 01

(21) 申请号 202410260296.4

G09F 9/35 (2006.01)

(22) 申请日 2024.03.07

(30) 优先权数据

2023-050865 2023.03.28 JP

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 渡部将弘 津吹将志 渡壁创

佐佐木俊成 望月真里奈

田丸尊也 小野寺凉

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 杨宏军 韩雪莲

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 29/423 (2006.01)

权利要求书1页 说明书18页 附图19页

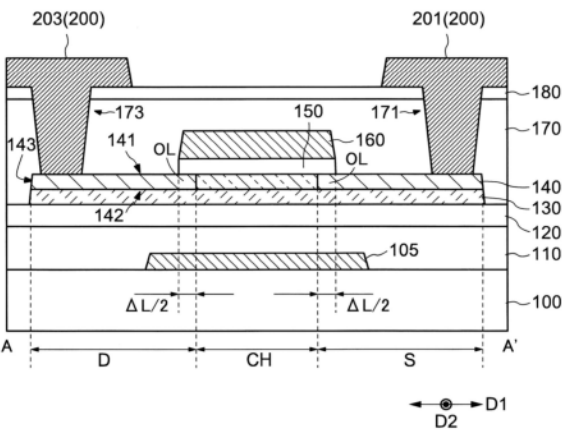
(54) 发明名称

半导体装置及显示装置

(57) 摘要

本发明涉及半导体装置和显示装置。改善包含氧化物半导体的半导体装置的电特性。半导体装置包含：第1绝缘层；上述第1绝缘层之上的以铝为主成分的金属氧化物层；上述金属氧化物层之上的具有多晶结构的氧化物半导体层；上述氧化物半导体层之上的栅极绝缘层；上述栅极绝缘层之上的栅电极；和上述栅电极之上的第2绝缘层，上述金属氧化物层和上述氧化物半导体层一起被图案化，上述氧化物半导体层具有与上述栅极绝缘层接触的第1区域和在第1方向上与上述第1区域连续并且与上述栅极绝缘层及上述第2绝缘层接触的第2区域。

10



1. 一种半导体装置,其包含:
第1绝缘层;
所述第1绝缘层之上的以铝为主成分的金属氧化物层;
所述金属氧化物层之上的具有多晶结构的氧化物半导体层;
所述氧化物半导体层之上的栅极绝缘层;
所述栅极绝缘层之上的栅电极;和
所述栅电极之上的第2绝缘层,
所述金属氧化物层和所述氧化物半导体层一起被图案化,
所述氧化物半导体层具有与所述栅极绝缘层接触的第1区域、和在第1方向上与所述第1区域连续并且与所述栅极绝缘层及所述第2绝缘层接触的第2区域。
2. 根据权利要求1所述的半导体装置,其中,所述第2绝缘层与所述栅电极、所述栅极绝缘层及所述氧化物半导体层接触。
3. 根据权利要求1所述的半导体装置,其中,所述第2绝缘层具有包含氮化硅层和氧化硅层的层叠结构。
4. 根据权利要求1所述的半导体装置,其中,所述第1区域为晶体管的沟道区域,
所述第2区域是与所述沟道区域相比电阻低的区域。
5. 根据权利要求1所述的半导体装置,其中,所述金属氧化物层和所述氧化物半导体层具有相同的图案形状。
6. 根据权利要求1所述的半导体装置,其中,所述栅极绝缘层和所述栅电极具有相同的图案形状。
7. 根据权利要求1所述的半导体装置,其中,所述氧化物半导体层含有包含铟在内的2种以上的金属,所述2种以上的金属中的铟的比率为50%以上。
8. 根据权利要求1所述的半导体装置,其中,所述第2区域中的与所述栅极绝缘层接触的部分在所述第1方向上的宽度为1 μm 以下。
9. 根据权利要求8所述的半导体装置,其中,所述栅电极在所述第1方向上的宽度为4 μm 以下。
10. 根据权利要求8所述的半导体装置,其中,所述栅电极在所述第1方向上的宽度比所述第2区域中的与所述栅极绝缘层接触的部分在所述第1方向上的宽度的2倍大1 μm 以上。
11. 一种显示装置,其包含各像素中包含权利要求1~10中任一项所述的半导体装置。

半导体装置及显示装置

技术领域

[0001] 本发明的实施方式之一涉及半导体装置和显示装置。特别是,本发明的实施方式之一涉及包含氧化物半导体的半导体装置以及使用包含氧化物半导体的半导体装置的显示装置。

背景技术

[0002] 近年来,作为构成半导体装置的材料,氧化物半导体代替非晶硅、多晶硅和单晶硅而备受关注。特别是,作为包含氧化物半导体的半导体装置,将氧化物半导体用作沟道的薄膜晶体管的开发在不断推进(例如专利文献1~6)。将氧化物半导体用作沟道的薄膜晶体管与将非晶硅用作沟道的半导体装置同样地能够以简单的结构且通过低温工艺形成。已知将氧化物半导体用作沟道的薄膜晶体管具有比将非晶硅用作沟道的薄膜晶体管高的场效应迁移率。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021-141338号公报

[0006] 专利文献2:日本特开2014-099601号公报

[0007] 专利文献3:日本特开2021-153196号公报

[0008] 专利文献4:日本特开2018-006730号公报

[0009] 专利文献5:日本特开2016-184771号公报

[0010] 专利文献6:日本特开2021-108405号公报

发明内容

[0011] 发明所要解决的课题

[0012] 然而,以往的包含氧化物半导体的薄膜晶体管存在如下情况:如果沟道长度变小,则表示开关特性的阈值电压向负方向偏移,或者阈值电压的偏差变大等。因此,以往的包含氧化物半导体的薄膜晶体管在使尺寸小型化时,存在沟道长度的设计自由度低、用途受限的情况。

[0013] 本发明的课题之一在于改善包含氧化物半导体的半导体装置的电特性。

[0014] 用于解决课题的手段

[0015] 本发明的一个实施方式涉及的半导体装置包含:第1绝缘层;上述第1绝缘层之上的以铝为主成分的金属氧化物层;上述金属氧化物层之上的具有多晶结构的氧化物半导体层;上述氧化物半导体层之上的栅极绝缘层;上述栅极绝缘层之上的栅电极;和上述栅电极之上的第2绝缘层,上述金属氧化物层和上述氧化物半导体层一起被图案化,上述氧化物半导体层具有与上述栅极绝缘层接触的第1区域、和在第1方向上与上述第1区域连续并且与上述栅极绝缘层和上述第2绝缘层接触的第2区域。

附图说明

- [0016] 图1是表示本发明的一个实施方式中的半导体装置的构成的示意性截面图。
- [0017] 图2是表示本发明的一个实施方式中的半导体装置的构成的示意性俯视图。
- [0018] 图3是表示本发明的一个实施方式中的半导体装置的制造方法的顺序图。
- [0019] 图4是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0020] 图5是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0021] 图6是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0022] 图7是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0023] 图8是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0024] 图9是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0025] 图10是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0026] 图11是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0027] 图12是表示本发明的一个实施方式中的半导体装置的制造方法的截面图。
- [0028] 图13是表示本发明的一个实施方式中的半导体装置的制造方法的顺序图。
- [0029] 图14是表示本发明的一个实施方式中的显示装置的概要的俯视图。
- [0030] 图15是表示本发明的一个实施方式中的显示装置的电路构成的框图。
- [0031] 图16是表示本发明的一个实施方式涉及的显示装置的像素电路的电路图。
- [0032] 图17是表示本发明的一个实施方式涉及的显示装置的概要的截面图。
- [0033] 图18是本发明的一个实施方式中的显示装置的像素电极和公共电极的俯视图。
- [0034] 图19是表示本发明的一个实施方式中的显示装置的像素电路的电路图。
- [0035] 图20是表示本发明的一个实施方式中的显示装置的概要的截面图。
- [0036] 图21A是表示本发明的一个实施方式中的半导体装置的电特性的图。
- [0037] 图21B是表示比较例中的半导体装置的电特性的图。
- [0038] 图22是针对不同的栅极电压 (V_g) 例示了晶体管的沟道电阻 (R) 相对于设计沟道长度 (布局上的沟道长度) (L_g) 的关系的图。
- [0039] 图23A是表示本发明的一个实施方式的半导体装置中的阈值电压对于沟道长度的依赖性的图。
- [0040] 图23B是表示比较例的半导体装置中的阈值电压对于沟道长度的依赖性的图。
- [0041] 附图标记说明
- [0042] 10、10a…半导体装置, 11…驱动晶体管, 12…选择晶体管, 20、20a…显示装置, 22…液晶区域, 24…密封区域, 26…端子区域, 100…基板, 105…导电层, 110…绝缘层, 120…绝缘层, 130…金属氧化物层, 140…氧化物半导体层, 141…上表面, 142…下表面, 143…侧面, 150…栅极绝缘层, 160…栅电极, 170…绝缘层, 171、173…开口, 180…绝缘层, 190…金属氧化物层, 200…源・漏电极, 201…源电极, 203…漏电极, 210…保持电容, 211…信号线, 212…栅极线, 213…阳极电源线, 214…阴极电源线, 300…阵列基板, 301、301a…像素电路, 302…源极驱动电路, 303…栅极驱动电路, 304…源极布线, 305…栅极布线, 306…端子部, 307、308…连接布线, 310…密封部, 311…液晶元件, 320…对置基板, 330…柔性印刷电路基板, 340…芯片, 350…保持电容, 360…绝缘层, 362…绝缘层, 363…开口, 370…公共电极, 380…绝缘层, 381…开口, 390…像素电极, 392…发光层, 394…公共电极

具体实施方式

[0043] 以下,参照附图对本发明的各实施方式进行说明。以下的公开内容仅为一个例子。本领域技术人员在保持发明的主旨的同时,通过适当变更实施方式的构成而能够容易想到的构成当然包含在本发明的范围内。关于附图,为了使说明更明确,与实际的方式相比,有时示意性地表示各部的宽度、厚度、形状等。但是,图示的形状只不过是一个例子,并不限定本发明的解释。在本说明书和各图中,有时对与关于已出现的图在前面叙述过的要素相同的要素标注相同的附图标记,并适当省略详细的说明。

[0044] 在本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或上方。相反,将从氧化物半导体层朝向基板的方向称为下或下方。这样,为了便于说明,使用上方或下方这样的语句进行说明,但例如也可以以基板与氧化物半导体层的上下关系与图示相反的方式进行配置。在以下的说明中,例如基板上的氧化物半导体层这样的表述只不过是如上述那样说明了基板与氧化物半导体层的上下关系,也可以在基板与氧化物半导体层之间配置有其他构件。上方或下方是指层叠有多个层的结构中的层叠顺序,在表述为“晶体管的上方的像素电极”的情况下,可以是在俯视时晶体管不与像素电极重叠的位置关系。另一方面,在表述为“晶体管的铅垂上方的像素电极”的情况下,是指在俯视时晶体管与像素电极重叠的位置关系。

[0045] “显示装置”是指使用电光层来显示影像的结构体。例如,显示装置这一术语有时是指包含电光层的显示面板,或者有时是指相对于显示单元安装有其他光学构件(例如偏振构件、背光灯、触摸面板等)的结构体。在“电光层”中,只要不产生技术上的矛盾,则可以包含液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因此,对于后述的实施方式,作为显示装置,例示包含液晶层的液晶显示装置和包含有机EL层的有机EL显示装置来进行说明,但本实施方式中的结构能够应用于包含上述的其他电光层的显示装置。

[0046] 在本说明书中,“ α 包含A、B或C”、“ α 包含A、B及C中的任一种”、“ α 包含选自A、B和C中的一种”这样的表述只要没有特别明示,就不排除 α 包含A~C的多个组合的情况。此外,这些表述不排除 α 包括其他要素的情况。

[0047] 在本说明书中,所谓“相同”,除了完全相同的情况以外,还包括实质上相同的情况。所谓“实质上相同”,是指虽然不完全相同,但落在可视为相同的程度的微差的范围内的情况。例如,所谓“实质上相同”,是指两个值的差异在 $\pm 5\%$ (优选为 $\pm 3\%$)的误差的范围内的情况。

[0048] 〈第1实施方式〉

[0049] 使用图1~图12,针对本发明的一个实施方式的半导体装置,例示薄膜晶体管来进行说明。以下所示的实施方式的半导体装置除了显示装置中使用的薄膜晶体管以外,例如也可以是微处理器(Micro-Processing Unit:MPU)等集成电路(Integrated Circuit:IC)、或存储器电路中使用的薄膜晶体管。

[0050] [半导体装置的构成]

[0051] 使用图1和图2对本发明的一个实施方式中的半导体装置10的构成进行说明。图1是表示本发明的一个实施方式中的半导体装置10的构成的示意性截面图。图2是表示本发明的一个实施方式中的半导体装置10的构成的示意性俯视图。具体而言,图1对应于沿着图2所示的A-A'所示的单点划线切断的截面图。

[0052] 如图1所示,半导体装置10设置于基板100的上方。半导体装置10包含导电层105、绝缘层110和120、金属氧化物层130、氧化物半导体层140、栅极绝缘层150、栅电极160、绝缘层170及180、源电极201和漏电极203。在不特别区分源电极201和漏电极203的情况下,有时将它们一并称为源・漏电极200。

[0053] 导电层105设置于基板100之上。导电层105具备作为针对氧化物半导体层140的遮光膜的功能。

[0054] 绝缘层110和120设置于基板100和导电层105之上。绝缘层110具备作为遮蔽从基板100朝向氧化物半导体层140扩散的杂质的阻挡膜的功能。

[0055] 金属氧化物层130设置于绝缘层120之上。金属氧化物层130与绝缘层120接触。金属氧化物层130是以铝为主成分的包含氧化金属的层,具备作为遮蔽氧、氢等气体的气体阻隔膜的功能。

[0056] 氧化物半导体层140设置于金属氧化物层130之上。氧化物半导体层140与金属氧化物层130接触。将氧化物半导体层140的主面中的与金属氧化物层130接触的面称为下表面142。氧化物半导体层140被图案化。在本实施方式中,金属氧化物层130及氧化物半导体层140具有相同的图案形状(例如岛状的图案形状)。即,在剖视时,金属氧化物层130的端部与氧化物半导体层140的端部大致一致。在本实施方式中,例示金属氧化物层130与绝缘层120接触且氧化物半导体层140与金属氧化物层130接触的构成,但是不限于该构成。也可以在金属氧化物层130与氧化物半导体层140之间设置有其他层。

[0057] 另外,在图1中,金属氧化物层130的侧面和氧化物半导体层140的侧面排列在大致直线上,但是不限于该构成。金属氧化物层130的侧面相对于基板100的主面的角度可以与氧化物半导体层140的侧面143相对于基板100的主面的角度不同。金属氧化物层130及氧化物半导体层140中的至少任一者的侧面的截面形状可以是弯曲的。

[0058] 栅极绝缘层150设置于氧化物半导体层140之上。栅极绝缘层150被图案化为与栅电极160相同的形状。即,栅极绝缘层150和栅电极160具有相同的图案形状。因此,氧化物半导体层140的一部分(不与栅电极160重叠的区域)不被栅极绝缘层150覆盖。换言之,氧化物半导体层140的一部分从栅极绝缘层150露出。栅极绝缘层150具备作为针对顶栅(栅电极160)的栅极绝缘层的功能。栅极绝缘层150具备通过制造工艺中的热处理而释放氧的功能。

[0059] 栅电极160隔着栅极绝缘层150与氧化物半导体层140相对。栅极绝缘层150设置于氧化物半导体层140与栅电极160之间。栅极绝缘层150与氧化物半导体层140接触。将氧化物半导体层140的主面中的与栅极绝缘层150接触的面称为上表面141。将上表面141与下表面142之间的面称为侧面143。栅电极160具备作为半导体装置10的顶栅和针对氧化物半导体层140的遮光膜的功能。

[0060] 绝缘层170及180设置于栅极绝缘层150和栅电极160之上。在本实施方式中,有时将由绝缘层170及180构成的层叠结构称为钝化层。绝缘层170及180将栅电极160与源・漏电极200绝缘。通过设置绝缘层170及180,能够降低栅电极160与源・漏电极200之间的寄生电容。

[0061] 在本实施方式中,使用氧化硅层作为绝缘层170,使用氮化硅层作为绝缘层180。构成绝缘层170及180的材料不限于该例子,如后所述,优选具有至少1层包含氢的绝缘层。如图1所示,构成钝化层的一部分的绝缘层170与栅电极160、栅极绝缘层150(具体而言,栅极

绝缘层150的侧面)及氧化物半导体层140接触。在绝缘层170及180中设置有到达氧化物半导体层140的开口171、173。

[0062] 源电极201设置在设于绝缘层170及180的开口171的内部。源电极201在开口171的底部与氧化物半导体层140接触。漏电极203设置在设于绝缘层170及180的开口173的内部。漏电极203在开口173的底部与氧化物半导体层140接触。

[0063] 半导体装置10的动作主要通过向栅电极160供给的栅极电压来控制。可以向导电层105供给辅助电压。即,可以使导电层105通过供给辅助电压而作为栅电极发挥功能。但是,不限于该例子,导电层105也可以仅用作遮光膜。在将导电层105仅用作遮光膜的情况下,就导电层105而言,也可以不供给特定的电压而处于浮置状态。

[0064] 在本实施方式中,作为半导体装置10,例示在氧化物半导体层140的上方设置有栅电极160的顶栅型晶体管,但是不限于该构成。例如,作为半导体装置10,也可以是除了栅电极160以外还将导电层105用作栅电极的双栅型晶体管。在将导电层105用作栅电极的情况下,绝缘层110和120作为栅极绝缘层发挥功能。然而,上述的构成只不过是一个实施方式,本发明并不限定于上述的构成。

[0065] 如图2所示,在俯视时,金属氧化物层130的图案形状与氧化物半导体层140的图案形状相同。参照图1和图2,氧化物半导体层140的下表面142被金属氧化物层130覆盖。特别是,在本实施方式中,氧化物半导体层140的下表面142全部被金属氧化物层130覆盖。在D1方向上,导电层105的宽度大于栅电极160的宽度。D1方向是连结源电极201和漏电极203的方向,与载流子移动的方向对应。氧化物半导体层140中的沟道区域CH在D1方向上的长度为沟道长度(L),该沟道区域CH在D2方向上的宽度为沟道宽度(W)。

[0066] 在本实施方式中,例示了氧化物半导体层140的下表面142全部被金属氧化物层130覆盖的构成,但是不限于该构成。例如,氧化物半导体层140的下表面142的一部分也可以不与金属氧化物层130接触。例如,可以是沟道区域CH中的氧化物半导体层140的下表面142的全部被金属氧化物层130覆盖,而源极区域S和漏极区域D中的氧化物半导体层140的下表面142的全部或一部分不被金属氧化物层130覆盖。即,源极区域S和漏极区域D中的氧化物半导体层140的下表面142的全部或一部分可以不与金属氧化物层130接触。然而,在上述的构成中,也可以是沟道区域CH中的氧化物半导体层140的下表面142的一部分不被金属氧化物层130覆盖,而该下表面142的其他部分与金属氧化物层130接触。

[0067] 在图2中,例示了在俯视时源·漏电极200不与导电层105和栅电极160重叠的构成,但是不限于该构成。例如,在俯视时,源·漏电极200也可以与导电层105和栅电极160中的至少任一者重叠。上述的构成只不过是一个实施方式,本发明并不限定于上述的构成。

[0068] [半导体装置的各层的材质]

[0069] 基板100能够支承构成半导体装置10的各层。作为基板100,例如可以使用玻璃基板、石英基板或蓝宝石基板等具有透光性的刚性基板。另外,作为基板,也可以使用硅基板等不具有透光性的刚性基板。此外,作为基板,可以使用聚酰亚胺树脂基板、丙烯酸树脂基板、硅氧烷树脂基板或氟树脂基板等具有透光性的挠性基板。为了提高基板100的耐热性,也可以向上述的树脂基板导入杂质。也可以将在上述刚性基板或挠性基板之上形成有氧化硅膜或氮化硅膜的基板用作基板100。

[0070] 导电层105能够反射或吸收外部光线。如上所述,导电层105具有比氧化物半导体

层140的沟道区域CH大的面积,因此能够遮蔽入射至沟道区域CH的外部光线。作为导电层105,例如可以使用铝(Al)、铜(Cu)、钛(Ti)、钼(Mo)、或钨(W)、或者它们的合金或化合物等。另外,在不需要导电性的情况下,也可以使用由黑色树脂等构成的树脂层代替导电层105。导电层105可以为单层结构,也可以为层叠结构。

[0071] 绝缘层110、120、170及180具有防止杂质向氧化物半导体层140扩散的作用。绝缘层110、120、170及180可以为单层结构,也可以为层叠结构。作为绝缘层110、120、170及180,例如可以使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氮化硅(SiN_x)、氮氧化硅(SiN_xO_y)、氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等。在此,氧氮化硅(SiO_xN_y)和氧氮化铝(AlO_xN_y)分别是含有比氧(O)少的比率($x>y$)的氮(N)的硅化合物和铝化合物。另外,氮氧化硅(SiN_xO_y)和氮氧化铝(AlN_xO_y)是含有比氮少的比率($x>y$)的氧的硅化合物和铝化合物。在本实施方式中,使用氮化硅(SiN_x)作为绝缘层110和180,使用氧化硅(SiO_x)作为绝缘层120和170。

[0072] 作为金属氧化物层130,使用以铝为主成分的氧化金属。例如,作为金属氧化物层130,使用氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无机绝缘层。所谓“以铝为主成分的金属氧化物层”,是指金属氧化物层130中所含的铝的比率为金属氧化物层130整体的1%以上。金属氧化物层130中所含的铝的比率可以为金属氧化物层130整体的5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述的比率可以为质量比,也可以为重量比。

[0073] 在本实施方式中,氧化物半导体层140具有多晶结构。即,本实施方式的氧化物半导体层140由使用Poly-OS技术形成的氧化物半导体构成。Poly-OS技术是指形成具有多晶结构的氧化物半导体层的技术。作为氧化物半导体层140,可以使用具有半导体特性的金属氧化物。例如,作为氧化物半导体层140,使用含有包含铟(In)在内的2种以上的金属的氧化物半导体。铟相对于氧化物半导体层140的整体的比率为50%以上。作为氧化物半导体层140,除了铟以外,还使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、氧化锆(Zr)、镧。作为氧化物半导体层140,可以使用上述以外的元素。

[0074] 本实施方式的氧化物半导体层140中,由于铟的比率为50%以上,所以易于形成氧缺陷。另一方面,具有结晶性的氧化物半导体与非晶的氧化物半导体相比不容易形成氧缺陷。因此,氧化物半导体层140具有即使铟的比率为50%以上也不容易形成氧缺陷的优点。

[0075] 栅极绝缘层150包含具有绝缘性的氧化物。具体而言,作为栅极绝缘层150,可以使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)等。优选栅极绝缘层150具有接近化学计量比的组成。另外,优选栅极绝缘层150的缺陷少。例如,作为栅极绝缘层150,可以使用在利用电子自旋共振法(ESR)进行评价时观测不到缺陷的氧化物。

[0076] 栅电极160、源电极201和漏电极203具有导电性。作为栅电极160、源电极201和漏电极203的各自,例如可以使用铜(Cu)、铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、铪(Hf)、钽(Ta)、钨(W)、或铋(Bi)、或者它们的合金或化合物。栅电极160、源电极201和漏电极203的各自可以为单层结构,也可以为层叠结构。

[0077] (氧化物半导体层的构成)

[0078] 氧化物半导体层140被划分为源极区域S、漏极区域D和沟道区域CH。沟道区域CH是氧化物半导体层140中的位于栅电极160的铅垂下方且与栅极绝缘层150接触的区域。源极

区域S是氧化物半导体层140中的与绝缘层170接触的区域,并且是比沟道区域CH更靠近源电极201一侧的区域。漏极区域D是氧化物半导体层140中的与绝缘层170接触的区域,并且是比沟道区域CH更靠近漏电极203一侧的区域。源极区域S和漏极区域D是通过使由氧化物半导体层构成的图案的一部分低电阻化而形成的。即,在图2所示的第1方向(D1方向)上,沟道区域CH与源极区域S和漏极区域D相互连续。

[0079] 沟道区域CH中的氧化物半导体层140具备作为半导体的物性。源极区域S和漏极区域D中的氧化物半导体层140具备作为导电体的物性。即,源极区域S和漏极区域D也可以说是与沟道区域CH相比电阻低的区域。换言之,源极区域S和漏极区域D的电导率大于沟道区域CH的电导率。源电极201和漏电极203分别与源极区域S和漏极区域D接触,并与氧化物半导体层140电连接。氧化物半导体层140可以为单层结构,也可以为层叠结构。

[0080] 如图1所示,本实施方式的半导体装置10的源极区域S和漏极区域D的一部分与栅电极160重叠。具体而言,源极区域S中的靠近沟道区域CH的一侧的端部和漏极区域D中的靠近沟道区域CH的一侧的端部与栅电极160重叠。换言之,源极区域S中的靠近沟道区域CH一侧的端部和漏极区域D中的靠近沟道区域CH的一侧的端部分别与栅极绝缘层150接触。即,源极区域S和漏极区域D与栅极绝缘层150和绝缘层170这两者接触。在此,将源极区域S(或漏极区域D)与栅电极160重叠的区域称为“重叠区域OL”。如图1所示,由 $\Delta L/2$ 表示第1方向上的重叠区域OL的宽度。

[0081] 本实施方式的半导体装置10在第1方向(D1方向)上具有对称的结构,并成为源极区域S和漏极区域D这两者侵入到栅极布线160的下方的结构。因此,第1方向上的沟道区域CH的端部与栅电极160的端部不一致。具体而言,与源极区域S接触的沟道区域CH的端部和与漏极区域D接触的沟道区域CH的端部分别位于栅电极160的正下方。即,在第1方向上,沟道区域CH的宽度比栅电极160的宽度窄。这意味着设计上的沟道长度(以下称为“设计沟道长度”)相比于设计值还缩窄了存在重叠区域OL的量。

[0082] 通常,顶栅型晶体管的设计沟道长度由与半导体层重叠的栅电极的宽度确定。即,在本实施方式的半导体装置10的情况下,栅电极160在第1方向上的宽度相当于设计沟道长度。然而,如图1所示,沟道区域CH的宽度比栅电极160的宽度窄。即,与沟道区域CH的宽度相当的有效的沟道长度(以下称为“有效沟道长度”)比与栅电极160的宽度相当的设计沟道长度还短。具体而言,在设计沟道长度(L_g)与有效沟道长度(L_{eff})之间, $L_{eff}=L_g-\Delta L$ 的关系成立。

[0083] 在本实施方式中,在形成源极区域S和漏极区域D时,利用了氢从绝缘层170及180向氧化物半导体层140的扩散。在这种情况下,在结构上,氢也扩散到栅电极160的正下方的氧化物半导体层140,因此形成重叠区域OL。重叠区域OL是通过氢侵入位于栅电极160的正下方的氧化物半导体层140而形成的区域。然而,在本实施方式中,通过减少向栅电极160的正下方扩散的氢的量,从而能够抑制重叠区域OL的形成范围。具体而言,本实施方式的半导体装置10被控制为重叠区域OL的宽度($\Delta L/2$)为 $1\mu\text{m}$ 以下。

[0084] 重叠区域OL的宽度为 $1\mu\text{m}$ 以下意味着例如即使设计沟道长度为 $4\mu\text{m}$,也能够确保至少 $2\mu\text{m}$ 的有效沟道长度。根据本实施方式,可以将半导体装置10的设计沟道长度(栅电极在第1方向上的宽度)设为 $4\mu\text{m}$ 以下(优选为 $3\mu\text{m}$ 以下)。然而,为了确保至少 $1\mu\text{m}$ 以上的有效沟道长度,半导体装置10的设计沟道长度优选比重叠区域OL的宽度的2倍($2\times\Delta L/2=\Delta L$)大 $1\mu\text{m}$

m以上。

[0085] 如上所述,在本实施方式的半导体装置10中,栅极绝缘层150具有与栅电极160相同的图案形状,因此氧化物半导体层140的一部分与绝缘层170接触。因此,半导体装置10成为在从绝缘层170及180扩散的氢的影响下,源极区域S和漏极区域D的一部分向栅电极160的下方延伸的结构。然而,根据本实施方式,由于能够将源极区域S和漏极区域D与栅电极160重叠的重叠区域OL的宽度抑制为 $1\mu\text{m}$ 以下,所以能够抑制设计沟道长度与有效沟道长度的偏离。

[0086] [半导体装置的制造方法]

[0087] 使用图3~图12对本发明的一个实施方式中的半导体装置10的制造方法进行说明。图3是表示本发明的一个实施方式中的半导体装置10的制造方法的顺序图。图4~图12是表示本发明的一个实施方式中的半导体装置10的制造方法的截面图。

[0088] 如图3和图4所示,在基板100之上形成导电层105作为遮光层,在导电层105之上形成绝缘层110和120(图3的步骤S1001)。作为绝缘层110,例如形成氮化硅。作为绝缘层120,例如形成氧化硅。绝缘层110和120通过CVD(Chemical Vapor Deposition:化学气相沉积)法形成。在本说明书中,将通过溅射法、CVD法等方法在基板上进行成膜的步骤表述为“形成薄膜”,不过以与“将薄膜成膜”这样的表述相同的含义使用。

[0089] 通过使用氮化硅作为绝缘层110,从而绝缘层110例如能够阻挡从基板100侧朝向氧化物半导体层140扩散的杂质。用作绝缘层120的氧化硅是具有通过热处理而释放氧的物性的氧化硅。

[0090] 在本实施方式中,在形成绝缘层110和120时将成膜温度设定为 350°C 。特别是,绝缘层120(即氧化硅层)通过将成膜温度设定为较低,能够增加含氧量。如后所述,通过增加绝缘层120中所含的氧量,能够减少扩散到氧化物半导体层140的氢的量。绝缘层110和120的成膜温度设定为 250°C 以上 500°C 以下(优选为 300°C 以上 450°C 以下,进一步优选为 325°C 以上 400°C 以下)即可。

[0091] 接下来,如图3和图5所示,在绝缘层120之上形成金属氧化物层130及氧化物半导体层140(图3的步骤S1002)。在本实施方式中,金属氧化物层130及氧化物半导体层140通过溅射法形成。特别是,氧化物半导体层140是通过采用了由具有结晶性的氧化物半导体形成的靶的溅射而形成的。

[0092] 金属氧化物层130的厚度例如为 1nm 以上 10nm 以下、 1nm 以上 4nm 以下、或 1nm 以上 3nm 以下。在本实施方式中,将金属氧化物层130的厚度设为 3nm 。在本实施方式中,作为金属氧化物层130,使用以铝为主成分的氧化物(具体而言,为氧化铝)。氧化铝具备针对气体的高阻隔性。

[0093] 在本实施方式中,用作金属氧化物层130的氧化铝阻挡从绝缘层120释放的氢和氧,抑制释放的氢和氧到达氧化物半导体层140。

[0094] 如上所述,本实施方式的氧化物半导体层140中铟的比率为50%以上,因此能够实现高迁移率的半导体装置10,但另一方面,氧容易被还原,在层中容易形成氧缺陷。因此,从抑制氧化物半导体层140的还原的方面考虑,通过金属氧化物层130来阻挡从绝缘层120释放的氢是优选的。

[0095] 另外,在形成氧化物半导体层140后,在经过各种制造工艺(图案化工序或蚀刻工

序)的过程中,在氧化物半导体层140的上层侧形成比下层侧多的氧缺陷。即,氧化物半导体层140中的氧缺陷在厚度方向上以不均匀的分布存在。在该情况下,如果为了修复形成于氧化物半导体层140的上层侧的氧缺陷而供给足够量的氧,则会对氧化物半导体层140的下层侧过量地供给氧。其结果是,由于被过量地供给的氧而形成与氧缺陷不同的缺陷能级,有时导致可靠性试验中的特性变动或场效应迁移率的降低等现象。因此可以说,从抑制对氧化物半导体层140的下层侧的过量的氧供给的方面考虑,通过金属氧化物层130来阻挡从绝缘层120释放的氧也是优选的。

[0096] 氧化物半导体层140的厚度例如为10nm以上100nm以下、15nm以上70nm以下、或15nm以上40nm以下。后述的加热处理(OS退火)前的氧化物半导体层140是非晶的。

[0097] 在通过后述的OS退火使氧化物半导体层140结晶化时,优选从通过溅射法的形成到实施OS退火前的氧化物半导体层140为非晶(氧化物半导体的结晶成分少的状态)。即,优选氧化物半导体层140的形成条件为尽可能不使刚形成后的氧化物半导体层140结晶化的条件。例如,在通过溅射法形成氧化物半导体层140的情况下,优选一边控制被形成对象物(包括基板100和形成于其上的结构物)的温度一边形成氧化物半导体层140。实际成为温度控制的对象的是被形成对象物,但由于形成于基板100之上的结构物非常薄,所以可以视为实质上对基板100的温度进行控制。因此,在以下的说明中,有时将被形成对象物简称为“基板”。

[0098] 通过溅射法对基板进行薄膜形成(成膜)时,在等离子体中产生的离子和由溅射靶反冲的原子会与形成对象物(具体而言,为形成于基板100之上的结构物)碰撞,因此在薄膜的形成过程中基板的温度上升。如果在薄膜的形成过程中基板的温度上升,则在刚形成后的状态下氧化物半导体层140中包含微晶,会阻碍基于之后的OS退火所进行的结晶化。

[0099] 为了控制形成氧化物半导体层140时的基板的温度(即成膜温度),例如可以一边冷却基板一边进行薄膜形成。例如,可以从被形成面的相反侧的面来冷却基板,以使得成膜温度为100℃以下、70℃以下、50℃以下、或30℃以下。特别是,本实施方式的氧化物半导体层140的成膜温度优选为50℃以下。在本实施方式中,以50℃以下的成膜温度进行氧化物半导体层140的形成,以400℃以上的加热温度进行后述的OS退火。这样,在本实施方式中,形成氧化物半导体层140时的温度与对氧化物半导体层140进行OS退火时的温度的差值优选为350℃以上。通过一边冷却基板一边进行氧化物半导体层140的形成,从而能够得到在刚形成后的状态下结晶成分少的氧化物半导体层140。

[0100] 接下来,如图3和图6所示,形成由氧化物半导体层140构成的图案(OS图案)(图3的步骤S1003)。虽然省略图示,但在氧化物半导体层140之上形成抗蚀剂掩模,使用通过光刻而图案化的抗蚀剂掩模对氧化物半导体层140进行蚀刻。氧化物半导体层140的蚀刻可以使用湿式蚀刻,也可以使用干式蚀刻。在湿式蚀刻中,例如可以使用酸性的蚀刻剂。具体而言,作为蚀刻剂,可以使用草酸或氢氟酸。

[0101] 在氧化物半导体层140的图案形成之后对氧化物半导体层140进行加热处理(OS退火)(图3的步骤S1004)。在OS退火中,通过在大气气氛中以250℃以上500℃以下(优选为300℃以上500℃以下,进一步优选为350℃以上450℃以下)的温度对氧化物半导体层140进行加热处理,从而使非晶状态的氧化物半导体层140结晶化。加热气氛不限于大气气氛,但优选为氧化性气氛(包含氧的气氛)。另外,氧化性气氛更优选为湿润的气氛(具体而言,为湿

润的大气气氛)。另外,加热处理的处理时间在达到规定温度后可以为15分钟以上120分钟以下、或30分钟以上60分钟以下。在本实施方式中,将OS退火的温度设定为350℃。

[0102] 在本实施方式中,在具有预先维持在设定温度(250℃以上500℃以下,在本实施方式中为350℃)的加热介质(例如支承板)的加热炉中投入形成了形成有图案的氧化物半导体层140的基板。作为加热介质的支承板具有对基板进行支承的作用、以及对基板和形成于该基板上的被膜(包括氧化物半导体层140)进行加热的作用。如果在支承板上设置形成有氧化物半导体层140的基板,则氧化物半导体层140被快速加热。在将基板设置于加热炉中时,优选将支承板的温度降低抑制在设定温度的15%以内、10%以内、或5%以内。即,优选以氧化物半导体层140在极短时间内达到设定温度的方式进行支承板的温度控制。

[0103] 在本实施方式中,示出了在形成OS图案后进行OS退火的例子,但是不限于该例子,也可以对形成OS图案前的氧化物半导体层140进行OS退火。在该情况下,由于对经结晶化的氧化物半导体层140进行蚀刻来形成OS图案,所以优选蚀刻处理使用干式蚀刻。

[0104] 接下来,如图3和图7所示,形成由金属氧化物层130构成的图案(A10x图案)(图3的步骤S1005)。经结晶化的氧化物半导体层140具有针对氢氟酸的耐蚀刻性。因此,本实施方式的金属氧化物层130以在上述工序中被图案化的氧化物半导体层140作为掩模而被蚀刻。金属氧化物层130的蚀刻可以使用湿式蚀刻,也可以使用干式蚀刻。在湿式蚀刻中,例如使用稀释氢氟酸(DHF)。通过将氧化物半导体层140作为掩模对金属氧化物层130进行蚀刻,能够省略光刻工序。由于将氧化物半导体层140作为掩模对金属氧化物层130进行蚀刻,所以金属氧化物层130和氧化物半导体层140具有相同的图案形状。

[0105] 在本实施方式中,示出了在形成OS图案后将OS图案作为掩模来形成A10x图案的例子,但也可以一并形成OS图案和A10x图案。在该情况下,在图3的步骤S1003中使用相同的抗蚀剂掩模一并对氧化物半导体层140和金属氧化物层130进行蚀刻即可。

[0106] 接下来,如图3和图8所示,形成栅极绝缘层150(图3的步骤S1006)。作为栅极绝缘层150,例如形成氧化硅层。栅极绝缘层150通过CVD法形成。作为栅极绝缘层150,优选形成缺陷尽可能少的绝缘层。在本实施方式中,将栅极绝缘层150的成膜温度设为350℃。栅极绝缘层150的厚度例如为50nm以上300nm以下、60nm以上200nm以下、或70nm以上150nm以下。

[0107] 接下来,在本实施方式中,在形成栅极绝缘层150后,在栅极绝缘层150之上形成金属氧化物层190(图3的步骤S1007)。金属氧化物层190通过溅射法形成。通过在金属氧化物层190的成膜中采用溅射法,在形成金属氧化物层190时氧被注入到栅极绝缘层150。因此,形成金属氧化物层190后的栅极绝缘层150中包含大量的氧。

[0108] 金属氧化物层190的厚度例如为5nm以上100nm以下、5nm以上50nm以下、5nm以上30nm以下、或7nm以上15nm以下。在本实施方式中,使用氧化铝作为金属氧化物层190。如上所述,由于氧化铝具备针对气体的高阻隔性,所以在进行后述的加热处理时,能够抑制注入到栅极绝缘层150的氧向上方扩散。

[0109] 在通过溅射法形成金属氧化物层190的情况下,溅射中所使用的工艺气体残留在金属氧化物层190的膜中。例如,在使用Ar作为溅射的工艺气体的情况下,有时Ar残留在金属氧化物层190的膜中。残留的Ar可以通过针对金属氧化物层190的SIMS(Secondary Ion Mass Spectrometry:二次离子质谱)分析等来检测。

[0110] 接下来,在栅极绝缘层150之上形成有金属氧化物层190的状态下,进行用于向氧

化物半导体层140供给氧的加热处理(氧化退火)(图3的步骤S1008)。换言之,对图案化的金属氧化物层130及氧化物半导体层140进行加热处理(氧化退火)。在从形成氧化物半导体层140之后到氧化物半导体层140之上形成栅极绝缘层150为止的期间的工序中,在氧化物半导体层140的上表面141及侧面143可能出现氧缺陷。通过氧化退火,从绝缘层120及栅极绝缘层150释放的氧被供给到氧化物半导体层140,从而修复氧缺陷。氧化退火在250℃以上500℃以下(优选为300℃以上500℃以下,进一步优选为350℃以上450℃以下)的温度下进行即可。在本实施方式中,在350℃的温度下进行氧化退火。

[0111] 通过氧化退火,从绝缘层120释放的氧被金属氧化物层130阻挡,因此氧难以供给到氧化物半导体层140的下表面142。从绝缘层120释放的氧从未形成金属氧化物层130的区域扩散到栅极绝缘层150,经由栅极绝缘层150到达氧化物半导体层140。其结果是,从绝缘层120释放的氧不容易供给到氧化物半导体层140的下表面142,而是主要供给到氧化物半导体层140的侧面143和上表面141。此外,通过氧化退火,从栅极绝缘层150释放的氧被供给到氧化物半导体层140的上表面141和侧面143。通过上述氧化退火,有时从绝缘层110释放氢。然而,该氢在到达氧化物半导体层140之前被绝缘层120中所含的氧捕获、或被金属氧化物层130阻挡。

[0112] 如上所述,通过氧化退火,能够抑制对氧缺陷量少的氧化物半导体层140的下表面142供给氧,并且能够对氧缺陷量相对多的氧化物半导体层140的上表面141和侧面143供给氧。同样地,在氧化退火时,注入到栅极绝缘层150中的氧向上方的扩散被金属氧化物层190阻挡,因此被释放到大气中的情况得到抑制。因此,在氧化退火时,能够将氧高效地供给到氧化物半导体层140。

[0113] 接下来,如图3和图9所示,在氧化退火之后,通过蚀刻的方式除去金属氧化物层190(图3的步骤S1009)。金属氧化物层190的蚀刻可以为湿式蚀刻,也可以为干式蚀刻。在湿式蚀刻中,例如使用稀释氢氟酸(DHF)。通过步骤S1009的蚀刻处理,从而金属氧化物层190的整体被除去。

[0114] 接下来,如图3和图10所示,在栅极绝缘层150之上形成栅电极160后对栅极绝缘层150进行蚀刻(图3的步骤S1010)。栅电极160是通过对利用溅射法或原子层沉积法形成的金属层实施图案化之后进行干式蚀刻而形成的。在形成栅电极160之后,通过进一步继续进行干式蚀刻来蚀刻栅极绝缘层150。即,将栅电极160作为掩模对栅极绝缘层150进行蚀刻。这样,在本实施方式中,通过一并对金属层和栅极绝缘层150进行蚀刻,从而形成图案化的栅极绝缘层150和栅电极160。

[0115] 在本实施方式中,通过将栅电极160作为掩模对栅极绝缘层150进行蚀刻,从而氧化物半导体层140的一部分(成为后述的源极区域S和漏极区域D的区域)露出。另外,由于将栅电极160作为掩模进行蚀刻处理,所以栅极绝缘层150和栅电极160成为相同的图案形状。

[0116] 如图10所示,如果直到氧化物半导体层140露出为止对栅极绝缘层150进行蚀刻,则不仅氧化物半导体层140的上表面141露出,而且氧化物半导体层140的侧面143也露出。此外,金属氧化物层130的侧面和绝缘层120的上表面也露出。此时,绝缘层120与栅极绝缘层150同样地由氧化硅层构成,因此优选不过度延长蚀刻时间,在氧化物半导体层140的上表面露出的时刻迅速停止蚀刻处理。

[0117] 如果过度延长蚀刻时间,则绝缘层120被蚀刻得较深,有可能在金属氧化物层130

的端部与绝缘层120的上表面之间产生较大的阶差。这样的阶差有时会对半导体装置10的电特性造成不良影响(例如漏电流的增大等)。相反,如果蚀刻时间不足,则成为在氧化物半导体层140之上残留有栅极绝缘层150的状态,有时会对半导体装置10的电特性造成不良影响(例如,阈值电压向负方向偏移等)。因此,在本实施方式中,通过对直至氧化物半导体层140的上表面露出为止所需的蚀刻时间实施少许的过蚀刻(例如,将上述蚀刻时间延长10%)来防止电特性的劣化。

[0118] 接下来,如图3和图11所示,在栅极绝缘层150和栅电极160之上形成绝缘层170及180作为钝化层(图3的步骤S1011)。绝缘层170及180通过CVD法形成。在本实施方式中,形成氧化硅层作为绝缘层170,形成氮化硅层作为绝缘层180。绝缘层170及180的成膜温度优选设定为250°C以上500°C以下(优选为300°C以上450°C以下,进一步优选为325°C以上400°C以下)。在本实施方式中,将绝缘层170及180的成膜温度设定为350°C。绝缘层170及180的厚度为50nm以上500nm以下即可。在本实施方式中,将绝缘层170的厚度设为100nm,将绝缘层180的厚度设为300nm。

[0119] 绝缘层170及180作为用于防止气体、水分从外部侵入的钝化层(保护层)发挥功能。如上所述,还具有将栅电极160与源·漏电极200绝缘分离的作用。此外,在本实施方式中,通过形成绝缘层170及180(特别是绝缘层180),从而在氧化物半导体层140形成源极区域S和漏极区域D。

[0120] 本实施方式的绝缘层180由氮化硅构成。在通过CVD法形成绝缘层180时,由于使用氨作为原料气体,所以绝缘层180包含大量的氢。因此,在形成绝缘层180时和形成绝缘层180后,绝缘层180被加热,由此氢从绝缘层180扩散。扩散的氢经由绝缘层170到达氧化物半导体层140。此时,氧化物半导体层140中的与绝缘层170接触的区域所含的氧被还原而形成氧缺陷。氢被所形成的氧缺陷俘获,形成施主能级(donor level)。由此,被供给氢的氧化物半导体层140的一部分被低电阻化,作为源极区域S和漏极区域D发挥功能。与此相对,位于栅电极160的正下方的氧化物半导体层140由于氢不会到达,所以不会被低电阻化,作为沟道区域CH发挥功能。

[0121] 在本实施方式的半导体装置10中,栅极绝缘层150成为与栅电极160相同的图案形状,因此从栅极绝缘层150露出的氧化物半导体层140与绝缘层170直接接触。因此,与氧化物半导体层140被栅极绝缘层150覆盖的结构相比,成为氢容易扩散到栅电极160的下方的结构。因此,如图11所示,通过扩散到栅电极160的下方的氢,从而本来应该是沟道区域CH的区域的一部分也被低电阻化。即,源极区域S和漏极区域D朝向沟道区域CH被延长,形成重叠区域OL。

[0122] 如上所述,在本实施方式中,能够将第1方向(沟道长度方向)上的重叠区域OL的宽度(ΔL)抑制为1 μm 以下。通过将重叠区域OL的宽度抑制为1 μm 以下,能够抑制设计沟道长度与有效沟道长度的偏离。其结果是,本实施方式的半导体装置10中,即使沟道长度为4 μm 以下,也能够得到稳定的电特性。

[0123] 作为能够将重叠区域OL的宽度(ΔL)抑制为1 μm 以下的理由,可举出在设置于氧化物半导体层140的下方的绝缘层120(在本实施方式中为氧化硅层)中包含大量的氧。

[0124] 在俯视时,在氧化物半导体层140的周围,包含大量的氧的绝缘层120与绝缘层170直接接触。因此,从绝缘层170及180扩散的氢大部分被绝缘层120捕获,从而朝向氧化物半

导体层140扩散的氢量被抑制。此时,氧化物半导体层140的源极区域S和漏极区域D与绝缘层170直接接触,即使扩散的氢量少也充分地被低电阻化,但朝向栅电极160的下方扩散的氢的量变少。作为其结果,认为在本实施方式中,重叠区域OL的宽度(即氢的扩散长度)变短。

[0125] 为了增加绝缘层120的含氧量,例如优选将绝缘层120的成膜温度设定为较低。在本实施方式中设定为350°C,但只要在250°C以上500°C以下(优选为300°C以上450°C以下,进一步优选为325°C以上400°C以下)的范围内即可。

[0126] 另外,在本实施方式中,包括在绝缘层120之上形成金属氧化物层130的工艺,该工艺也有助于增加绝缘层120的含氧量。具体而言,在通过溅射法形成氧化铝作为金属氧化物层130时,氧被注入到绝缘层120。由此,对在上述成膜温度下含氧量变多的绝缘层120进一步注入氧,因此能够增加绝缘层120之中的氧的总量。

[0127] 如上所述,本实施方式的半导体装置10中,通过将栅极绝缘层150加工成与栅电极160相同的图案形状,从而成为氧化物半导体层140与绝缘层170直接接触的结构。由此,能够使用从绝缘层170及180扩散的氢使氧化物半导体层140的一部分低电阻化,形成源极区域S和漏极区域D。另外,这时,由于成为氧化物半导体层140的基底的绝缘层120中包含大量的氧,所以能够减少用于氧化物半导体层140的低电阻化的氢量。其结果是,能够抑制氢向栅电极160的正下方扩散,缩短重叠区域OL的宽度。

[0128] 接下来,如图3和图12所示,在栅极绝缘层150和绝缘层170及180形成开口171、173(图3的步骤S1012)。开口171使源极区域S的氧化物半导体层140露出。开口173使漏极区域D的氧化物半导体层140露出。通过在由开口171、173露出的氧化物半导体层140之上和绝缘层180之上形成源·漏电极200(图3的步骤S1013),从而完成图1所示的半导体装置10。

[0129] 在通过本实施方式的制造方法制作的半导体装置10中,在沟道区域CH的沟道长度L为2 μm 以上4 μm 以下、并且沟道区域CH的沟道宽度为2 μm 以上25 μm 以下的范围内,能够得到场效应迁移率为30 cm^2/Vs 以上、35 cm^2/Vs 以上、或40 cm^2/Vs 以上的电特性。本实施方式中的“场效应迁移率”是半导体装置10的饱和区域中的场效应迁移率,是指源电极与漏电极之间的电位差(Vd)大于从供给至栅电极的电压(Vg)中减去半导体装置10的阈值电压(Vth)而得到的值(Vg-Vth)的区域中的场效应迁移率的最大值。

[0130] 〈第2实施方式〉

[0131] 在本实施方式中,对通过与第1实施方式不同的方法制造出的半导体装置进行说明。本实施方式的半导体装置10的结构在外观上与第1实施方式中说明的半导体装置10相同。在本实施方式中,着眼于与第1实施方式的不同之处进行说明。

[0132] 图13是表示本发明的一个实施方式中的半导体装置10的制造方法的顺序图。如图13所示,在本实施方式中,省略了图3所示的步骤S1007(形成A10x)和S1009(除去A10x)这2个工序。即,在本实施方式中,在形成栅极绝缘层150后,在保持该状态的条件下进行氧化退火。通过该氧化退火,从栅极绝缘层150释放的氧被供给至氧化物半导体层140,氧化物半导体层140中所含的氧缺陷得到修复。此时的金属氧化物层130的作用与第1实施方式相同,因此省略此处的说明。

[0133] 在通过本实施方式的制造方法制作的半导体装置10中,在沟道区域CH的沟道长度L为2 μm 以上4 μm 以下、并且沟道区域CH的沟道宽度W为2 μm 以上25 μm 以下的范围内,能够得到

迁移率为 $30\text{cm}^2/\text{Vs}$ 以上、 $35\text{cm}^2/\text{Vs}$ 以上、或 $40\text{cm}^2/\text{Vs}$ 以上的电特性。本实施方式中的场效应迁移率的定义与第1实施方式相同。

[0134] 〈第3实施方式〉

[0135] 使用图14~图18对采用了本发明的一个实施方式的半导体装置的显示装置进行说明。在以下所示的实施方式中,对在第1实施方式和第2实施方式中说明的各半导体装置应用于液晶显示装置的电路的构成进行说明。

[0136] [显示装置的概要]

[0137] 图14是表示本发明的一个实施方式中的显示装置20的概要的俯视图。如图14所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印刷电路基板330(FPC330)和IC芯片340。阵列基板300和对置基板320通过密封部310贴合。在被密封部310包围的液晶区域22中呈矩阵状地配置有多个像素电路301。液晶区域22是在俯视时与后述的液晶元件311重叠的区域。

[0138] 设置有密封部310的密封区域24是液晶区域22的周围的区域。FPC330设置于端子区域26。端子区域26是从阵列基板300中的对置基板320露出的区域,设置于密封区域24的外侧。密封区域24的外侧是指设置有密封部310的区域和被密封部310包围的区域的外侧。IC芯片340设置于FPC330上。IC芯片340供给用于使各像素电路301驱动的信号。

[0139] [显示装置的电路构成]

[0140] 图15是表示本发明的一个实施方式中的显示装置20的电路构成的框图。如图15所示,在Y方向(列方向)上与配置有像素电路301的液晶区域22相邻的位置设置有源极驱动电路302。另外,在X方向(行方向)上与液晶区域22相邻的位置设置有栅极驱动电路303。源极驱动电路302和栅极驱动电路303设置于上述的密封区域24。然而,设置有源极驱动电路302和栅极驱动电路303的区域不限于密封区域24,只要是设置有像素电路301的区域的外侧,则可以是任何区域。

[0141] 源极布线304从源极驱动电路302沿Y方向延伸,与沿Y方向排列的多个像素电路301连接。栅极布线305从栅极驱动电路303沿X方向延伸,与沿X方向排列的多个像素电路301连接。

[0142] 在端子区域26设置有端子部306。端子部306与源极驱动电路302通过连接布线307连接。同样地,端子部306与栅极驱动电路303通过连接布线308连接。通过FPC330与端子部306连接,从而经由FPC330将外部设备与显示装置20连接。设置于显示装置20的各像素电路301由经由FPC330输入的来自外部设备的信号驱动。

[0143] 第1实施方式和第2实施方式所示的半导体装置10用作像素电路301、源极驱动电路302和栅极驱动电路303中所含的晶体管。

[0144] [显示装置的像素电路]

[0145] 图16是表示本发明的一个实施方式中的显示装置20的像素电路301的电路图。如图16所示,像素电路301包含半导体装置10、保持电容350和液晶元件311等元件。

[0146] 半导体装置10具有栅电极160、源电极201和漏电极203。栅电极160与栅极布线305连接。源电极201与源极布线304连接。漏电极203与保持电容350和液晶元件311连接。源电极201和漏电极203有时根据供给至源极布线304的电压与蓄积在保持电容350中的电压的关系而调换不同的作用。即,存在源电极201作为漏电极发挥功能、漏电极203作为源电极发

挥功能的情况。

[0147] [显示装置的截面结构]

[0148] 图17是表示本发明的一个实施方式中的显示装置20的概要的截面图。如图17所示,显示装置20是使用了半导体装置10的显示装置。在本实施方式中,例示出将半导体装置10用于像素电路301的构成,但是半导体装置10也可以用于包括源极驱动电路302和栅极驱动电路303的周边电路。在以下的说明中,半导体装置10的构成与图1所示的半导体装置10相同,因此省略详细的说明。

[0149] 在源电极201和漏电极203之上设置有绝缘层360。在绝缘层360之上设置有与多个像素共用地设置的公共电极370。在公共电极370之上设置有绝缘层380。在绝缘层360和380设置有开口381。在绝缘层380之上和开口381的内部设置有像素电极390。像素电极390与漏电极203连接。

[0150] 图18是本发明的一个实施方式中的显示装置20的像素电极390和公共电极370的俯视图。如图18所示,公共电极370由平板状的导电层构成。像素电极390由在X方向上延伸的部分和在Y方向上延伸的部分组合而成的梳齿状的导电层构成。在Y方向上延伸的部分由多根线状电极构成,分别与在X方向上延伸的部分连接。

[0151] 公共电极370具有在俯视时与像素电极390重叠的重叠区域和不与像素电极390重叠的非重叠区域。如果对像素电极390与公共电极370之间供给电压,则从重叠区域的像素电极390朝向非重叠区域的公共电极370形成横向的电场。通过该横向的电场使液晶元件311中所含的液晶分子动作,由此确定像素的灰度。

[0152] 〈第4实施方式〉

[0153] 使用图19和图20对本发明的一个实施方式中的半导体装置的显示装置进行说明。在以下所示的实施方式中,对在上述的第1实施方式和第2实施方式中说明的各半导体装置应用于有机EL显示装置的电路的构成进行说明。显示装置20a的概要和电路构成与图14和图15所示的概要和电路构成相同,因此省略此处的说明。

[0154] [显示装置的像素电路]

[0155] 图19是表示本发明的一个实施方式中的显示装置20a的像素电路301a的电路图。如图19所示,像素电路301a包括驱动晶体管11、选择晶体管12、保持电容210和发光元件D0等元件。

[0156] 驱动晶体管11和选择晶体管12具备与半导体装置10相同的构成。选择晶体管12的源电极与信号线211连接,并且选择晶体管12的栅电极与栅极线212连接。驱动晶体管11的源电极与阳极电源线213连接,并且驱动晶体管11的漏电极与发光元件D0的一端连接。发光元件D0的另一端与阴极电源线214连接。驱动晶体管11的栅电极与选择晶体管12的漏电极连接。保持电容210与驱动晶体管11的栅电极和漏电极连接。向信号线211供给确定发光元件D0的发光强度的灰度信号。向栅极线212供给选择写入上述灰度信号的像素行的信号。

[0157] [显示装置的截面结构]

[0158] 图20是表示本发明的一个实施方式中的显示装置20a的概要的截面图。图20所示的显示装置20a的构成与图17所示的显示装置20类似,但在显示装置20和显示装置20a中,比绝缘层360靠上方的结构不同。以下,对于图20所示的显示装置20a的构成中的与图17所示的显示装置20相同的构成省略说明,对两者的不同点进行说明。

[0159] 如图20所示,显示装置20a在绝缘层360的上方具有像素电极390、发光层392和公共电极394。发光元件D0由像素电极390、发光层392和公共电极394构成。像素电极390设置于绝缘层360之上和开口381的内部。在此,绝缘层362被称为堤部、肋部等,具有定义发光区域的作用。绝缘层362设置于像素电极390之上。在绝缘层362设置有开口363。开口363对应于发光区域。在通过开口363露出的像素电极390之上设置有发光层392和公共电极394。像素电极390和发光层392针对各像素分别设置。另一方面,公共电极394在多个像素共用地设置。发光层392相应于像素的显示颜色而使用不同的材料。

[0160] 在第3实施方式和第4实施方式中,例示了将在第1实施方式和第2实施方式中说明的半导体装置分别应用于液晶显示装置和有机EL显示装置的构成。然而,第1实施方式和第2实施方式中说明的半导体装置也可以应用于这些显示装置以外的显示装置(例如,有机EL显示装置以外的自发光型显示装置或电子纸型显示装置)。另外,从中小型的显示装置到大型的显示装置均可以没有特别限定地应用上述各半导体装置。

[0161] 〈实施例〉

[0162] [半导体装置的电特性]

[0163] 图21A是表示本发明的一个实施方式中的半导体装置10的电特性的图。图21B是表示比较例中的半导体装置的电特性的图。具体而言,图21B对应于在图1所示的半导体装置10中具有省略了金属氧化物层130的结构的半导体装置的电特性。需要说明的是,图21A和图21B分别表示对多个半导体装置进行测定而得到的多个电特性。

[0164] 图21A和图21B所示的电特性的测定条件如下。

[0165] • 沟道区域CH的尺寸: $W/L=4.5\mu\text{m}/3.0\mu\text{m}$

[0166] • 源极・漏极间电压:0.1V、10V

[0167] • 栅极电压:-15V~+15V

[0168] • 测定环境:室温、暗室

[0169] 在图21A和图21B中,作为半导体装置的电特性,示出 I_d - V_g 特性以及饱和区域中的场效应迁移率(μ_{sat})。如图21A和图21B的图表中箭头所示,表示漏极电流(I_d)的纵轴在图表的左侧示出。另外,表示根据漏极电流计算出的场效应迁移率的纵轴在图表的右侧示出。横轴是向各半导体装置供给的栅极电压。

[0170] 如图21A所示,第1实施方式的半导体装置10的 I_d - V_g 特性表示在栅极电压 V_g 大致为0V时开始流过漏极电流 I_d 的、所谓的常截止(normally off)的特性。无论源极・漏极间电压是0.1V还是10V,漏极电流的偏差都少,非常稳定。根据多个 I_d - V_g 特性得到的阈值电压(V_{th})的平均值为0.30V。另外,根据多个 I_d - V_g 特性得到的本征迁移率的平均值为 $23.7\text{cm}^2/\text{Vs}$,场效应迁移率的平均值为 $37.6\text{cm}^2/\text{Vs}$ 。

[0171] 与此相对,如图21B所示,比较例的半导体装置的 I_d - V_g 特性表示阈值电压向负方向偏移、在栅极电压 V_g 为0V以下时漏极电流 I_d 开始流动的、所谓的常导通(normally on)的特性。根据多个 I_d - V_g 特性得到的阈值电压的平均值为-3.59V。另外,漏极电流虽然观察到些许的偏差,但显示出平均较高的值,对于开关特性未观察到大的问题。根据多个 I_d - V_g 特性得到的本征迁移率的平均值为 $19.5\text{cm}^2/\text{Vs}$,场效应迁移率的平均值为 $30.8\text{cm}^2/\text{Vs}$ 。

[0172] 在此,第1实施方式的半导体装置10中的重叠区域OL的宽度($\Delta L/2$)的平均值为 $0.82\mu\text{m}$,比较例的半导体装置中的重叠区域OL的宽度的平均值为 $1.50\mu\text{m}$ 。即,可知根据图1

所示的金属氧化物层130的有无,重叠区域OL的宽度产生接近2倍的差。即,可知在减小重叠区域OL的宽度方面,设置金属氧化物层130是非常有效的。

[0173] 需要说明的是,比较例的半导体装置的设计沟道长度为 $3.0\mu\text{m}$,重叠区域OL的宽度为 $1.5\mu\text{m}$,因此在计算上看起来不存在沟道区域CH。然而,实际上设计沟道长度存在误差,上述的重叠区域OL的宽度只是平均值,因此,实际上沟道区域CH并未完全消失。

[0174] 重叠区域OL的宽度可以通过各种方法求出。在本实施方式中,示出根据施加了不同的栅极电压时的晶体管的设计沟道长度与沟道电阻R的关系求出重叠区域OL的例子。

[0175] 图22是针对不同的栅极电压(V_g)例示了沟道电阻(R)相对于晶体管的设计沟道长度(布局上的沟道长度)(L_g)的关系的图。具体而言,在图22中,横轴为设计沟道长度(L_g),纵轴为沟道电阻(R)。在图22中,示出对设计沟道长度(L_g)为 L_1 、 L_2 或 L_3 的各晶体管施加1V、2V或3V作为栅极电压(V_g)时的各沟道电阻(R)。如图22所示,在各栅极电压(V_g)下,设计沟道长度(L_g)与沟道电阻(R)呈线形关系。

[0176] 在此,在 L_g 变小的方向上外插表示各线形关系的直线时,出现各外插线交叉的点。该交叉点是在所测定的晶体管的系统中有效沟道长度(L_{eff})为零的点。此时,如果将交叉点的X坐标设为 ΔL 、将Y坐标设为 R_0 ,则 ΔL 相当于重叠区域OL的宽度, R_0 相当于由重叠区域OL产生的串联电阻。在有效沟道长度(L_{eff})与设计沟道长度(L_g)之间, $L_{\text{eff}} = L_g - \Delta L$ 的关系成立。如图1所示,晶体管在第1方向(D1方向)上对称时,源极侧的重叠区域OLS与漏极侧的重叠区域OLD的合计为 ΔL 。即,在源极侧的重叠区域OLS与漏极侧的重叠区域OLD之间, $OLS = OLD = \Delta L/2$ 的关系成立。

[0177] 接下来,图23A是表示本发明的一个实施方式的半导体装置10中的阈值电压对于沟道长度的依赖性的图。图23B是表示上述比较例的半导体装置中的阈值电压对于沟道长度的依赖性的图。在此,各半导体装置的沟道宽度(W)设为 $4.5\mu\text{m}$ 。

[0178] 如图23A所示,可知本实施方式的半导体装置10中,在沟道长度 $4\mu\text{m}$ 以上 $20\mu\text{m}$ 以下的范围内阈值电压几乎不变化,表现出稳定的开关特性。另外,可知即使沟道长度为 $4\mu\text{m}$ 以下(例如 $2.5\mu\text{m}$ 以上 $4\mu\text{m}$ 以下)的范围,也能够确保 -0.4V 以上的阈值电压。即,本实施方式的半导体装置10不依赖于沟道长度而得到稳定的阈值电压,并且即使沟道长度为 $4\mu\text{m}$ 以下,阈值电压也不会大幅向负方向偏移。与此相对,如图23B所示,比较例的半导体装置在沟道长度为 $10\mu\text{m}$ 以下的范围内观察到阈值电压向负方向偏移。

[0179] 认为图23A和图23B中观察到的电特性的差异是由重叠区域OL的宽度($\Delta L/2$)引起的。即,本实施方式的半导体装置10能够将重叠区域OL的宽度抑制为 $1\mu\text{m}$ 以下,因此设计沟道长度(L_g)与有效沟道(L_{eff})的偏离小。因此,阈值电压对沟道长度的依赖性示出与阈值电压对设计沟道长度的依赖性接近的倾向。另一方面,比较例的半导体装置由于重叠区域OL的宽度比本实施方式长,所以设计沟道长度越短,重叠区域OL的宽度所带来的影响越明显。

[0180] 如上所述,可以说将重叠区域OL的宽度设为 $1\mu\text{m}$ 以下在抑制半导体装置的电特性的劣化、特别是阈值电压向负方向的偏移方面是重要的。并且,为了将重叠区域OL的宽度抑制为 $1\mu\text{m}$ 以下,增加成为氧化物半导体层140的基底的层、即绝缘层120的含氧量是有效的。另外,除了增加绝缘层120的含氧量以外,优选还在绝缘层120与氧化物半导体层140之间设置金属氧化物层130。

[0181] 作为本发明的实施方式而上述的各实施方式只要不相互矛盾,就可以适当组合来实施。另外,本领域技术人员基于各实施方式适当进行构成要素的追加、删除或设计变更而得到的方案、或者进行工序的追加、省略或条件变更而得到的方案,只要具备本发明的主旨,则也包含在本发明的范围内。

[0182] 即使是与由上述各实施方式的方式带来的作用效果不同的其他作用效果,对于根据本说明书的记载明确的作用效果、或者本领域技术人员能够容易地预测的作用效果,当然可以理解为是由本发明带来的。

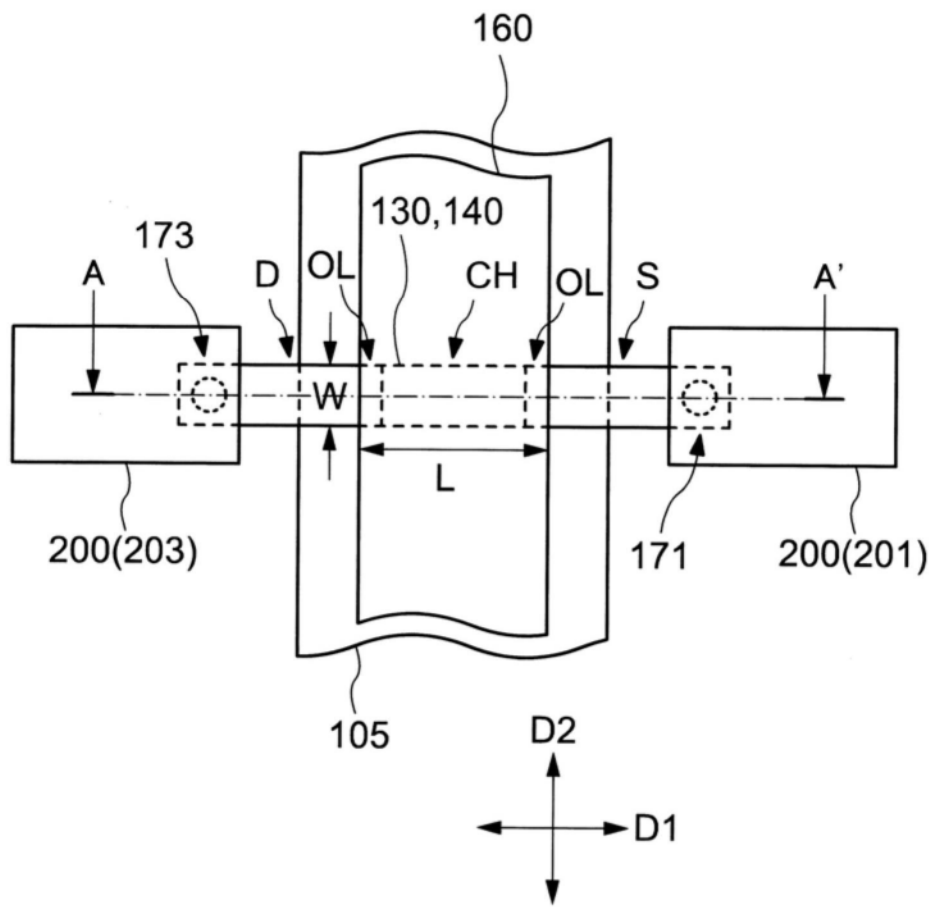
10

图2

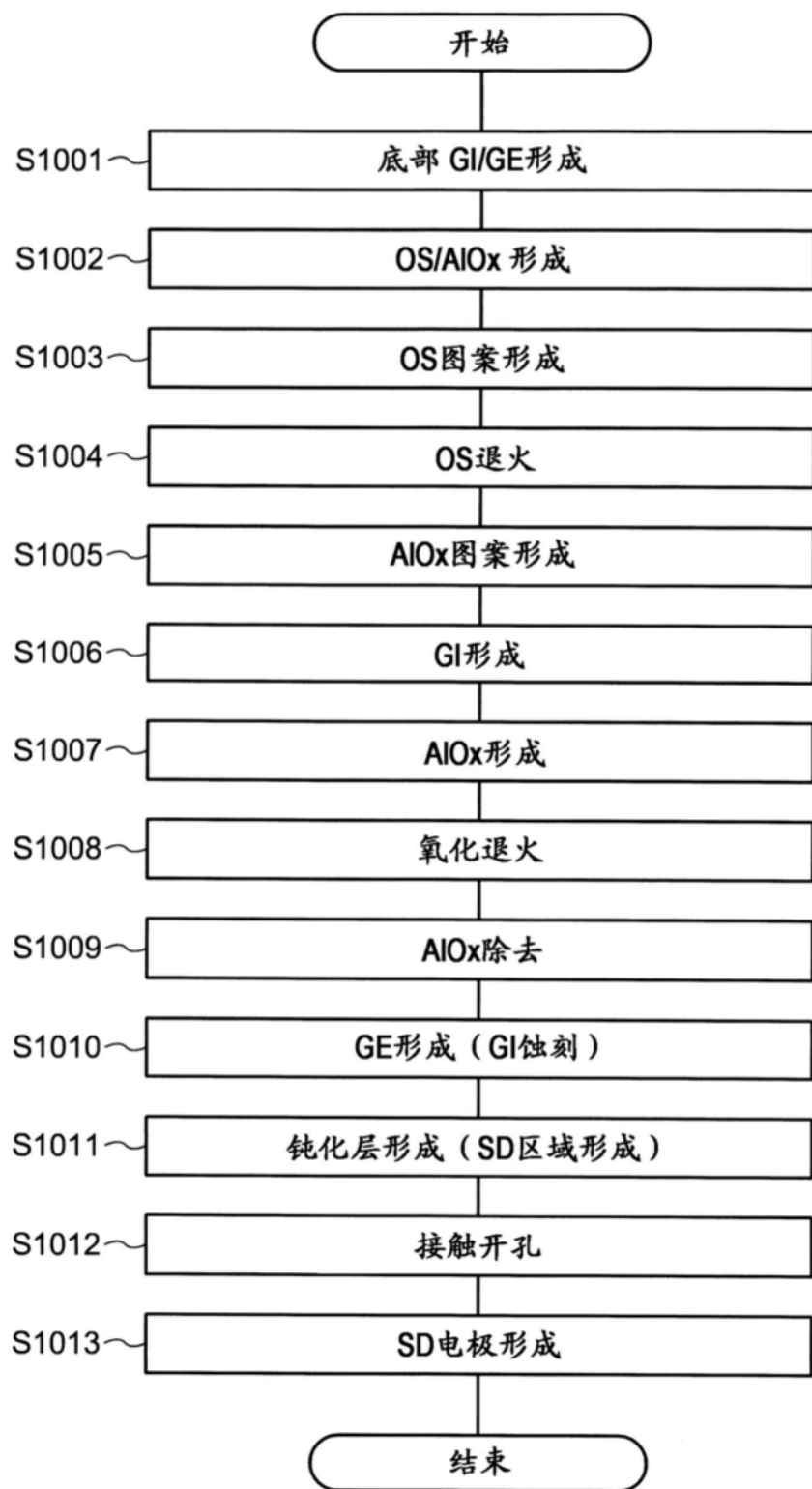


图3

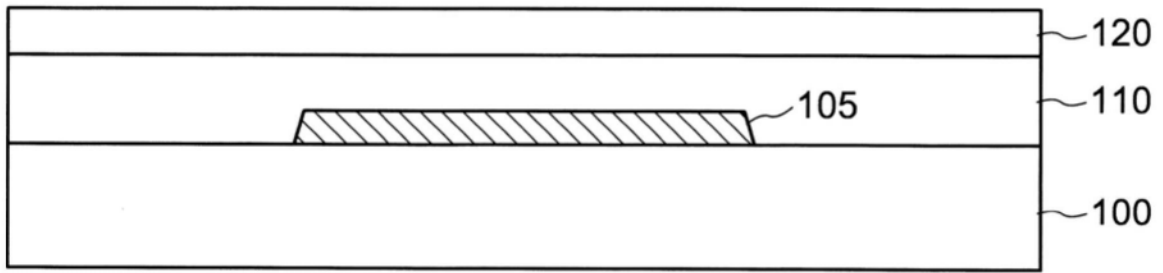


图4

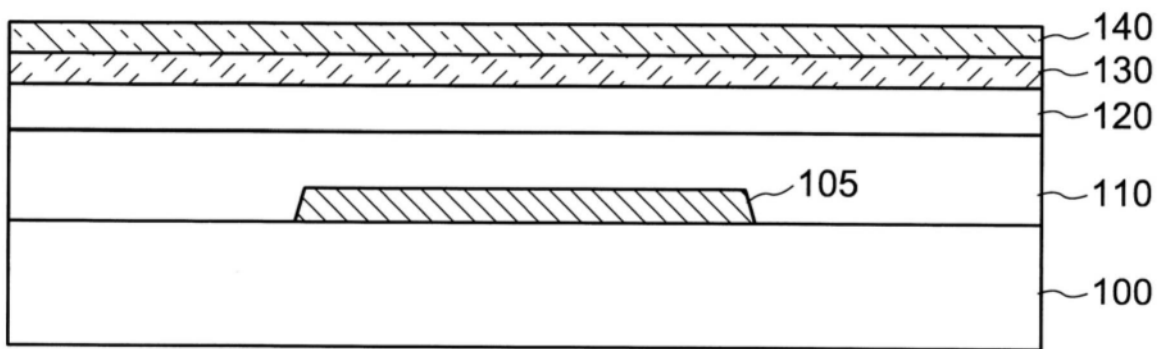


图5

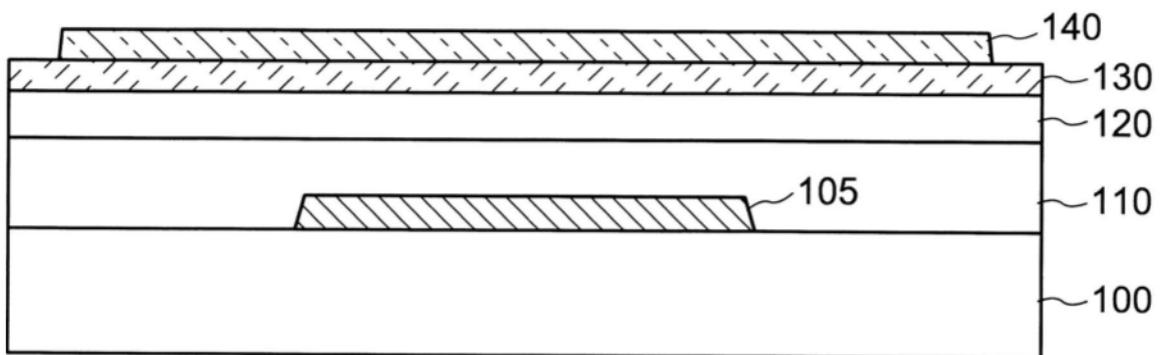


图6

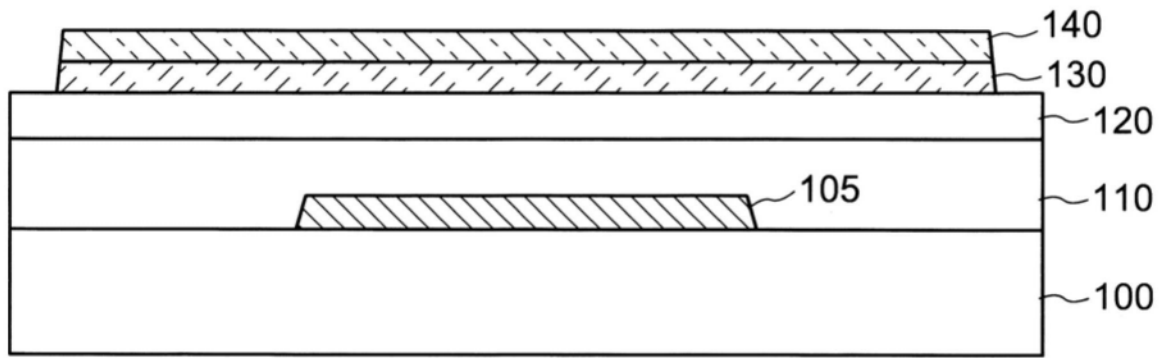


图7

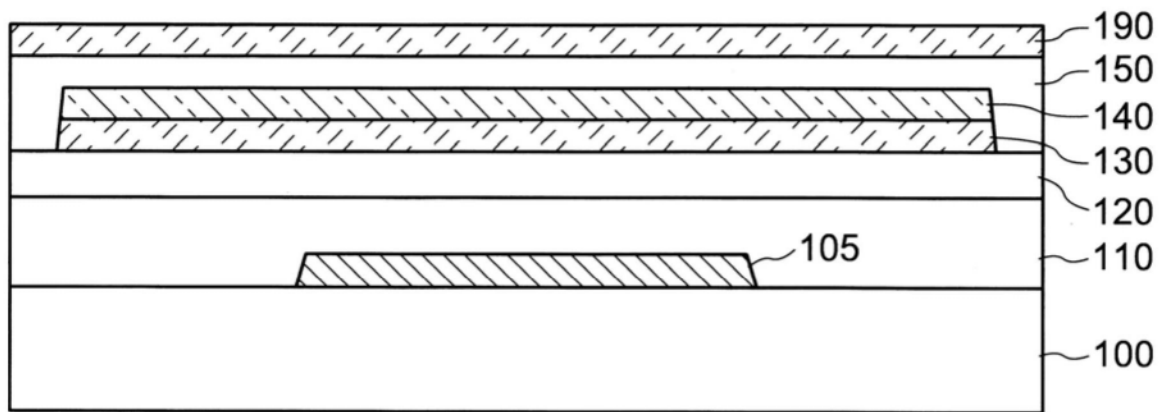


图8

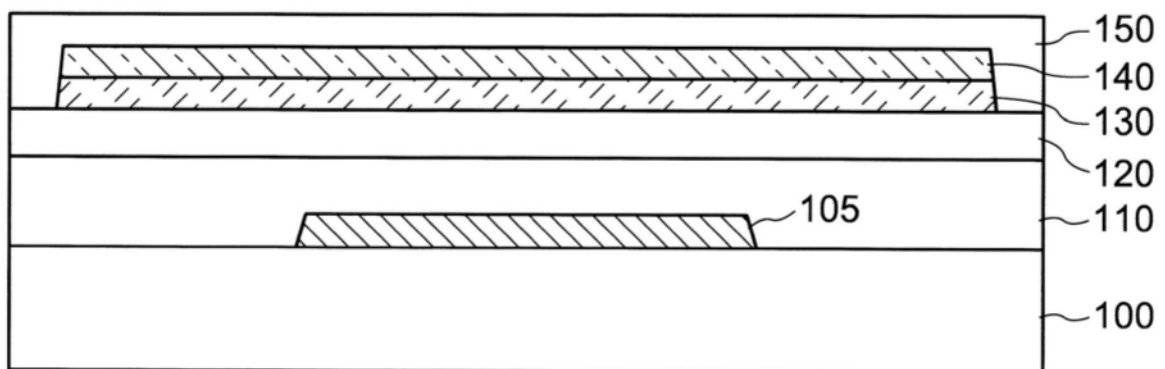


图9

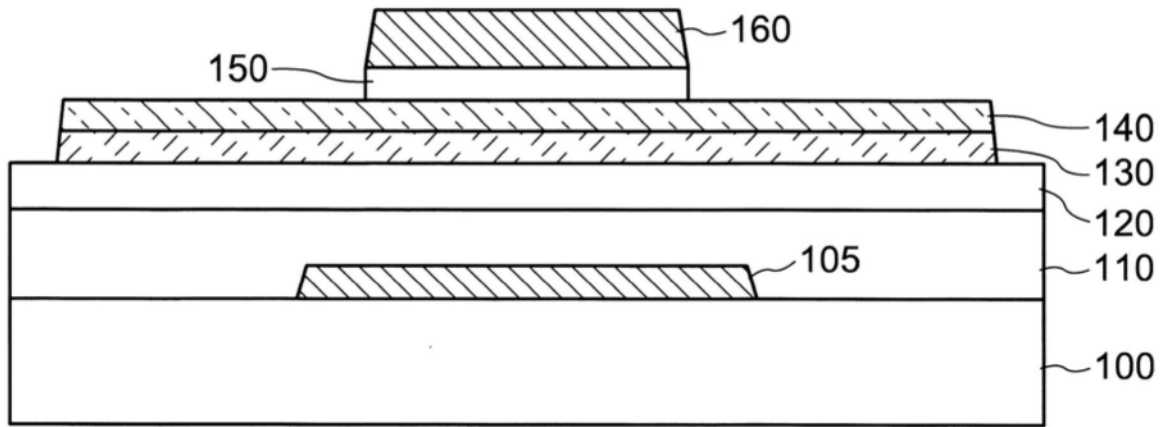


图10

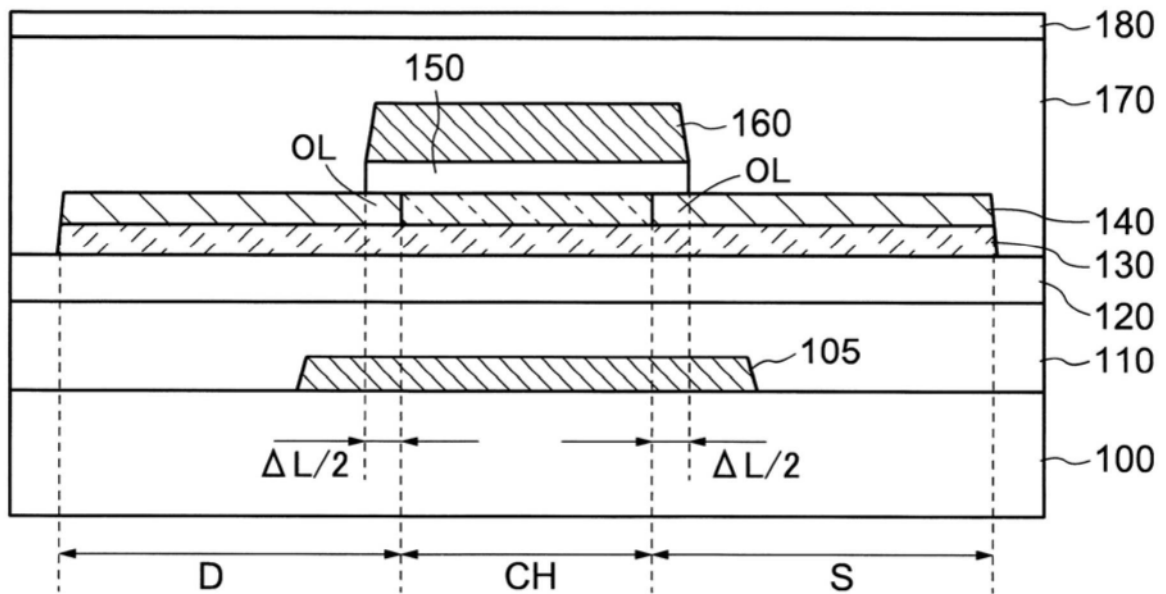


图11

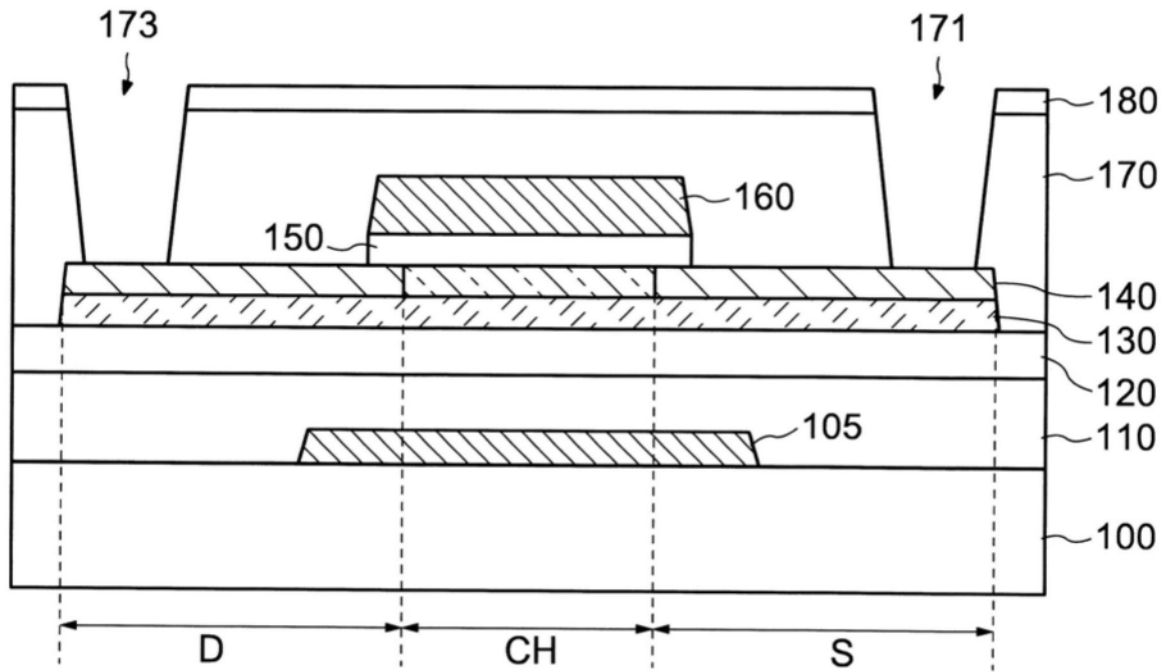


图12

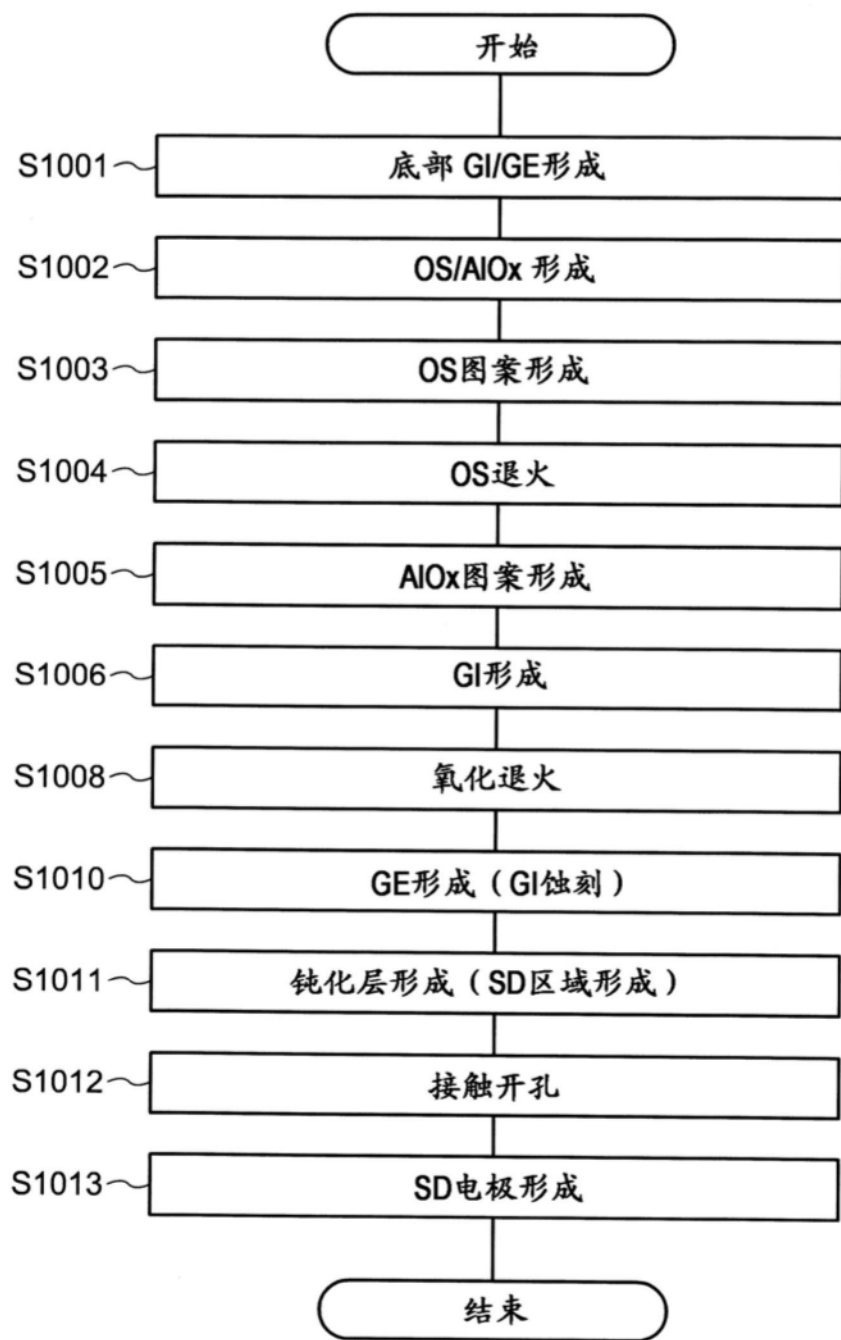


图13

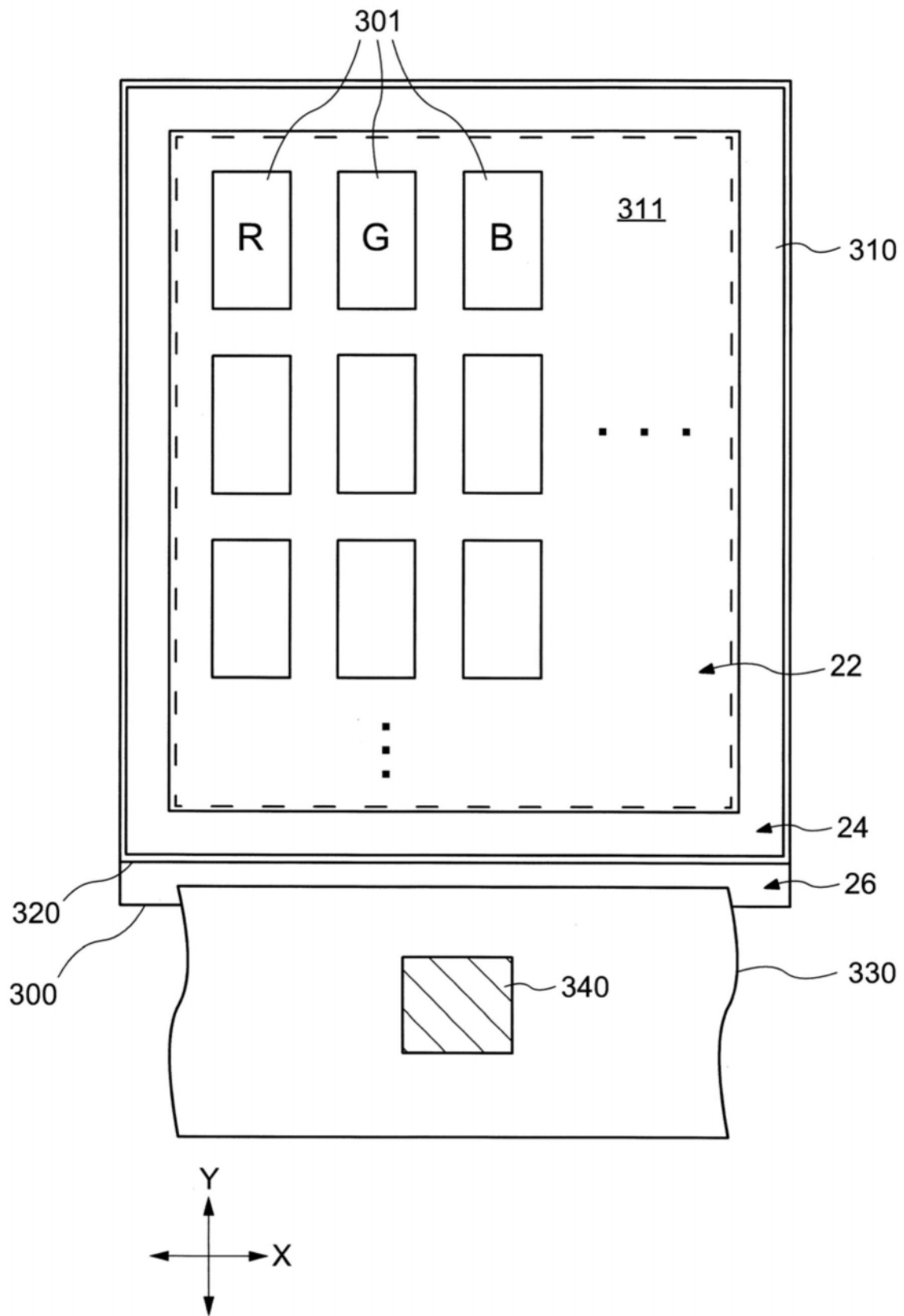
20

图14

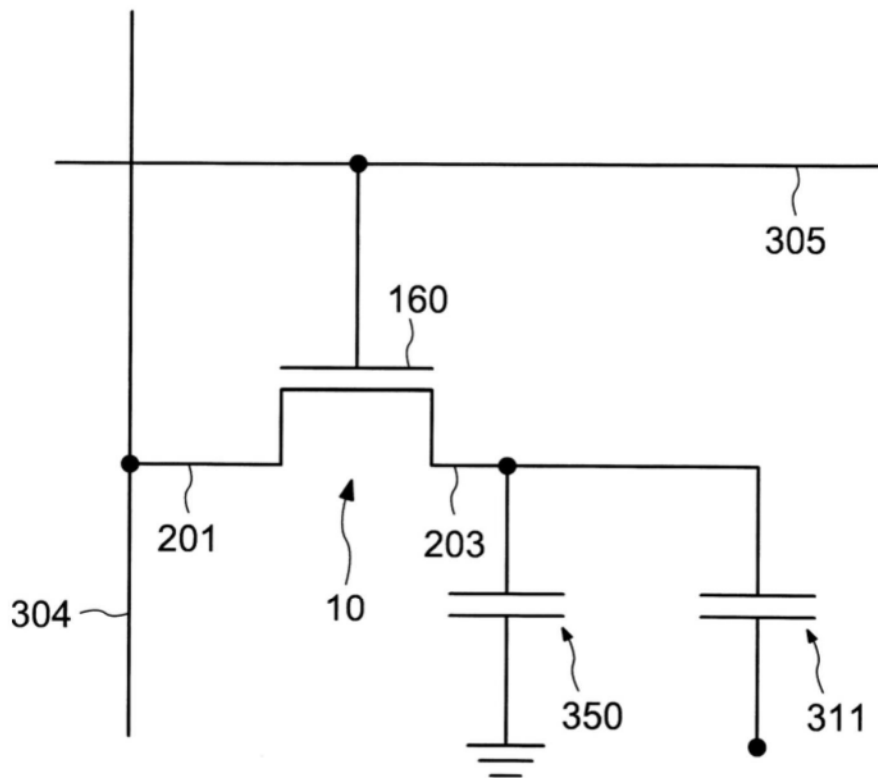
301

图16

20

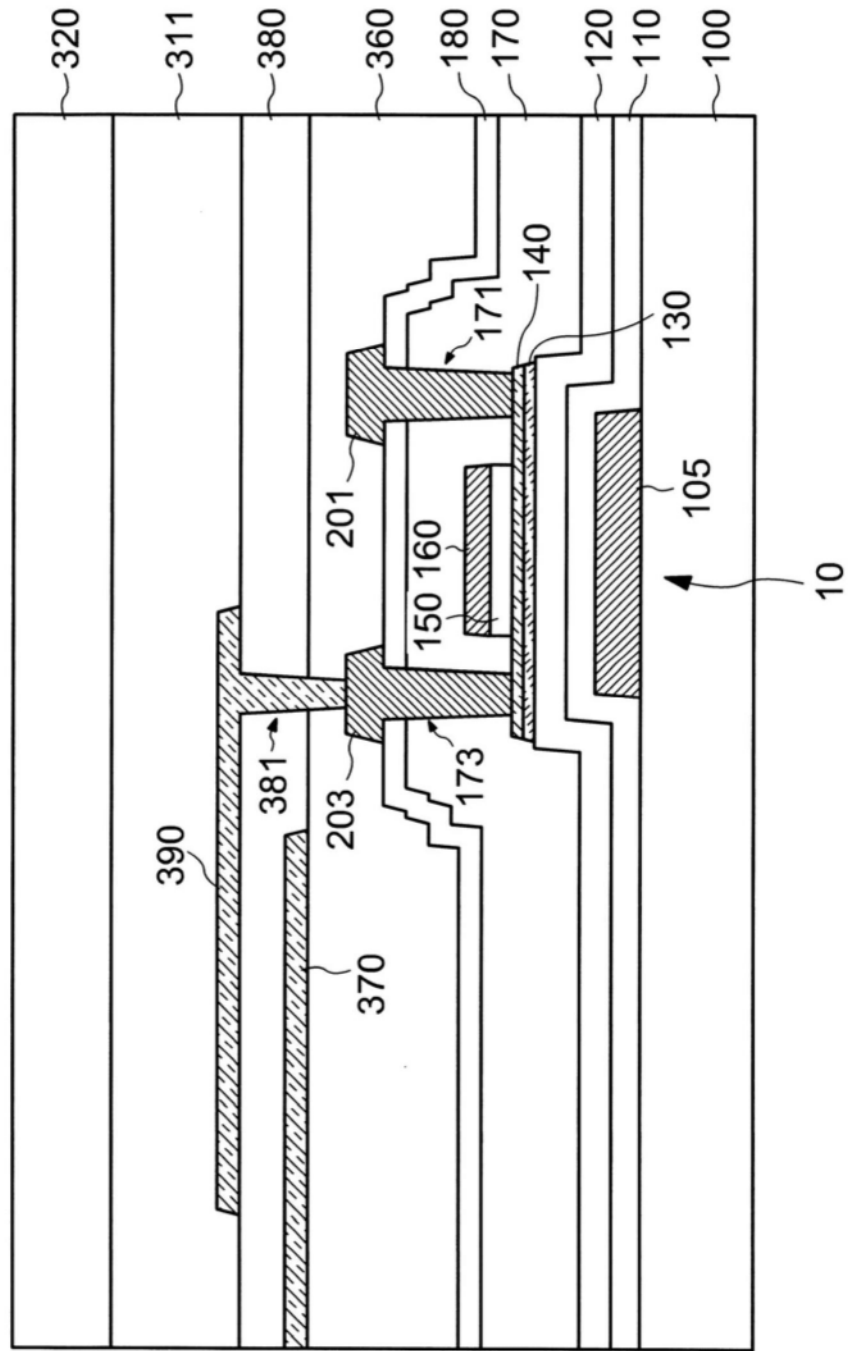


图17

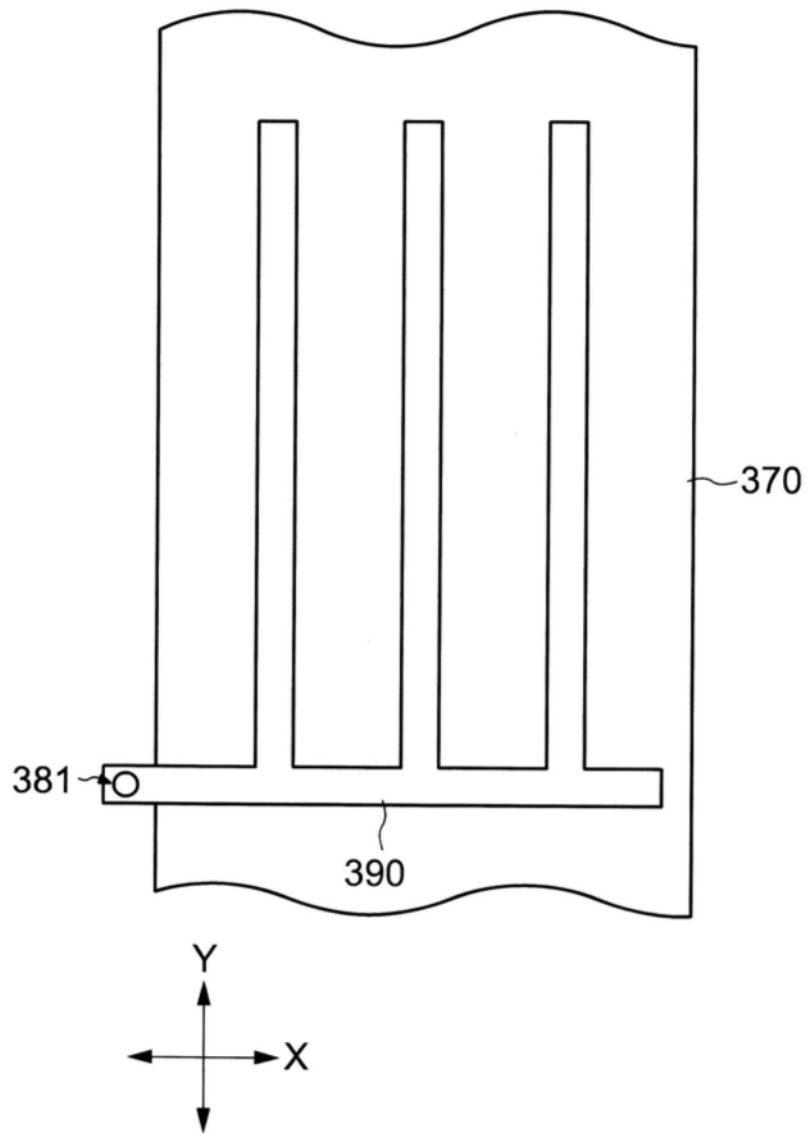


图18

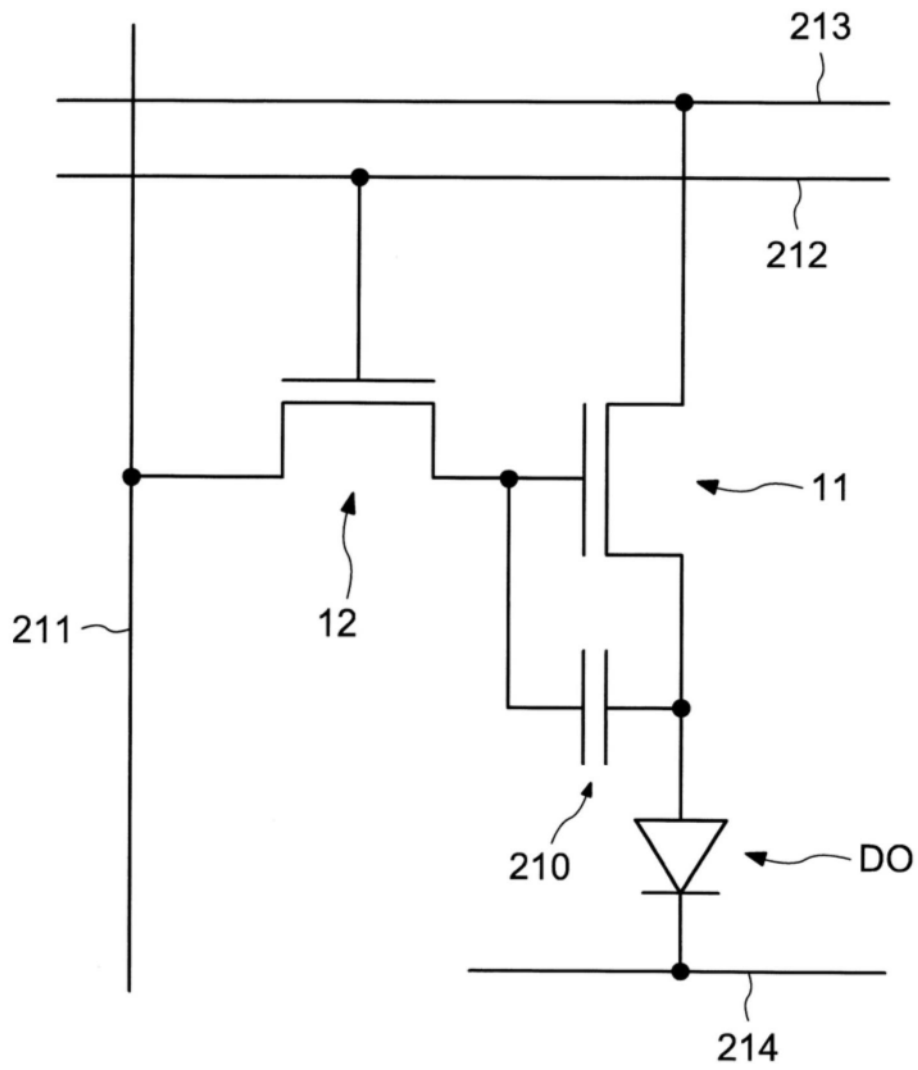
301a

图19

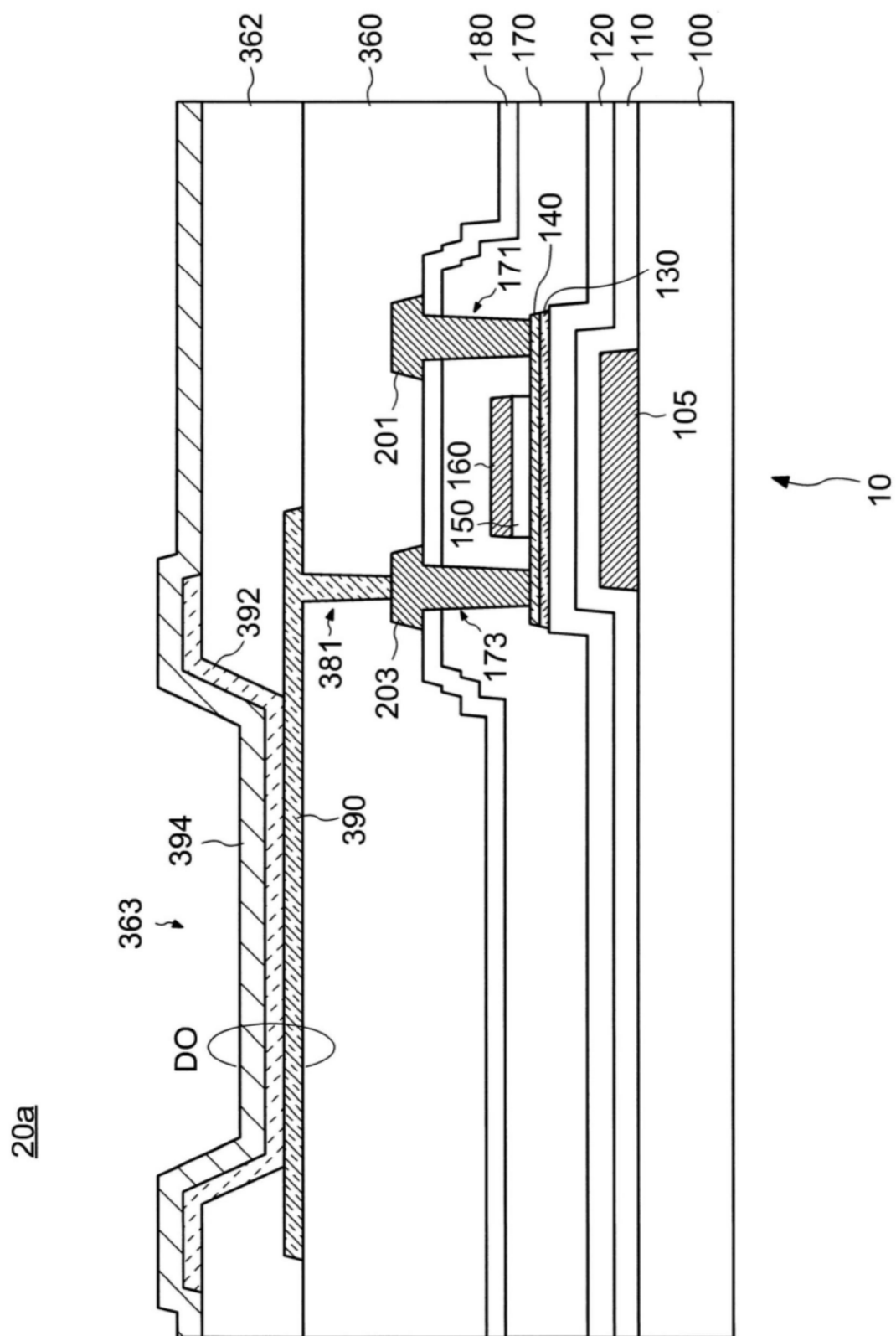


图20

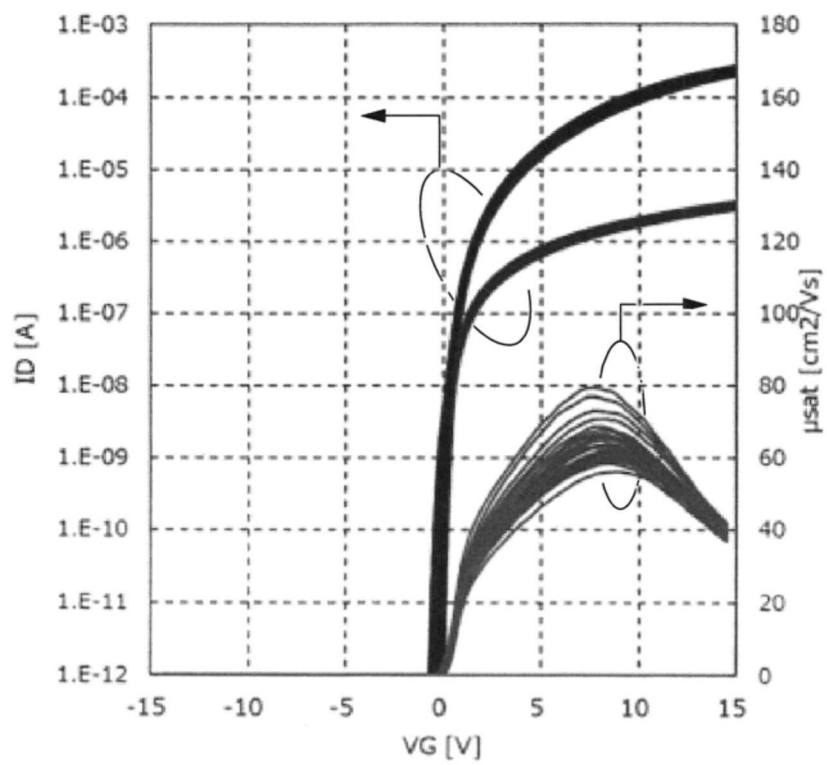


图21A

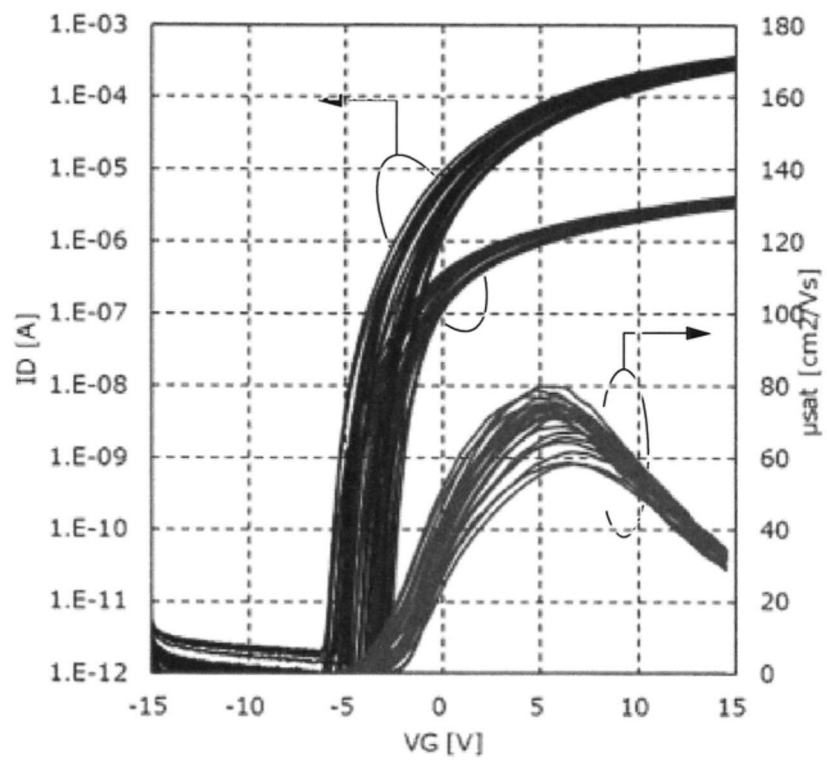


图21B

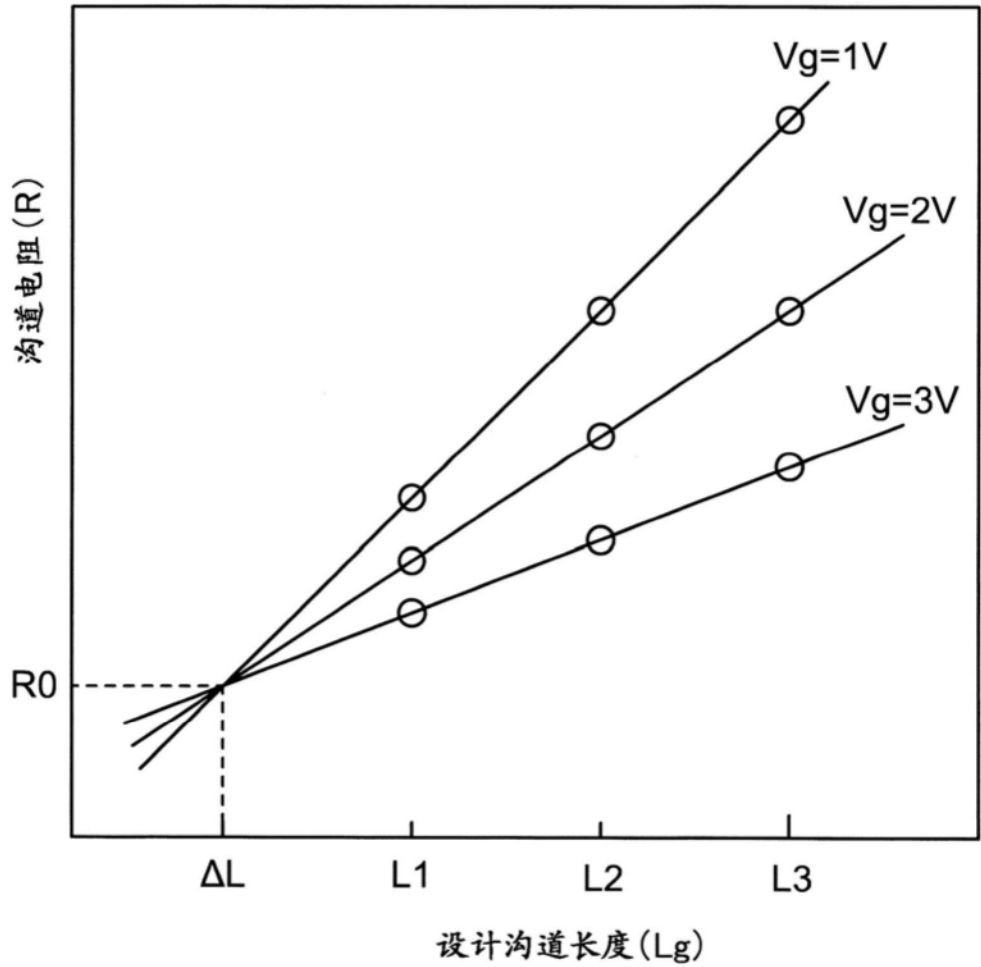


图22

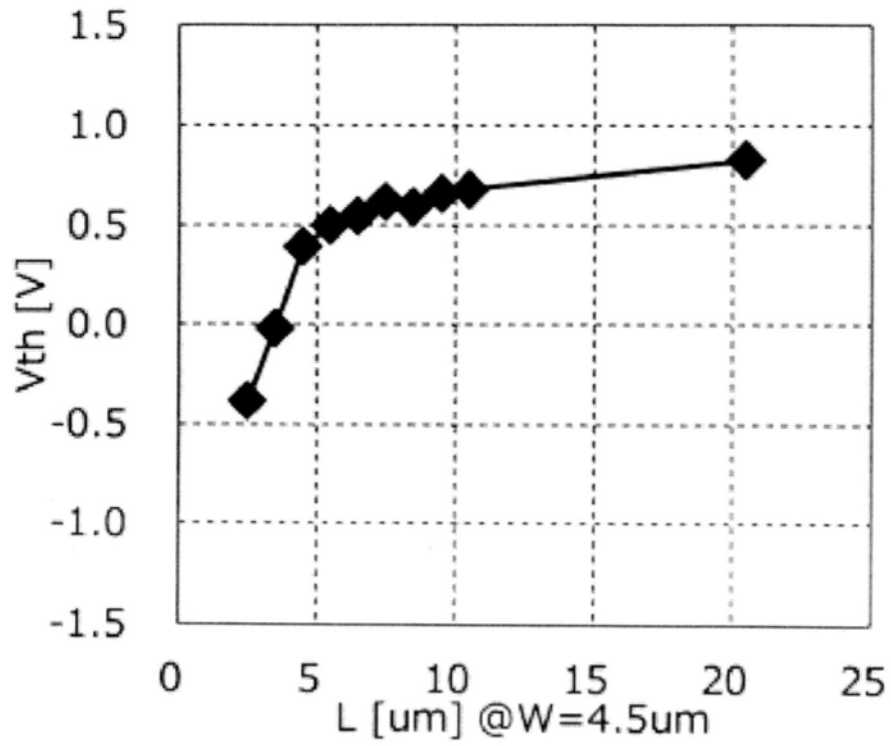


图23A

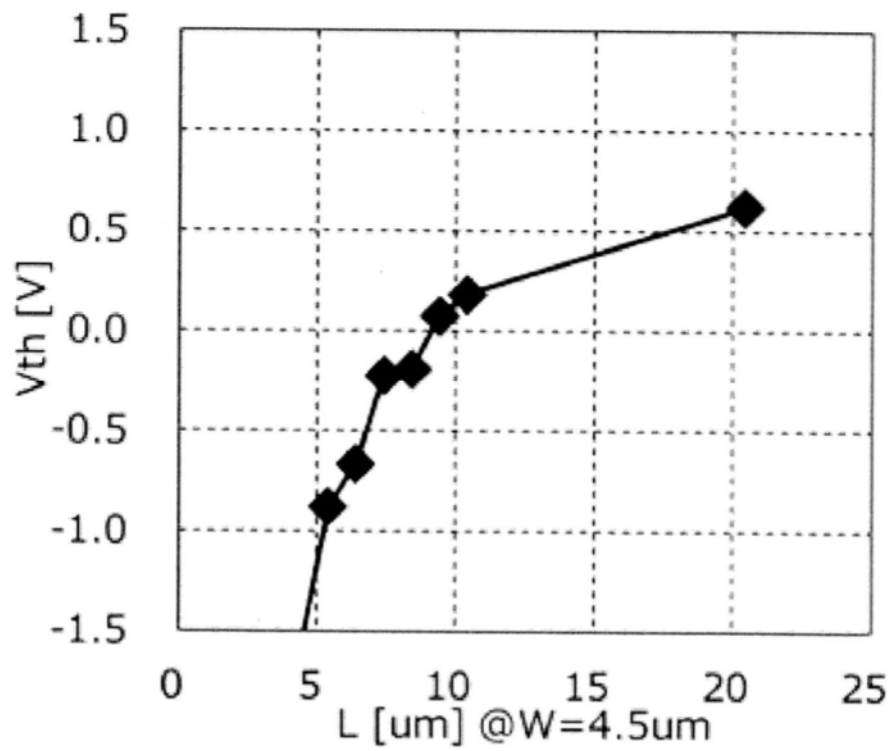


图23B