

(21)申請案號：098122555

(22)申請日：中華民國 98 (2009) 年 07 月 03 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

(30)優先權：2008/07/04 日本 2008-175720

(71)申請人：N E C 電子股份有限公司 (日本) NEC ELECTRONICS CORPORATION (JP)
日本

(72)發明人：國頭正男 KUNITOU, MASAO (JP)

(74)代理人：周良謀；周良吉

申請實體審查：有 申請專利範圍項數：10 項 圖式數：13 共 26 頁

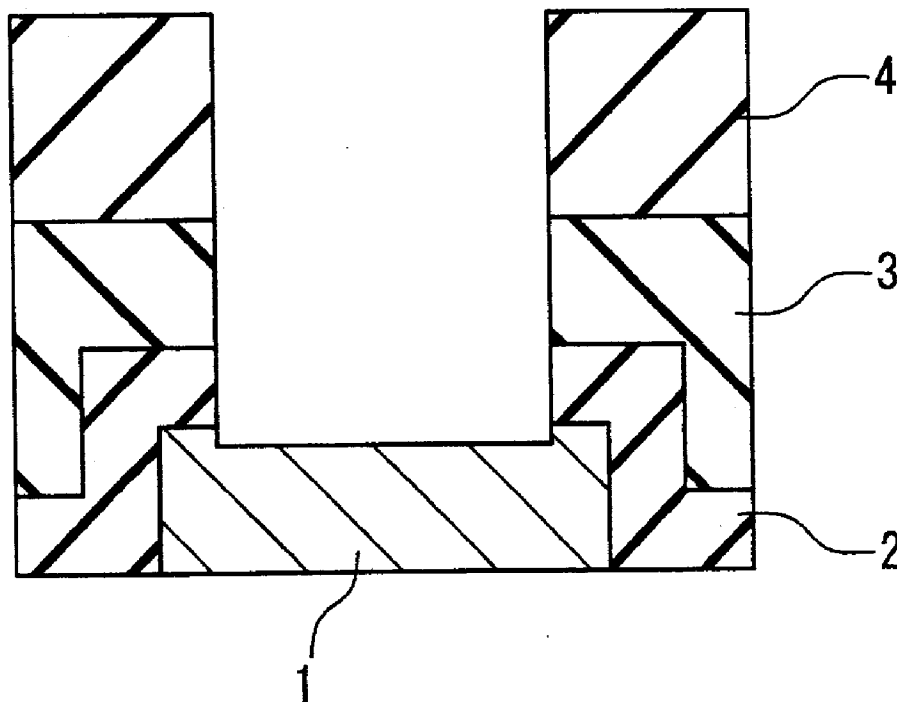
(54)名稱

半導體裝置之製造方法

A MANUFACTURING METHOD OF A SEMICONDUCTOR DEVICE

(57)摘要

本發明旨在提供一種可抑制接墊區上之沉積物產生的半導體裝置之製造方法。本發明之半導體裝置之製造方法具備：第 1 步驟，形成具有接墊區的配線層群；第 2 步驟，形成絕緣性的覆蓋層，以覆蓋該配線層群；第 3 步驟，以電漿蝕刻去除該覆蓋層，以使該接墊區露出；該接墊區以鋁形成，且該以電漿蝕刻去除的步驟包含：使用產生碳自由基及氟自由基的 CF 系氣體以使該接墊區露出的步驟；及該露出步驟後，使用產生氯自由基或氯離子的 Cl₂ 系氣體以去除產生於該接墊區之表面的沉積物的步驟。



1：接墊區

2：覆蓋層

3：聚醯亞胺(絕緣樹脂層)

4：抗蝕劑

(21)申請案號：098122555

(22)申請日：中華民國 98 (2009) 年 07 月 03 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

(30)優先權：2008/07/04 日本 2008-175720

(71)申請人：N E C 電子股份有限公司 (日本) NEC ELECTRONICS CORPORATION (JP)
日本

(72)發明人：國頭正男 KUNITOU, MASAO (JP)

(74)代理人：周良謀；周良吉

申請實體審查：有 申請專利範圍項數：10 項 圖式數：13 共 26 頁

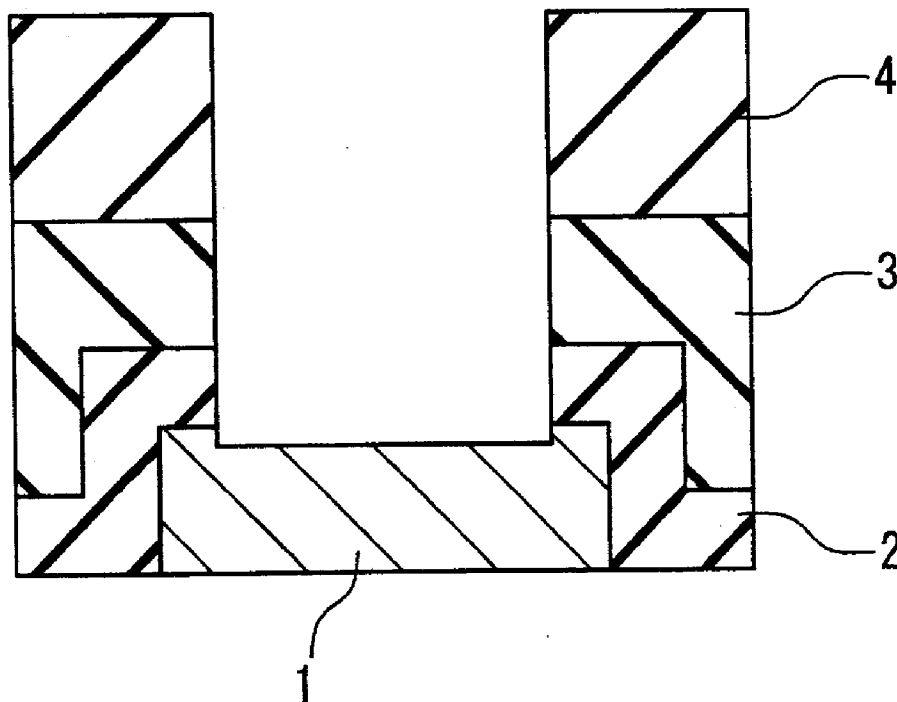
(54)名稱

半導體裝置之製造方法

A MANUFACTURING METHOD OF A SEMICONDUCTOR DEVICE

(57)摘要

本發明旨在提供一種可抑制接墊區上之沉積物產生的半導體裝置之製造方法。本發明之半導體裝置之製造方法具備：第 1 步驟，形成具有接墊區的配線層群；第 2 步驟，形成絕緣性的覆蓋層，以覆蓋該配線層群；第 3 步驟，以電漿蝕刻去除該覆蓋層，以使該接墊區露出；該接墊區以鋁形成，且該以電漿蝕刻去除的步驟包含：使用產生碳自由基及氟自由基的 CF 系氣體以使該接墊區露出的步驟；及該露出步驟後，使用產生氯自由基或氯離子的 Cl₂ 系氣體以去除產生於該接墊區之表面的沉積物的步驟。



1：接墊區

2：覆蓋層

3：聚醯亞胺(絕緣樹脂層)

4：抗蝕劑

六、發明說明：

【發明所屬之技術領域】

本發明係有關半導體裝置之製造方法，特別關於具有鋁製接墊區的半導體裝置之製造方法。

【先前技術】

基板(例如矽基板)上形成有半導體積體電路的半導體裝置為已知。半導體裝置被製作成半導體晶片。製作半導體裝置時，首先準備半導體晶圓作為基板。然後，在該半導體晶圓上形成半導體積體電路。該半導體積體電路包含配線層。形成半導體積體電路後，半導體晶圓被切開成複數之半導體晶片。

圖 1 例示著顯示半導體晶圓的俯視圖，及顯示形成於該半導體晶圓上之複數半導體晶片中之一的放大圖。

如圖 1 之放大圖所示，於複數之各個半導體晶片的表面設有接墊區。接墊區為配線層中的一部分。接墊區係為使各晶片的配線層與晶片外的裝置(以下稱外部裝置)電連接而設置。

圖 2 係顯示各晶片之表面部分的剖面圖。各晶片之表面部分除接墊區以外，也設有覆蓋層及絕緣樹脂層(例如聚醯亞胺)。就覆蓋層而言，使用例如 SiON 膜等之矽氧化物系的膜(包含氧原子及矽原子之化合物所構成的膜)。覆蓋層及絕緣樹脂層係為保護各晶片內之半導體積體電路而設置。於各晶片之表面部分中，除接墊區以外之部分由覆蓋層及絕緣樹脂層所覆蓋。另一方面，於接墊區上，覆蓋層及絕緣樹脂層設有開口，露出接墊區。

以下說明圖 2 所示之半導體裝置之製造方法。

首先，在基板(未圖示)上形成包含接墊區的配線層。依序堆疊覆蓋層、聚醯亞胺(絕緣樹脂層)及抗蝕劑，以覆蓋該配線層。而且，於接墊區之上部在抗蝕劑設置開口。然後，以抗蝕劑為遮罩而去除聚醯亞胺。圖 3A 顯示去除聚醯亞胺後之狀態的剖面圖。又，圖 3B 係接墊區的俯視圖。

其後，以聚醯亞胺為遮罩而蝕刻覆蓋層，俾露出接墊區。覆

蓋層通常以電漿蝕刻進行蝕刻。覆蓋層使用矽氧化物系的膜時，蝕刻氣體使用 CF 系氣體(產生碳自由基及氟自由基的氣體)。

圖 4A 係顯示蝕刻覆蓋層後之狀態的剖面圖。又，圖 4B 係其俯視圖。於蝕刻覆蓋層後，接墊區上有時殘留沉積物等。當接墊區上殘留沉積物時，使接墊與外部裝置可靠度良好地連接係變得困難。因此，較理想係以接墊區上不殘留沉積物方式蝕刻覆蓋層。

就相關技術而言，可舉例如專利文獻 1(日本特開平 9-115878 號公報)。專利文獻 1 記載著如下之電漿蝕刻方法：一種電漿蝕刻方法，在導電材料層上之有機高分子系絕緣膜，將臨向導電材料層的連接孔形成開口；其特徵為：使用包含可產生 CF 系氣體及氧化系化學物質之氣體中的至少一種氣體與可產生氟系化學物質的氣體的蝕刻氣體，將該有機高分子系絕緣膜加以圖案化。

【先前技術文獻】專利技術文獻 1 日本特開平 9-115878 號公報

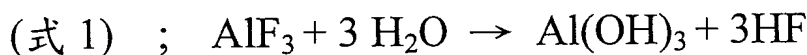
【發明內容】

<發明所欲解決之課題>

就設在各晶片內之配線層的材料而言，有時採用鋁。此時，接墊區也使用鋁。

接墊區使用鋁時，當採用 CF 系氣體蝕刻覆蓋層時，露出之接墊區的鋁與來自 CF 系氣體的氟自由基反應，產生 AlF_3 。亦即，產生 AlF_3 為沉積物。

所產生的 AlF_3 與大氣中的水分(H_2O)等反應，有時產生氫氧化鋁 $\text{Al}(\text{OH})_3$ 。具體而言，因下式 1，產生氫氧化鋁 $\text{Al}(\text{OH})_3$ 。



又，因式 1 產生為副產物的 HF，因下式 2 又產生 AlF_3 。



因式 2 產生的 AlF_3 又促進式 1 的反應。亦即，促進 $\text{Al}(\text{OH})_3$ 的產生。

產生於接墊區上的 $\text{Al}(\text{OH})_3$ 妨礙接墊區與外部裝置的電連接。

又，所產生的 $\text{Al}(\text{OH})_3$ 亦成為接墊區變色的原因，外觀上也不

理想。半導體裝置的製程中，於蝕刻覆蓋層後，進行晶圓測試。晶圓測試之際，為調查各晶片的電特性而將針接觸至接墊區。此時，如圖 5A 及圖 5B 所示，接墊區上殘留針痕。當促進 $\text{Al}(\text{OH})_3$ 的產生時，如圖 6A 及圖 6B 所示，針痕之周圍形成因 $\text{Al}(\text{OH})_3$ 形成的變色部。

為抑制 AlF_3 的產生，可考慮於蝕刻覆蓋層後實施水洗處理或烘烤(加熱)處理。但是，實施水洗處理時，因水洗時間而有時鋁在接墊區溶出。又，實施烘烤處理時，因烘烤時間而有時在接墊區上產生氧化鋁膜。

為抑制 $\text{Al}(\text{OH})_3$ 的產生，可考慮在水分少的環境下保管半導體裝置(晶片或晶圓)。為在水分少的環境下保管，包裝半導體裝置的包裝構件可考慮準備特別的構件(例如 Protos 及鋁乾燥包裝)等。但是，準備特別的構件成為製造成本增加的原因。

因此，本發明之目的為：提供可抑制接墊區上之沉積物產生的半導體裝置之製造方法。

<解決課題之手段>

依本發明之半導體裝置之製造方法具備：第 1 步驟，形成具有接墊區的配線層群；第 2 步驟，形成絕緣性的覆蓋層，以覆蓋該配線層群；第 3 步驟，以電漿蝕刻去除覆蓋層，以使接墊區露出。接墊區以鋁形成。以電漿蝕刻去除的步驟包含：使用產生碳自由基及氟自由基的 CF 系氣體以使接墊區露出的步驟；及該露出步驟後，使用產生氯自由基或氯離子的 Cl_2 系氣體以去除產生於接墊區之表面的沉積物的步驟。

依本發明，藉由使用 CF 系氣體的電漿蝕刻，可將覆蓋層精度良好地蝕刻。由於使用 CF 系氣體，接墊區露出時，接墊區上產生 AlF_3 為沉積物。所產生的 AlF_3 因著使用 Cl_2 系氣體而被蝕刻。由於以 Cl_2 系氣體去除 AlF_3 ，因此不會產生 $\text{Al}(\text{OH})_3$ ，也不致於妨礙接墊區與外部裝置的電連接。

<發明之效果>

依本發明，能提供可抑制接墊區上之沉積物產生的半導體裝置之製造方法。

【實施方式】

<實施發明之最佳形態>

以下，參照附加圖式，說明依本發明之實施形態的半導體裝置之製造方法。

(第 1 實施形態)

首先，準備半導體晶圓。在半導體晶圓上形成包含配線層群的半導體積體電路。配線層群包含鋁所形成的配線圖案。又，在配線層群之一部分形成接墊區 1。其後，形成絕緣性的覆蓋層 2，以覆蓋配線層群。進而，在覆蓋層 2 上形成聚醯亞胺膜以作為絕緣樹脂層 3。覆蓋層 2 為以矽氧化物系的膜(包含氧原子及矽原子之化合物所構成的膜)形成者。覆蓋層 2 具體而言可舉例如 SiON 膜。然後，為將絕緣樹脂層 3 圖案化，在絕緣樹脂層 3 上形成樹脂製的抗蝕劑 4。以抗蝕劑 4 為遮罩，將接墊區 1 上的絕緣樹脂層 3 圖案化。

圖 7A 顯示去除絕緣樹脂層 3 後之狀態的半導體晶圓之表面部分的剖面圖。又，圖 7B 顯示圖 7A 之狀態的俯視圖。由於絕緣樹脂層 3 被去除，故露出接墊區 1 的覆蓋層 2。

其次，如圖 8A 所示，以絕緣樹脂層 3 及抗蝕劑 4 為遮罩，蝕刻覆蓋層 2。圖 8B 係接墊區 1 部分的俯視圖。由於覆蓋層 2 被蝕刻，故露出接墊區 1。

覆蓋層 2 以電漿蝕刻進行蝕刻。蝕刻氣體使用 CF 系氣體。

CF 系氣體為產生碳自由基及氟自由基的氣體。CF 系氣體具體而言可例示如包含 CF_4 、 CHF_3 及 N_2 氣體的混合氣體。CF 系氣體適合使用於蝕刻矽氧化物系的膜，即覆蓋層 2。來自 CF 系氣體的碳自由基與覆蓋層 2 的氧原子反應。來自 CF 系氣體的氟自由基與覆蓋層 2 的矽原子反應。藉此去除覆蓋層 2。

在此，露出之接墊區 1 暴露於 CF 系氣體。如上述，露出之接

墊區 1 的鋁與來自 CF 系氣體的氟自由基反應，產生 AlF_3 為沉積物 5。

使用 CF 系氣體的電漿蝕刻結束後，為去除沉積物 5，進行使用 Cl_2 系氣體的電漿蝕刻。

Cl_2 系氣體為產生氯自由基或氯離子的氣體。來自 Cl_2 系氣體的氯自由基或氯離子與 AlF_3 反應，產生 AlCl_3 。 AlCl_3 係昇華性高，因昇華而從接墊區 1 表面被去除。藉此，從接墊區 1 上去除沉積物 5。圖 9A 顯示著顯示去除沉積物 5 後之半導體晶圓表面部分的剖面圖，圖 9B 顯示其俯視圖。

Cl_2 系氣體具體而言可例示如選自於由 Cl_2 氣體、 BCl_3 、 SiCl_4 及 CCl_4 構成之集合的至少一種氣體。

接著，如圖 10A 所示，去除抗蝕劑 4。如圖 10B 所示，露出絕緣樹脂層 3。

其後，為檢查半導體積體電路的電特性，進行晶圓測試。晶圓測試時，藉由使探針(針)接觸至接墊區 1，測定半導體積體電路的電特性。圖 11A 係晶圓測試後之半導體晶圓表面部分的剖面圖，圖 11B 係其俯視圖。晶圓測試後，探針(針)痕 6 殘留於接墊區 1 上。此時，由於已從接墊區 1 上去除 AlF_3 (沉積物 5)，因此也不會產生 $\text{Al}(\text{OH})_3$ ，針痕 6 之周圍不致於變色。

然後，將半導體晶圓切割成複數之半導體晶片。複數之各個晶片於接墊區 1 與外部裝置電連接。此時，由於接墊區 1 上不存在 $\text{Al}(\text{OH})_3$ 等之殘留物，因此能可靠度良好地與外部裝置進行連接。

如以上說明，依本實施形態，使用 CF 系氣體蝕刻覆蓋層後，使用 Cl_2 系氣體蝕刻 AlF_3 (沉積物 5)。雖然因 CF 系氣體所進行的蝕刻而產生 AlF_3 ，但由於以 Cl_2 系氣體所進行的蝕刻去除 AlF_3 ，因此接墊區 1 上不會產生 $\text{Al}(\text{OH})_3$ 。藉此，能使外部裝置與各半導體晶片可靠度良好地連接。

又，半導體晶圓有時於晶圓測試結束後長時間進行保管。本實施形態中，由於已從接墊區 1 上去除 AlF_3 ，故抑制 $\text{Al}(\text{OH})_3$ 的

產生。因此，即使保管時歷經長時間，也不須準備特別的包裝構件(例如 Protos 及鋁乾燥包裝)等，可降低保管時所需的成本。

又，依本實施形態，由於去除 AlF_3 ，因此無須設置水洗處理或烘烤處理，可縮短製程。

(第 2 實施形態)

接著，說明本發明之第 2 實施形態。圖 12 係顯示依本實施形態之半導體裝置之表面部分的剖面圖。本實施形態中，在配線層群追加有熔線元件 7(下層露出部)。熔線元件 7 設於比接墊區 1 深的位置。亦即，配線層群包含複數層之配線層(下部配線層及上部配線層)，下部配線層設有熔線元件 7，上部配線層設有接墊區 1。下部配線層與上部配線層隔著層間絕緣膜而堆疊。層間絕緣膜使用與覆蓋層 2 相同的材料(例如矽氧化物系的膜)。

與第 1 實施形態同樣地，接墊區 1 上設有開口。藉此，接墊區 1 露出。

又，熔線元件 7 上也留下些微的層間絕緣膜，而設有開口。藉此，熔線元件 7 實質上露出。

以下說明依本實施形態之半導體裝置之製造方法。

首先，在基板(未圖示)上形成具有熔線元件 7 的下部配線層。其後，經由層間絕緣膜，堆疊具有接墊區 1 的上部配線層。然後，與第 1 實施形態同樣地，在上部配線層上依序堆疊覆蓋層 2、聚醯亞胺 3 及抗蝕劑 4。然後，於相當於接墊區 1 及熔線元件 7 之上方的位置，在聚醯亞胺 3 設置開口。在聚醯亞胺 3 設置開口後的狀態顯示於圖 13。

接著，蝕刻覆蓋層 2 及層間絕緣膜，同時形成到達接墊區 1 之開口及到達熔線元件 7 之開口。此時，以使用 CF 系氣體的電漿蝕刻，去除覆蓋層 2 及層間絕緣膜。

在此，接墊區 1 設於上部配線層。另一方面，熔線元件 7 設於下部配線層。比起形成到達接墊區 1 之開口的情形，為形成到達熔線元件 7 之開口，必須進行長時間蝕刻。亦即，接墊區 1 上恰如圖 12 中以高度 h 所示之量地多進行蝕刻。此時，接墊區 1 露

出以後也長時間暴露於 CF 系氣體。

使用 CF 系氣體的電漿蝕刻結束後，與第 1 實施形態同樣地，使用 Cl_2 系氣體，蝕刻接墊區 1 上的沉積物 5。其後的處理也與第 1 實施形態相同。

接墊區 1 在露出之狀態下暴露於 CF 系氣體的時間越長， AlF_3 越容易產生。亦即，如本實施形態，使得設在下部配線層的下層露出部及設在上部配線層的接墊區 1 同時露出時，接墊區 1 上容易產生沉積物 5。

但是，本實施形態中，以 Cl_2 系氣體去除接墊區 1 上的沉積物 5。亦即，依本實施形態，於同時露出下層露出部及接墊區 1 時，也可使接墊區 1 上保持在潔淨的狀態。藉此，可提高接墊區 1 的電性可靠度。又，可防止接墊區 1 的變色。

【圖式簡單說明】

圖 1 係顯示半導體晶圓的俯視圖。

圖 2 係顯示半導體晶圓之表面部分的剖面圖。

圖 3A 係顯示半導體裝置之製程的程序剖面圖。

圖 3B 係顯示半導體裝置之製程的俯視圖。

圖 4A 係顯示半導體裝置之製程的程序剖面圖。

圖 4B 係顯示半導體裝置之製程的俯視圖。

圖 5A 係顯示半導體裝置之製程的程序剖面圖。

圖 5B 係顯示半導體裝置之製程的俯視圖。

圖 6A 係顯示半導體裝置之製程的程序剖面圖。

圖 6B 係顯示半導體裝置之製程的俯視圖。

圖 7A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 7B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 8A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 8B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 9A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 9B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 10A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 10B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 11A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 11B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 12 係顯示依第 2 實施形態之半導體裝置的剖面圖。

圖 13 係顯示依第 2 實施形態的半導體裝置之製程的剖面圖。

【主要元件符號說明】

1～接墊區

2～覆蓋層

3～聚醯亞胺(絕緣樹脂層)

4～抗蝕劑

5～沉積物

6～針痕(晶圓測試針痕)

7～熔線元件(下層露出部)

h～顯示熔線元件上多進行蝕刻之量的高度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98122555

※ 申請日： 98.7.3

※IPC 分類：H01L 21/3065 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法

A MANUFACTURING METHOD OF A SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明旨在提供一種可抑制接墊區上之沉積物產生的半導體裝置之製造方法。

本發明之半導體裝置之製造方法具備：第 1 步驟，形成具有接墊區的配線層群；第 2 步驟，形成絕緣性的覆蓋層，以覆蓋該配線層群；第 3 步驟，以電漿蝕刻去除該覆蓋層，以使該接墊區露出；該接墊區以鋁形成，且該以電漿蝕刻去除的步驟包含：使用產生碳自由基及氟自由基的 CF 系氣體以使該接墊區露出的步驟；及該露出步驟後，使用產生氯自由基或氯離子的 Cl₂ 系氣體以去除產生於該接墊區之表面的沉積物的步驟。

三、英文發明摘要：

A purpose of the present invention is providing a manufacturing method of a semiconductor device which can suppress a generation of a deposit on a pad area.

A manufacturing method of a semiconductor device comprises, forming a wiring layer group having a pad area, forming an insulated cover layer to cover the wiring layer group, and removing the cover layer by plasma etching to expose the pad area. The pad area is made of aluminum. The removing by plasma etching includes, exposing the pad area by a gas like CF that generates a carbon radical and a fluorine radical, and removing a deposit formed on a surface of the pad area by a gas like Cl₂ that generates a chlorine radical or a chlorine ion, after

the exposing.

四、指定代表圖：

(一)本案指定代表圖為：第（ 9A ）圖。

(二)本代表圖之元件符號簡單說明：

1～接墊區

2～覆蓋層

3～聚醯亞胺(絕緣樹脂層)

4～抗蝕劑

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1. 一種半導體裝置之製造方法，具備：

第 1 步驟，形成具有接墊區的配線層群；

第 2 步驟，形成絕緣性的覆蓋層，以覆蓋該配線層群；

第 3 步驟，以電漿蝕刻去除該覆蓋層，俾使接墊區露出；
該接墊區以鋁形成；且

該以電漿蝕刻去除的步驟包含：

使用產生碳自由基及氟自由基的 CF 系氣體，以使該接墊區露出的步驟；及

於該露出步驟後，使用產生氯自由基或氯離子的 Cl_2 系氣體，以去除產生於該接墊區之表面的沉積物的步驟。

2. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

該 Cl_2 系氣體包含選自於由 Cl_2 氣體、 BCl_3 、 SiCl_4 及 CCl_4 構成之集合的至少一種氣體。

3. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

該 CF 系氣體為包含 CF_4 氣體、 CHF_3 氣體及 N_2 氣體的混合氣體。

4. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

該覆蓋層係以包含氧原子及矽原子之化合物所構成矽氧化物系的膜形成。

5. 如申請專利範圍第 4 項之半導體裝置之製造方法，其中，

該矽氧化物系的膜為 SiON 膜。

6. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，更具備：

於該形成覆蓋層的步驟後，在該覆蓋層上形成樹脂製之絕緣保護層的步驟；及

於該電漿蝕刻的步驟前，在該接墊區之上方去除該絕緣保護層的步驟。

7. 如申請專利範圍第 6 項之半導體裝置之製造方法，其中，

該絕緣保護層包含聚醯亞胺樹脂。

8. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，該形成配線層群的步驟包含：
 形成具有下層露出部之下部配線層的步驟；及
 在該下部配線層上隔著層間絕緣膜，形成具有該接墊區之上部配線層的步驟；
 該使接墊區露出的步驟包含：蝕刻該覆蓋層及該層間絕緣膜，以使該接墊區與該下層露出部兩者均露出的步驟。
9. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中，
 該下層露出部為熔線元件部分。
10. 如申請專利範圍第 8 或 9 項之半導體裝置之製造方法，其中，
 該層間絕緣膜包含 SiON 膜。

八、圖式：

8. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，該形成配線層群的步驟包含：
 形成具有下層露出部之下部配線層的步驟；及
 在該下部配線層上隔著層間絕緣膜，形成具有該接墊區之上部配線層的步驟；
 該使接墊區露出的步驟包含：蝕刻該覆蓋層及該層間絕緣膜，以使該接墊區與該下層露出部兩者均露出的步驟。
9. 如申請專利範圍第 8 項之半導體裝置之製造方法，其中，
 該下層露出部為熔線元件部分。
10. 如申請專利範圍第 8 或 9 項之半導體裝置之製造方法，其中，
 該層間絕緣膜包含 SiON 膜。

八、圖式：

圖式

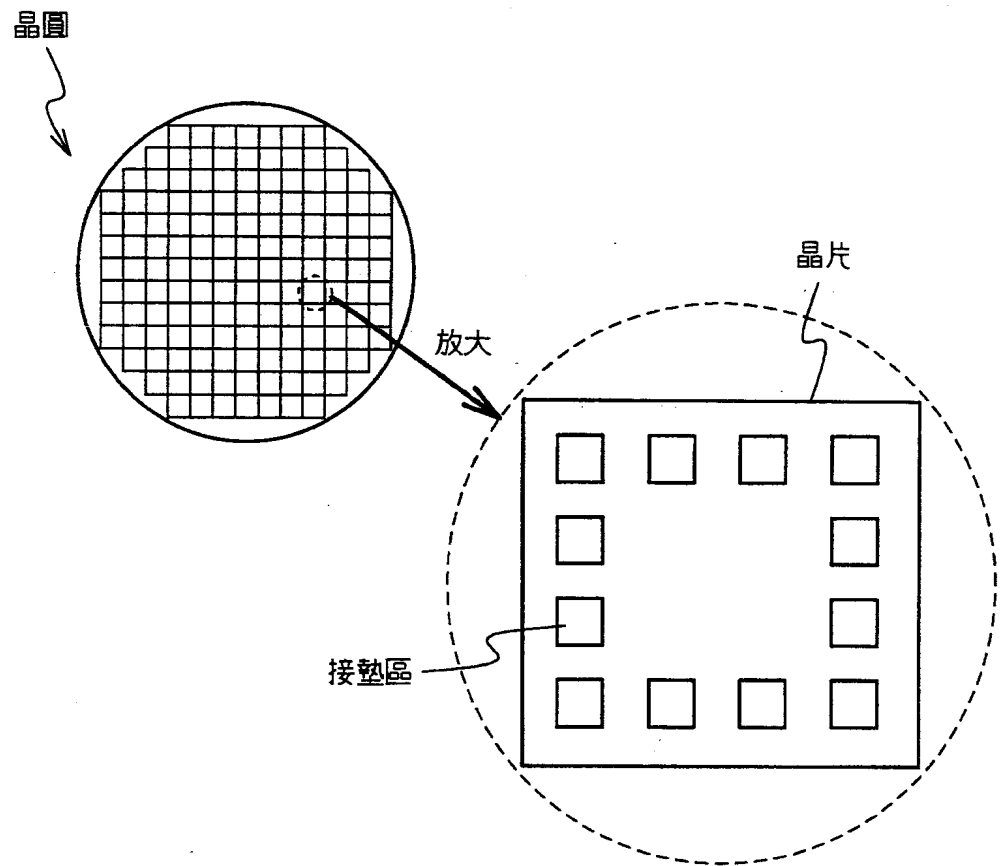


圖 1

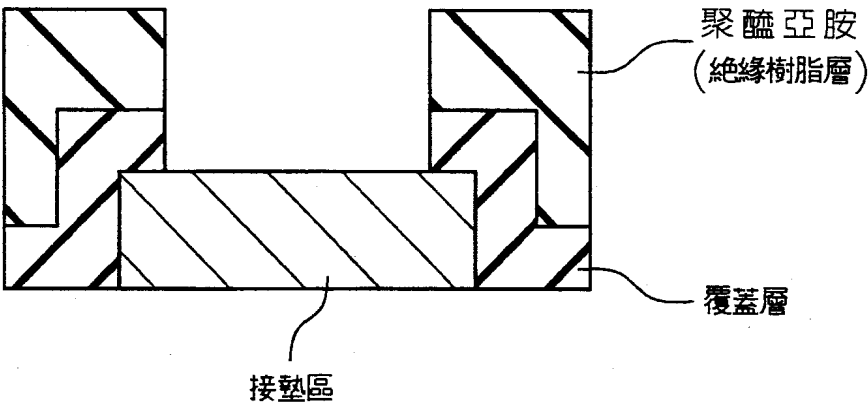


圖 2

圖式

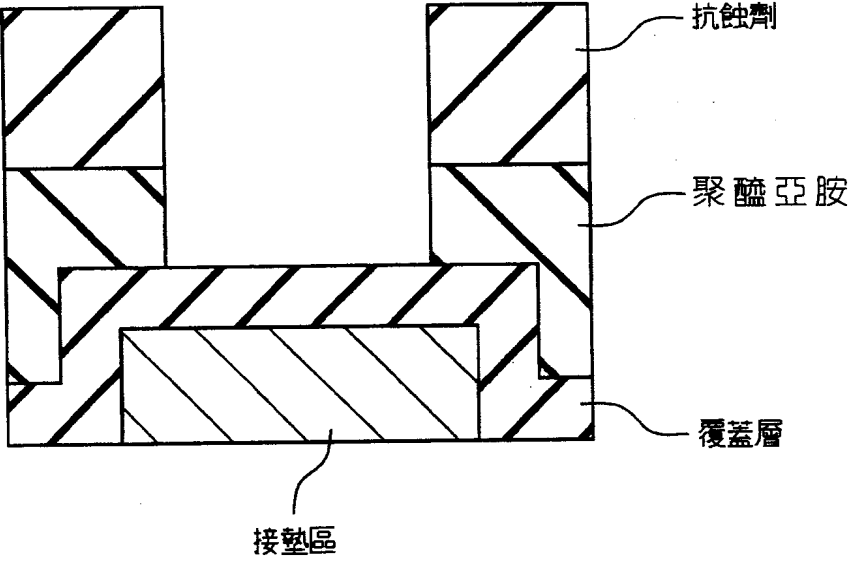


圖 3A

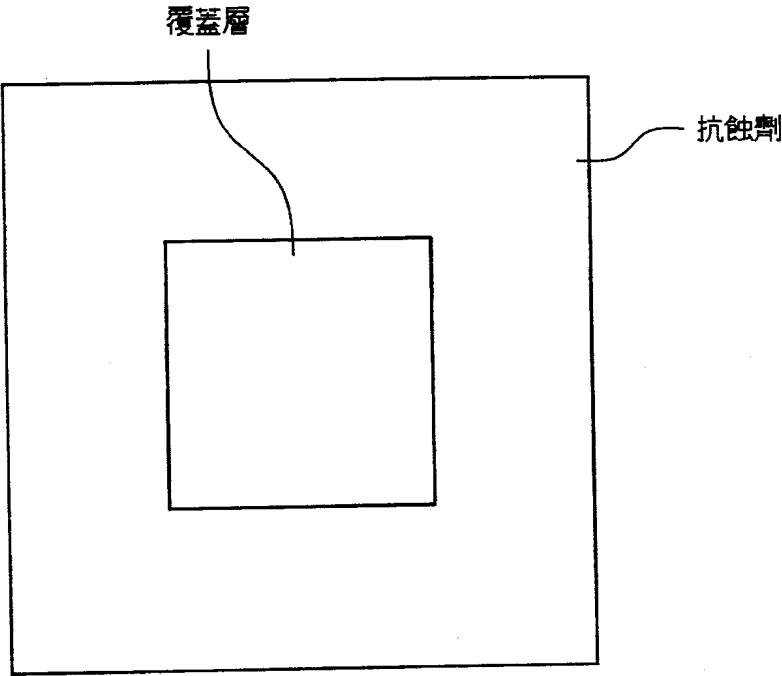


圖 3B

圖式

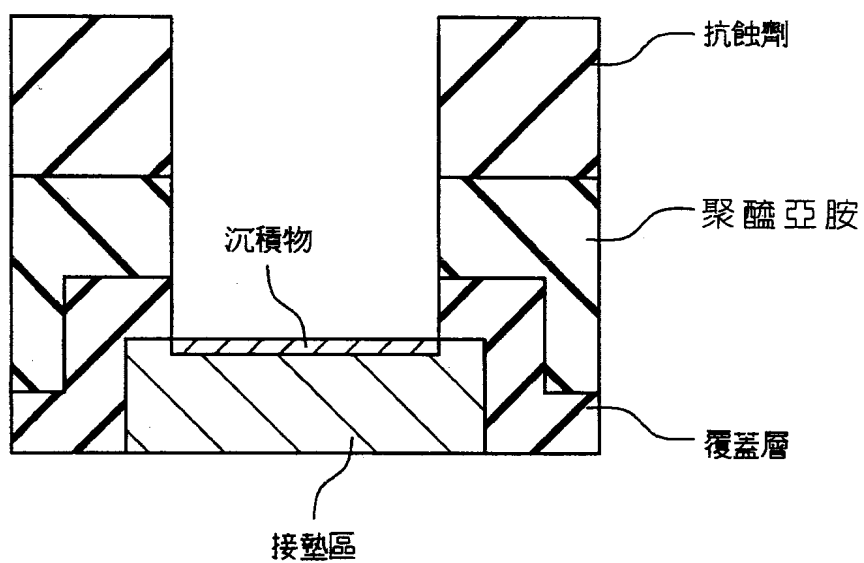


圖 4A

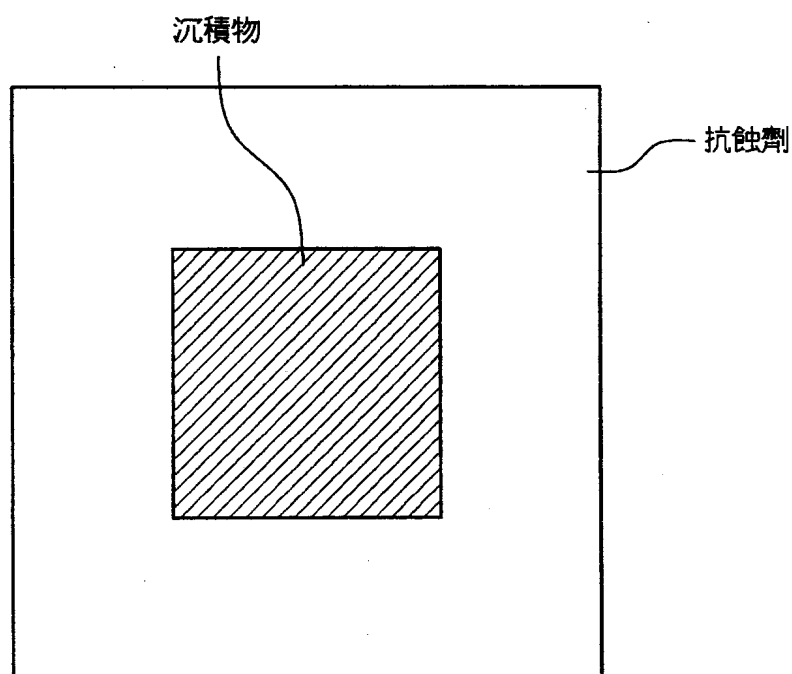


圖 4B

圖式

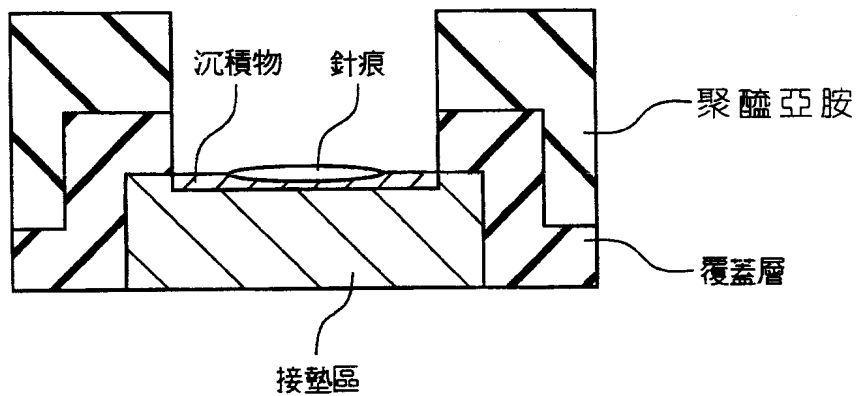


圖 5A

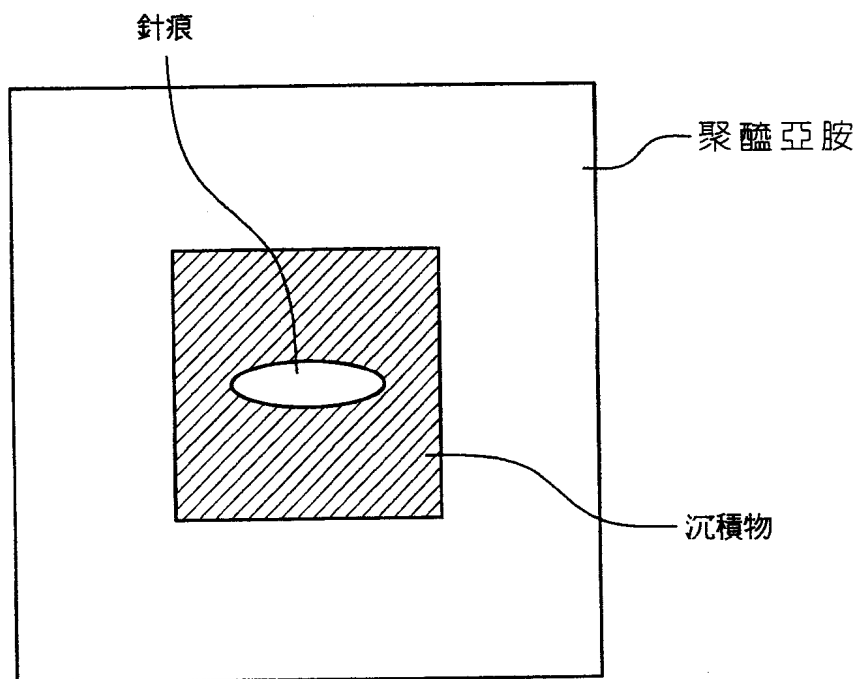


圖 5B

圖式

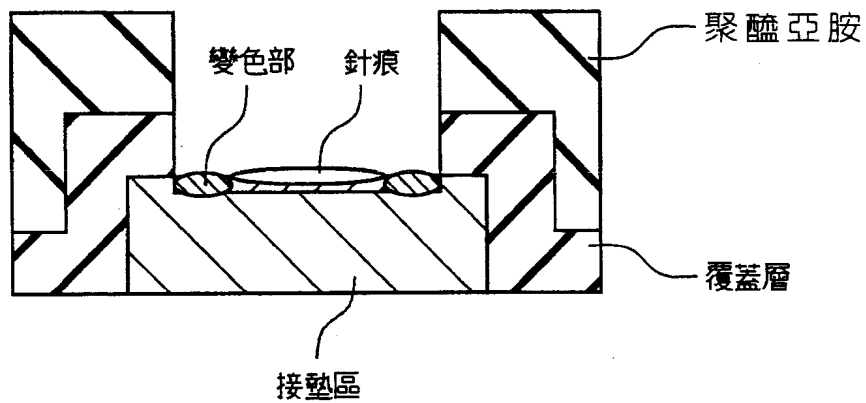


圖 6A

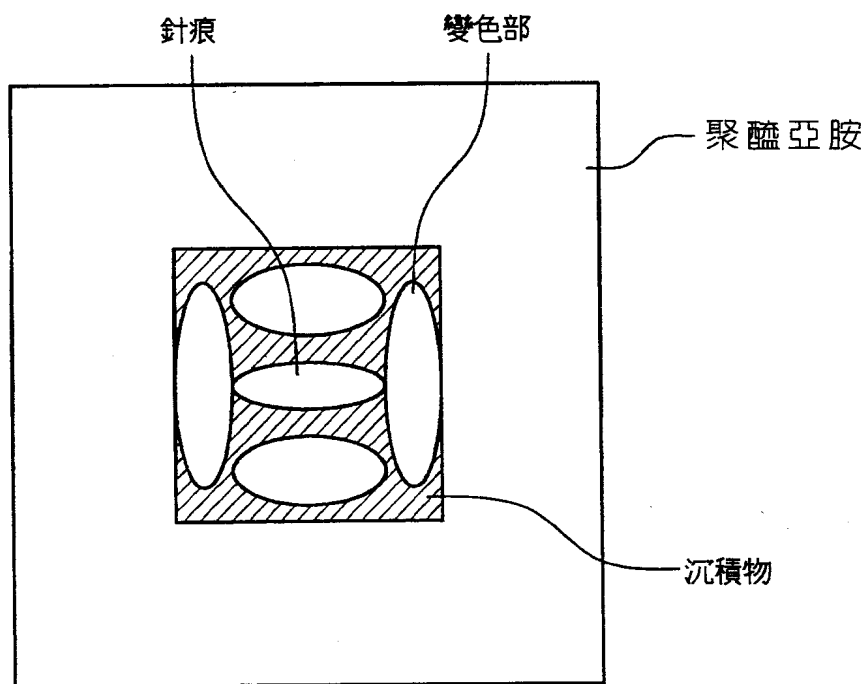


圖 6B

圖式

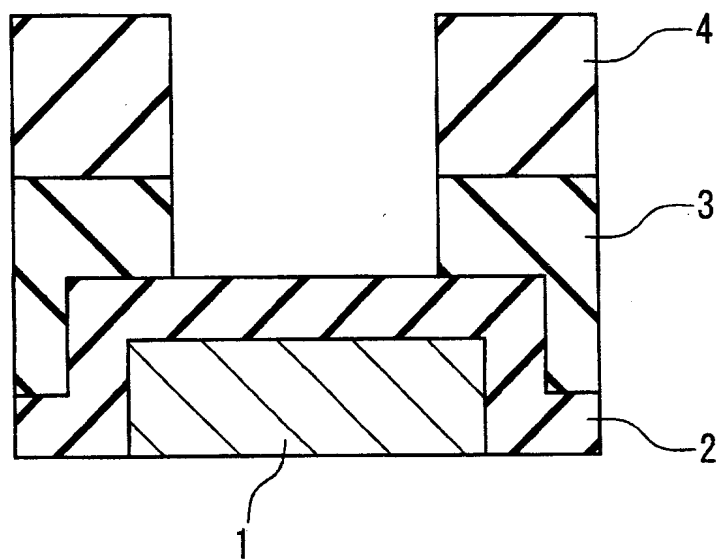


圖 7A

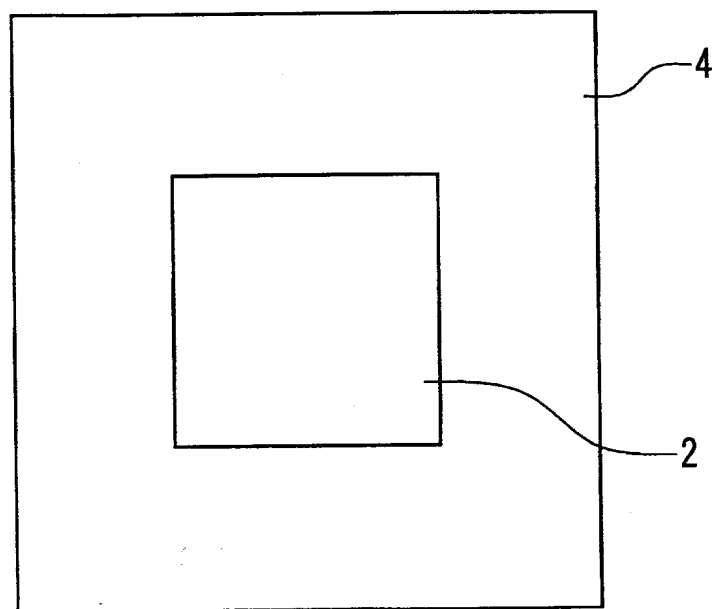


圖 7B

圖式

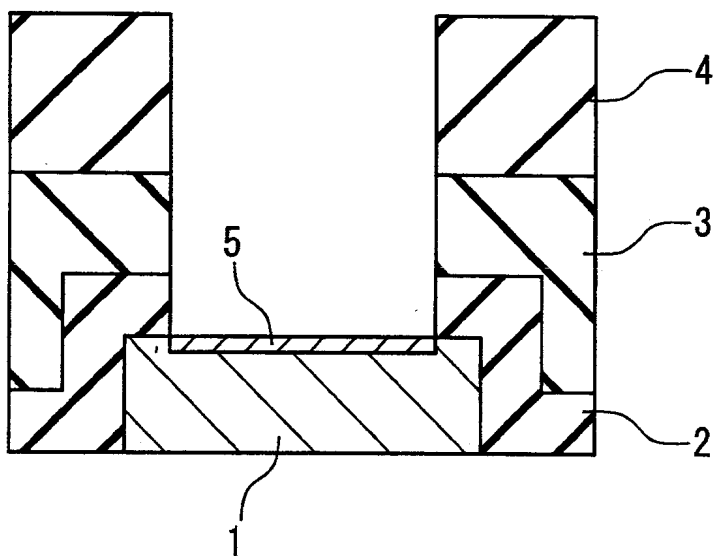


圖 8A

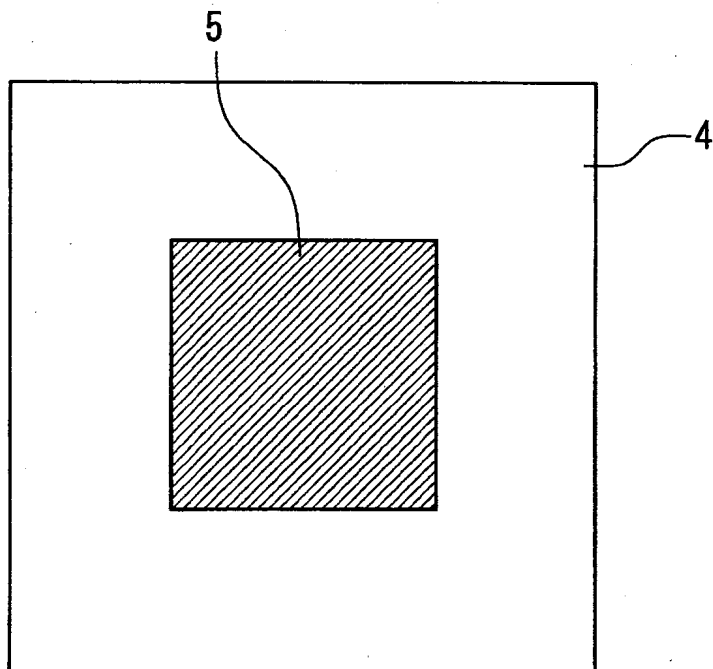


圖 8B

圖式

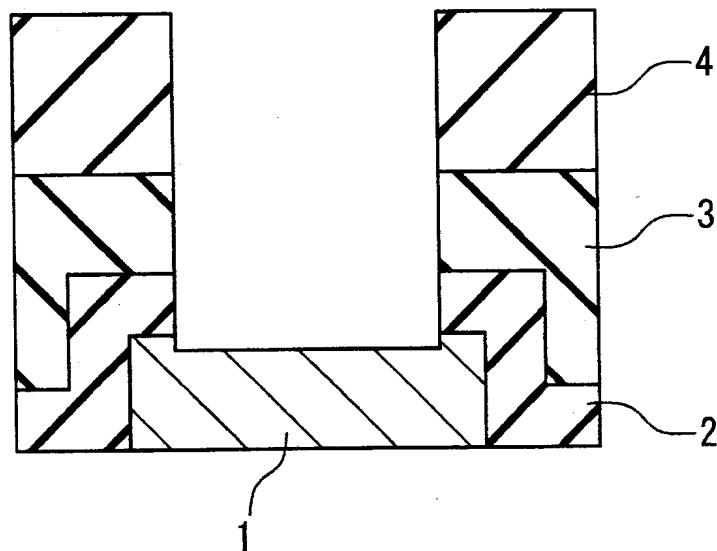


圖 9A

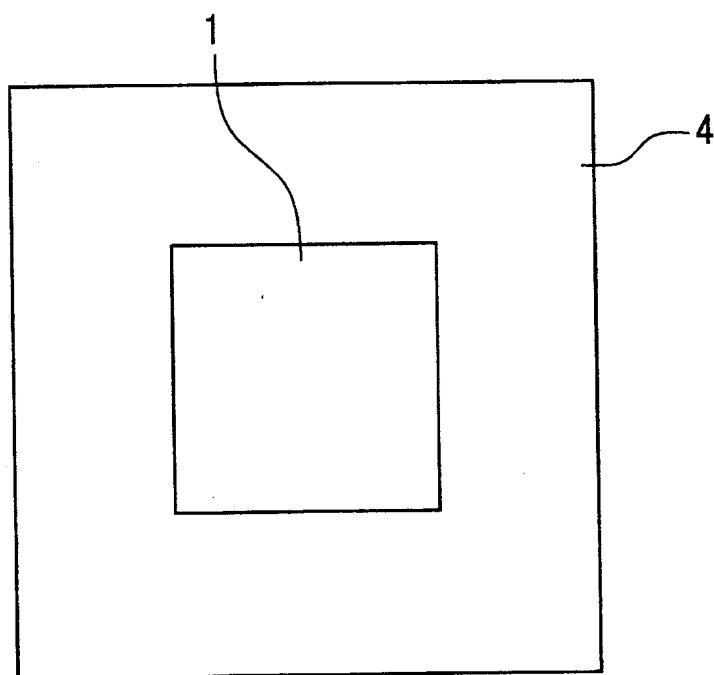


圖 9B

圖式

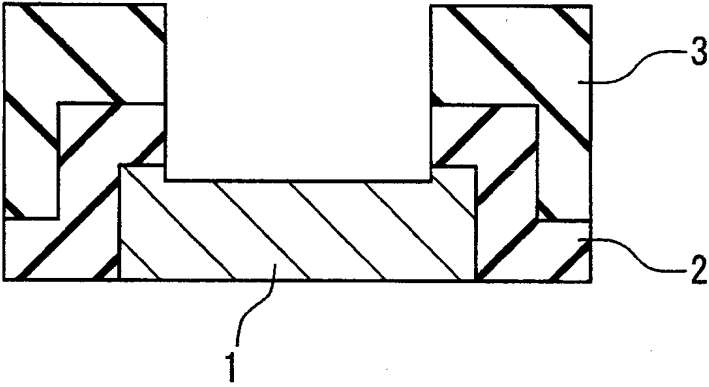


圖 10A

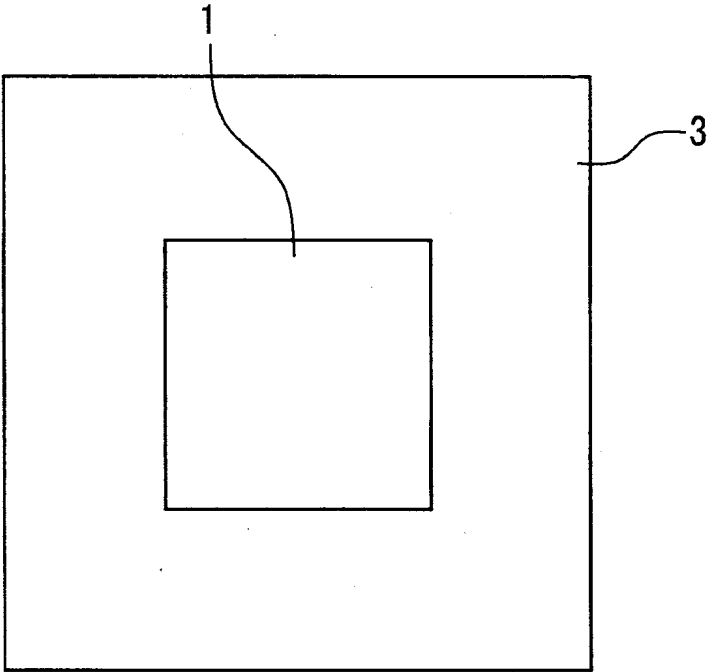


圖 10B

圖式

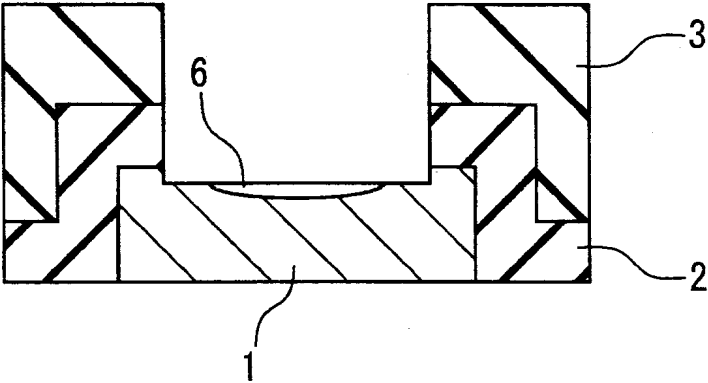


圖 11A

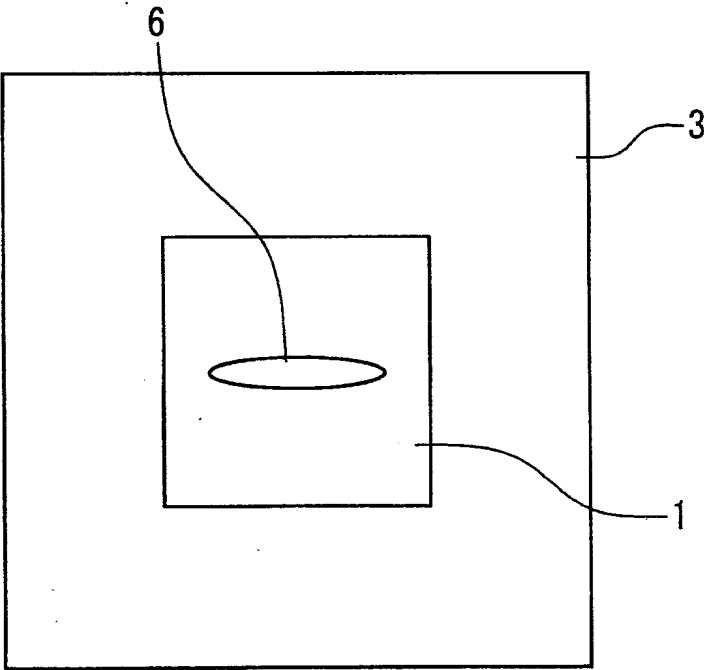
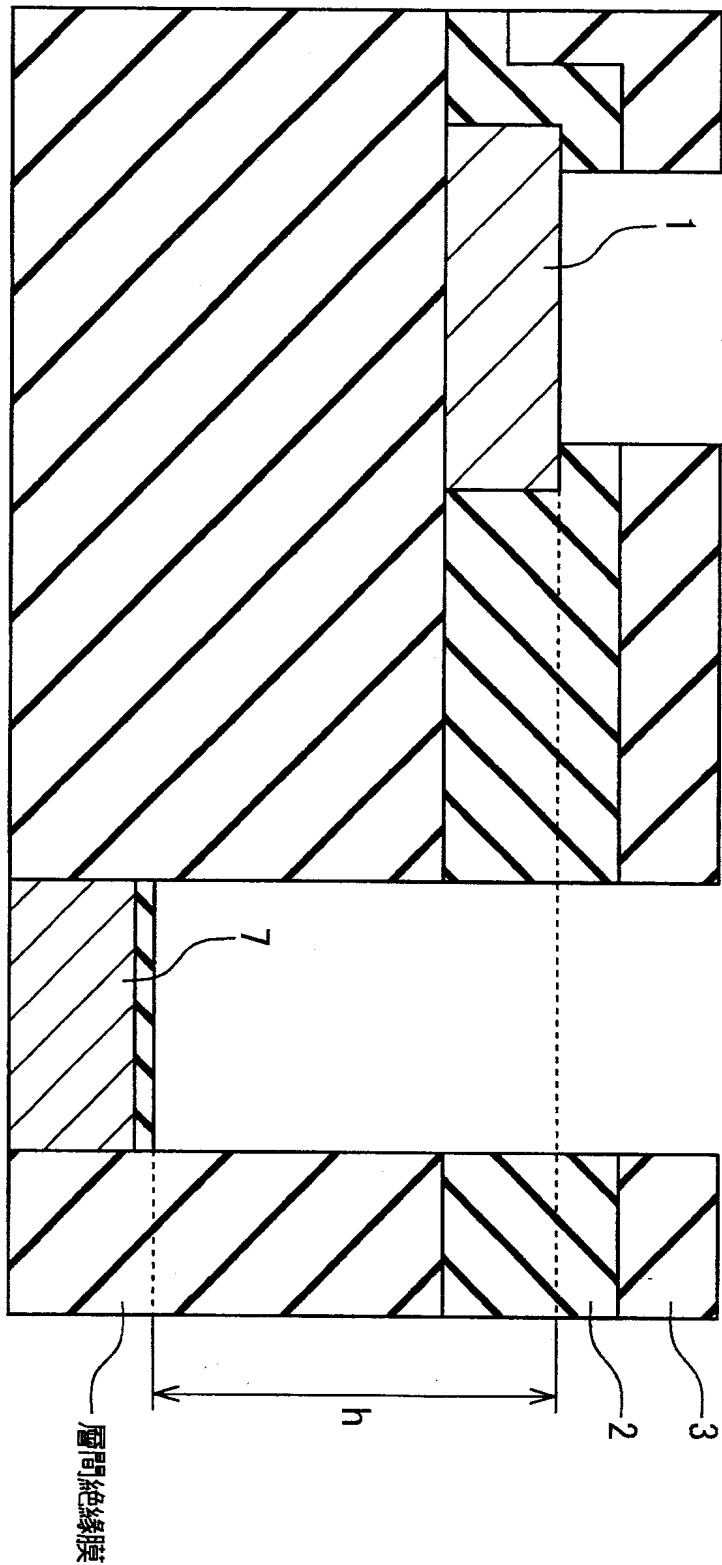


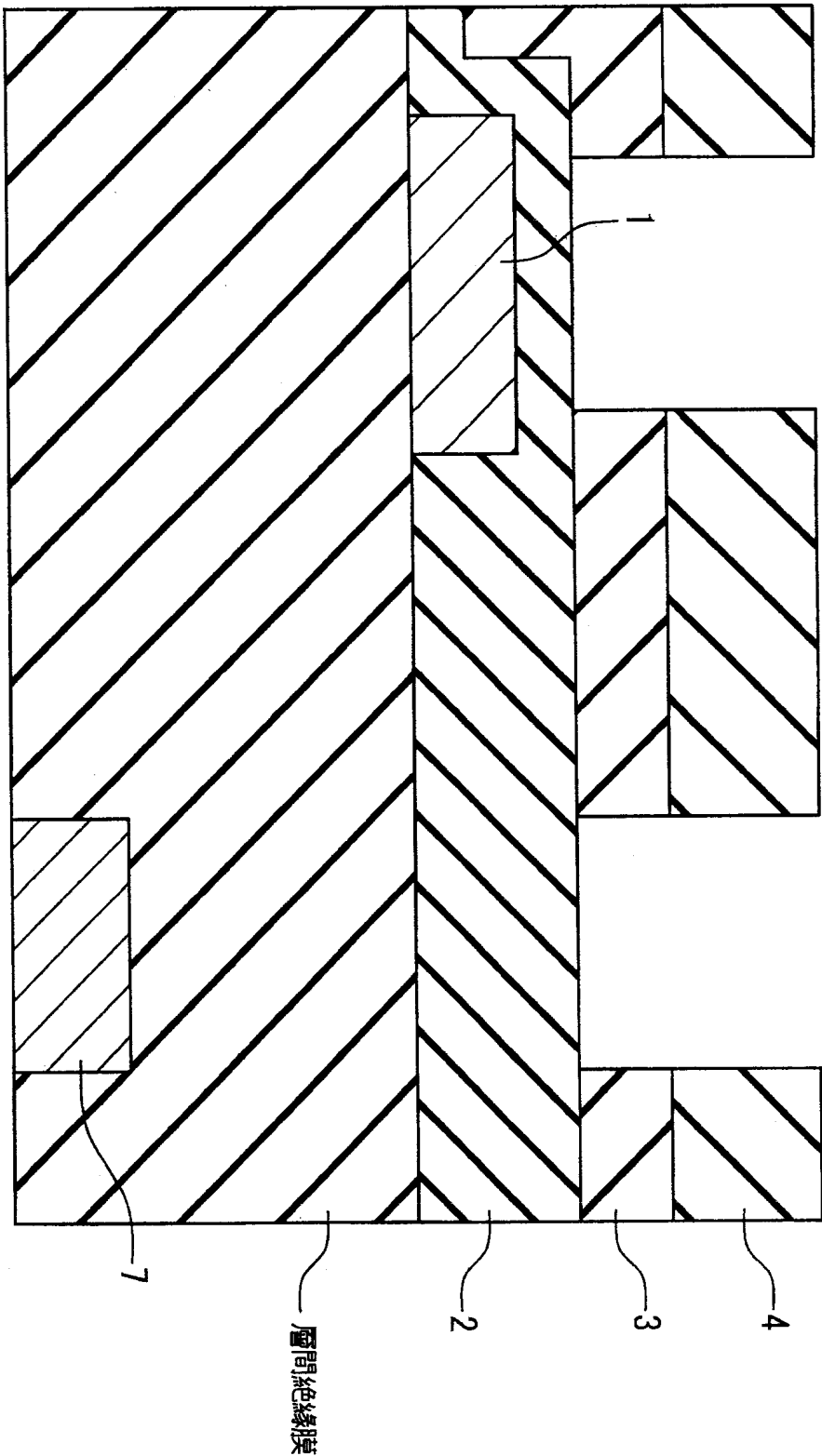
圖 11B

圖 12



圖式

圖 13



the exposing.

四、指定代表圖：

(一)本案指定代表圖為：第 (9A) 圖。

(二)本代表圖之元件符號簡單說明：

1～接墊區

2～覆蓋層

3～聚醯亞胺(絕緣樹脂層)

4～抗蝕劑

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

2009年10月30日修訂

理想。半導體裝置的製程中，於蝕刻覆蓋層後，進行晶圓測試。晶圓測試之際，為調查各晶片的電特性而將針接觸至接墊區。此時，如圖 5A 及圖 5B 所示，接墊區上殘留針痕。當促進 $\text{Al}(\text{OH})_3$ 的產生時，如圖 6A 及圖 6B 所示，針痕之周圍形成因 $\text{Al}(\text{OH})_3$ 形成的變色部。

為抑制 AlF_3 的產生，可考慮於蝕刻覆蓋層後實施水洗處理或烘烤(加熱)處理。但是，實施水洗處理時，因水洗時間而有時鋁在接墊區溶出。又，實施烘烤處理時，因烘烤時間而有時在接墊區上產生氧化鋁膜。

為抑制 $\text{Al}(\text{OH})_3$ 的產生，可考慮在水分少的環境下保管半導體裝置(晶片或晶圓)。為在水分少的環境下保管，包裝半導體裝置的包裝構件可考慮準備特別的構件(例如 Protos®載體及鋁乾燥包裝)等。但是，準備特別的構件成為製造成本增加的原因。

因此，本發明之目的為：提供可抑制接墊區上之沉積物產生的半導體裝置之製造方法。

<解決課題之手段>

依本發明之半導體裝置之製造方法具備：第 1 步驟，形成具有接墊區的配線層群；第 2 步驟，形成絕緣性的覆蓋層，以覆蓋該配線層群；第 3 步驟，以電漿蝕刻去除覆蓋層，以使接墊區露出。接墊區以鋁形成。以電漿蝕刻去除的步驟包含：使用產生碳自由基及氟自由基的 CF 系氣體以使接墊區露出的步驟；及該露出步驟後，使用產生氯自由基或氯離子的 Cl_2 系氣體以去除產生於接墊區之表面的沉積物的步驟。

依本發明，藉由使用 CF 系氣體的電漿蝕刻，可將覆蓋層精度良好地蝕刻。由於使用 CF 系氣體，接墊區露出時，接墊區上產生 AlF_3 為沉積物。所產生的 AlF_3 因著使用 Cl_2 系氣體而被蝕刻。由於以 Cl_2 系氣體去除 AlF_3 ，因此不會產生 $\text{Al}(\text{OH})_3$ ，也不致於妨礙接墊區與外部裝置的電連接。

<發明之效果>

依本發明，能提供可抑制接墊區上之沉積物產生的半導體裝置之製造方法。

【實施方式】

<實施發明之最佳形態>

以下，參照附加圖式，說明依本發明之實施形態的半導體裝置之製造方法。

(第 1 實施形態)

首先，準備半導體晶圓。在半導體晶圓上形成包含配線層群的半導體積體電路。配線層群包含鋁所形成的配線圖案。又，在配線層群之一部分形成接墊區 1。其後，形成絕緣性的覆蓋層 2，以覆蓋配線層群。進而，在覆蓋層 2 上形成聚醯亞胺膜以作為絕緣樹脂層 3。覆蓋層 2 為以矽氧化物系的膜(包含氧原子及矽原子之化合物所構成的膜)形成者。覆蓋層 2 具體而言可舉例如 SiON 膜。然後，為將絕緣樹脂層 3 圖案化，在絕緣樹脂層 3 上形成樹脂製的抗蝕劑 4。以抗蝕劑 4 為遮罩，將接墊區 1 上的絕緣樹脂層 3 圖案化。

圖 7A 顯示去除絕緣樹脂層 3 後之狀態的半導體晶圓之表面部分的剖面圖。又，圖 7B 顯示圖 7A 之狀態的俯視圖。由於絕緣樹脂層 3 被去除，故露出接墊區 1 的覆蓋層 2。

其次，如圖 8A 所示，以絕緣樹脂層 3 及抗蝕劑 4 為遮罩，蝕刻覆蓋層 2。圖 8B 係接墊區 1 部分的俯視圖。由於覆蓋層 2 被蝕刻，故露出接墊區 1。

覆蓋層 2 以電漿蝕刻進行蝕刻。蝕刻氣體使用 CF 系氣體。

CF 系氣體為產生碳自由基及氟自由基的氣體。CF 系氣體具體而言可例示如包含 CF_4 、 CHF_3 及 N_2 氣體的混合氣體。CF 系氣體適合使用於蝕刻矽氧化物系的膜，即覆蓋層 2。來自 CF 系氣體的碳自由基與覆蓋層 2 的氧原子反應。來自 CF 系氣體的氟自由基與覆蓋層 2 的矽原子反應。藉此去除覆蓋層 2。

在此，露出之接墊區 1 暴露於 CF 系氣體。如上述，露出之接

墊區 1 的鋁與來自 CF 系氣體的氟自由基反應，產生 AlF_3 為沉積物 5。

使用 CF 系氣體的電漿蝕刻結束後，為去除沉積物 5，進行使用 Cl_2 系氣體的電漿蝕刻。

Cl_2 系氣體為產生氯自由基或氯離子的氣體。來自 Cl_2 系氣體的氯自由基或氯離子與 AlF_3 反應，產生 AlCl_3 。 AlCl_3 係昇華性高，因昇華而從接墊區 1 表面被去除。藉此，從接墊區 1 上去除沉積物 5。圖 9A 顯示著顯示去除沉積物 5 後之半導體晶圓表面部分的剖面圖，圖 9B 顯示其俯視圖。

Cl_2 系氣體具體而言可例示如選自於由 Cl_2 氣體、 BCl_3 、 SiCl_4 及 CCl_4 構成之集合的至少一種氣體。

接著，如圖 10A 所示，去除抗蝕劑 4。如圖 10B 所示，露出絕緣樹脂層 3。

其後，為檢查半導體積體電路的電特性，進行晶圓測試。晶圓測試時，藉由使探針(針)接觸至接墊區 1，測定半導體積體電路的電特性。圖 11A 係晶圓測試後之半導體晶圓表面部分的剖面圖，圖 11B 係其俯視圖。晶圓測試後，探針(針)痕 6 殘留於接墊區 1 上。此時，由於已從接墊區 1 上去除 AlF_3 (沉積物 5)，因此也不會產生 $\text{Al}(\text{OH})_3$ ，針痕 6 之周圍不致於變色。

然後，將半導體晶圓切割成複數之半導體晶片。複數之各個晶片於接墊區 1 與外部裝置電連接。此時，由於接墊區 1 上不存在 $\text{Al}(\text{OH})_3$ 等之殘留物，因此能可靠度良好地與外部裝置進行連接。

如以上說明，依本實施形態，使用 CF 系氣體蝕刻覆蓋層後，使用 Cl_2 系氣體蝕刻 AlF_3 (沉積物 5)。雖然因 CF 系氣體所進行的蝕刻而產生 AlF_3 ，但由於以 Cl_2 系氣體所進行的蝕刻去除 AlF_3 ，因此接墊區 1 上不會產生 $\text{Al}(\text{OH})_3$ 。藉此，能使外部裝置與各半導體晶片可靠度良好地連接。

又，半導體晶圓有時於晶圓測試結束後長時間進行保管。本實施形態中，由於已從接墊區 1 上去除 AlF_3 ，故抑制 $\text{Al}(\text{OH})_3$ 的

產生。因此，即使保管時歷經長時間，也不須準備特別的包裝構件(例如 Protos®載體及鋁乾燥包裝)等，可降低保管時所需的成本。

又，依本實施形態，由於去除 AlF_3 ，因此無須設置水洗處理或烘烤處理，可縮短製程。

(第 2 實施形態)

接著，說明本發明之第 2 實施形態。圖 12 係顯示依本實施形態之半導體裝置之表面部分的剖面圖。本實施形態中，在配線層群追加有熔線元件 7(下層露出部)。熔線元件 7 設於比接墊區 1 深的位置。亦即，配線層群包含複數層之配線層(下部配線層及上部配線層)，下部配線層設有熔線元件 7，上部配線層設有接墊區 1。下部配線層與上部配線層隔著層間絕緣膜而堆疊。層間絕緣膜使用與覆蓋層 2 相同的材料(例如矽氧化物系的膜)。

與第 1 實施形態同樣地，接墊區 1 上設有開口。藉此，接墊區 1 露出。

又，熔線元件 7 上也留下些微的層間絕緣膜，而設有開口。藉此，熔線元件 7 實質上露出。

以下說明依本實施形態的半導體裝置之製造方法。

首先，在基板(未圖示)上形成具有熔線元件 7 的下部配線層。其後，經由層間絕緣膜，堆疊具有接墊區 1 的上部配線層。然後，與第 1 實施形態同樣地，在上部配線層上依序堆疊覆蓋層 2、聚醯亞胺 3 及抗蝕劑 4。然後，於相當於接墊區 1 及熔線元件 7 之上方的位置，在聚醯亞胺 3 設置開口。在聚醯亞胺 3 設置開口後的狀態顯示於圖 13。

接著，蝕刻覆蓋層 2 及層間絕緣膜，同時形成到達接墊區 1 之開口及到達熔線元件 7 之開口。此時，以使用 CF 系氣體的电漿蝕刻，去除覆蓋層 2 及層間絕緣膜。

在此，接墊區 1 設於上部配線層。另一方面，熔線元件 7 設於下部配線層。比起形成到達接墊區 1 之開口的情形，為形成到達熔線元件 7 之開口，必須進行長時間蝕刻。亦即，熔線元件 7 上恰如圖 12 中以高度 h 所示之量地多進行蝕刻。此時，接墊區 1

露出以後也長時間暴露於 CF 系氣體。

使用 CF 系氣體的電漿蝕刻結束後，與第 1 實施形態同樣地，使用 Cl_2 系氣體，蝕刻接墊區 1 上的沉積物 5。其後的處理也與第 1 實施形態相同。

接墊區 1 在露出之狀態下暴露於 CF 系氣體的時間越長， AlF_3 越容易產生。亦即，如本實施形態，使得設在下部配線層的下層露出部及設在上部配線層的接墊區 1 同時露出時，接墊區 1 上容易產生沉積物 5。

但是，本實施形態中，以 Cl_2 系氣體去除接墊區 1 上的沉積物 5。亦即，依本實施形態，於同時露出下層露出部及接墊區 1 時，也可使接墊區 1 上保持在潔淨的狀態。藉此，可提高接墊區 1 的電性可靠度。又，可防止接墊區 1 的變色。

【圖式簡單說明】

圖 1 係顯示半導體晶圓的俯視圖。

圖 2 係顯示半導體晶片之表面部分的剖面圖。

圖 3A 係顯示半導體裝置之製程的程序剖面圖。

圖 3B 係顯示半導體裝置之製程的俯視圖。

圖 4A 係顯示半導體裝置之製程的程序剖面圖。

圖 4B 係顯示半導體裝置之製程的俯視圖。

圖 5A 係顯示半導體裝置之製程的程序剖面圖。

圖 5B 係顯示半導體裝置之製程的俯視圖。

圖 6A 係顯示半導體裝置之製程的程序剖面圖。

圖 6B 係顯示半導體裝置之製程的俯視圖。

圖 7A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 7B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 8A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 8B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 9A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 9B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 10A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 10B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 11A 係顯示依第 1 實施形態的半導體裝置之製程的程序剖面圖。

圖 11B 係顯示依第 1 實施形態的半導體裝置之製程的俯視圖。

圖 12 係顯示依第 2 實施形態之半導體裝置的剖面圖。

圖 13 係顯示依第 2 實施形態的半導體裝置之製程的剖面圖。

【主要元件符號說明】

1～接墊區

2～覆蓋層

3～聚醯亞胺(絕緣樹脂層)

4～抗蝕劑

5～沉積物

6～針痕(晶圓測試針痕)

7～熔線元件(下層露出部)

h～顯示熔線元件上多進行蝕刻之量的高度