



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

*G02F 1/136* (2006.01)

(45) 공고일자

2006년12월05일

(11) 등록번호

10-0653758

(24) 등록일자

2006년11월28일

(21) 출원번호 10-2000-0038536  
 (22) 출원일자 2000년07월06일  
 심사청구일자 2005년06월17일

(65) 공개번호 10-2001-0029895  
 (43) 공개일자 2001년04월16일

(30) 우선권주장 11-191102 1999년07월06일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
 일본국 가나가와肯 아쓰기시 하세 398

(72) 발명자 히라카타요시하루  
 일본국가나가와켄아쓰기시하세398반치가부시키가이샤한도오따이에네  
 루기켄큐쇼내

고토유고  
 일본국가나가와켄아쓰기시하세398반치가부시키가이샤한도오따이에네  
 루기켄큐쇼내

고바야시유코  
 일본국가나가와켄아쓰기시하세398반치가부시키가이샤한도오따이에네  
 루기켄큐쇼내

야마자키순페이  
 일본국가나가와켄아쓰기시하세398반치가부시키가이샤한도오따이에네  
 루기켄큐쇼내

(74) 대리인 황의만

심사관 : 박남현

전체 청구항 수 : 총 48 항

**(54) 반도체장치 및 그의 제작방법**

**(57) 요약**

입자상 스페이서를 사용함이 없이, 사용되는 액정의 특성과 구동방법에 따라 자유 범위내에서 설계되는 정밀도 높은 두께를 가진 고품질의 액정 패널 및 그의 제작방법이 제공된다. 기판 간격을 일정하게 유지시키기 위한 스페이서의 형상은 기둥 형상으로서, 곡률 반경(R)을  $2 \mu\text{m}$  이하, 높이(H)를  $0.5 \sim 10 \mu\text{m}$ , 직경을  $20 \mu\text{m}$  이하, 각도(a)를  $65^\circ \sim 115^\circ$ 로 한다. 이렇게 함으로써, 개구율의 저하를 방지하고 배향 흐트러짐으로 인한 광 누설을 감소시킬 수 있다.

대표도

도 1

## 특허청구의 범위

### 청구항 1.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지(edge)를 각각 가지는 다수의 기둥형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경(R)이  $2 \mu\text{m}$  이하인 것을 특징으로 하는 반도체 장치.

### 청구항 2.

제 1 항에 있어서, 상기 기둥형 스페이서들 각각의 높이(H)가  $0.5 \mu\text{m} \sim 10 \mu\text{m}$ 인 것을 특징으로 하는 반도체장치.

### 청구항 3.

제 1 항에 있어서, 상기 기둥형 스페이서들 각각의 높이(H)가  $1.2 \mu\text{m} \sim 5 \mu\text{m}$ 인 것을 특징으로 하는 반도체장치.

### 청구항 4.

제 1 항에 있어서, 상기 기둥형 스페이서들 각각의 폭(L1)이  $20 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치.

### 청구항 5.

제 1 항에 있어서, 상기 기둥형 스페이서들 각각의 폭(L1)이  $7 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치.

### 청구항 6.

제 1 항에 있어서, 상기 기둥형 스페이서들 각각의 측면 중앙에서의 접평면과 기판 표면이 이루는 각도(a)가  $65^\circ \sim 115^\circ$ 인 것을 특징으로 하는 반도체장치.

### 청구항 7.

제 1 항에 있어서, 상기 기둥형 스페이서들 각각이 상기 상면에 평탄면을 가지는 것을 특징으로 하는 반도체장치.

### 청구항 8.

제 1 항에 있어서, 상기 기동형 스페이서들 각각의 직경방향에서의 단면 형상이, 원형, 타원형, 삼각형, 사각형, 및 상기 사각형보다 많은 변을 가지는 다각형으로 이루어진 군에서 선택된 어느 한가지 형상인 것을 특징으로 하는 반도체장치.

### 청구항 9.

제 1 항에 있어서, 상기 기동형 스페이서들 각각이 절연성 재료로 된 것을 특징으로 하는 반도체장치.

### 청구항 10.

제 1 항에 있어서, 상기 기동형 스페이서들 각각이, 박막트랜지스터와 화소 전극이 서로 접속되는 콘택트부 위에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 11.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역에만 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 12.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과, 구동회로에서 소자가 존재하지 않는 영역 위에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 13.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과 화소부에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 14.

제 1 항에 있어서, 상기 기동형 스페이서들이 구동회로에서 소자가 존재하지 않는 영역 위와, 화소부에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 15.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과, 구동회로와 화소부 사이의 영역에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 16.

제 1 항에 있어서, 상기 기동형 스페이서들이 구동회로와 화소부 사이의 영역과, 상기 화소부에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 17.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과, 구동회로에서 소자가 존재하지 않는 영역 위와, 화소부에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 18.

제 1 항에 있어서, 상기 기동형 스페이서들이 구동회로에서 소자가 존재하지 않는 영역 위와, 상기 구동회로와 화소부 사이의 영역에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 19.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과, 구동회로에서 소자가 존재하지 않는 영역 위와, 상기 구동회로와 화소부 사이의 영역, 및 상기 화소부에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 20.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과 화소부 사이의 영역에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 21.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과 구동회로 사이의 영역에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 22.

제 1 항에 있어서, 상기 기동형 스페이서들이 밀봉 영역과 상기 기판의 단부 사이의 영역에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 23.

제 1 항에 있어서, 상기 기동형 스페이서들이 상기 기판의 모든 영역에 형성되어 있는 것을 특징으로 하는 반도체장치.

### 청구항 24.

제 1 항에 있어서, 상기 기동형 스페이서들이 배향막상에 형성되어 있고, 액정의 프리틸트(pretilt)각이  $4^{\circ} \sim 5^{\circ}$ 인 것을 특징으로 하는 반도체장치.

### 청구항 25.

제 1 항에 있어서, 상기 기동형 스페이서들이 배향막으로 덮여 있고, 액정의 프리틸트각이  $6^{\circ} \sim 10^{\circ}$ 인 것을 특징으로 하는 반도체장치.

## 청구항 26.

기판 위에 박막트랜지스터를 형성하는 공정;

상기 박막트랜지스터를 덮도록 평탄화 막을 형성하는 공정;

상기 평탄화 막에 상기 박막트랜지스터에 이르는 개구부를 형성하고, 화소 전극을 형성하는 공정;

상기 화소 전극상에 배향막을 형성하는 공정;

상기 배향막에 러빙 처리를 행하는 공정; 및

상기 배향막을 형성한 후에 상기 박막트랜지스터와 상기 화소 전극이 접속되는 콘택트부 위에, 절연막으로 된 기동형 스페이서를 형성하는 공정을 포함하고;

상기 기동형 스페이서는 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지고 있고, 상기 엣지의 곡률 반경 ( $R$ )이  $2 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치 제작방법.

## 청구항 27.

기판 위에 박막트랜지스터를 형성하는 공정;

상기 박막트랜지스터를 덮도록 평탄화 막을 형성하는 공정;

상기 평탄화 막에 상기 박막트랜지스터에 이르는 개구부를 형성하고, 화소 전극을 형성하는 공정;

상기 박막트랜지스터와 상기 화소 전극이 접속되는 콘택트부 위에, 절연막으로 된 기동형 스페이서를 형성하는 공정;

상기 화소 전극과 상기 기동형 스페이서를 덮도록 배향막을 형성하는 공정; 및

상기 배향막에 러빙 처리를 행하는 공정을 포함하고;

상기 기동형 스페이서는 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지고 있고, 상기 엣지의 곡률 반경 ( $R$ )이  $2 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치 제작방법.

## 청구항 28.

제 26 항 또는 제 27 항에 있어서, 절연막으로 된 기동형 스페이서를 형성하는 상기 공정이, 상기 절연막을 형성하는 공정과, 상기 기동형 스페이서가 형성되도록 상기 절연막을 패터닝하는 공정을 포함하는 것을 특징으로 하는 반도체장치 제작방법.

## 청구항 29.

제 26 항 또는 제 27 항에 있어서, 상기 반도체장치가 액티브 매트릭스형 액정 표시장치인 것을 특징으로 하는 반도체장치 제작방법.

## 청구항 30.

제 26 항 또는 제 27 항에 있어서, 상기 반도체장치가, 비디오 카메라, 디지털 카메라, 프로젝터, 고글형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 및 휴대형 정보 단말기로 이루어진 군에서 선택된 적어도 하나인 것을 특징으로 하는 반도체장치 제작방법.

### 청구항 31.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지는 기등형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경이  $2 \mu\text{m}$  이하이고, 상기 기등형 스페이서의 높이가  $10 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치.

### 청구항 32.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지는 기등형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경이  $2 \mu\text{m}$  이하이고, 상기 기등형 스페이서의 폭이  $20 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치.

### 청구항 33.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지는 기등형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경이  $2 \mu\text{m}$  이하이고, 상기 기등형 스페이서의 측면 중앙에서의 접평면과 기판 표면이 이루는 각도가  $65^\circ \sim 115^\circ$ 인 것을 특징으로 하는 반도체장치.

### 청구항 34.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지는 기등형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경이  $2 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 높이가  $10 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 폭이  $20 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치.

### 청구항 35.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지는 기동형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경이  $2 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 높이가  $10 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 측면 중앙에서의 접평면과 기판 표면이 이루는 각도가  $65^\circ \sim 115^\circ$ 인 것을 특징으로 하는 반도체장치.

### 청구항 36.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지는 기동형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경이  $2 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 폭이  $20 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 측면 중앙에서의 접평면과 기판 표면이 이루는 각도가  $65^\circ \sim 115^\circ$ 인 것을 특징으로 하는 반도체장치.

### 청구항 37.

제1 기판;

제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 배치되고, 적어도 상면, 측면, 및 상기 상면과 상기 측면 사이의 엣지를 가지는 기동형 스페이서를 포함하고;

상기 상면이 상기 제2 기판의 표면으로 향하여 있고, 상기 엣지의 곡률 반경이  $2 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 높이가  $10 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 폭이  $20 \mu\text{m}$  이하이고, 상기 기동형 스페이서의 측면 중앙에서의 접평면과 기판 표면이 이루는 각도가  $65^\circ \sim 115^\circ$ 인 것을 특징으로 하는 반도체장치.

### 청구항 38.

제1 기판 위의 박막트랜지스터;

상기 박막트랜지스터에 전기적으로 접속된 화소 전극;

상기 제1 기판 위에 배치되고, 적어도 제2 기판의 표면으로 향하는 상면, 측면, 및 상기 상면과 상기 측면 사이의 옆지를 가지는 기둥형 스페이서; 및

상기 제2 기판 위에 제공된 차광막을 포함하고;

상기 기둥형 스페이서가 상기 차광막 아래에 위치되어 있고, 상기 옆지의 곡률 반경(R)이  $2 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치.

### 청구항 39.

제1 기판 위의 박막트랜지스터;

콘택트 홀에서 상기 박막트랜지스터에 전기적으로 접속된 화소 전극;

상기 콘택트 홀상에 배치되고, 적어도 제2 기판의 표면으로 향하는 상면, 측면, 및 상기 상면과 상기 측면 사이의 옆지를 가지는 기둥형 스페이서; 및

상기 제2 기판 위에 제공된 차광막을 포함하고;

상기 기둥형 스페이서가 상기 차광막 아래에 위치되어 있고, 상기 옆지의 곡률 반경(R)이  $2 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치.

### 청구항 40.

제1 기판 위의 박막트랜지스터;

상기 박막트랜지스터에 전기적으로 접속된 화소 전극;

상기 제1 기판 위에 배치되고, 적어도 제2 기판의 표면으로 향하는 상면, 측면, 및 상기 상면과 상기 측면 사이에 위치되고  $2 \mu\text{m}$  이하의 곡률 반경(R)을 가진 옆지를 가지는 기둥형 스페이서; 및

상기 제2 기판 위에 제공된 차광막을 포함하고;

상기 기둥형 스페이서가 상기 차광막과 겹쳐 있는 것을 특징으로 하는 반도체장치.

### 청구항 41.

제1 기판 위의 박막트랜지스터;

콘택트 홀에서 상기 박막트랜지스터에 전기적으로 접속된 화소 전극;

상기 콘택트 홀상에 배치되고, 적어도 제2 기판의 표면으로 향하는 상면, 측면, 및 상기 상면과 상기 측면 사이에 위치되고  $2 \mu\text{m}$  이하의 곡률 반경(R)을 가진 옆지를 가지는 기둥형 스페이서; 및

상기 제2 기판 위에 제공된 차광막을 포함하고;

상기 기둥형 스페이서가 상기 차광막과 겹쳐 있는 것을 특징으로 하는 반도체장치.

#### 청구항 42.

제 31 항 내지 제 41 항 중 어느 한 항에 있어서, 상기 기둥형 스페이서를 덮는 배향막을 더 포함하는 것을 특징으로 하는 반도체장치.

#### 청구항 43.

제 31 항 내지 제 41 항 중 어느 한 항에 있어서, 상기 기둥형 스페이서 아래에 배향막을 더 포함하는 것을 특징으로 하는 반도체장치.

#### 청구항 44.

제 31 항 내지 제 41 항 중 어느 한 항에 있어서, 상기 기둥형 스페이서가 상기 상면에 평탄면을 가지는 것을 특징으로 하는 반도체장치.

#### 청구항 45.

제 31 항 내지 제 41 항 중 어느 한 항에 있어서, 상기 기둥형 스페이서가 절연성 재료로 된 것을 특징으로 하는 반도체장치.

#### 청구항 46.

제 1 항, 제 31 항 내지 제 41 항 중 어느 한 항에 있어서, 상기 반도체장치가 액티브 매트릭스형 액정 표시장치인 것을 특징으로 하는 반도체장치.

#### 청구항 47.

제 1 항, 제 31 항 내지 제 41 항 중 어느 한 항에 있어서, 상기 반도체장치가 EL 표시장치인 것을 특징으로 하는 반도체장치.

#### 청구항 48.

제 1 항, 제 31 항 내지 제 41 항 중 어느 한 항에 있어서, 상기 반도체장치가, 비디오 카메라, 디지털 카메라, 프로젝터, 고글형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 및 휴대형 정보 단말기로 이루어진 군에서 선택된 적어도 하나인 것을 특징으로 하는 반도체장치.

명세서

#### 발명의 상세한 설명

##### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터(이하, TFT라 함)로 구성된 회로를 포함하는 반도체장치 및 그의 제작방법에 관한 것이다. 예를 들어, 본 발명은 액정 표시 패널로 대표되는 전기광학 장치 및 그러한 전기광학 장치를 부품으로 구비한 전자 장치(전자 기기)에 관한 것이다.

본 명세서에서, "반도체장치"란 반도체 특성을 이용하여 기능할 수 있는 장치 전반을 가리키고, 전기광학 장치, 반도체 회로 및 전자 장치는 모두 반도체장치이다.

최근, 절연 표면을 가진 기판상에 형성된 반도체 박막(두께: 수 nm 내지 수 백 nm 정도)을 사용하여 박막트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막트랜지스터는 IC 또는 전기광학 장치와 같은 전자 장치에 널리 응용되고, 특히 화상 표시장치의 스위칭 소자로서 개발이 촉진되고 있다.

상기 전기광학 장치의 대표적인 예로서는, 액정 표시장치, EL(전계 발광) 표시장치 또는 밀착형 이미지 센서를 들 수 있다.

일반적으로, 액정 표시장치는, 일정한 기판 간격을 가지고 서로 대향하는 한 쌍의 기판, 그 일정한 기판 간격을 유지하기 위한 입자상(粒子狀) 스페이서, 및 상기 기판들 사이에 봉입(封入)된 액정 재료를 포함한다.

액정 표시장치의 기판 간격은 통상 1~20  $\mu\text{m}$ 로 설정되고, 이것은  $\pm 0.1 \mu\text{m}$  정도의 정밀도로 균일하게 제어되어야 한다. 이것은, 기판 간격에 변동이 일어나면, 불균일한 색 또는 간섭 줄무늬의 발생과 같은 표시 품질의 열화(劣化)가 야기될뿐만 아니라, 기판 간격이 외력(外力)에 의해 좁아질 때 전극들이 접촉하여 회로 손상 또는 표시 불능과 같은 불량이 야기되기 때문이다. 이와 같이, 스페이서는 액정 표시소자의 성능을 유지하기 위한 중요한 부재이다.

이하, 종래의 액정 표시장치(TFT-LCD) 제작방법을 간단히 설명한다.

먼저, 한 쌍의 기판을 준비하고, 한 쌍의 기판 중 한쪽 기판상에는 TFT 소자와 화소 전극을 매트릭스 형태로 형성하고, 다른쪽 기판상에는 전극, 컬러 필터 등을 형성한다. 그 다음, 한 쌍의 기판 각각에 배향막을 형성한 후, 러빙 처리를 행한다.

그 다음, 어느 한쪽 기판의 배향막상에 입자상 스페이서를 균일하게 산포(散布)한 다음, 한쪽 기판을 다른쪽 기판과 조합시키고, 이들 기판의 주변부를 밀봉(시일)용 접착제로 밀봉하여, 액정 셀을 형성한다. 그 다음, 이 액정 셀에 진공 주입법에 의해 액정 재료를 충전한 후, 주입구를 봉지(封止)한다.

이상의 공정 흐름이 TFT-LCD의 일반적인 제작공정이다.

상기 종래의 공정에서는, 입자상 스페이서를 균일하게 산포하는 것이 어렵고, 스페이서의 응집에 의해 투과율이 저하되고 스페이서 바로 아래의 소자가 파손되어 누설 또는 단락(短絡)을 발생시키는 문제가 있었다.

또한, 진공 주입법에 의해 액정 재료를 주입하는 공정에서, 기판의 중앙부가 주입시의 가압에 의해 양 표면에서 오목한 형상으로 되고, 주변부에서는 종래의 입자상 스페이서가 충분한 압축 강도를 가지지 않고 파손되거나, 또는 스페이서가 이동되고, 그 이동 흔적으로 인해 배향 불량이 야기되었다.

일반적으로 사용되는 종래의 입자상 스페이서(유리 비드(bead), 플라스틱 비드 등)가 사용된 경우, 입자상 스페이서를 한쪽 기판상에 산포하는 방법이 채택된다. 따라서, 화소 전극상에 스페이서가 배치되어, 입사광을 차단하거나 또는 액정 분자의 배향을 혼란시킨다. 그 결과, 투과 광량 또는 발색(coloring)을 조절하는 것이 어렵다. 또한, 입자상 스페이서는 정전기가 대전(帶電)되기 쉽기 때문에, 스페이서가 용이하게 응집되고 균일하게 분포되기 어렵게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 입자상 스페이서를 사용하지 않고, 사용되는 액정의 특성 및 구동방법에 따라 자유 범위 내에서 설계된 정밀도 높은 두께를 가진 고품질의 액정 패널 및 그의 제작방법을 제공하는데 있다.

### 발명의 구성

본 발명의 일 실시형태에 따르면, 제1 기판, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 배치되고, 상기 제1 기판과 상기 제2 기판 사이의 간격을 유지하는 다수의 기둥형 스페이서를 포함하는 것을 특징으로 하는 반도체장치가 제공된다.

또한, 본 발명의 다른 실시형태에 따르면, 제1 기판, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 배치되는 다수의 기둥형 스페이서를 포함하고, 상기 상기 기둥형 스페이서들 각각의 곡률 반경(R)이  $2 \mu\text{m}$  이하, 바람직하게는  $1 \mu\text{m}$  이하인 것을 특징으로 하는 반도체장치가 제공된다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서들 각각의 높이(H)가  $0.5 \mu\text{m} \sim 10 \mu\text{m}$ , 바람직하게는  $1.2 \mu\text{m} \sim 5 \mu\text{m}$ 이다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서들 각각의 폭(L1)이  $20 \mu\text{m}$  이하, 바람직하게는  $7 \mu\text{m}$  이하이다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서들 각각의 측면 중앙에서의 접평면과 기판 표면 사이의 각도(a)가  $65^\circ \sim 115^\circ$ 이다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서들 각각이 그 상부에 평탄면을 가진다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서들 각각의 직경방향에서의 단면 형상이 원형, 타원형, 삼각형, 사각형, 또는 그 사각형보다 많은 변을 가지는 다각형이다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서들 각각이 절연성 재료로 되어 있다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서들 각각이 TFT와 화소 전극이 서로 접속되는 콘택트부 위에 형성된다.

또한, 상기 기둥형 스페이서들은 밀봉 영역 위에만 형성되거나, 또는 밀봉 영역과, 구동회로에서 소자가 존재하지 않는 영역에 형성될 수 있다. 또한, 상기 기둥형 스페이서들은 밀봉 영역과 화소부에 형성되거나, 또는 구동회로에서 소자가 존재하지 않는 영역과 화소부에 형성될 수 있다. 또한, 상기 기둥형 스페이서들은 밀봉 영역과, 구동회로와 화소부 사이의 영역에 형성되거나, 또는 구동회로와 화소부 사이의 영역과, 화소부에 형성될 수 있다.

또한, 상기 기둥형 스페이서들은 밀봉 영역과, 구동회로에서 소자가 존재하지 않는 영역 위와, 화소 영역에 형성되거나, 또는 구동회로에서 소자가 존재하지 않는 영역 위와, 구동회로와 화소부 사이의 영역에 형성될 수 있다. 또한, 상기 기둥형 스페이서들은 밀봉 영역과, 구동회로에서 소자가 존재하지 않는 영역 위와, 구동회로와 화소부 사이의 영역, 및 화소부에 형성되거나, 또는 밀봉 영역과 화소부 사이의 영역에 형성될 수 있다. 또한, 상기 기둥형 스페이서들은 밀봉 영역과 구동회로 사이의 영역에 형성되거나, 또는 밀봉 영역과 기판 단부 사이의 영역에 형성될 수 있다. 또한, 상기 기둥형 스페이서들은 기판의 모든 영역에 형성될 수 있다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서가 배향막과 접촉하도록 형성되는 경우, 액정의 프리틸트(pretilt)각이  $4^\circ \sim 5^\circ$ 이다.

또한, 상기 구성 각각에서, 상기 기둥형 스페이서가 배향막으로 덮이는 경우, 액정의 프리틸트각이  $6^\circ \sim 10^\circ$ 이다.

또한, 본 발명의 또 다른 실시형태에 따르면, 제1 기판, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 배치되는 다수의 기둥형 스페이서를 구비한 표시장치와, 광학식 검출 소자를 구비한 터치 패널(touch panel)을 포함하는 것을 특징으로 하는 반도체장치가 제공된다.

또한, 본 발명의 또 다른 실시형태에 따르면, 제1 기판, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 배치되는 다수의 기둥형 스페이서를 구비한 표시장치와, 압력 감응식 검출 소자를 구비한 터치 패널을 포함하는 것을 특징으로 하는 반도체장치가 제공된다.

또한, 본 발명의 또 다른 실시형태에 따르면, 제1 기판, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 배치되는 다수의 기둥형 스페이서를 구비한 표시장치와, 정전용량식 검출 소자를 구비한 터치 패널을 포함하는 것을 특징으로 하는 반도체장치가 제공된다.

또한, 본 발명의 또 다른 실시형태에 따르면, 기판상에 TFT를 형성하는 제1 공정, 상기 TFT를 덮도록 평탄화 막을 형성하는 제2 공정, 상기 평탄화 막에 상기 TFT에 이르는 개구부를 형성하고 화소 전극을 형성하는 제3 공정, 상기 화소 전극상에 배향막을 형성하는 제4 공정, 상기 배향막에 러빙 처리를 행하는 제5 공정, 및, 상기 TFT와 상기 화소 전극이 접속되는 콘택트부 위에 절연막으로 된 기둥형 스페이서를 형성하는 제6 공정을 포함하는 것을 특징으로 하는 반도체장치 제작방법이 제공된다.

또한, 본 발명의 또 다른 실시형태에 따르면, 기판상에 TFT를 형성하는 제1 공정, 상기 TFT를 덮도록 평탄화 막을 형성하는 제2 공정, 상기 평탄화 막에 상기 TFT에 이르는 개구부를 형성하고 화소 전극을 형성하는 제3 공정, 상기 TFT와 상기 화소 전극이 접속되는 콘택트부 위에 절연막으로 된 기둥형 스페이서를 형성하는 제4 공정, 상기 화소 전극과 상기 기둥형 스페이서를 덮도록 배향막을 형성하는 제5 공정, 및 상기 배향막에 러빙 처리를 행하는 제6 공정을 포함하는 것을 특징으로 하는 반도체장치 제작방법이 제공된다.

상기 구성에서, 절연막으로 된 기둥형 스페이서를 형성하는 상기 공정은, 상기 절연막을 형성하는 공정과, 상기 기둥형 스페이서가 형성되도록 상기 절연막을 패터닝하는 공정을 포함한다.

이하, 본 발명의 실시형태를 도 1~도 4를 참조하여 설명한다.

본 발명에서, 기둥형 스페이서는 제1 기판과 제2 기판 사이의 간격을 일정하게 유지하기 위해 사용된다. 본 발명의 기둥형 스페이서의 형상은 아래에서 설명되는 조건을 만족하는 것이 바람직하다.

도 1(B)에 도시된 바와 같이, 기둥형 스페이서에서, 중앙부의 폭(직경)을 L1, 상단부의 폭(직경)을 L3, 하단부의 폭(직경)을 L2라고 가정한다. 도 3(A)~도 3(E)에 나타낸 공정(배향막(301)상에 기둥형 스페이서(303)를 형성하는 경우)에서는, 기둥형 스페이서 자체의 폭의 값을 폭 L1~L3로 하지만, 도 14(A)~도 14(E)에 도시된 공정(기둥형 스페이서(1102)상에 배향막(1103)을 형성하는 경우)에서는, 기둥형 스페이서 자체에 배향막의 두께를 부가한 값을 폭 L1~L3로 한다. 또한, 폭 L2는 기둥형 스페이서를 형성하기 전의 평면으로부터  $0.2 \mu\text{m}$  이상의 두께를 가진 기둥형 스페이서 재료가 존재하는 영역의 폭이다. 기둥형 스페이서의 중앙의 폭 L1은 스페이서로서 만족스럽게 기능하는 것이 필요하고, 그 폭은  $20 \mu\text{m}$  이하, 바람직하게는  $10 \mu\text{m}$  이하, 더 바람직하게는  $7 \mu\text{m}$  이하인 것이 바람직하다.

또한, 본 명세서에서, 하단부는 제1 기판측의 기둥형 스페이서 단부를 가리키고, 상단부는 기둥형 스페이서의 상부를 가리킨다. 본 발명의 기둥형 스페이서의 상부는 평탄면을 가지고 있기 때문에, 외력(外力)이 가해질 때 기둥형 스페이서에 균일한 압력이 가해지게 된다. 수지 재료로 된 스페이서가 우수한 탄력성을 가지기 때문에, 압력을 적절히 흡수할 수 있다. 입자상 스페이서와는 달리, 본 발명의 기둥형 스페이서는 면에서 소자와 접촉하기 때문에, 압력이 분산되고, 과도한 압력이 한 지점에 가해지는 일이 일어나지 않는다. 본 발명은, 기둥형 스페이서의 상단부의 곡률 반경(R)을  $2 \mu\text{m}$  이하, 바람직하게는  $1 \mu\text{m}$  이하로 하여, 기둥형 스페이서에 균일한 압력이 가해지도록 한다.

본 발명에서, 기둥형 스페이서의 각 부위의 폭은 동일한 것이 바람직하다. 즉,  $L1 = L2 = L3$ 인 것이 바람직하다. 또한, 기둥형 스페이서의 중앙부에서의 측면과 기판 표면이 이루는 각도( $\alpha$ )는  $65^\circ \sim 115^\circ$ 의 범위 내의 값으로 하는 것이 바람직하다.

그러나, 기둥형 스페이서를 실제로 형성한 경우, 기둥형 스페이서의 상단부는  $2 \mu\text{m}$  이하, 바람직하게는  $1 \mu\text{m}$  이하의 곡률 반경을 가지는 단부가 되고, 기둥형 스페이서의 하단부에는 테이퍼(taper)부가 형성되기 때문에, 폭들 사이의 관계가  $L2 > L1 > L3$ 이 된다. 이 테이퍼부에서는, 액정의 배향 불량이 일어나기 쉽고, 그 주변에서는 광 누설이 일어난다. 본 발명에서는, 그 폭들을  $0.8 \leq L2/L1 \leq 3$ 의 범위내로 하여, 광 누설을 감소시킨다. 또한, 도 3(A)~도 3(E)에 나타낸 공정(배향막상에 기둥형 스페이서를 형성하는 경우)에서는,  $1 \leq L2/L1 \leq 1.1$ 의 관계로 하는 것이 바람직하다. 또한, 도 14(A)~도 14(E)에 나타낸 공정(기둥형 스페이서상에 배향막을 형성하는 경우)에서는,  $1 \leq L2/L1 \leq 2.5$ 의 관계로 하는 것이 바람직하다.

제2 기판과의 접촉 면적이 감소되기 때문에, 외력이 가해진 때, 큰 압력이 국부적으로 가해진다. 이것은 스페이서 강도의 열화(劣化)의 원인이 된다. 본 발명에서는,  $0.6 \leq L3/L1 \leq 1.2$ 의 관계로 함으로써, 스페이서 강도를 강화하였다.

기둥형 스페이서의 높이(H)는 기둥형 스페이서의 형성 공정의 조건에 따라 자유 범위내에서 제어될 수 있기 때문에, 원하는 값으로 적절히 설정될 수 있다. 예를 들어, 액정 표시장치에서는, 이 장치에 사용되는 액정 재료(TN 액정, 강유전성 액정, 반강유전성 액정 등)에 따라, 상기 높이를 최적의 기판 간격( $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ , 바람직하게는  $1.2 \mu\text{m} \sim 5 \mu\text{m}$ )으로 설정한다.

기둥형 스페이서의 재료로서는, 수지 재료로 된 절연물(절연막)이 바람직하다. 폴리이미드와 같은 수지 재료로 된 절연막은 용액 도포에 의해 형성될 수 있고, 용액 도포에 의해 형성된 절연막은 미세한 구멍들을 채우는데 매우 적합하다. 물론, 용액 도포에 의해 형성된 산화규소막 등도 사용될 수 있다. 수지 재료로 된 절연막이 사용되는 경우, 광중합형 절연막이 사용되거나, 또는 열중합형 절연막이 사용될 수 있다. 특히, 포지티브형 또는 네가티브형 감광성 수지가 사용되는 경우, 기둥형 스페이서가 간단한 공정으로 형성될 수 있으므로, 그러한 수지가 바람직하다. 또한, 광 열화(劣化)를 피하기 위해서, 네기타브형 감광성을 가진 수지 재료를 사용하는 것이 바람직하다.

기둥형 스페이서의 직경방향에서의 단면 형상은 원형 또는 타원형일 수 있고, 또한, 삼각형, 사각형 또는 그 사각형보다 많은 변을 가지는 다각형일 수도 있다.

도 2(A)에 도시된 바와 같이, 기둥형 스페이서는 규칙적으로 배치된다. 도 2(A)에서는, 6개의 화소(6행  $\times$  1열)마다 하나의 기둥형 스페이서(202)가 배치되는 구성이 채택되었지만, 본 발명이 이것에 한정되는 것은 아니고, 기둥형 스페이서가  $\text{mm}^2$  당 10~200개의 밀도로 배치되어도 좋다. 도 2(A)에서, 부호 201은 화소 전극을 나타내고, 부호 203은 기둥형 스페이서가 형성되지 않는 콘택트부를 나타낸다. 도 2(A)에서는, 기둥형 스페이서가 TFT와 화소 전극이 서로 접속되는 콘택트부 위의 위치에 형성되어 있지만, 기둥형 스페이서의 위치는 특별히 한정되지 않는다. 예를 들어, 기둥형 스페이서가 배선(소스 배선, 게이트 배선, 용량 배선 등) 위에 형성되거나, 또는 차광막 위에 형성되면 투과율에 영향을 미치지 않기 때문에 그러한 위치가 바람직하다. 또한, 기둥형 스페이서는 화소부 이외의 영역, 예를 들어, 구동회로에서 소자가 존재하지 않는 영역, 밀봉 영역, 화소부와 구동회로 사이의 영역, 화소부와 밀봉 영역 사이의 영역, 구동회로와 밀봉 영역 사이의 영역, 또는 밀봉 영역과 기판 단부 사이의 영역에 형성될 수도 있다. 또한, 기둥형 스페이서가 밀봉 영역과 기판 단부 사이의 영역에 형성되는 경우, 접합 공정 및 기판 절단 공정에서 압력이 균일하게 기판에 가해지기 때문에, 수율이 향상된다. 기둥형 스페이서가 FPC를 접속하는 단자부로부터 구동회로까지 연장하는 배선 위에 형성되면, FPC와 접속되는 부분의 기계적 강도가 강화될 수 있다.

이하, 상기한 형상을 가지는 본 발명의 기둥형 스페이서를 사용한 제작방법을 간략하게 설명한다. 도 3(A)~도 3(E)는 본 발명의 제작공정을 나타내는 단면도이고, 도 4는 그 제작공정의 순서를 나타내는 플로차트이다.

먼저, 스위칭 소자와 화소 전극이 매트릭스 형태로 형성된 제1 기판(300)을 준비하고, 또한, 전극이 형성된 제2 기판(304)을 준비한다. 도 3에서는, 간략화를 위해, 스위칭 소자, 화소 전극 등을 나타내지 않았다. 그 다음, 제1 기판(300)과 제2 기판(304) 각각에 배향막(301, 305)을 형성한 후, 러빙 처리를 행한다.(도 3(A))

그 다음, 제1 기판의 배향막(301)상에 스페이서 재료 층(303)을 형성한다(도 3(B)). 여기서는, 기둥형 스페이서가 제1 기판상에 형성되는 예를 설명하지만, 제2 기판상에 기둥형 스페이서를 형성하는 공정이 채택될 수도 있다.

이렇게 하여 형성된 스페이서 재료 층(302)에 노광용 마스크를 통해 기둥형 스페이서의 패턴을 노광시킨 후에, 현상 처리를 행하고, 기둥형 스페이서(303)를 형성한다(도 3(C)).

그 다음, 전극과 배향막(305)이 형성된 제2 기판(304)상에 밀봉(시일)재 패턴(306)을 형성한다. 밀봉재 패턴은, 액정 주입구를 형성한, 사각형이고 동일한 폭을 가지는 패턴 프레임을 형성한다. 여기서는, 제2 기판상에 밀봉 영역이 형성된 예를 나타내지만, 제1 기판상에 밀봉 영역을 형성하는 공정이 채택될 수도 있다. 그 다음, 제1 기판(300)과 제2 기판(304)을 접합한다. 접합 공정은, 열라인먼트 마크(alignment mark)를 이용하여 높은 정밀도로 기판들을 접합한 후, 가압 및 소성(燒成)에 의해 밀봉재를 경화시키는 공정이다(도 3(D)).

그후, 제1 기판 및 제2 기판을 적절한 크기로 절단하고, 액정 주입구로부터 액정 재료(307)를 주입한 후, 그 주입구를 봉지(封止)한다. 이렇게 하여, 액정 패널이 완성된다.

상기 공정들에서는, 제1 기판상에 배향막을 형성한 후 그 위에 기둥형 스페이서를 형성하는 예를 나타내었지만, 도 14(A)~도 14(E)에 도시된 바와 같이, 제1 기판(1100)상에 기둥형 스페이서(1102)를 형성한 후 그 위에 배향막(1103)을 형성하는 공정이 채택될 수도 있다.

또한, 제1 기판 또는 제2 기판상에 컬러 필터 또는 차폐막을 형성하는 공정이 채택될 수도 있다.

또한, 여기서는, 액티브 매트릭스형 액정 표시장치의 예를 나타내지만, 본 발명이 특별히 한정되는 것은 아니다. 예를 들어, 본 발명은 단순 매트릭스형 액정 표시장치에도 적용될 수 있고, 표시 방식이 TN형이나 STN형, 또는 투과형 또는 반사형일 수도 있다.

이하, 상기 구성으로 된 본 발명을 실시예에 의거하여 더 상세히 설명한다.

#### [실시예 1]

본 실시예를 도 5~도 8을 참조하여 설명한다. 여기서는, 화소부와 그 주변에 제공되는 구동회로를 동시에 제조하는 방법에 대해 설명한다. 설명의 간소화를 위해, 구동회로에 대해서는, 시프트 레지스터 및 버퍼 회로 등의 기본 회로인 CMOS 회로와, 샘플링 회로를 형성하는 n채널형 TFT를 나타내는 것으로 한다.

도 5(A)에서, 기판(501)에는 유리 기판 또는 석영 기판을 사용하는 것이 바람직하다. 그 외에도, 규소 기판, 금속 기판, 또는 표면에 절연막이 형성된 스테인리스 강 기판이 사용될 수도 있다. 내열성이 허용되면, 플라스틱 기판을 사용하는 것도 가능하다.

TFT가 제조되는 기판(501)의 표면에, 규소를 함유한 절연막(본 명세서에서, "규소를 함유한 절연막"은 산화규소막, 질화규소막 또는 질화산화규소막을 총칭한다)으로 된 하지막(502)을 플라즈마 CVD법 또는 스퍼터링법에 의해 100~400 nm의 두께로 형성한다.

본 명세서에서, 질화산화규소막은  $S_iO_xN_y$ 로 나타내어지는 절연막이고, 규소, 산소 및 질소를 소정의 비율로 포함하는 절연막을 가리킨다. 본 실시예에서는, 하지막(502)으로서, 질소를 20~50 원자%(전형적으로는, 20~30 원자%) 함유하는 두께 100 nm의 질화산화규소막과, 질소를 1~20 원자%(전형적으로는, 5~10 원자%) 함유하는 두께 200 nm의 질화산화규소막의 적층막을 사용한다. 두께는 상기 값에 한정될 필요는 없다. 질화산화규소막에 함유되는 질소와 산소의 함유비(원자% 비)는 3:1~1:3 (전형적으로는, 1:1)일 수 있다. 질화산화규소막은  $SiH_4$ ,  $N_2O$  및  $NH_3$ 를 원료 가스로 사용하여 제조될 수 있다.

이 하지막(502)은 기판으로부터의 불순물 오염을 방지하기 위해 배치되는 것이고, 석영 기판을 사용하는 경우에는 반드시 배치되지 않아도 된다.

다음에, 하지막(502)상에, 비정질 구조를 가지는 반도체막(본 실시예에서는 비정질 규소막(도시되지 않음))을 공지의 성막법에 의해 30~120 nm(전형적으로는 50~70 nm)의 두께로 형성한다. 비정질 구조를 가지는 반도체막으로서는, 비정질 반도체막과 미(微)결정 반도체막이 있다. 또한, 비정질 규소 게르마늄막 등과 같은 비정질 구조를 가지는 화합물 반도체막도 포함될 수 있다. 이 막을 상기 두께로 형성하면, 최종적으로 TFT를 완성한 시점에서의 활성층의 두께는 10~100 nm(바람직하게는, 30~50 nm)로 된다.

#### 삭제

그리고, 일본 공개특허공고 평7-130652호(미국 특허 제5,643,826호에 대응)의 공보에 개시된 기술에 따라, 결정 구조를 가지는 반도체막(본 실시예에서는, 결정성 규소막)(503)을 형성한다. 상기 공보에 기재된 기술은 비정질 규소막을 결정화할 때 결정화를 촉진시키는 촉매원소(니켈, 코발트, 게르마늄, 주석, 납, 팔라듐, 철 및 구리로부터 선택된 하나 또는 다수의 원소, 대표적으로는, 니켈)를 사용하는 결정화 수단이다.

구체적으로는, 비정질 규소막의 표면에 촉매원소를 보유시킨 상태에서 가열처리를 행하여 비정질 규소막을 결정성 규소막으로 전환시키는 것이다. 본 실시예에서는 상기한 공보의 실시예 1에 설명된 기술을 사용하지만, 상기 공보의 실시예 2에 설명된 기술이 사용될 수도 있다. 결정성 규소막에는 단결정 규소막과 다결정 규소막 모두가 포함되지만, 본 실시예에서 형성되는 결정성 규소막은 결정 입계를 가지는 규소막이다.(도 5(A))

비정질 규소막 중의 함유 수소량에 좌우되지만, 바람직하게는 400~550°C로 수 시간 가열하여 탈수소 처리를 행하여, 함유 수소량을 5 원자% 이하로 감소시키고 결정화 공정을 행하는 것이 바람직하다. 비정질 규소막은 스퍼터링 법 또는 증착 법과 같은 다른 성막 방법에 의해 형성될 수도 있지만, 비정질 규소막에 함유된 산소 또는 질소와 같은 불순물 원소를 충분히 감소시키는 것이 바람직하다.

하지막과 비정질 규소막은 동일한 성막법에 의해 형성될 수 있기 때문에, 이들 막을 연속적으로 형성할 수도 있다. 하지막의 형성 후 대기에 노출시키지 않음으로써 표면의 오염을 방지하는 것이 가능하게 되고, 제조된 TFT의 특성 편차를 감소 시킬 수 있다.

다음에, 레이저 광원으로부터 발생된 광(레이저광)을 결정성 규소막(503)에 조사(照射)하여(이후, 레이저 어널이라 함), 결정성이 개선된 결정성 규소막(504)을 형성한다. 레이저광으로서는, 펄스 발진형 또는 연속 발진형 엑시머 레이저광이 바람직하지만, 연속 발진형 아르곤 레이저광이 사용될 수도 있다. 레이저광의 빔 형상은 선형일 수 있고, 또는 사각형일 수도 있다.(도 5(B))

레이저광 대신에, 램프로부터 발생된 광(이하, 램프광이라 함)을 조사할 수도 있다(이하, 램프 어널이라 함). 램프광으로서는, 예를 들어, 할로겐 램프 또는 적외선 램프로부터 발생된 광이 사용될 수 있다.

여기서 설명하는 바와 같이 레이저광 또는 램프광에 의해 열처리(어널)를 행하는 공정을 광 어널 공정이라 부른다. 광 어널 공정은 고온 열처리를 단시간내에 행할 수 있기 때문에, 유리 기판 등과 같이 내열성이 낮은 기판을 사용하는 경우에도 효과적인 열처리 공정을 높은 스루풋(throughput)으로 행할 수 있다. 물론, 어널이 목적이기 때문에, 전기로를 사용한 노 어널(열 어널이라고도 함)로 대체될 수도 있다.

본 실시예에서는, 펄스 발진형 엑시머 레이저광을 선형으로 가공하여 레이저 어널 공정을 행한다. 레이저 어널 조건으로는, 여기 가스로서 XeCl 가스를 사용하고, 처리 온도를 실온으로 하고, 펄스 발진 주파수를 30 Hz로 하고, 레이저 에너지 밀도를 250~500 mJ/cm<sup>2</sup>(전형적으로는, 350~400 mJ/cm<sup>2</sup>)로 한다.

상기한 조건으로 행해진 레이저 어널 공정은 열 결정화 후에 잔존한 비정질 영역을 완전히 결정화하는 것과 함께, 이미 결정화된 결정성 영역의 결함을 감소시키는 효과를 가진다. 따라서, 이 공정은 광 어널에 의해 반도체막의 결정성을 향상시키는 공정 또는 반도체막의 결정화를 촉진시키는 공정이라 불릴 수도 있다. 또한, 이러한 효과는 램프 어널의 조건을 최적화함으로써 얻어질 수도 있다. 본 명세서에서, 상기한 조건을 제1 광 어널 조건이라 부른다.

그 다음, 결정성 규소막(504)을 패터닝하여, 섬 형상의 반도체막(이하, 활성층이라 함)(505~508)을 형성한다. 이때 동시에, 후의 패터닝 시의 위치 맞춤에 사용되는 얼라인먼트 마커를 결정성 규소막을 사용하여 형성한다. 본 실시예에서는, 얼라인먼트 마커를 활성층의 형성과 동시에 형성할 수 있기 때문에, 얼라인먼트 마커를 별도로 형성하는 수고(마스크 수의 증가)를 방지할 수 있다.

그 다음, 후의 불순물 도핑을 위해 활성층(505~508) 위에 보호막(509)을 형성한다. 보호막(509)에는, 두께 100~200 nm(바람직하게는, 130~170 nm)의 질화산화규소막 또는 산화규소막을 사용한다. 이 보호막(509)은 불순물 도핑 시에 결정성 규소막이 플라즈마에 직접 노출되지 않도록 하고, 미세한 농도 제어를 가능하게 하는 의미를 가진다.(도 5(C))

그 다음, 그 위에 레지스트 마스크(510)를 형성하고, p형을 부여하는 불순물 원소(이하, p형 불순물 원소라 함)를 보호막(509)을 통해 첨가한다. p형 불순물 원소로서는, 대표적으로는 주기율표 13족에 속하는 원소, 전형적으로는, 붕소 또는 갈륨이 사용될 수 있다. 이 공정(채널 도핑 공정이라 함)은 TFT의 스레시홀드 전압을 제어하기 위한 공정이다. 여기서는, 디보란( $B_2H_6$ )을 질량 분리없이 플라즈마 여기하는 이온 도핑법에 의해 붕소를 첨가한다. 물론, 질량 분리가 행해지는 이온 주입법도 사용될 수 있다.

이 공정에 의해, p형 불순물 원소(본 실시예에서는 붕소)가  $1\times10^{15}\sim1\times10^{18}$  원자/cm<sup>3</sup>(전형적으로는,  $5\times10^{16}\sim5\times10^{17}$  원자/cm<sup>3</sup>)의 농도로 첨가된 활성층(511~513)이 형성된다. 이 활성층(511~513)은 후에 n채널형 TFT의 활성층이 된다. 본 명세서에서 언급된 농도는 모두 SIMS(이차 이온 질량 분석)에 의한 측정 값이다.

본 명세서에서는, 적어도 상기 농도 범위로 p형 불순물 영역을 함유하는 불순물 영역(그러나, 인 또는 비소와 같은, n형을 부여하는 불순물 원소가  $1\times10^{16}$  원자/cm<sup>3</sup>의 농도로 첨가된 영역은 제외됨)을 p형 불순물 영역(b)라 정의한다.(도 5(D))

다음에, 레지스트 마스크(510)를 제거하고, 새로운 레지스트 마스크(514a~514d)를 형성한다. 그 다음, n형을 부여하는 불순물 원소(이하, n형 불순물 원소라 함)를 첨가하여 n형 불순물 영역(515~517)을 형성한다. n형 불순물 원소로서는, 대표적으로는 주기율표 15족에 속하는 원소, 전형적으로는, 인 또는 비소가 사용될 수 있다.(도 5(E))

이 저농도 불순물 영역(515~517)은 후에 형성되는 CMOS 회로 및 샘플링 회로의 n채널형 TFT의 LDD 영역으로서 기능하는 불순물 영역이다. 이렇게 형성된 불순물 영역에는, n형 불순물 원소가  $2\times10^{16}\sim5\times10^{19}$  원자/cm<sup>3</sup>(전형적으로는,  $5\times10^{17}\sim5\times10^{18}$  원자/cm<sup>3</sup>)의 농도로 함유되어 있다. 본 명세서에서는, 상기 농도 범위로 n형 불순물 원소를 함유하는 불순물 영역을 n형 불순물 영역(b)라 정의한다.

여기서는, 포스핀(PH<sub>3</sub>)을 질량 분리없이 플라즈마 여기하는 이온 도핑법에 의해 인을  $1\times10^{18}$  원자/cm<sup>3</sup>의 농도로 첨가한다. 물론, 질량 분리가 행해지는 이온 주입법이 사용될 수도 있다. 이 공정에서는, 인이 보호막(509)을 통과하여 결정성 규소막에 첨가된다.

그 다음, 레지스트 마스크(514a~514d) 및 보호막(509)을 제거하고, 레이저광 조사 공정을 다시 행한다. 여기서도, 레이저광으로서, 펄스 발진형 또는 연속 발진형 엑시머 레이저광이 바람직하지만, 연속 발진형 아르곤 레이저광이 사용될 수도 있다. 레이저광의 빔 형상은 선형 또는 사각형일 수 있다. 그러나, 첨가된 불순물 원소의 활성화가 목적이기 때문에, 결정성 규소막이 용융되지 않는 정도의 에너지로 조사하는 것이 바람직하다. 또한, 그 위에 보호막(509)을 잔존시킨 채 레이저 어닐 공정을 행할 수도 있다.(도 5(F))

본 실시예에서는, 펄스 발진형 엑시머 레이저광을 선형으로 가공하여 레이저 어닐 공정을 행한다. 레이저 어닐 조건으로는, 여기 가스로서 KrF 가스를 사용하고, 처리 온도를 실온으로 하고, 펄스 잘진 주파수를 30 Hz로 하고, 레이저 에너지 밀도를 100~300 mJ/cm<sup>2</sup>(전형적으로는, 150~250 mJ/cm<sup>2</sup>)로 한다.

상기 조건으로 행해진 레이저 어닐 공정은 첨가된 n형 또는 p형 불순물 원소를 활성화시키는 것과 함께, 불순물 원소 도핑 시에 비정질화된 반도체막을 재결정화하는 효과를 가진다. 상기 조건은 반도체막을 용융시키지 않고 원자 배열의 정합성을 도모하는 동시에, 불순물 원소를 활성화시키는 것이 바람직하다. 이 공정은 광 어닐에 의해 n형 또는 p형 불순물 원소를 활성화시키는 공정, 반도체막을 재결정화시키는 공정, 또는 그들 모두를 동시에 행하는 공정이라 불릴 수도 있다. 그러한 효과는 램프 어닐 조건을 최적화함으로써도 얻어질 수 있다. 본 명세서에서는, 이 조건을 제2 광 어닐 조건이라 부른다.

이 공정에 의해, n형 불순물 영역(b)(515~517)의 경계부, 즉, n형 불순물 영역(b)의 주위에 존재하는 진성 영역(p형 불순물 영역(b)도 실질적으로 진성으로 간주됨)과의 접합부가 명확하게 된다. 이것은 후에 TFT를 완성한 시점에서 LDD 영역과 채널 형성 영역이 매우 양호한 접합부를 형성할 수 있다는 것을 의미한다.

이 레이저광에 의한 불순물 원소의 활성화 시에, 전기로를 사용한 열처리에 의한 활성화를 병용하여도 좋다. 열처리에 의한 활성화를 행하는 경우, 기판의 내열성을 고려하여 대략 450~650°C(바람직하게는, 500~550°C)로 열처리를 행하면 좋다.

그 다음, 활성층(505, 511~513)을 덮도록 게이트 절연막(518)을 형성한다. 게이트 절연층(518)은 10~200 nm, 바람직하게는, 50~150 nm의 두께로 형성될 수 있다. 본 실시예에서는, N<sub>2</sub>O 및 SiH<sub>4</sub>를 원료로 하여 플라즈마 CVD법에 의해 질화산화규소막을 115 nm의 두께로 형성하였다.(도 6(A))

그 다음, 게이트 배선을 형성할 도전막을 형성한다. 게이트 배선은 단층의 도전막으로 형성될 수도 있지만, 필요에 따라서는 2층 또는 3층의 적층막으로 형성하는 것이 바람직하다. 본 실시예에서는, 제1 도전막(519)과 제2 도전막(520)으로 된 적층을 형성하였다.(도 6(B))

제1 도전막(519) 및 제2 도전막(520)으로서는, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텉스텐(W), 크롬(Cr), 니오븀(Nb), 및 규소(Si)로부터 선택된 원소를 포함하는 금속막, 이들 원소를 주성분으로 하는 금속 화합물 막(대표적으로는, 질화 탄탈막, 질화 텉스텐막 또는 질화 티탄막), 이들 원소를 조합한 합금 막(대표적으로는, Mo-W 합금막, Mo-Ta 합금막, 규화 텉스텐막) 또는 이들 박막을 적층한 적층막이 사용될 수 있다.

제1 도전막(519)은 10~50 nm(바람직하게는, 20~30 nm)의 두께로 형성될 수 있고, 제2 도전막(520)은 200~400 nm(바람직하게는, 250~350 nm)의 두께로 형성될 수 있다. 본 실시예에서는, 제1 도전막(519)으로서, 두께 50 nm의 질화 탄탈(TaN)막을 사용하고, 제2 도전막(520)으로서, 두께 350 nm의 탄탈(Ta)막을 사용하였다.

이 외에, 질화 텅스텐막과 텅스텐막의 적층 막, 질화 탄탈막만의 단층 막, 및 규화 텅스텐막도 사용될 수 있다. 또한, 제1 도전막(519) 아래에 대략 2~20 nm 두께의 규소막을 가지는 구조(폴리사이드(polycide) 구조)로 하면, 규소막상에 형성된 도전막의 밀착성이 향상되고, 도전막의 산화가 방지될 수 있다.

또한, 본 실시예에서와 같이 제2 도전막(520)에 금속막을 사용하는 경우, 그 표면을 암모니아 가스 또는 질소 가스를 사용한 플라즈마 분위기에 노출시켜 질화하는 것도 효과적이다. 그렇게 함으로써, 금속막 표면의 산화를 억제할 수 있다.

다음에, 제1 도전막(519)과 제2 도전막(520)을 한번에 에칭하여 두께 400 nm의 게이트 배선(게이트 전극이라고도 불릴 수 있다)(521~524a, 524b)을 형성한다. 이때, 구동회로에 형성되는 게이트 배선(522, 523)은 게이트 절연막을 사이에 두고 n형 불순물 영역(b)(515~517)의 일부와 겹치도록 형성된다. 게이트 배선(524a, 524b)은 단면에서는 2개로 보이지만, 실제는 하나의 연속 패턴으로 형성되어 있다.(도 6(C))

그 다음, 게이트 전극(521~524b)을 마스크로 하여 자기정합적으로 n형 불순물 원소(본 실시예에서는 인)를 첨가한다. 이렇게 하여 형성된 불순물 영역(525~530)에는 상기한 n형 불순물 영역(b)의 1/2~1/10(대표적으로는, 1/3~1/4)의 농도(채널 도핑 공정에서 첨가된 봉소 농도보다 5~10배 높은 농도, 대표적으로는,  $1\times10^{16}\sim5\times10^{18}$  원자/cm<sup>3</sup>, 전형적으로는,  $3\times10^{17}\sim3\times10^{18}$  원자/cm<sup>3</sup>)로 인이 첨가되도록 조절한다. 본 명세서에서는, 상기 농도 범위로 n형 불순물 원소를 함유하는 불순물 영역을 n형 불순물 영역(c)라 정의한다.(도 6(D))

n형 불순물 영역(c)(527~530)에는 채널 도핑 공정에서  $1\times10^{15}\sim1\times10^{18}$  원자/cm<sup>3</sup>의 농도로 봉소가 이미 첨가되어 있지만, 이 공정에서는 p형 불순물 영역(b)에 함유된 봉소의 5~10배의 농도로 인이 첨가되기 때문에, 봉소의 영향은 무시될 수 있다.

그러나, 엄격히 말하면, n형 불순물 영역(b)(515~517) 중 게이트 배선과 겹치는 부분의 인의 농도가  $2\times10^{16}\sim5\times10^{19}$  원자/cm<sup>3</sup>인 채로 있는 것에 대하여, 게이트 배선과 겹치지 않는 부분은 그것에  $1\times10^{16}\sim5\times10^{18}$  원자/cm<sup>3</sup>의 농도의 인이 추가되어 있어, 약간 높은 농도로 인을 함유하게 된다.

다음에, 게이트 전극(521~524b)을 마스크로 하여 자기정합적으로 게이트 절연막(518)을 에칭한다. 이 에칭 공정에 건식 에칭법이 사용되고, 에칭 가스로서는 CHF<sub>3</sub> 가스가 사용될 수 있다. 에칭 가스는 이것에 한정될 필요는 없다. 그리하여, 게이트 배선 아래에 게이트 절연막(531~534a, 534b)이 형성된다.(도 6(E))

이렇게 하여 활성충돌을 노출시킴으로써, 다음에 행해지는 불순물 원소의 도핑 공정에서의 가속 전압을 낮게 할 수 있다. 따라서, 필요로 하는 도스량이 작기 때문에 스루풋이 향상된다. 물론, 불순물 영역들은 게이트 절연막을 에칭함이 없이 스루 도핑(through doping)에 의해 형성될 수도 있다.

그 다음, 게이트 배선을 덮도록 레지스트 마스크(535a~535d)를 형성하고, n형 불순물 원소(본 실시예에서는 인)를 첨가하여 고농도로 인을 함유하는 불순물 영역(536~544)을 형성한다. 여기서도, 포스핀(PH<sub>3</sub>)을 이용한 이온 도핑법(이온 주입법도 허용됨)을 행하고, 이들 영역에서의 인 농도를  $1\times10^{20}\sim1\times10^{21}$  원자/cm<sup>3</sup>(대표적으로는,  $2\times10^{20}\sim5\times10^{21}$  원자/cm<sup>3</sup>)로 한다.(도 6(F))

본 명세서에서는, 상기 농도 범위로 n형 불순물 원소를 함유하는 불순물 영역을 n형 불순물 영역(a)라 정의한다. 또한, 불순물 영역(536~544)이 형성된 영역에는, 이전 공정들에서 첨가된 인과 봉소가 이미 함유되어 있지만, 인이 충분히 높은 농도로 첨가되는 것으로 되기 때문에, 이전 공정에서 첨가된 인 또는 봉소의 영향은 고려될 필요가 없다. 따라서, 본 명세서에서, 불순물 영역(536~544)을 n형 불순물 영역(a)라 부를 수 있다.

그 다음, 레지스트 마스크(535a~535d)를 제거하고, 새로운 레지스트 마스크(545)를 형성한다. 그 다음, p형 불순물 원소(본 실시예에서는 봉소)를 첨가하여, 고농도로 봉소를 함유하는 불순물 영역(546, 547)을 형성한다. 여기서는, 디보란

(B<sub>2</sub>H<sub>6</sub>)을 사용한 이온 도핑법(이온 주입법도 허용됨)에 의해 봉소가 3×10<sup>20</sup>~3×10<sup>21</sup> 원자/cm<sup>3</sup>(대표적으로는, 5×10<sup>20</sup>~1×10<sup>21</sup> 원자/cm<sup>3</sup>)의 농도로 첨가된다. 본 명세서에서, 상기 농도 범위로 p형 불순물 영역을 함유하는 불순물 영역을 p형 불순물 영역(a)라 정의한다.(도 7(A))

불순물 영역(546, 547)의 일부(상기 n형 불순물 영역(a)(536, 537))에는 인이 1×10<sup>20</sup>~1×10<sup>21</sup> 원자/cm<sup>3</sup>의 농도로 이미 첨가되어 있으나, 여기서 첨가되는 봉소가 적어도 3배 이상의 농도로 첨가되기 때문에, 이미 형성된 n형 불순물 영역이 완전히 p형으로 반전되어, p형 불순물 영역으로서 기능한다. 따라서, 본 명세서에서, 불순물 영역(546, 547)을 p형 불순물 영역(a)라 부를 수도 있다.

다음에, 레지스트 마스크(545)를 제거한 후, 제1 층간절연막(548)을 형성한다. 제1 층간절연막(548)으로서는, 규소를 함유한 절연막, 구체적으로는, 질화규소막, 산화규소막, 질화산화규소막 또는 이들을 조합한 적층막이 형성될 수 있다. 막 두께는 50~400 nm(바람직하게는, 100~200 nm)일 수 있다.

본 실시예에서는, SiH<sub>4</sub>, N<sub>2</sub>O 및 NH<sub>3</sub>를 원료 가스로 하여 플라즈마 CVD법에 의해 형성된 두께 200 nm의 질화산화규소막(질소 농도는 25~50 원자%)이 사용된다. 이 제1 층간절연막(548)은 다음에 행해지는 열처리 공정(활성화 공정)에서 게이트 배선(521~524a, 524b)의 산화로 인한 저항값의 증가를 방지하는 효과를 가진다.

그 다음, 각각의 농도로 첨가된 n형 또는 p형 불순물 원소를 활성화시키기 위해 열처리 공정을 행한다. 이 열처리 공정에는, 노 어닐법, 레이저 어닐법 또는 금속 열 어닐(RTA)밥이 사용될 수 있다. 본 실시예에서는 활성화 공정이 노 어닐법에 의해 행해진다. 이 열처리 공정은 질소 분위기에서 300~650°C, 바람직하게는, 400~550°C, 본 실시예에서는 550°C로 4시간 열처리를 행한다.(도 7(B))

이때, 본 실시예에서 비정질 규소막의 결정화에 사용된 촉매원소(본 실시예에서는 니켈)가 화살표 방향으로 이동하여, 도6(F)의 공정에서 형성된, 고농도로 인을 함유하는 영역에 포획(게터링)된다. 이것은 인에 의한 금속원소의 게터링 효과에 기인하는 현상이다. 그 결과, 후에 형성되는 채널 형성 영역(549~553)에 함유되는 촉매원소의 농도가 1×10<sup>17</sup> 원자/cm<sup>3</sup> 이하로 감소된다. 그러나, 니켈의 경우, 1×10<sup>17</sup> 원자/cm<sup>3</sup> 이하의 농도는 SIMS의 검출 한계이기 때문에, 현재 기술로는 측정하는 것이 불가능하다.

대조적으로, 촉매원소의 게터링 사이트(sight)로서 기능하는 영역(도 6(F)의 공정에서 불순물 영역(536~544)이 형성된 영역)에는 촉매원소가 고농도로 석출하여, 이들 영역에 5×10<sup>18</sup> 원자/cm<sup>3</sup>를 초과하는 농도(대표적으로는, 1×10<sup>19</sup>~5×10<sup>20</sup> 원자/cm<sup>3</sup>)로 존재하게 된다. 그러나, 게터링 사이트가 된 영역이 소스 영역 또는 드레인 영역으로서 기능할 수 있기 때문에, 니켈의 존재가 문제를 야기하지 않는 것으로 고려된다.

그리고, 3~100%의 수소를 함유한 분위기에서 300~450°C로 1~12시간 열처리를 행함으로써 활성층을 수소화하는 공정을 행한다. 이것은 열적으로 활성화된 수소에 의해 반도체층내의 댕글링 본드(dangling bond)를 종단시키는 공정이다. 다른 수소화 수단으로서, 플라즈마 수소화(플라즈마에 의해 활성화된 수소를 사용)가 행해질 수도 있다.

활성화 공정 후에, 제1 층간절연막(548) 위에 제2 층간절연막(554)을 500 nm~1.5 μm의 두께로 형성한다. 본 실시예에서는, 제2 층간절연막(554)으로서 두께 800 nm의 산화규소막을 플라즈마 CVD법에 의해 형성한다. 그리하여, 제1 층간절연막(질화산화규소막)(548)과 제2 층간절연막(산화규소막)(554)의 적층막으로 된 두께 1 μm의 층간절연막이 형성된다.

제2 층간절연막(554)에는, 폴리이미드, 아크릴 수지, 폴리아미드, 폴리이미드 아미드, BCB(벤조시클로부텐)과 같은 유기 수지 절연막을 사용할 수 있다.

그 다음, 각 TFT의 소스 영역 또는 드레인 영역에 이르는 콘택트 홀을 형성하고, 소스 배선(555~558) 및 드레인 배선(559~562)을 형성한다. 도면에는 도시되지 않았지만, 드레인 배선(559, 560)은 CMOS 회로를 형성하기 위해 동일한 배선으로 형성된다. 본 실시예에서는, 이를 배선을, 스펀터링법에 의해 연속적으로 형성되는 두께 100 nm의 Ti 막, 두께 300 nm의 Ti 함유 알루미늄막, 및 두께 150 nm의 Ti 막의 3층 구조 적층막으로 한다.

그 다음, 패시베이션막(563)으로서 질화규소막, 산화규소막 또는 질화산화규소막을 50~500 nm(대표적으로는, 200~300 nm)의 두께로 형성한다.(도 7(C))

패시베이션막의 형성 전에  $H_2$  및  $NH_3$ 와 같은 수소 함유 가스를 사용한 플라즈마 처리를 행하고, 성막 후에 열처리를 행하는 것이 효과적이다. 이 전(前)처리에 의해, 여기된 수소가 제1 및 제2 층간절연막 내로 공급된다. 이 상태로 열처리를 행함으로써, 제1 및 제2 층간절연막에 침가된 수소가 그 아래 층으로 확산되기 때문에 활성층아 효과적으로 수소화될 뿐만 아니라, 패시베이션막(563)의 품질이 향상된다.

또한, 패시베이션막(563)을 형성한 후, 추가 수소화 처리를 행할 수도 있다. 예를 들어, 3~100%의 수소를 함유한 분위기에서 300~450°C로 1~12시간 열처리를 행하는 것이 좋다. 또는, 플라즈마 수소화법을 사용하여도, 유사한 효과가 얻어질 수 있다.

그리고, 후에 화소 전극과 드레인 배선을 접속하기 위한 콘택트 홀이 형성되는 위치에서 패시베이션막(563)에 개구부를 형성할 수 있다.

그리고, 도 7(D)에 도시된 바와 같이, 수지 재료(유기 재료라 불릴 수도 있음)로 된 절연막(이하, 수지 절연막이라 함)으로 된 제3 층간절연막(564)(본 명세서에서는, 평탄화 막이라 부르는 경우도 있음)을 대략 1~3  $\mu m$ (전형적으로는, 1.5~2  $\mu m$ )의 두께로 형성한다.

수지 재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, BCB(벤조시클로부텐), 또는 시클로텐(Cyclotene)이 사용될 수 있다. 수지 절연막을 사용하는 것의 이점(利點)으로서는, 우수한 평탄성과 낮은 비유전율을 들 수 있다. 이외에, 다른 유기 수지 절연막, 유기 SiO 화합물 등이 사용될 수 있다. 평탄성이 우수하다면, 무기 재료로 된 절연막을 사용하는 것도 가능하다.

야기서는, 기판에의 도포 후에 열에 의해 중합하는 아크릴 막이 사용되지만, 광 조사에 의해 중합하는 것이 사용될 수도 있다. 물론, 포지티브형 또는 네가티브형의 감광성 재료도 사용될 수 있다.

또한, 제3 층간절연막(564)의 일부 층으로서 안료 등에 의해 착색된 수지막을 제공하고, 컬러 필터로서 사용하는 것도 가능하다.

그 다음, 화소부에서 수지 재료로 된 제3 층간절연막(평탄화 막)(564)상에 차폐막(565)을 형성한다. 본 명세서에서, "차폐막"이란 광 또는 전자파를 차단하는 성질을 가진 도전막을 가리킨다.

차폐막(565)은 알루미늄(Al), 티탄(Ti), 및 탄탈(Ta)중에서 선택된 원소로 된 금속막, 또는 이들 원소 중 하나를 주성분(본 실시예에서는, 원소가 50 중량% 이상으로 함유되는 경우에 주성분으로 간주됨)으로 하는 금속막으로 100~300 nm의 두께로 형성된다. 본 실시예에서는, 1 wt%의 티탄을 함유하는 알루미늄막을 125 nm의 두께로 형성한다. 본 명세서에서 이 차폐막을 "제1 도전막"이라고 부르는 경우가 있다.

본 실시예에서는 차폐막(565)을 형성하기 전에 산화규소막을 5~50 nm(전형적으로는, 20~30 nm)의 두께로 형성한다. 그 다음, 그 위에 차폐막(565)을 형성하고, 차폐막(565)을 마스크로 하여 상기한 절연막의 에칭 처리를 행하여, 부호 566으로 나타낸 산화규소막을 형성한다.

이 산화규소막(566)은 제3 층간절연막(564)과 차폐막(565)의 밀착성을 향상시키기 위해 배치되지만, 제3 층간절연막에 콘택트 홀을 형성하는데 방해가 되기 때문에, 차폐막이 존재하지 않는 영역에서는 산화규소막을 제거하는 것이 바람직하다. 이 막상에 형성되는 차폐막의 밀착성은 제3 층간절연막(564)의 표면에  $CF_3$  가스를 사용한 플라즈마 처리를 행하는 것으로도 표면 개질에 의해 증가될 수 있다.

또한, 티탄을 함유한 알루미늄막을 사용하여, 차폐막만이 아니고 다른 접속 배선을 형성하는 것도 가능하다. 예를 들어, 구동회로 내에서 회로끼리를 접속하는 접속 배선이 형성될 수 있다. 그러나, 이 경우, 차폐막 또는 접속 배선을 형성하는 재료를 성막하기 전에, 미리 제3 층간절연막에 콘택트 홀을 형성하는 것이 필요하다.

다음에, 차폐막(565)의 표면에 공지의 양극산화법 또는 플라즈마 산화법(본 실시예에서는 양극산화법)으로 두께 20~100 nm(바람직하게는, 30~50 nm)의 산화물을 형성한다. 본 실시예에서는 차폐막(565)으로서 알루미늄을 주성분으로 하는 막이 사용되고 양극산화법이 이용되기 때문에, 여기서는 양극산화물(567)로서 산화 알루미늄막(알루미나 막)이 형성된다. 이 양극산화물(567)은 본 실시예의 보유 용량의 유전체로 된다.

또한, 여기서는 양극산화법을 이용하여 차폐막의 표면에만 절연물을 형성하는 구성으로 하였으나, 다른 절연물을 플라즈마 CVD법, 열 CVD법 또는 스피터링법과 같은 기상법에 의해 형성할 수도 있다. 이 경우도, 막 두께를 20~100 nm(더 바람직하게는, 30~50 nm)로 하는 것이 바람직하다.

그 다음, 드레인 배선(562)에 이르는 콘택트 홀을 제3 층간절연막(564) 및 패시베이션막(563)에 형성하고, 화소 전극(569)을 형성한다. 본 실시예에서는, 화소 전극(570, 571) 각각이 인접하는 화소를 위한 별도의 화소 전극이다. 화소 전극(569~571)에는 투명한 도전막이 사용될 수 있고, 구체적으로는, 스피터링법에 의해 두께 110 nm의 산화인듐주석(ITO) 막을 형성한다. 본 명세서에서, 화소 전극을 "제2 도전막"이라 부르는 경우가 있다.

반사형 액정 표시장치를 형성하는 경우에는, 화소 전극의 재료로서 금속막이 사용될 수 있다.

또한, 양극산화막(567)을 사이에 두고 화소 전극(569)과 차폐막(565)이 겹치는 지점에 보유 용량(572)이 형성된다. 보유 용량(572)만을 부호로 표시하고 있지만, 차폐막과 화소 전극이 겹치는 모든 영역이 보유 용량으로서 기능한다.

7~9의 높은 비유전율을 가진 알루미나 막이 보유 용량의 유전체로 사용되기 때문에, 필요한 용량을 형성하기 위한 면적을 작게 할 수 있다. 또한, 화소 TFT 위에 형성된 차폐막을 보유 용량의 전극으로 사용함으로써, 액티브 매트릭스 액정 표시장치의 화상 표시부의 개구율을 향상시킬 수 있다.

이 경우, 차폐막(565)을 부유(floating) 상태(전기적으로 고립된 상태) 또는 고정 전위, 더 바람직하게는, 공통 전위(데이터로서 보내지는 화상 신호의 중간 전위)로 설정하는 것이 바람직하다.

상기 공정들을 통해, 화소 TFT 및 화소 전극이 형성된 액티브 매트릭스 기판(제1 기판)이 형성되었다.

다음에, 액티브 매트릭스 기판(제1 기판)으로부터 액티브 매트릭스 형 액정 표시장치를 제작하는 공정을 설명한다. 먼저, 화소 TFT 및 화소 전극이 형성된 제1 기판상에 배향막(573)을 형성한다. 대향 기판(제2 기판)(574)상에는 투명 도전막(575)과 배향막(576)을 형성한다. 필요에 따라 제2 기판상에 컬러 필터 또는 차폐막을 형성할 수도 있다. 본 실시예에서는, 배향막으로서 폴리아미드막을 사용한다. 배향막(573)을 로울 코터(roll coater)에 의해 도포한 후, 200°C로 90분간 가열한다. 한편, 배향막(573)을 형성하기 전에 제1 기판을 세정하는 것이 바람직하다. 그후, 직물이 장착된 로울러로 배향막의 표면을 문지르고, 러빙 배향 처리를 행하여, 액정 분자들이 어떤 일정한 프리틸트(pretilt)각(6° ~ 10°, 바람직하게는, 7° ~ 8°)으로 배향되게 한다.

그 다음, 배향막(573)상에 스페이서 재료 층으로서 감광성 아크릴 수지(NN700: JSR사 제품)를 900 rpm의 회전 속도로 스펀 코팅하여, 그의 두께가 4.7 μm로 되게 한다. 그후, 열판을 사용하여 80°C, 3분간 가열한다. 가열 후의 감광성 아크릴 수지막의 두께는 4.0 μm로 되었다.

이렇게 하여 형성된 스페이서 재료 층에 노광용 마스크를 통해 기동형 스페이서의 패턴(크기: 6 μm 평방)을 노광시킨 후, 현상한다. 현상 조건으로는, 현상액으로서 CD-700(TMAH 0.14%)을 사용하고, 액 온도를 18 ± 1°C로 하고, 현상 시간을 60초로 한다. 그 다음, 청정한 오븐을 사용하여 180°C, 1분간 가열한다.

이렇게 하여, 제1 기판상에 기동형 스페이서(568)가 형성되었다(도 8(A)). 기동형 스페이서(568)의 형성 위치는 자유롭게 설계될 수 있기 때문에, 화상 표시 영역이 효과적으로 활용될 수 있다. 한편, 프리틸트각은 현상액을 통해 4° ~ 5°로 변경되었다.

도 12는 본 실시예의 화소 구조를 위에서 본 도면이다. 도 12에 도시된 바와 같이, 본 실시예에서는, 화소 TFT가 화소 전극(62)에 전기적으로 접속되는 콘택트부(65) 위에 기동형 스페이서(63)가 제공되어 있다. 또한, 도 12에서, 부호 565는 차폐막을 나타내고, 산화물(567)을 사이에 두고 차폐막 위에 화소 전극(62)이 제공되어 있다. 이때, 차폐막(565), 산화물(567), 및 화소 전극(62)으로 보유 용량(64a ~ 64c)이 형성된다. 본 실시예의 구조로 함으로써, 콘택트부에 형성된 단차(층간절연막(564)의 막 두께에 대응함)를 채우는 것이 가능하여, 단차로 인한 액정 분자의 배향 불량을 방지할 수 있다.

이와 같이, 본 실시예에서는, 기동형 스페이서가 TFT와 화소 전극의 콘택트부 위에 형성되는 예를 나타내지만, 기동형 스페이서(568)가 차폐막 또는 소스 배선상의 영역과 같은, 화상 표시 영역으로서 사용되지 않는 영역에 형성되면, 그 위치는 특별히 한정되지 않는다. 본 실시예에서는, 기동형 스페이서가 1 mm<sup>2</sup>당 100개 정도의 비율로 규칙적으로 화소부에 배치

되었다. 도 17(A)는 본 실시예의 기둥형 스페이서의 단면의 SEM 관찰 사진이다. 도 1(A)는 기둥형 스페이서의 외관을 나타내는 SEM 관찰 사진이고, 도 2(A)는 기둥형 스페이서의 배열을 나타내는 모식도이고, 도 2(B) 및 도 2(C)는 도 1(A)에 대응하는, 상이한 배율의 SEM 관찰 사진이다.

이 기둥형 스페이서의 형상은, 테이퍼부가 거의 없고, 상부가 평탄면을 가지고, 높이(H)가 4  $\mu\text{m}$ 이고, 폭(L1)이 6  $\mu\text{m}$ 이고, 곡률 반경이 1  $\mu\text{m}$  이하로 하였다. 기둥형 스페이서의 측면 중앙에서의 접평면과 기판 표면이 이루는 각도(a)는 85°~95°이고, 거의 수직이었다. 그러한 형상으로 함으로써, 광 누출이 감소될 수 있다.

#### 삭제

그 다음, 화소부와 구동회로가 형성된 액티브 매트릭스 기판을 공지의 셀 조립 공정에 의해 밀봉재(579)를 사이에 두고 대향 기판과 접합한다. 본 실시예에서는, 충전재(filler)(580)를 함유하는 밀봉재를 사용하여 기판 간격을 일정하게 유지하였다. 또한, 본 실시예에서는, 탄력성이 우수한 수지 재료로 된 기둥형 스페이서(568)를 사용하기 때문에, 접합 공정에서 가해지는 압력이 흡수(완화)될 수 있다. 또한, 본 실시예의 스페이서에서는, 소자에 대한 접촉 면적이 비드(bead) 모양의 스페이서의 것보다 크기 때문에, 과도한 압력이 특정 부위에 가해지는 경우가 발생하지 않는다.

그후, 양 기판 사이에 액정(578)을 주입하고, 봉지(封止)제(도시되지 않음)에 의해 완전히 봉지한다. 액정에는 공지의 액정 재료가 사용될 수 있다. 이렇게 하여, 도 8(B)에 도시된 액티브 매트릭스형 액정 표시장치가 완성된다.

도 8(B)에서, 구동회로에는 p채널형 TFT(701) 및 n채널형 TFT(702, 703)가 형성되고, 화소부에는 n채널형 TFT로 된 화소 TFT(704)가 형성되어 있다.

본 실시예의 공정 순서는 적절히 변경될 수도 있다. 어떤 순서로 하여도, 최종적으로 형성되는 TFT의 구조가 도 8(B)에 도시된 구조이면, 액티브 매트릭스 기판의 기본적인 기능은 변하지 않고, 본 발명의 효과가 저해되지 않는다.

구동회로의 p채널형 TFT(701)에는, 채널 형성 영역(601), 소스 영역(602), 및 드레인 영역(603) 각각이 p형 불순물 영역(a)로 형성된다. 실제로는 소스 영역 또는 드레인 영역의 일부에,  $1\times10^{20}\sim1\times10^{21}$  원자/cm<sup>3</sup>의 농도로 인을 함유하는 영역이 존재한다. 또한, 그 영역에는, 도 7(B)의 공정에서 게터링된 촉매원소가  $5\times10^{18}$  원자/cm<sup>3</sup>를 초과하는 농도(대표적으로는,  $1\times10^{19}\sim5\times10^{20}$  원자/cm<sup>3</sup>)로 존재한다.

또한, n채널형 TFT(702)에는, 채널 형성 영역(604), 소스 영역(605), 및 드레인 영역(606)이 형성되어 있고, 채널 형성 영역의 일측(드레인 영역측)에는, 게이트 절연막을 사이에 두고 게이트 배선과 겹치는 LDD 영역(본 명세서에서 이 영역을 Lov 영역이라 한다. "ov"는 오버랩을 의미함)이 형성되어 있다. 여기서, Lov 영역(607)은  $2\times10^{16}\sim5\times10^{19}$  원자/cm<sup>3</sup>의 농도로 인을 함유하고, 게이트 배선과 완전히 겹치도록 형성된다.

#### 삭제

n채널형 TFT(703)에는, 채널 형성 영역(608), 소스 영역(609), 및 드레인 영역(610)이 형성되어 있고, 채널 형성 영역의 양측에 LDD 영역(611, 612)이 형성되어 있다. 이 구조에서는 LDD 영역(611, 612)의 일부가 게이트 배선과 겹치도록 배치되기 때문에, 게이트 절연막을 사이에 두고 게이트 배선과 겹치는 LDD 영역(Lov 영역)과 게이트 배선가 겹치지 않는 LDD 영역(본 명세서에서 이 영역을 Loff 영역이라 한다. "off"는 오프셋을 의미함)이 형성되어 있다.

도 9에 도시된 단면도는 도 7(B)의 공정까지 제조된 상태의 도 8(B)에 나타낸 n채널형 TFT(703)를 나타내는 확대도이다. 여기에 나타내는 바와 같이, LDD 영역(611)은 Lov 영역(611a)과 Loff 영역(611b)으로 더 분류되고, LDD 영역(612)은 Lov 영역(612a)과 Loff 영역(612b)으로 더 분류된다. Lov 영역(611a, 612a)에는 인이  $2\times10^{16}\sim5\times10^{19}$  원자/cm<sup>3</sup>의 농도로 함유되고, Loff 영역(611b, 612b)에는 상기 농도의 1~2배(대표적으로는, 1.2~1.5배)의 농도로 인이 함유된다.

또한, 화소 TFT(704)에는, 채널 형성 영역(613, 614), 소스 영역(615), 드레인 영역(616), Loff 영역(617~620), 및 Loff 영역(618, 619)에 접하는 n형 불순물 영역(a)(621)이 형성되어 있다. 소스 영역(615) 및 드레인 영역(616) 각각은 n형 불순물 영역(a)로 형성되고, Loff 영역(617~629)은 n형 불순물 영역(c)로 형성된다.

본 실시예에서는, 화소부 및 구동회로의 각 회로 또는 소자를 형성하는 TFT의 구조가 원하는 회로 사양에 따라 최적화될 수 있고, 반도체장치의 동작 성능 및 신뢰도가 향상될 수 있다. 구체적으로는, n채널형 TFT에서의 LDD 영역 배치가 회로 사양에 따라 다르게 되고, Lov 영역 또는 Loff 영역을 적절히 사용함으로서, 빠른 동작 속도를 가지고 핫 캐리어 대책을 중시한 TFT 구조와, 낮은 오프 전류 동작을 중시한 TFT 구조를 동일 기판 위에 실현할 수 있다.

액티브 매트릭스형 액정 표시장치의 경우, 예를 들어, 시프트 레지스터 회로, 신호 분할 회로, 레벨 시프터 회로 및 버퍼 회로와 같은, 높은 동작 속도를 중시하는 구동회로에 n채널형 TFT(702)가 적합하다. 즉, 채널 형성 영역의 일측(드레인 영역측)에만 Lov 영역을 배치함으로써, 저항 성분을 극력 감소시키면서 핫 캐리어 주입에 의한 열화에 강한 구조가 된다. 이것은, 상기 회로군의 경우, 소스 영역과 드레인 영역의 기능이 변경되지 않고, 캐리어(전자) 이동방향이 일정하기 때문이다. 그러나, 필요에 따라, Lov 영역이 채널 형성 영역의 양측에 배치될 수도 있다.

또한, n채널형 TFT(703)는 핫 캐리어 대책 및 낮은 오프 전류 동작 모두를 중시하는 샘플링 회로(샘플 앤드 홀드 회로)에 적합하다. 즉, Lov 영역의 배치에 의해 핫 캐리어 대책이 실현될 수 있고, 또한, Loff 영역의 배치에 의해 낮은 오프 전류 동작이 실현된다. 또한, 샘플링 회로는 소스 영역 및 드레인 영역의 기능이 반전되고, 캐리어 이동방향이 180°변경되기 때문에, 게이트 배선을 중심으로 선대칭이 되는 구조가 사용되어야 한다. 경우에 따라서는 Lov 영역만을 형성하는 것이 가능하다.

또한, n채널형 TFT(704)는 낮은 오프 전류 동작을 중시한 화소부 또는 샘플링 회로(샘플 앤드 홀드 회로)에 적합하다. 즉, 오프 전류값 증가의 원인이 되는 Lov 영역이 사용되지 않고, Loff 영역만이 사용됨으로써, 낮은 오프 전류 동작이 실현될 수 있다.

또한, 구동회로 LDD 영역의 것보다 낮은 농도를 가진 LDD 영역을 Loff 영역으로 이용함으로써, 온(on) 전류값이 약간 떨어지더라도, 철저히 오프 전류값을 감소시키는 것이 가능하다. 또한, n형 불순물 영역(a)(621)이 오프 전류값을 감소시키는데 매우 효과적이라는 것이 확인되었다.

또한, n채널형 TFT(702)의 Lov 영역(607)의 길이(폭)는 0.1~3.0  $\mu\text{m}$ , 대표적으로는, 0.2~1.5  $\mu\text{m}$ 일 수 있다. 또한, n채널형 TFT(703)의 Lov 영역(611a, 612a)의 길이(폭)는 0.1~3.0  $\mu\text{m}$ , 대표적으로는, 0.2~1.5  $\mu\text{m}$ 일 수 있고, Loff 영역(611b, 612b)의 길이(폭)는 0.1~3.5  $\mu\text{m}$ , 대표적으로는, 1.5~2.0  $\mu\text{m}$ 일 수 있다. 또한, 화소 TFT(704)에 형성된 Loff 영역(617~620)의 길이(폭)는 0.5~3.5  $\mu\text{m}$ , 대표적으로는, 2.0~2.5  $\mu\text{m}$ 일 수 있다.

상기한 액티브 매트릭스형 액정 표시장치의 구성을 도 10의 사시도를 참조하여 설명한다. 액티브 매트릭스 기판(제1 기판)은 유리 기판(801) 위에 형성된 화소부(802), 게이트측 구동회로(803), 및 소스측 구동회로(804)를 포함한다. 화소부의 화소 TFT(805)(도 8(B)에 도시된 화소 TFT(704)에 대응)는 n채널형 TFT이고, 화소 전극(806) 및 보유 용량(807)(도 8(A)에 도시된 보유 용량(572)에 대응)에 접속되어 있다.

주변부에 재공되는 구동회로는 CMOS 회로를 기본으로 하여 구성되어 있다. 게이트측 구동회로(803) 및 소스측 구동회로(804)는 각각 게이트 배선(808) 및 소스 배선(809)을 통해 화소부(802)에 접속되어 있다. FPC(810)와 접속되는 외부 입출력 단자(811)에는 구동회로까지 신호를 전달하기 위한 입출력 배선(접속 배선)(812, 813)이 설치되어 있다. 부호 814는 대향 기판(제2 기판)을 나타낸다.

도 10에 도시된 반도체장치를 여기서는 액티브 매트릭스형 액정 표시장치라 부르지만, 도 10에 도시된 것과 같이 FPC가 부착된 액정 패널을 일반적으로 액정 모듈이라 한다.

도 11은 상기한 액정 표시장치의 회로 구성의 예를 나타낸다. 본 실시예의 액정 표시장치는 소스측 구동회로(901), 게이트측 구동회로(A)(907), 게이트측 구동회로(B)(911), 프리차지(precharge) 회로(912) 및 화소부(906)를 포함한다. 본 명세서에서, 구동회로는 소스측 구동회로와 게이트측 구동회로를 포함한 총칭이다.

소스측 구동회로(901)는 시프트 레지스터 회로(902), 레벨 시프터 회로(903), 버퍼 회로(904), 샘플링 회로(905)를 구비하고 있고, 게이트측 구동회로(A)(907)는 시프트 레지스터 회로(908), 레벨 시프터 회로(909), 및 버퍼 회로(910)를 구비하고 있으며, 게이트측 구동회로(B)(911)도 유사한 구조를 가진다.

여기서 시프트 레지스터(902, 908)의 구동 전압은 5~16 V(대표적으로는, 10 V)이고, 그 회로를 형성하는 CMOS 회로에 사용되는 n채널형 TFT에 도 8(B)에서 부호 702로 나타낸 구조가 적합하다.

또한, 레벨 시프터 회로(903, 909) 및 베퍼 회로(904, 910)에서는 구동 전압이 14~16 V로 높게 되지만, 시프트 레지스터 회로와 마찬가지로, 도 8(B)에 도시된 n채널형 TFT(702)를 포함하는 CMOS 회로가 적합하다. 게이트 배선에 2중 게이트 구조 및 3중 게이트 구조와 같은 멀티게이트 구조를 사용하면, 각 회로의 신뢰도를 향상시키는데 효과적이다.

또한, 샘플링 회로(905)는 14~16 V의 구동 전압을 갖지만, 소스 영역과 드레인 영역이 반전되고, 오프 전류값을 감소시킬 필요가 있으므로, 도 8(B)의 n채널형 TFT(702)를 포함하는 CMOS 회로가 적합하다. 도 8(B)에는 n채널형 TFT만이 도시되어 있지만, 실제로 샘플링 회로를 형성할 때 n채널형 TFT와 p채널형 TFT가 조합된다.

또한, 화소부(906)는 14~16 V의 구동 전압을 갖지만, 오프 전류값을 샘플링 회로의 오프 전류값보다 훨씬 낮게 감소시킬 필요가 있기 때문에, 오프 전류의 증가를 야기하는 Lov 영역이 배치되지 않은 구조로 하는 것이 바람직하고, 화소 TFT에도 8(B)의 n채널형 TFT(704)를 사용하는 것이 바람직하다.

### [실시예 2]

본 실시예에서는, 기둥형 스페이서를 밀봉 영역 이외의 장소에 설치하고, 기계적 강도를 보강하는 예를 도 13(A) 및 도 13(B)를 참조하여 설명한다. 본 실시예는 실시예 1의 도 8(B)에 도시되지 않은 영역(외부 단자 접속부)을 나타낸다. 따라서, 이 도면은 실시예 1의 도 8(B)에 대응하고, 동일한 부호를 일부 사용한다. 실시예 1과의 유일한 차이점은 밀봉재(1000)에 충전재(filler)를 나타내고 있지 않은 점이다.

도 13(A)는 외부 단자 접속부의 상면도이고, 도 13(B)는 외부 단자 접속부의 단면 구조도이고, 상면도의 d-d'를 따라 취한 단면 구조도 도시되어 있다.

도 13(A) 및 도 13(B)에서, 부호 1001은 기둥형 스페이서를 나타내고, 부호 1002는 외부 단자 접속부를 나타내고, 부호 1003은 ITO 막을 나타내고, 부호 1004는 도전성 스페이서를 나타내고, 부호 1005는 접착제를 나타내고, 부호 1006은 FPC를 나타낸다.

FPC(1006)에 접속되는 외부 단자 접속부(1002)가 p채널형 TFT(701)의 소스 전극(배선)으로부터 연장하여 있다.

본 실시예에서는, 밀봉재(1000)가 존재하는 밀봉 영역과 대향 기판(574)의 단부 사이에 기둥형 스페이서(1001)를 형성한다. 이 기둥형 스페이서(1001)는 인출 배선들 사이에 제공되어 기계적 강도를 보강한다. 또한, 이 기둥형 스페이서(1001)는 대향 기판의 절단 공정에서도 절단 불량을 방지하는 효과를 가진다. 여기서는, p채널형 TFT(701)의 소스 전극과 외부 단자 접속부 사이의 배선을 인출 배선이라 부른다. 이 기둥형 스페이서는 실시예 1에서 콘택트부에 형성되는 것과 동일한 공정에 의해 형성될 수 있다.

외부 단자 접속부(1002)상에는 화소 전극과 동일한 공정에 의해 ITO 막(1003)이 형성되고, FPC와의 우수한 콘택트가 형성된다.

접착제(1005)에는 금 페이스트(paste)와 같은 도전성 스페이서가 혼입되고, FPC(1006)가 클램핑(clamping)에 의해 ITO 막(1003)에 접속되어 있다.

### [실시예 3]

본 실시예에서는, 실시예 1과는 상이한 다음과 같은 방법(도 14(A)~도 14(E)는 간략화된 공정도이고, 도 15는 플로차트이다)에 의해 기둥형 스페이서를 형성하는 예에 대해 설명한다.

도 14(A)~도 14(E)를 참조하여 순서를 간단히 설명한다. 먼저, 제1 기판(1100)상에 스페이서 재료 층(1101)을 형성한다(도 14(A)). 그 다음, 실시예 1과 마찬가지로, 노광 및 현상을 행하여, 기둥형 스페이서(1102)를 형성한다(도 14(B)). 이어서, 기둥형 스페이서(1102)를 덮는 배향막(1103)을 형성하고, 러빙 처리를 행한다(도 14(C)). 그 다음, 배향막(1105)과 밀봉재(1106)가 형성된 제2 기판(1104)을 제1 기판(1100)과 접합한다(도 14(D)). 그 다음, 제1 기판 및 제2 기판을 적절한 형상으로 절단하고, 액정 재료(1107)를 주입하고, 봉지(封止)하여, 액정 패널을 완성한다(도 14(E)).

이하에 상세한 내용을 설명한다.

먼저, 실시예 1과 마찬가지로, 액티브 매트릭스 기판(제1 기판)을 형성한다. 화소 전극(569, 570)을 형성하는 공정까지는 정확히 동일한 공정을 사용하였다. 그 다음, 실시예 1과 동일한 스페이서 재료를 사용하고 동일한 조건(성막 조건, 노광 조건, 현상 조건, 베이킹(baking) 조건 등)으로 제1 기판상에 기둥형 스페이서(1201)를 형성하였다.

그 다음, 기둥형 스페이서를 덮도록 배향막(1202)을 형성하였다(도 16(A)). 그후, 러빙 처리를 행하였다. 이후, 이를 공정을 제외하고는 실시예 1과 동일한 방식으로 하여, 도 16(B)에 나타내는 액정 표시장치를 제작하였다.

도 17(B)는 본 실시예의 기둥형 스페이서의 단면의 SEM 관찰 사진이다.

이 기둥형 스페이서의 형상은, 테이퍼부가 존재하여도, 상부가 평탄면을 가지고, 폭(L1)이  $7\sim8 \mu\text{m}$ 이고, 곡률 반경이  $2 \mu\text{m}$ 가 되도록 한다. 이 기둥형 스페이서의 측면 중앙에서의 접평면과 기판 표면이 이루는 각도(a)는  $68^\circ$ 이었다. 본 실시예에서, 폭(L1)의 값은 배향막의 두께를 포함한다. 본 실시예에서는, 폭들 사이의 관계를  $1 \leq L2/L1 \leq 2.5$ 로 하면, 테이퍼부에서의 광 누설을 감소시킬 수 있어, 바람직하다.

실시예 1에서는, 최종 프리틸트각이 현상액의 영향으로  $4^\circ\sim5^\circ$ 이었다. 본 실시예에서는, 기둥형 스페이서를 형성한 후에, 배향막을 형성하고 러빙 처리를 행하기 때문에, 프리틸트각이  $6^\circ\sim10^\circ$ , 바람직하게는  $7^\circ\sim8^\circ$ 로 될 수 있어, 액정의 배향이 우수하게 될 수 있다.

또한, 본 실시예는 실시예 2와 조합될 수 있다.

#### [실시예 4]

본 실시예에서는, 도 18(A)에 도시된 바와 같이, 기둥형 스페이서를 제1 기판의 전체 표면에 일정한 간격으로 형성하는 예에 대하여 설명한다.

도 18(A)에서, 부호 1300은 밀봉재를 나타내고, 부호 1301은 제1 기판을 나타내고, 부호 1302는 화소부를 나타내고, 부호 1303은 게이트측 구동회로를 나타내고, 부호 1304는 소스측 구동회로를 나타내고, 부호 1305는 신호 분할 회로를 나타내고, 부호 1306은 외부 단자 접속부를 나타내고, 부호 1308은 밀봉 영역을 나타내고, 부호 1321은 제2 기판을 나타낸다.

본 실시예에서는, 기둥형 스페이서(1307)가 화소부와 소스측 구동회로 사이에 배치되고, 기둥형 스페이서(1309)는 외부 단자 접속부에 배치되고, 기둥형 스페이서(1310)는 화소부에 배치되고, 기둥형 스페이서(1311)는 게이트측 구동회로에 배치되고, 기둥형 스페이서(1312)는 밀봉 영역에 배치되었다. 기둥형 스페이서들은 각각 포토리소그래피법에 의해 일정한 간격으로 배치되었다. 이와 같이 기둥형 스페이서를 일정한 간격으로 배치함으로써, 균일한 기판 간격이 유지될 수 있다. 또한, 기둥형 스페이서(1312)를 밀봉 영역에 배치함으로써, 충전재가 사용되지 않아도 된다. 또한, 기둥형 스페이서(1309)를 외부 단자 접속부에 배치함으로써, 접속부에서의 기계적 강도가 보강될 수 있다. 또한, 각각의 기둥형 스페이서들은 실시예 1 또는 실시예 3에 나타낸 제작방법을 사용하여 형성될 수 있다.

도 18(B)는 도 18(A)에서 점선(1322)으로 둘러싸인 영역의 단면 구조를 개략적으로 나타낸다. 도 18(A)의 것과 동일한 부호를 사용한다. 도 18(A)에서, 부호 1314는 CMOS 회로를 나타내고, 부호 1315는 n채널형 TFT를 나타내고, 부호 1316은 화소 TFT를 나타내고, 부호 1317은 충간절연막을 나타내고, 부호 1318a는 화소 전극을 나타내고, 부호 1318b는 ITO 막을 나타낸다. 이 ITO 막(1318b)은 FPC와 같은 외부 단자에 접속되도록 형성된다. 또한, 부호 1319는 액정 재료를 나타내고, 부호 1320은 대향 전극을 나타낸다.

도 19(A)~도 19(C)는 스페이서 배치의 다른 형태를 나타낸다. 도 19(A)는 기둥형 스페이서(1407)가 밀봉 영역(1408) 내에 균일하게 형성되는 예를 나타내고, 도 19(B)는 화소부에는 기둥형 스페이서가 배치되지 않고, 밀봉 영역에 기둥형 스페이서(1410)가 배치되고, 외부 단자 접속부에 기둥형 스페이서(1409)가 배치되는 예를 나타내며, 도 19(C)는 밀봉 영역 이외의 영역에 기둥형 스페이서(1411, 1412)가 형성되는 예를 나타낸다. 각각의 기둥형 스페이서는 실시예 1 또는 실시예 3에 나타낸 제작방법을 사용하여 형성될 수 있다.

또한, 본 실시예는 실시예 1~3과 자유롭게 조합될 수 있다.

#### [실시예 5]

본 실시예에서는, 실시예 1의 것과 다른 액티브 매트릭스 기판(제1 기판)이 제조된다. 본 실시예의 TFT 제작방법의 상세한 것에 대해서는 일본국 특허출원 평11-104646호에 설명된 공정이 사용된다.

기판(1501)으로서 저알칼리 유리 기판 또는 석영 기판이 사용될 수 있다. TFT가 형성되는 이 기판(1501)의 표면에는, 기판(1501)으로부터의 불순물 확산을 방지하기 위해 산화규소막, 질화규소막 또는 질화산화규소막과 같은 하자막(1502)을 형성한다.

그 다음, 비정질 구조를 가지는 반도체막을 플라즈마 CVD법 또는 스퍼터링법과 같은 공자의 방법에 의해 20~150 nm(바람직하게는, 30~80 nm)의 두께로 형성한다. 본 실시예에서는, 비정질 규소막을 플라즈마 CVD법에 의해 55 nm의 두께로 형성하였다. 그 다음, 공자의 결정화 기술에 의해, 비정질 규소막으로부터 결정성 규소막을 형성한다. 예를 들어, 레이저 결정화법 또는 열 결정화법(고상 성장법)이 적용될 수 있으나, 여기서는, 일본국 공개특허공고 평7-130652호 공보에 개시된 기술에 따라, 촉매원소를 사용한 결정화법에 의해 결정성 규소막을 형성하였다.

그 다음, 결정성 규소막을 섬 형상으로 분할하여, 섬 형상의 반도체층을 형성한다. 그후, 플라즈마 CVD법 또는 스퍼터링법에 의해 산화규소막으로 된 마스크층을 50~100 nm의 두께로 형성한다. 그 다음, 레지스트 마스크를 제공하고, 스레시홀드 전압을 제어할 목적으로, n채널형 TFT를 형성하는 섬 형상의 반도체층의 전체 표면에, p형 도전성을 부여하는 불순물 원소로서 붕소(B)를 약  $1\times10^{16}\sim5\times10^{17}$  원자/cm<sup>3</sup>의 농도로 첨가한다. 그 다음, 구동회로의 n채널형 TFT의 LDD 영역을 형성하기 위해, n형 도전성을 부여하는 불순물 원소를 섬 형상의 반도체층에 선택적으로 첨가한다. 이 목적을 위해, 레지스트 마스크를 미리 형성하였다. 그 다음, 마스크층을 플루오르화 수소산 등에 의해 제거하고, 첨가된 불순물 원소를 활성화시키는 공정을 행한다. 활성화는 질소 분위기에서 500~600°C로 1~4시간 열처리를 행하거나 또는 레이저 활성화 방법을 사용하는 것에 의해 행해질 수 있다. 또한, 양 방법을 병용할 수도 있다. 본 실시예에서는, 레이저 활성화 방법을 이용하였다.

그 다음, 규소를 함유한 절연막으로 된 게이트 절연막(1520)을 플라즈마 CVD법 또는 스퍼터링법에 의해 10~150 nm의 두께로 형성한다. 그 다음, 도전성 질화 금속막으로 된 도전층(A)와, 금속막으로 된 도전층(B)를 적층한다. 도전층(B)는 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo) 및 텉스텐(W) 중에서 선택된 한가지 원소 또는 상기 원소를 주성분으로 하는 합금, 또는 상기 원소들의 조합으로 된 합금막(대표적으로는, Mo-W 합금막 또는 Mo-Ta 합금막)으로 형성될 수 있고, 도전층(A)는 질화 탄탈(TaN), 질화 텉스텐(WN), 질화 티탄(TiN), 또는 질화 몰리브덴(MoN)으로 이루어진다. 본 실시예에서는, 도전층(A)로서 두께 30 nm의 질화 탄탈막이 사용되고, 도전층(B)로서 두께 350 nm의 탄탈(Ta)막이 사용되었고, 이들 도전층은 스퍼터링법에 의해 형성되었다.

그 다음, 레지스트 마스크를 형성하고, 도전층(A)와 도전층(B)를 한꺼번에 에칭하여 게이트 전극(1528~1531)과 용량 배선(1532)을 형성한다.

그 다음, 구동회로의 p채널형 TFT의 소스 영역 및 드레인 영역을 형성하기 위해, p형 도전성을 부여하는 불순물 원소를 첨가하는 공정을 행한다. 여기서는, 게이트 전극(1528)을 마스크로 하여, 자기정합적으로 불순물 영역들을 형성한다. 이 때, n채널형 TFT가 형성될 영역을 미리 레지스트 마스크로 피복하여 둔다.

그 다음, n채널형 TFT에서, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역을 형성한다.

그 다음, 화소 매트릭스 회로의 n채널형 TFT의 LDD 영역을 형성하기 위해, n형 도전성을 부여하는 불순물 원소를 첨가하는 공정을 행한다. 그후, n형 또는 p형 도전성을 부여하기 위해 각각의 농도로 첨가된 불순물 원소들을 활성화시키기 위해, 질소 분위기에서 노 어닐법에 의해 활성화 공정을 행한다. 여기서 행해지는 활성화 공정의 열처리에 의해, n채널형 및 p채널형 TFT의 채널 형성 영역으로부터 촉매원소가 게터링될 수 있다. 이 열처리에서, 게이트 전극(1528~1531)의 표면과, 게이트 절연막(1520)을 사이에 두고 불순물 영역(1527) 위에 존재하는 용량 배선(1532)의 표면에 질화 금속층이 형성된다. 또한, 섬 형상의 반도체층을 수소화하는 공정을 행한다.

활성화 및 수소화 공정이 종료된 후, 게이트 배선(1547, 1548) 및 용량 배선(1549)을 형성하였다.

그 다음, 산화규소막 또는 질화산화규소막으로 된 제1 충간절연막(1550)을 500~1500 nm의 두께로 형성하고, 각각의 섬형상 반도체층에 형성된 소스 영역 또는 드레인 영역에 이르는 콘택트 홀을 형성하고, 소스 배선(1551~1554) 및 드레인 배선(1555~1558)을 형성한다. 그 다음, 패시베이션막(1559)으로서, 질화규소막, 산화규소막 또는 질화산화규소막을 50~500 nm(전형적으로는, 100~300 nm)의 두께로 형성한다.

### 작제

그후, 유기 수지로 된 제2 충간절연막(1560)을 1.0~1.5 nm의 두께로 형성한 다음, 드레인 영역(1526)과 접촉하는 드레인 배선(1558)에 이르는 콘택트 홀을 제2 충간절연막(1560)에 형성하고, 화소 전극(1561, 1562)을 형성한다. 투과형 액정 표시장치를 제조하는 경우에는 화소 전극들이 투명 도전막을 사용하여 형성될 수 있고, 반사형 액정 표시장치를 제조하는 경우에는 화소 전극들이 금속막으로 형성될 수 있다.

그 다음, 기동형 스페이서(1607)를 형성한다. 이 기동형 스페이서(1607)를 형성하는 공정은 실시예 3의 스페이서 제작공정과 동일하기 때문에, 그의 설명은 생략한다. 그 다음, 실시예 3과 마찬가지로, 기동형 스페이서(1607)를 덮는 배향막(1601)을 형성한다. 배향막을 형성한 후, 러빙 처리를 행하여, 액정 분자가 어떤 일정한 프리틸트각( $6^\circ \sim 10^\circ$ , 바람직하게는,  $7^\circ \sim 8^\circ$ )으로 배향되게 한다. 그리고, 맞은 편의 대향 기판(1602)상에 차광막(1603), 투명 도전막(1604), 및 배향막(1605)을 형성한다. 그리고, 화소 매트릭스 회로 및 CMOS 회로가 형성된 액티브 매트릭스 기판과 대향 기판을 공지의 셀조립 공정에 의해 접합한다. 그후, 양 기판 사이에 액정 재료(1606)를 주입하고, 봉지제(도시되지 않음)에 의해 완전히 봉지한다. 액정 재료에는 공지의 액정 재료가 사용될 수 있다. 이렇게 하여, 도 20에 도시된 액티브 매트릭스 액정 표시장치가 완성된다.

도 20에서, 구동회로에는 p채널형 TFT(1701), 제1 n채널형 TFT(1702) 및 제2 n채널형 TFT(1703)가 형성되고, 표시영역에는 화소 TFT(1704) 및 보유 용량(1705)이 형성되어 있다.

또한, 본 실시예는 실시예 1~4와 자유롭게 조합될 수 있다.

### [실시예 6]

본 실시예에서는, 상기 실시예와 상이한 TFT를 사용하여 표시장치를 제작하는 예에 대하여 설명한다.

상기 실시예에서는, 탑 게이트형 TFT가 사용되지만, 본 실시예에서는 보텀 게이트형 TFT를 사용하여 제1 기판을 제조한다.

도 21에서, 부호 1814는 CMOS 회로를 나타내고, 부호 1815는 n채널형 TFT를 나타내고, 부호 1816은 화소 TFT를 나타내고, 부호 1817은 충간절연막을 나타내고, 부호 1818a는 화소 전극을 나타내고, 부호 1818b는 ITO 막을 나타낸다. 이 ITO 막(1818b)은 FPC(1823)와 같은 외부 단자에 접속되도록 배치된다. 또한, 부호 1819는 액정 재료를 나타내고, 부호 1820은 대향 전극을 나타낸다. 또한, 부호 1801은 제1 기판을 나타내고, 부호 1808은 밀봉 영역을 나타내고, 부호 1821은 제2 기판을 나타낸다. 부호 1822는 접착제를 나타낸다.

또한, 본 실시예에서는, 기동형 스페이서(1807)가 화소부와 소스측 구동회로 사이에 배치되고, 기동형 스페이서(1809)는 외부 단자 접속부에 배치되고, 기동형 스페이서(1810)는 화소부에 배치되고, 기동형 스페이서(1811)는 게이트측 구동회로에 배치되고, 기동형 스페이서(1812)는 밀봉 영역에 배치된다. 각각의 기동형 스페이서는 포토리소그래피법에 의해 일정한 간격으로 배치된다. 이와 같이, 기동형 스페이서를 일정한 간격으로 배치함으로써, 균일한 기판 간격이 유지될 수 있다. 또한, 기동형 스페이서(1812)를 밀봉 영역에 배치함으로써, 충전재가 사용되지 않아도 된다. 또한, 기동형 스페이서(1809)를 외부 단자 접속부에 배치함으로써, 접속부에서의 기계적 강도를 보강할 수 있다. 각각의 기동형 스페이서는 실시예 1 또는 실시예 3에 나타낸 제작방법에 의해 형성될 수 있다.

상기 TFT 구조를 얻기 위한 제작공정은 공지의 기술을 사용할 수 있고, 특별히 한정되지는 않는다.

또한, 본 실시예는 실시예 1과 자유롭게 조합될 수 있다.

### [실시예 7]

본 실시예에서는, 본 발명의 기동형 스페이서가 터치(touch) 패널을 구비한 액정 표시장치에 적용되는 경우를 도 22(A) 및 도 22(B)를 참조하여 설명한다.

도 22(A)는 광학식 터치 패널(3002)을 구비한 휴대형 정보 단말기의 외관도 및 단면도이다.

도 22(A)에서, 부호 3001은 디지털 카메라를 나타내고, 부호 3002는 터치 패널을 나타내고, 부호 3003은 액정 패널을 나타내고, 부호 3004는 LED 백라이트를 나타내고, 부호 3100은 발광 소자를 나타내고, 부호 3200은 수광 소자를 나타낸다.

이 터치 패널을 구비한 표시장치에서는, 손가락 끝 또는 펜 끝이 터치 패널(3002)의 표면에 접촉하면, 그 패널의 단부에 설치된 발광 소자(3100)로부터의 광로 "a"의 일부가 차단되고, 광의 일부가 광로 "b"로 진행한다. 그 광로 "a"의 일부가 차단된 발광 소자에 대응하는 수광 소자(3200)가 광을 받지 못하기 때문에, 접촉된 장소의 시간적 위치 변화를 검출하는 것이 가능하다.

본 실시예에서는, 본 발명의 기동형 스페이서(3005)가 액정 표시 패널(3003)에 사용되었다. 이 기동형 스페이서는 실시예 1 또는 실시예 3에서 설명된 제작방법에 의해 형성된다. 그렇게 함으로써, 기계적 강도가 보강되고, 강한 패널이 제조될 수 있다. 또한, 본 발명의 기동형 스페이서에 의하면, 외부로부터의 압력(손가락 끝 또는 펜 끝으로부터의)에 의해 기판 간격이 거의 변화하지 않기 때문에, 표시 화상이 쉽게 흐트러지지 않는다.

본 실시예에서는, LED 백라이트를 사용한 투과형 LCD 패널이 사용되지만, 백라이트를 사용하지 않는 반사형 LCD 패널이 사용될 수도 있다. 또한, 외부 광의 양에 따라 반사형 또는 투과형으로 자유롭게 변경될 수 있는 LCD 패널이 사용될 수도 있다.

도 22(B)는 펜 입력식 터치 패널(3102)을 구비한 휴대형 정보 단말기의 외관도 및 단면도이다.

도 22(B)에서, 부호 3102는 터치 패널을 나타내고, 부호 3103은 액정 패널을 나타내고, 부호 3104는 백라이트를 나타내고, 부호 3105는 입력 펜을 나타낸다.

이 터치 패널을 구비한 표시장치에서는, 터치 패널(3120)의 표면에 감압식 또는 정전용량식 검출 소자가 설치되어 있다. 입력 펜(3105)이 그 패널에 접촉하면, 검출 소자에 의해 시간적 위치 변화가 검출될 수 있다.

본 실시예에서는, 본 발명의 기동형 스페이서(3106)가 액정 패널(3130)에 사용되었다. 이 기동형 스페이서는 실시예 1 또는 실시예 3에서 설명된 제작방법에 의해 형성된다. 그렇게 함으로써, 기계적 강도가 보강되고, 강한 패널이 제조될 수 있다. 또한, 본 발명의 기동형 스페이서에 의해, 외부로부터의 압력(손가락 끝 또는 펜 끝으로부터의)에 의해 기판 간격이 거의 변화하지 않기 때문에, 표시 화상이 쉽게 흐트러지지 않는다.

감압식 또는 정전용량식 검출 소자가 배치된 터치 패널(3102)이 LCD 패널(3103)과 직접 접촉하여 있기 때문에, LCD 패널(3103)이 외부로부터의 압력을 받기 쉽고 효과적이다.

또한, 본 실시예의 구성은 실시예 1~6의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 8]

본 실시예에서는, 본 발명을 규소 기판 위에 형성된 반사형 액정 표시장치에 적용하는 경우를 설명한다. 실시예 1의 결정 성 규소막을 포함하는 활성층 대신에 규소 기판(실리콘 웨이퍼)에 직접 n형 또는 p형 불순물 원소를 첨가함으로써 TFT 구조가 실현될 수 있다. 또한, 반사형이기 때문에, 화소 전극으로서 높은 반사율을 가진 금속막(예를 들어, 알루미늄, 은 또는 이들 원소의 합금(Al-Ag 합금) 등이 사용될 수 있다.

본 실시예의 구성은 실시예 1~7의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 9]

본 발명은, 종래의 MOSFET 위에 층간절연막이 형성되고 그 위에 TFT가 형성되는 경우에도 적용될 수 있다. 즉, 3차원 구조의 반도체장치를 실현하는 것이 가능하다. 또한, 기판으로서, SIMOX, Smart-Cut(SOITEC INC.의 등록상표), ELTRAN(CANON INC.의 등록상표) 등과 같은 SOI 기판을 사용하는 것도 가능하다.

본 실시예의 구성은 실시예1~8의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 10]

본 발명을 액티브 매트릭스형 EL(전계 발광) 표시장치에 적용하는 것이 가능하다. 일 예를 도 23에 나타낸다.

도 23은 액티브 매트릭스 EL 표시장치의 회로도이다. 여기서, 부호 11은 화소부를 나타내고, 그 화소부 주변에는 X방향 구동회로(12) 및 Y방향 구동회로(13)가 배치되어 있다. 화소부(11)의 각 화소는 스위칭용 TFT(14), 보유 용량(15), 전류 제어용 TFT(16), 유기 EL 소자(17)를 포함한다. 스위칭용 TFT(14)에 X방향 신호선(18a 또는 18b) 및 Y방향 신호선(19a 또는 19b 또는 19c)이 접속되고, 전류 제어용 TFT(16)에 전원선(20a, 20b)이 접속되어 있다.

본 발명의 액티브 매트릭스형 EL 표시장치에서는, X방향 구동회로(12) 및 Y방향 구동회로(13)에 사용되는 TFT는 도 8 (B)의 p채널형 TFT(701)와 n채널형 TFT(702 또는 703)를 조합하여 형성된다. 스위칭용 TFT(14) 및 전류 제어용 TFT(16)는 도 8(B)의 n채널형 TFT(704)로 형성되어 있다.

#### [실시예 11]

본 발명에 따라 제작된 액정 표시장치에 다양한 액정 재료를 사용하는 것이 가능하다. 그러한 액정 재료의 예로서는, TN 액정, PDLC(폴리머 분산형 액정), FLC(강유전성 액정), AFLC(반강유전성 액정), 및 FLC와 AFLC의 혼합물을 들 수 있다.

예를 들어, Furue, H. 등의 "Characteristics and Driving Scheme of Polymer-stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-scale Capability"(SID, 1998년); Yoshida, T. 등의 "A Full-color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time"(SID 97 디스플레이 제스트, 841, 1997년); 및 미국 특허 제5,594,569호에 개시된 액정 재료가 사용될 수 있다.

특히, 슬레시홀드를 갖지 않는(슬레시홀드리스) 반강유전성 액정(thresholdless antiferroelectric LCD: TL-AFLC로 약칭됨)을 사용하면, 액정의 동작 전압이 대략  $\pm 2.5$  V로 감소되기 때문에 5~8의 전원 전압으로도 충분한 경우가 있다. 즉, 구동회로와 화소 매트릭스 회로를 동일한 전원 전압으로 구동시키는 것이 가능하게 되기 때문에, 액정 표시장치 전체의 소비전력이 감소될 수 있다.

또한, 슬레시홀드리스 반강유전성 LCD 중에 V자 형태의 전기광학 응답 특성을 나타내는 것이 있고, 그의 구동 전압이 대략  $\pm 2.5$  V(셀 두께: 대략 1~2 mm)인 것으로 판명되었다.

V자 형태의 전기광학 응답을 나타내는 슬레시홀드리스 반강유전성 혼합 액정의 인가 전압에 대한 광 투과율의 특성을 도 24에 나타낸다. 도 24에 도시된 그래프의 수직축은 투과율(임의의 단위로 표시됨)을 나타내고, 수평축은 인가 전압을 나타낸다. 액정 패널에 있어서의 입사측의 편광판의 투과축은 액정 패널의 러빙 방향과 거의 일치하고 슬레시홀드리스 반강유전성 혼합 액정의 스맥터 층에 수직인 방향에 거의 평행하게 설정되어 있다. 또한, 출력측의 편광판의 투과축은 입사측의 편광판의 투과축에 거의 수직(크로스 나콜(crossed Nicols))으로 설정되어 있다.

또한, 강유전성 액정 및 반강유전성 액정은 TN 액정에 비해 높은 응답 속도를 가진다는 이점이 있다. 본 발명에서 사용되는 매우 빠른 동작 속도의 TFT를 실현하는 것이 가능하기 때문에, 강유전성 액정 및 반강유전성 액정의 빠른 응답 속도를 충분히 이용함으로써 빠른 화상 응답 속도를 가진 액정 표시장치를 실현할 수 있다.

본 실시예의 액정 표시장치를 퍼스널 컴퓨터 등과 같은 전자 장치의 표시장치에 사용하는 것이 효과적임은 물론이다.

본 실시예의 구성은 실시예 1~10의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 12]

본 발명을 실시하여 형성된 TFT는 다양한 전기광학 장치에 사용될 수 있다. 즉, 본 발명은 이들 전기광학 장치를 표시장치로 구비한 모든 전자 장치에 실시될 수 있다.

이러한 전자 장치의 예로서는, 비디오 카메라, 디지털 카메라, 헤드 장착형 표시장치(고글형 표시장치), 착용형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기 및 전자 책과 같은)를 들 수 있다. 이들 전자 장치의 일부 예를 도 25(A)~도 25(F)에 나타낸다.

도 25(A)는 본체(2001), 화상 입력부(2002), 표시부(2003), 및 키보드(2004)를 포함하는 퍼스널 컴퓨터를 나타낸다. 본 발명은 화상 입력부(2002), 표시부(2003) 및 다른 구동회로에 적용될 수 있다.

도 25(B)는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 수상부(受像부)(2106)를 포함하는 비디오 카메라를 나타낸다. 본 발명은 표시부(2102), 음성 입력부(2103), 또는 다른 구동회로에 적용될 수 있다.

도 25(C)는 본체(2201), 카메라부(2202), 수상부(2203), 조작 스위치(2204), 및 표시부(2205)를 포함하는 모바일 컴퓨터를 나타낸다. 본 발명은 표시부(2205) 또는 다른 구동회로에 적용될 수 있다.

도 25(D)는 본체(2301), 표시부(2302), 및 암(arm)부(2303)를 포함하는 고글형 표시장치를 나타내는 것이다. 본 발명은 표시부(2302) 또는 다른 구동회로에 적용될 수 있다.

도 25(E)는 프로그램이 기록된 기록 매체(이하, 기록 매체라 함)를 사용하는 플레이어를 나타내고, 이 플레이어는 본체(2401), 표시부(2402), 스피커부(2403), 기록 매체(2404), 및 조작 스위치(2405) 등을 포함한다. 이 장치는 기록 매체로서 DVD(digital versatile disk), CD 등을 사용하여 음악 감상, 영화 감상, 게임, 및 인터넷 이용을 행할 수 있다. 본 발명은 표시부(2402) 또는 다른 구동회로에 적용될 수 있다.

도 25(F)는 본체(2501), 표시부(2502), 접안부(2503), 조작 스위치부(2504), 및 수상부(도시되지 않음)를 포함하는 디지털 카메라를 나타낸다. 본 발명은 표시부(2502) 또는 다른 구동회로에 적용될 수 있다.

상기한 바와 같이, 본 발명의 액티브 매트릭스 표시장치의 적용 범위는 매우 넓고, 다양한 분야의 전자 장치에 적용할 수 있다. 또한, 본 실시예의 전자 장치는 실시예 1~9 및 11의 구성의 어느 조합에 의해서도 실현될 수 있다.

### [실시예 13]

본 발명을 실시하여 형성된 TFT는 다양한 전기광학 장치에 사용될 수 있다. 즉, 본 발명은 이들 전기광학 장치를 표시장치로 구비하는 모든 전자 장치에 실시될 수 있다.

그러한 전자 장치로서는, 프로젝터(리어(rear)형 또는 프론트(front)형)를 들 수 있다. 그들의 예를 도 26(A)~도 26(D)에 나타낸다.

도 26(A)는 표시부(2601) 및 스크린(2602)을 포함하는 프론트형 프로젝터를 나타낸다. 본 발명은 표시부(2601) 또는 다른 구동회로에 적용될 수 있다.

도 26(B)는 본체(2701), 표시부(2702), 거울(2703), 및 스크린(2704)을 포함하는 리어형 프로젝터를 나타낸다.

도 26(C)는 도 26(A) 및 도 26(B)의 표시부(2601, 2702)의 구조의 일 예를 나타낸다. 표시부(2601, 2702)는 광원 광학계(2801), 거울(2802, 2804~2806), 다이크로익(dichroic) 거울(2803), 브리즘(2807), 액정 표시장치(2808), 위상차판(2809), 및 투사 광학계(2810)를 포함한다. 투사 광학계(2810)는 투사 렌즈를 포함하는 광학계를 가지고 있다. 본 실시예는 3판식의 예를 나타내지만, 3판식에 한정되는 것은 아니고, 예를 들어, 단판식이어도 좋다. 또한, 실시자는 도 26(C)에서 화살표로 나타낸 광로에 광학 렌즈, 편광 기능을 가진 필름, 위상차를 조절하는 필름, IR 필름 등을 적절히 배치할 수도 있다.

도 26(D)는 도 26(C)의 광원 광학계(2801)의 구조의 일 예를 나타낸다. 본 실시예에서, 광원 광학계(2801)는 반사기(2811), 광원(22812), 렌즈 어레이(2813, 2814), 편광 변환 소자(2815), 및 집광 렌즈(2816)를 포함한다. 도 26(D)에 나타낸 광원 광학계는 일 예일 뿐이고, 특별히 한정되는 것은 아니다. 예를 들어, 실시자는 광원 광학계에 광학 렌즈, 편광 기

능을 가진 필름, 위상차를 조절하는 필름, IR 필름 등을 적절히 배치할 수도 있다. 상기한 바와 같이, 본 발명의 적용 범위는 매우 넓고, 각종 분야의 전자 장치에 적용할 수 있다. 또한, 본 실시예의 전자 장치는 실시예 1~9 및 11의 구성의 어느 조합에 의해서도 실현될 수 있다.

## 작제

### 발명의 효과

본 발명의 기동형 스페이서를 사용함으로써, 입자상 스페이서를 사용하지 않고도, 사용되는 액정의 특성 및 구동방법에 따라 자유 범위내에서 설계되는, 높은 정밀도의 두께를 가진 고품질의 액정 패널을 제공할 수 있다.

또한, 본 발명의 기동형 스페이서의 형상으로 함으로써, 액정의 배향 불량을 방지할 수 있다.

또한, 본 발명의 기동형 스페이서를 사용함으로써, 소자에 가해지는 부하가 감소되고, 소자 파손 등으로 인한 수율의 저하 및 신뢰성의 저하를 방지할 수 있다. 이와 같이, 액정 표시장치로 대표되는 전기광학 장치의 동작 성능의 향상 및 신뢰성의 향상을 달성할 수 있다.

### 도면의 간단한 설명

도 1(A) 및 도 1(B)는 본 발명의 기동형 스페이서에 대한 SEM 관찰 사진 및 그의 모식도.

도 2(A)~도 2(C)는 기동형 스페이서의 배치 예를 나타내는 도면 및 SEM 관찰 사진.

도 3(A)~도 3(E)는 본 발명의 제작공정을 나타내는 도면.

도 4는 본 발명의 제작공정의 플로차트를 나타내는 도면.

도 5(A)~도 5(F)는 AM-LCD의 제작공정을 나타내는 도면.

도 6(A)~도 6(F)는 AM-LCD의 제작공정을 나타내는 도면.

도 7(A)~도 7(D)는 AM-LCD의 제작공정을 나타내는 도면.

도 8(A) 및 도 8(B)는 AM-LCD의 제작공정을 나타내는 도면.

도 9는 TFT의 단면 구조를 나타내는 도면.

도 10은 AM-LCD의 외관을 나타내는 도면.

도 11은 화소부 및 구동회로의 구성을 나타내는 도면.

도 12는 화소 구조를 나타내는 상면도.

도 13(A) 및 도 13(B)는 외부 단자와의 접속부의 예를 나타내는 도면.

도 14(A)~도 14(E)는 본 발명의 제작공정을 나타내는 도면.

도 15는 본 발명의 제작공정의 플로차트를 나타내는 도면.

도 16(A) 및 도 16(B)는 AM-LCD의 제작공정을 나타내는 도면.

도 17(A) 및 도 17(B)는 본 발명의 기동형 스페이서의 SEM 관찰 사진.

도 18(A) 및 도 18(B)는 기둥형 스페이서의 배치 예를 나타내는 도면.

도 19(A)~도 19(C)는 기둥형 스페이서의 배치 예를 나타내는 도면.

도 20은 액티브 매트릭스형의 액정 표시장치의 단면 구조를 나타내는 도면.

도 21은 액티브 매트릭스형의 액정 표시장치의 단면 구조를 나타내는 도면.

도 22(A) 및 도 22(B)는 터치 패널을 구비한 표시장치를 나타내는 도면.

도 23은 액티브 매트릭스형의 EL 표시장치의 구성을 나타내는 도면.

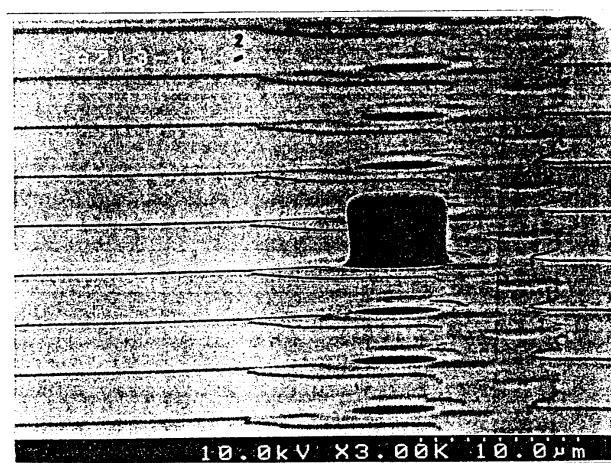
도 24는 스레시홀드리스(thresholdless) 반장유전성 혼합 액정의 인가 전압에 대한 광 투과율의 특성을 나타내는 그래프.

도 25(A)~도 25(F)는 전자 장치의 예를 나타내는 도면.

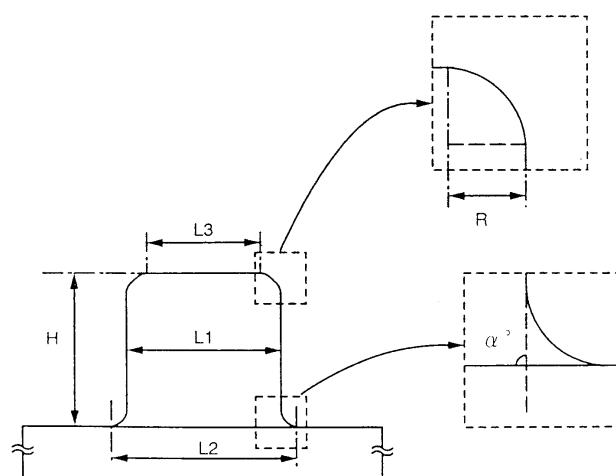
도 26(A)~도 26(D)는 전자 장치의 예를 나타내는 도면.

도면

도면1

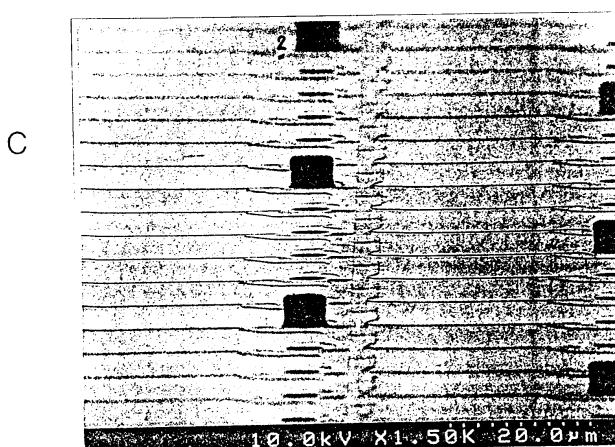
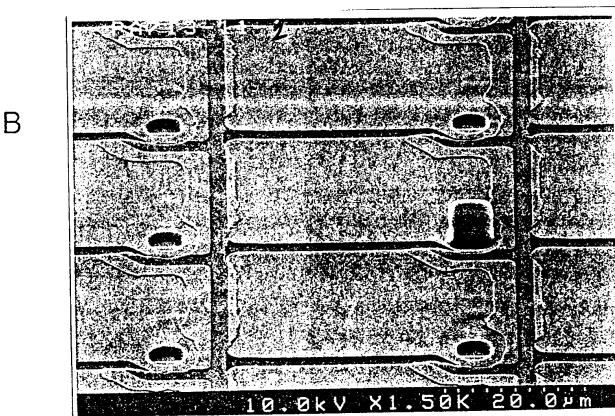
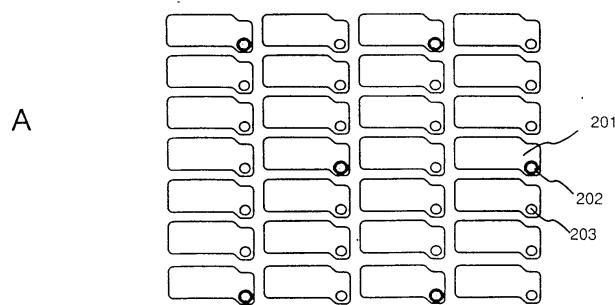


A

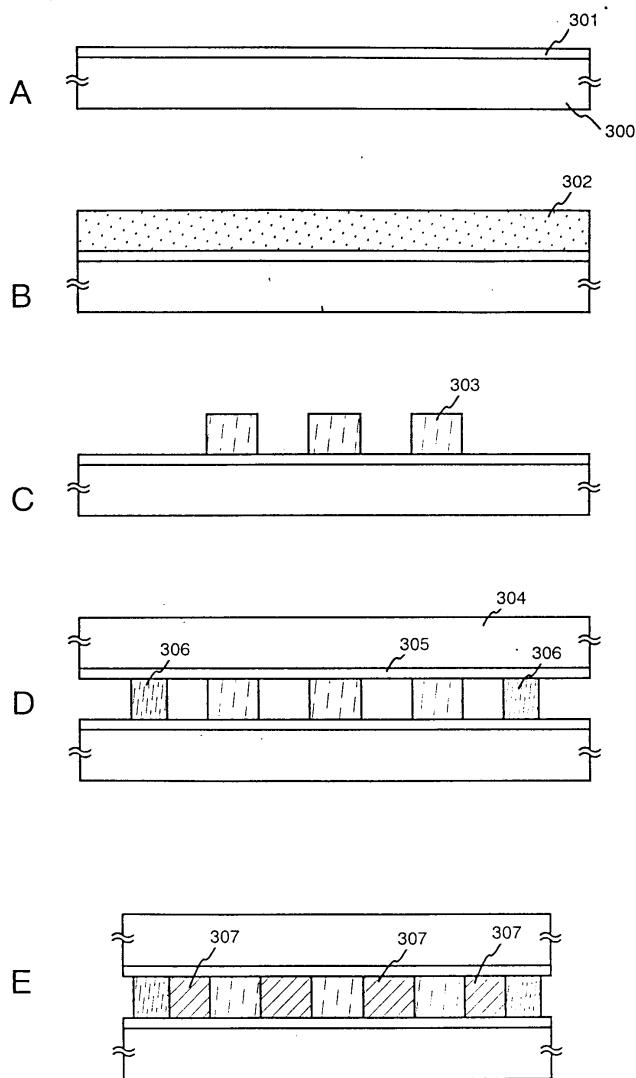


B

도면2

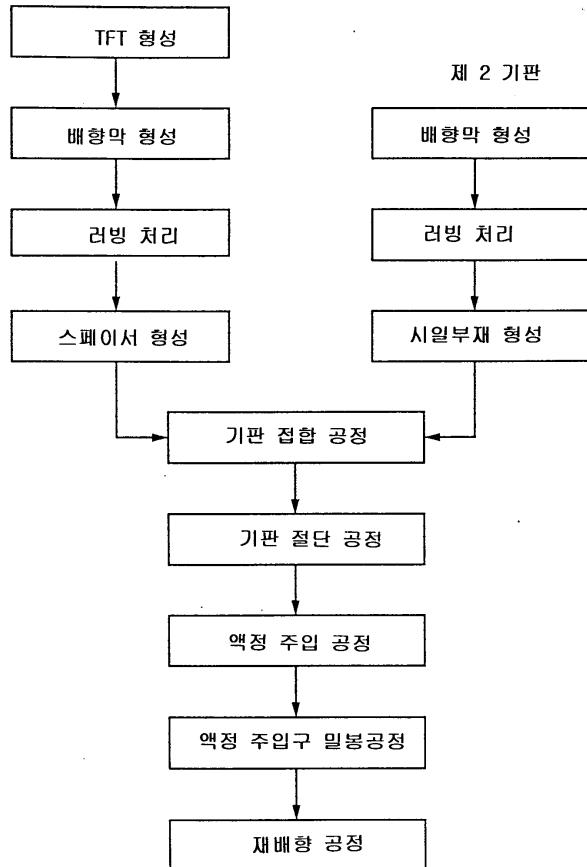


## 도면3

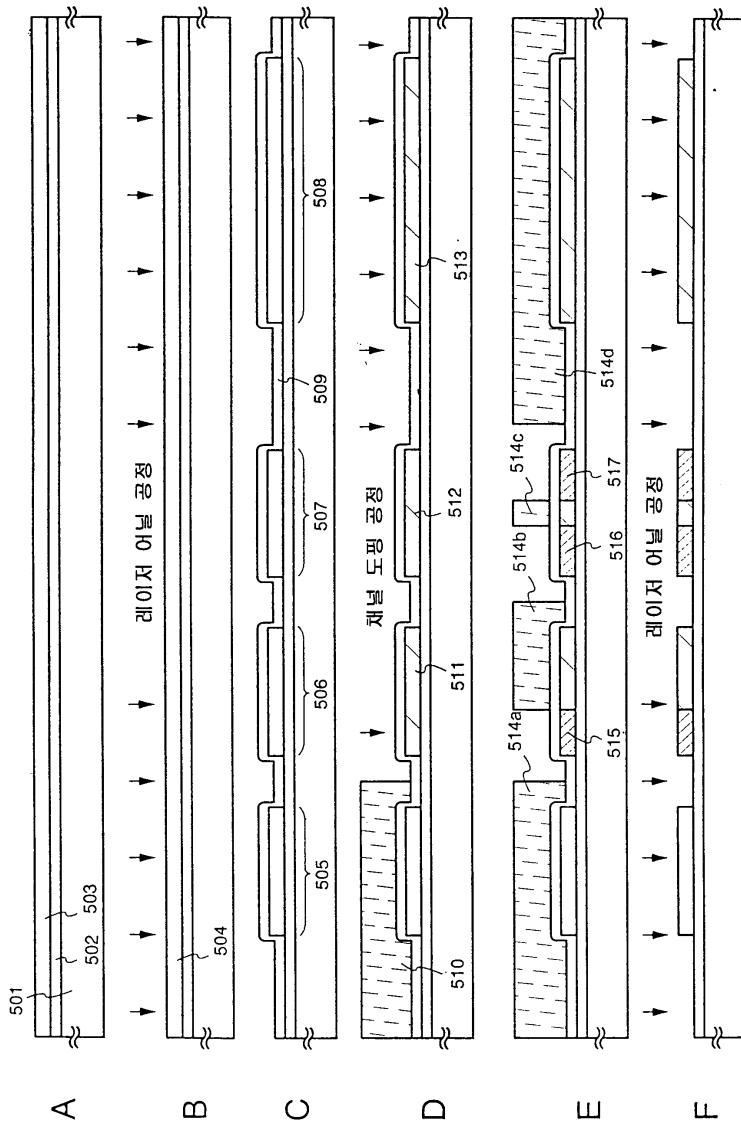


## 도면4

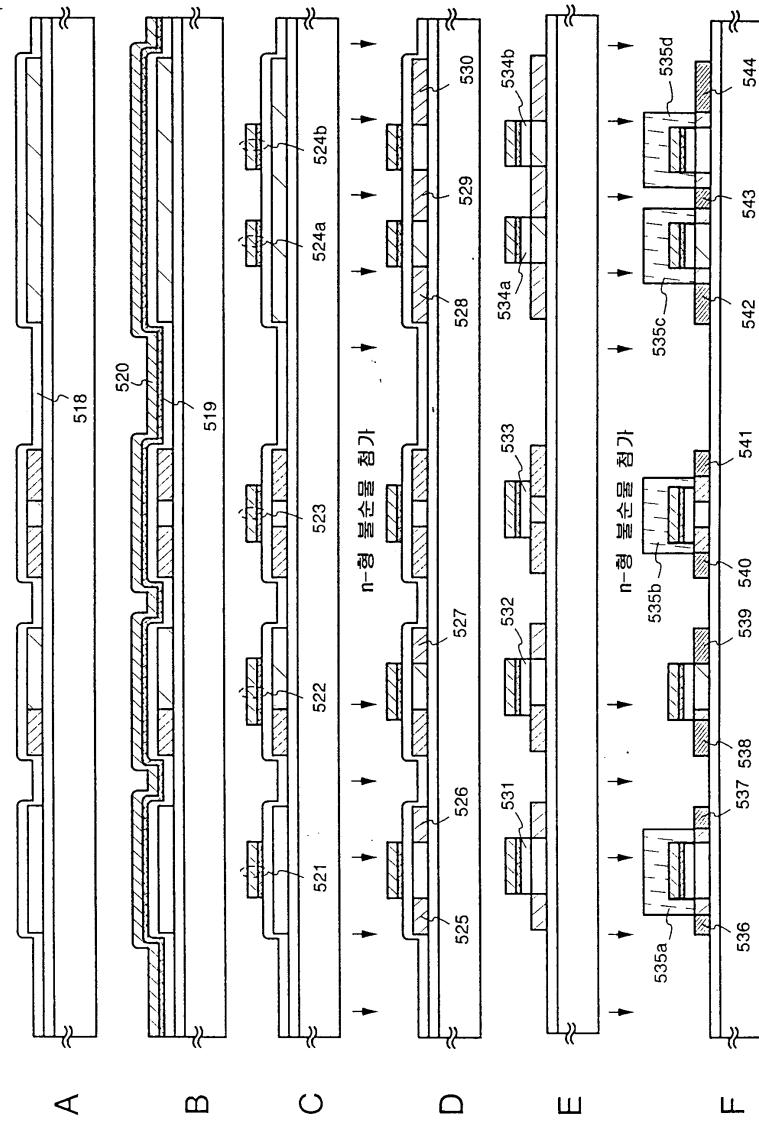
제 1 기판



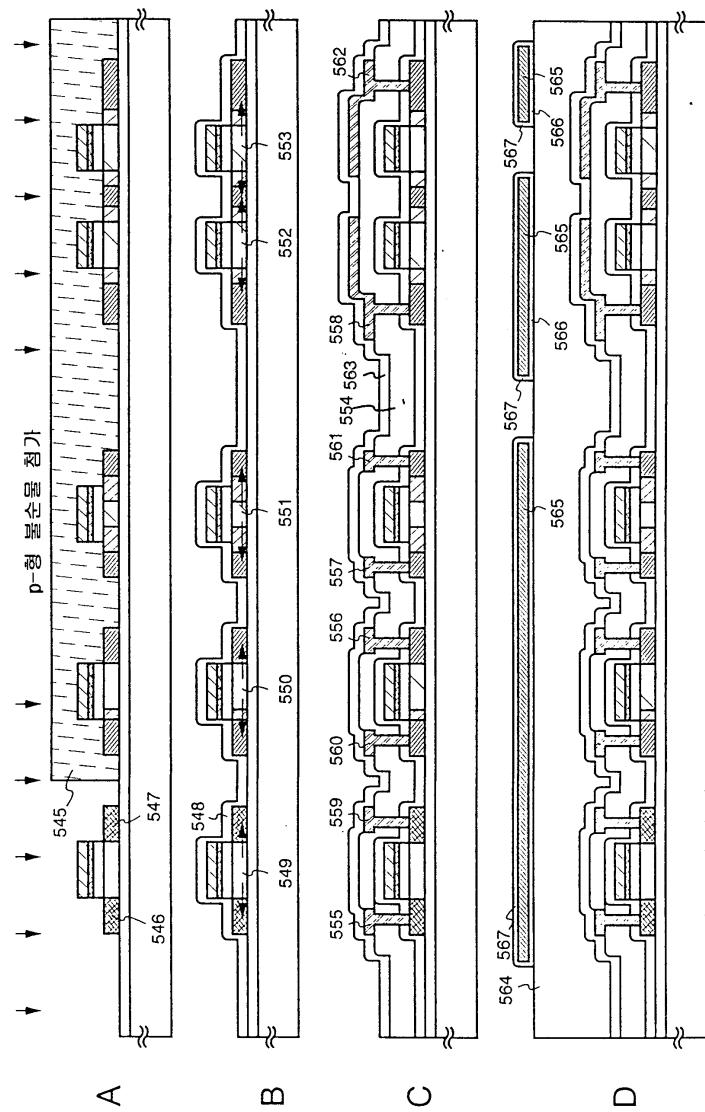
도면5



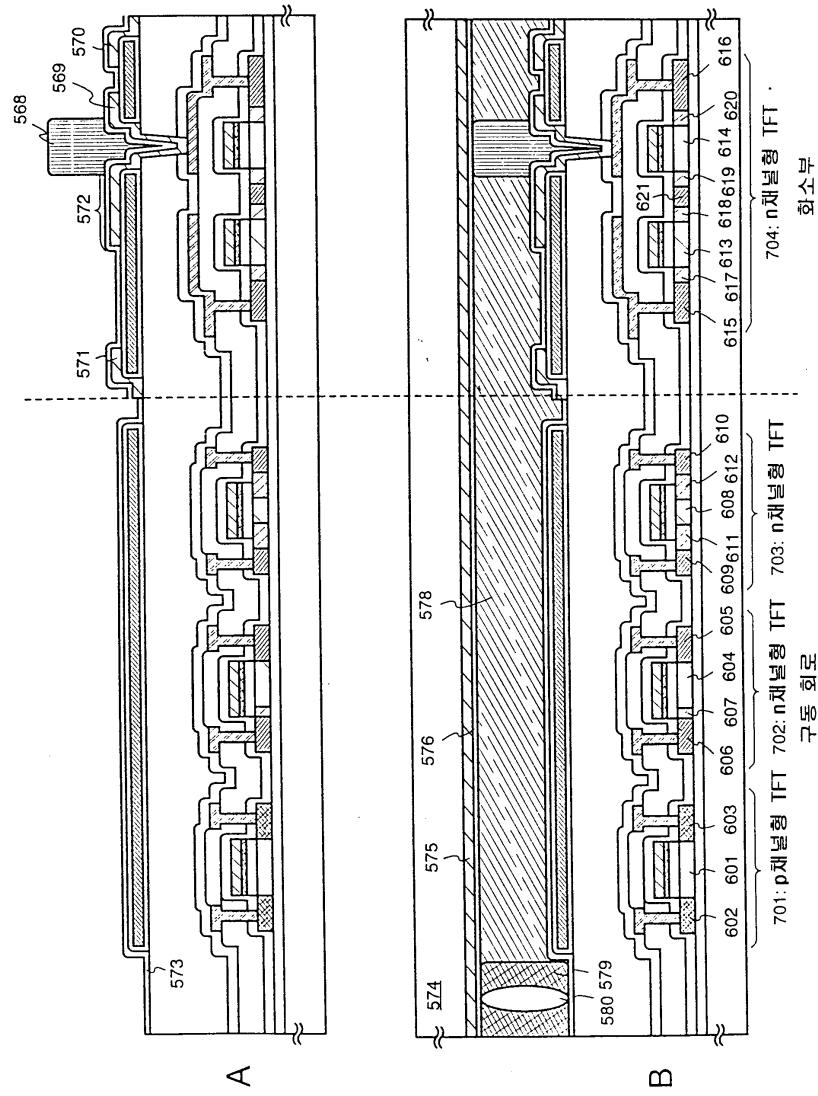
도면6



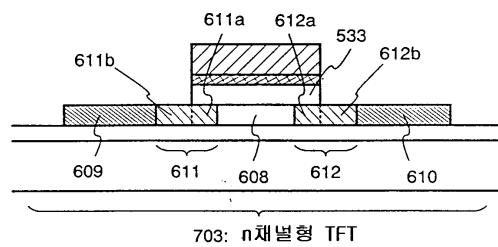
도면7



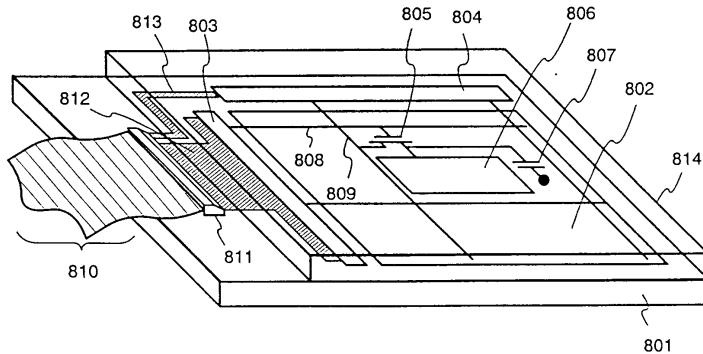
도면8



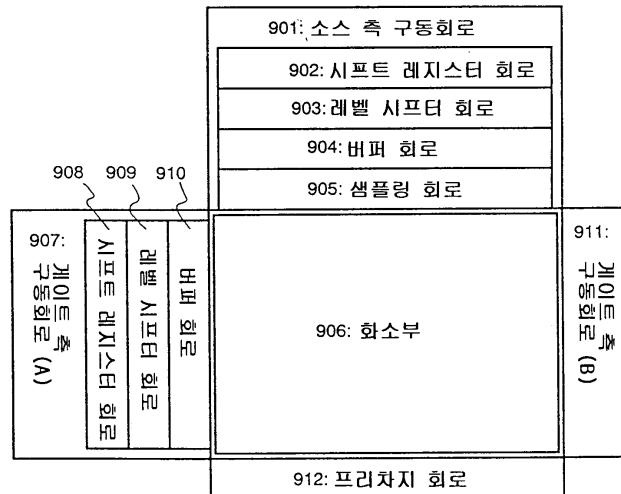
도면9



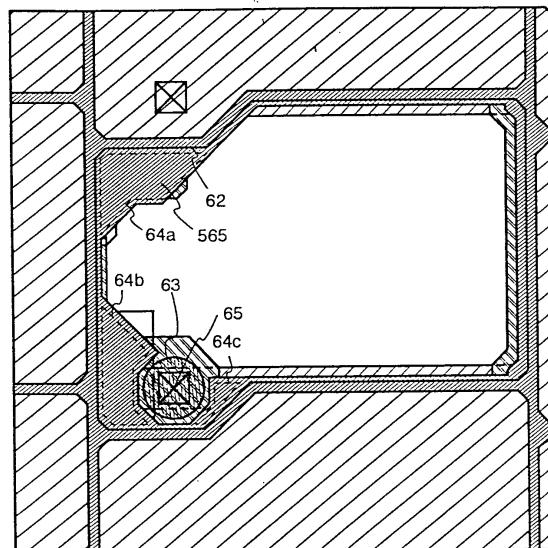
도면10



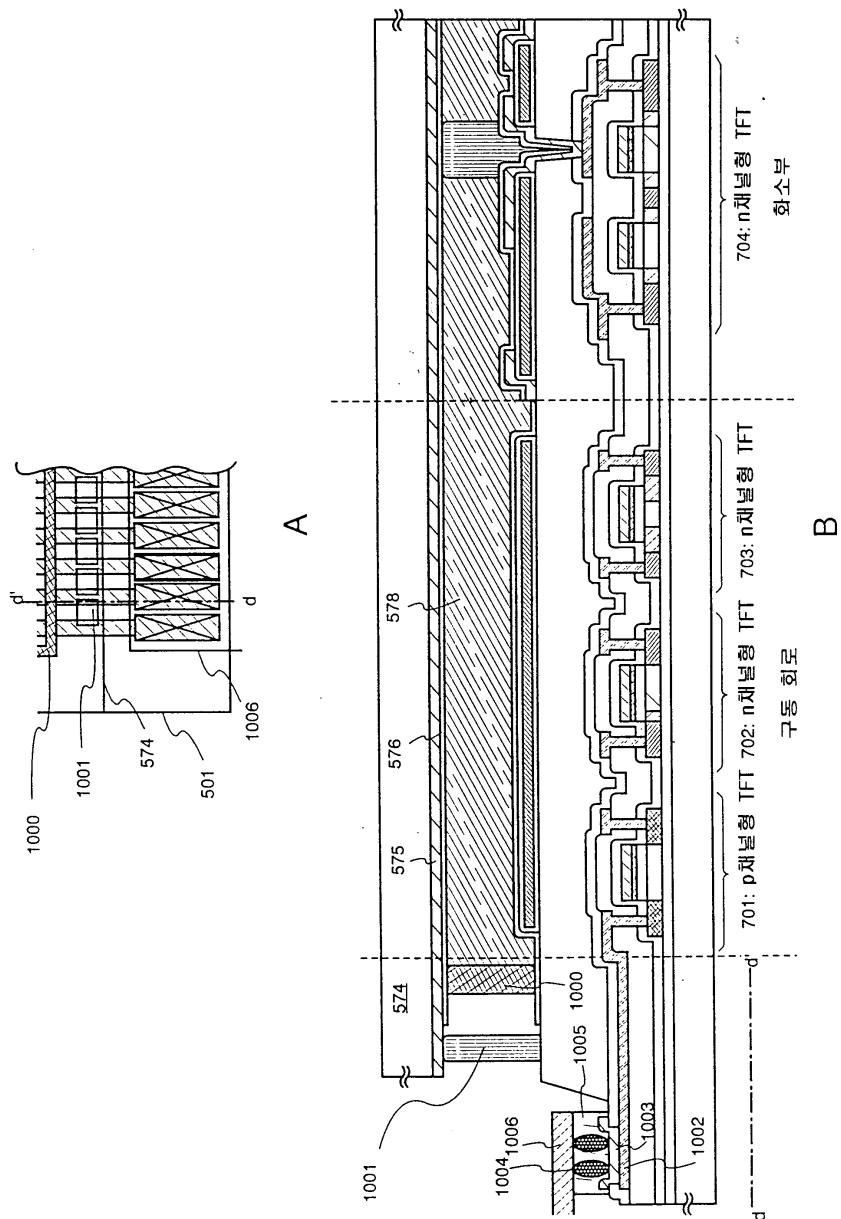
도면11



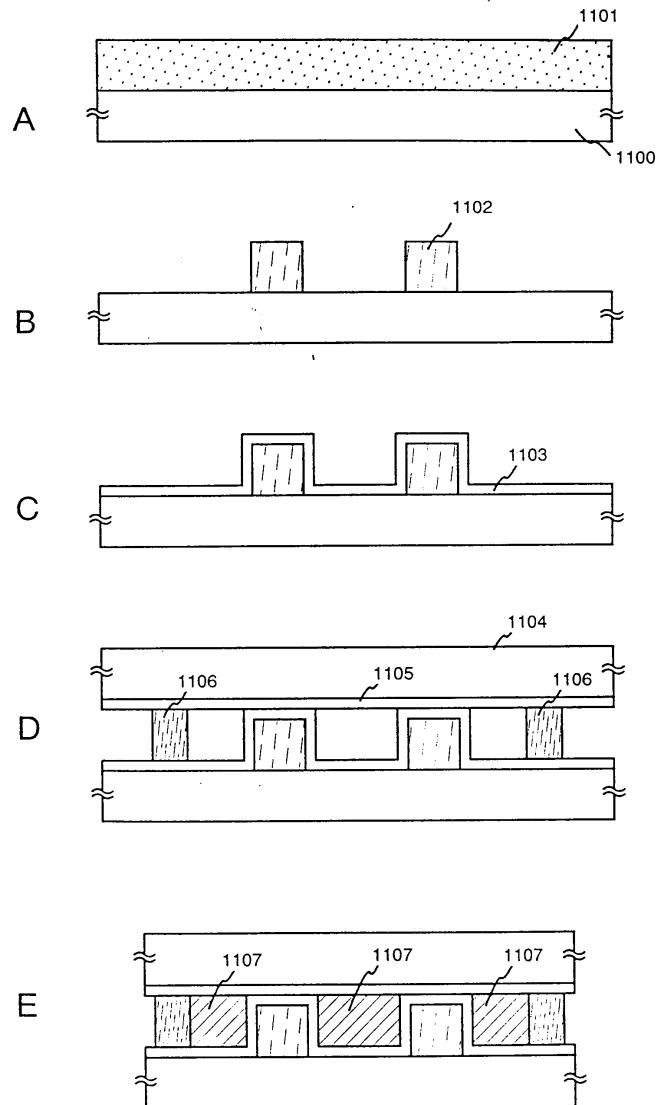
도면12



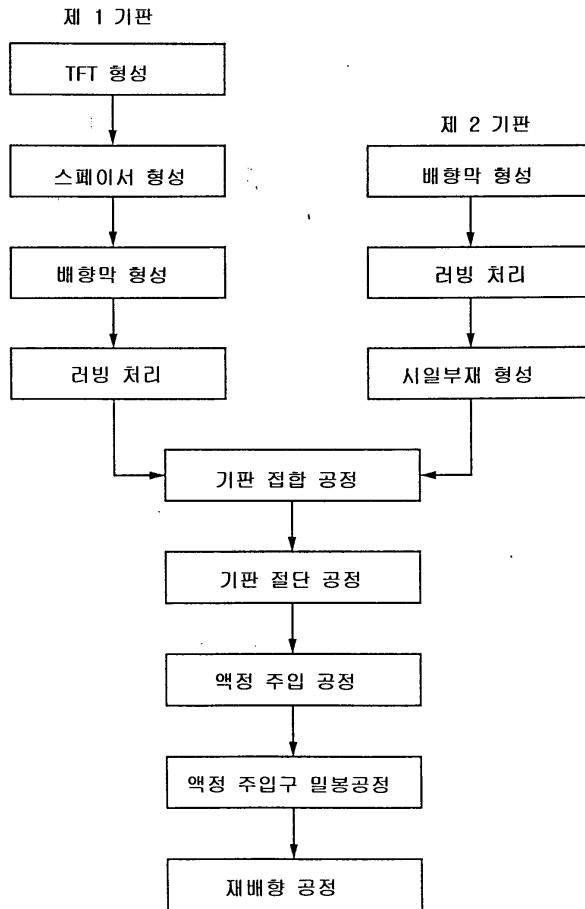
도면13



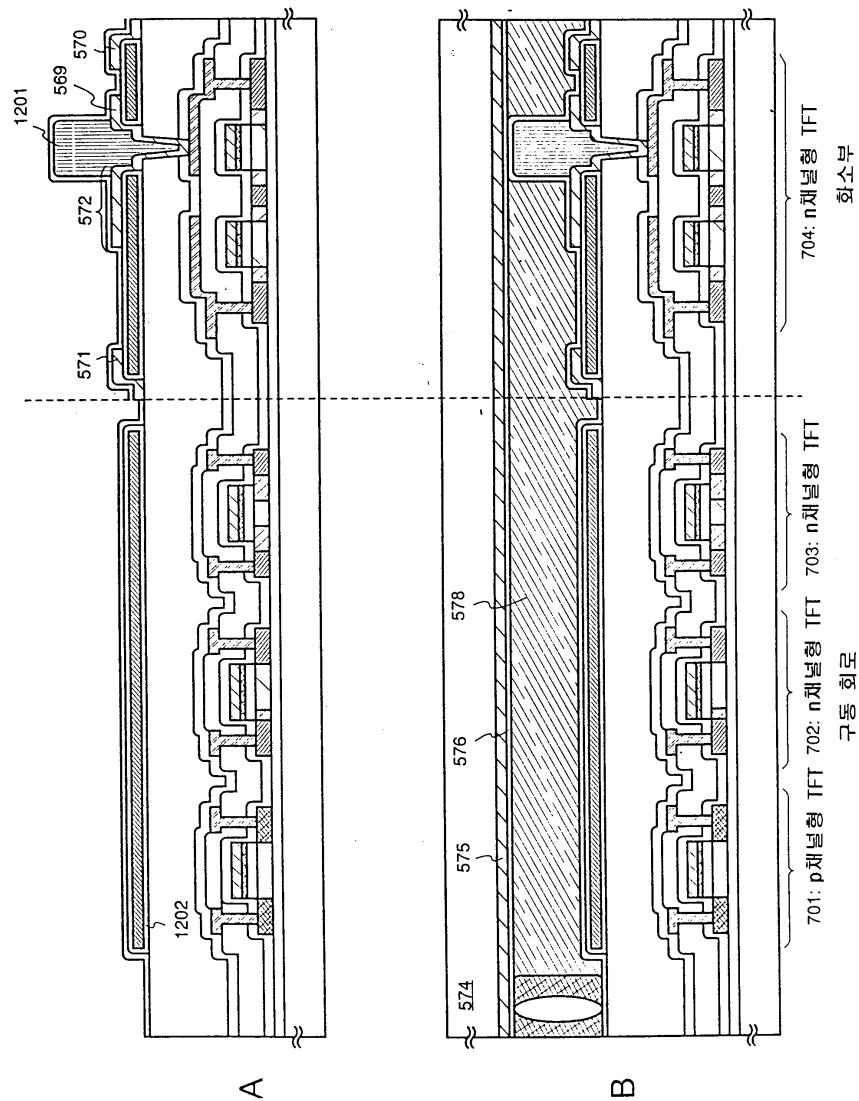
## 도면14



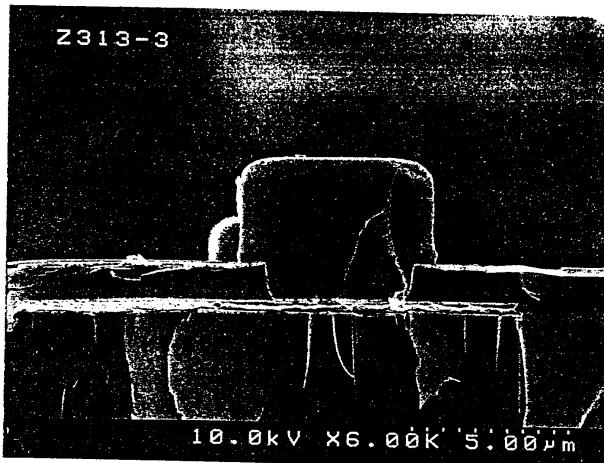
## 도면15



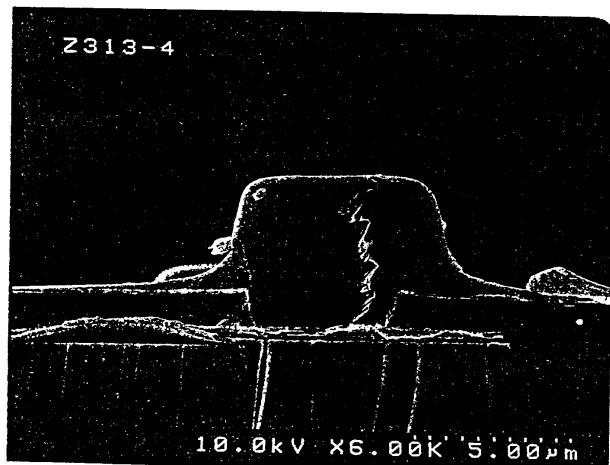
## 도면16



도면17

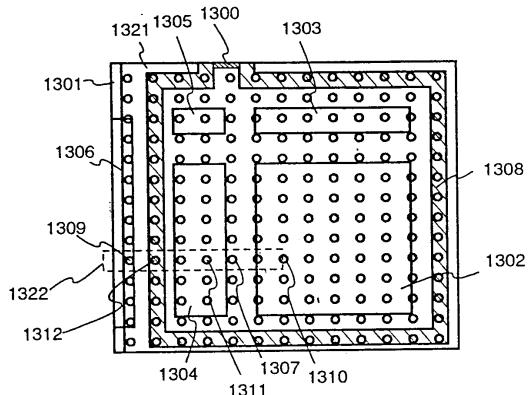


A

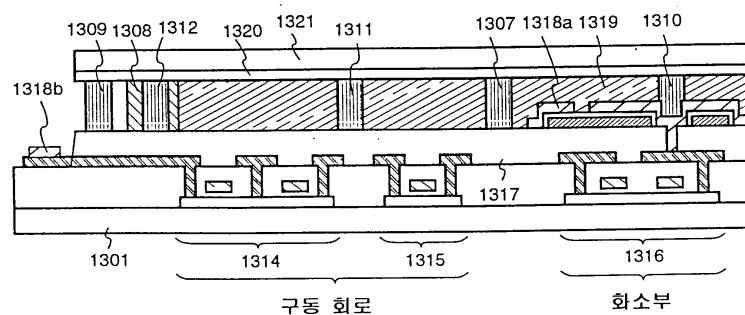


B

도면18

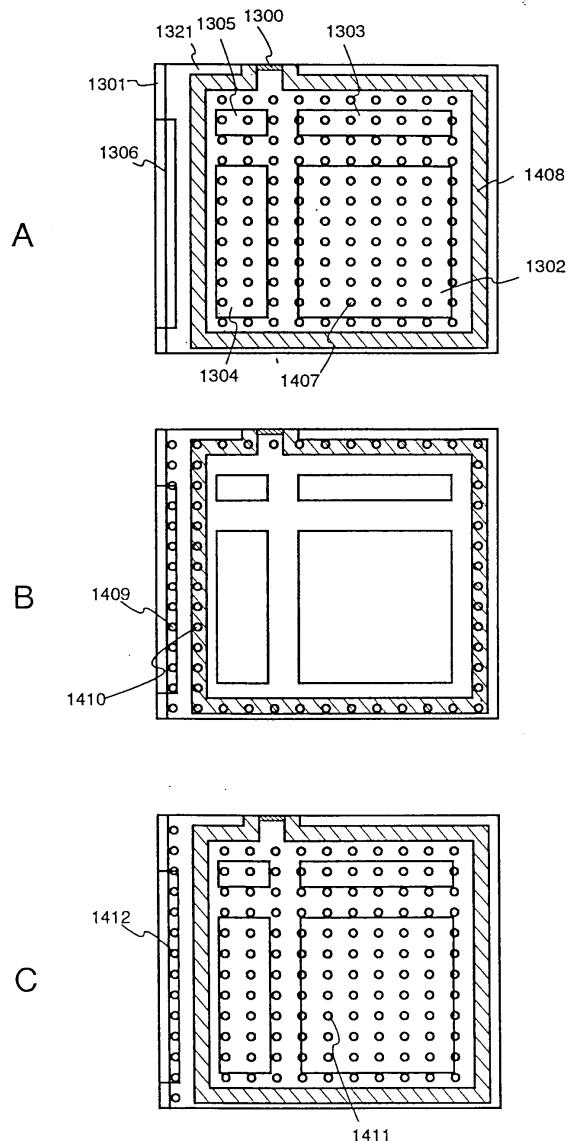


A

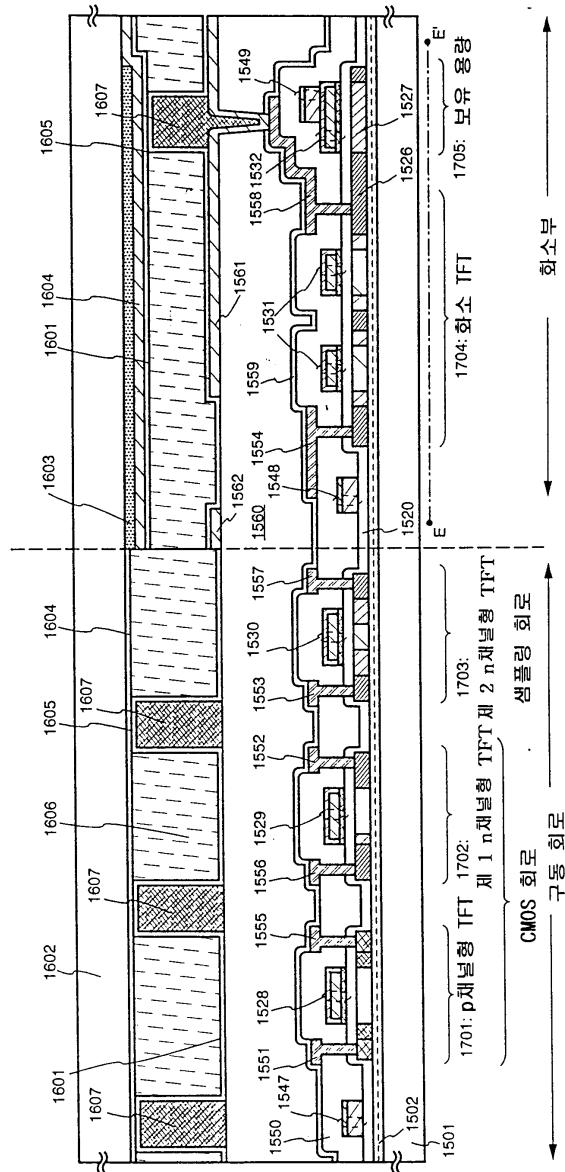


B

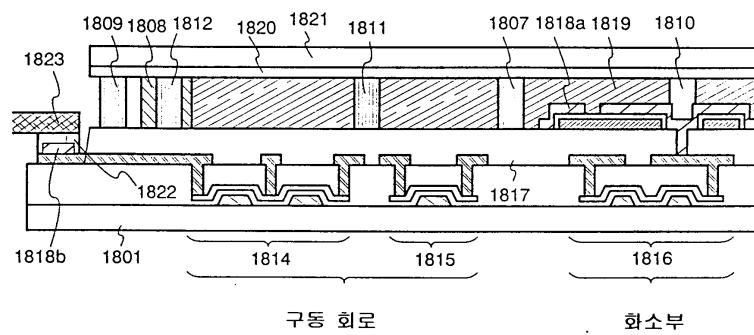
도면19



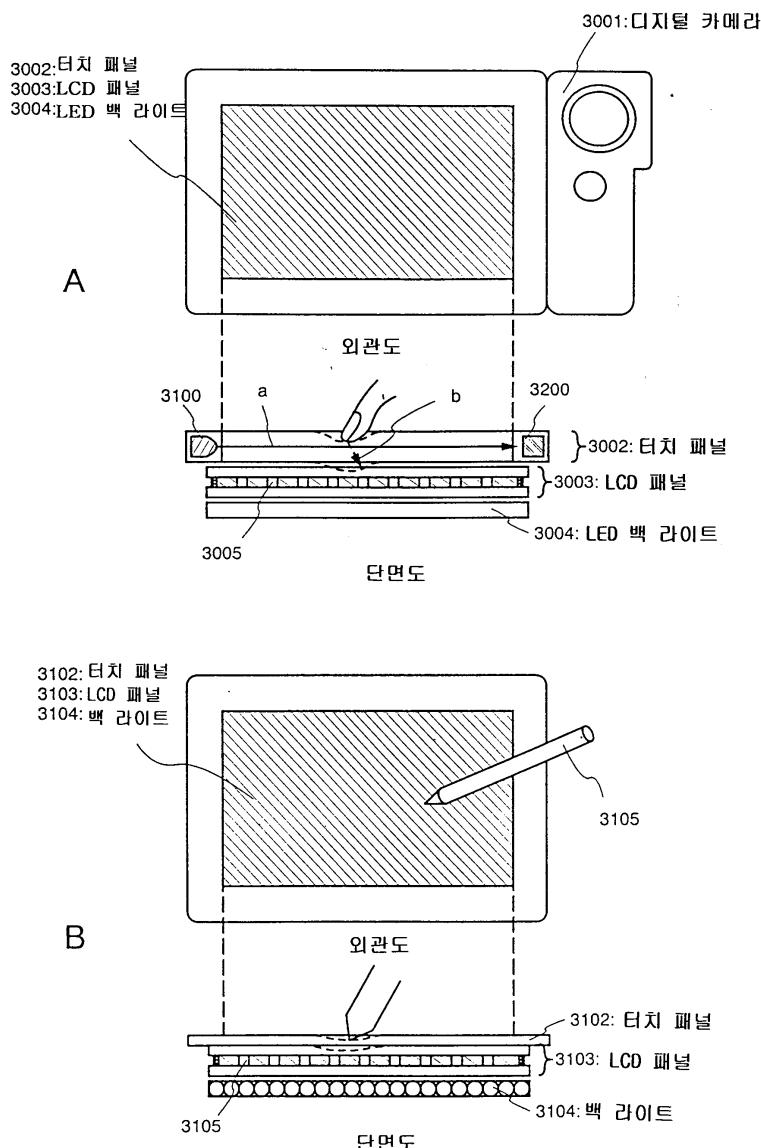
도면20



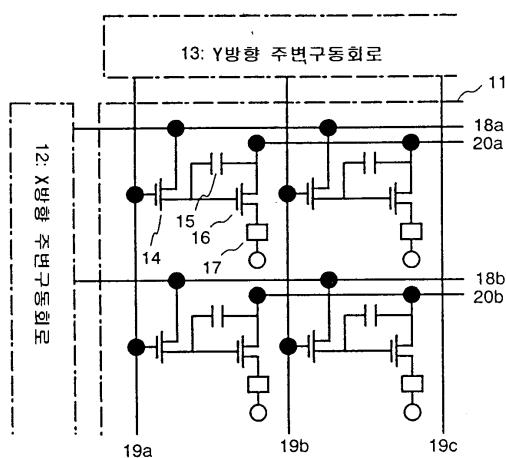
도면21



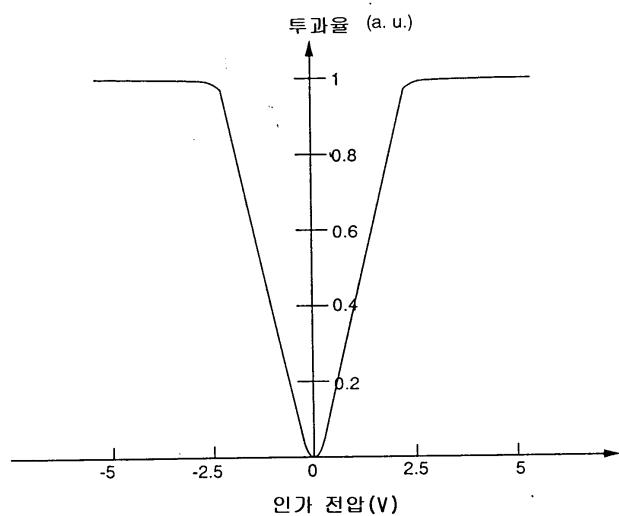
## 도면22



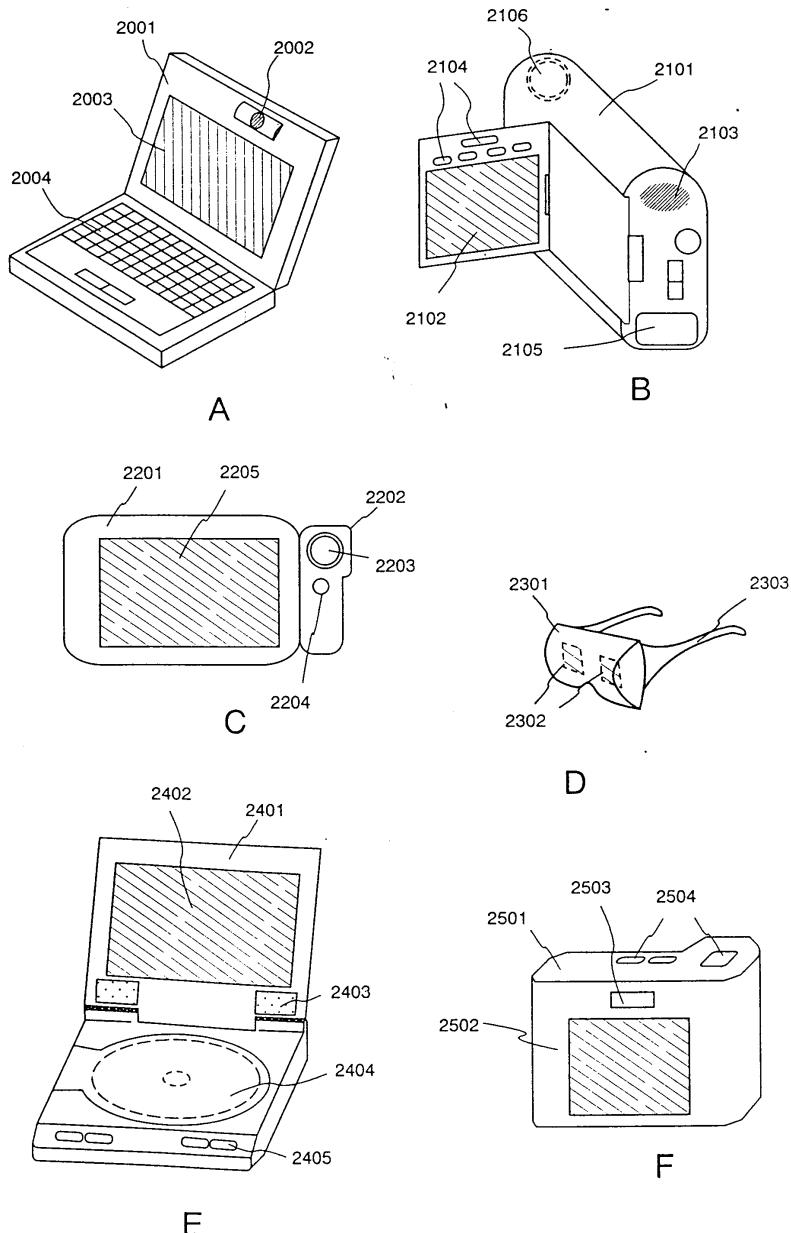
## 도면23



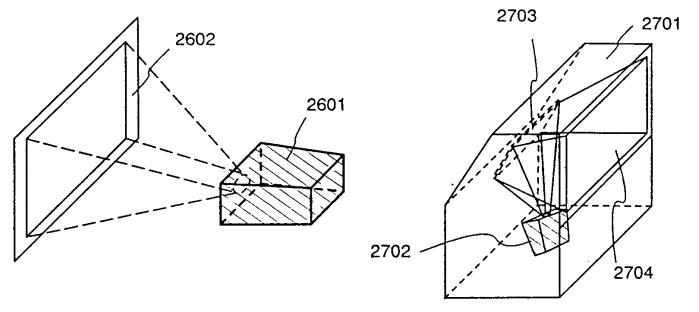
## 도면24



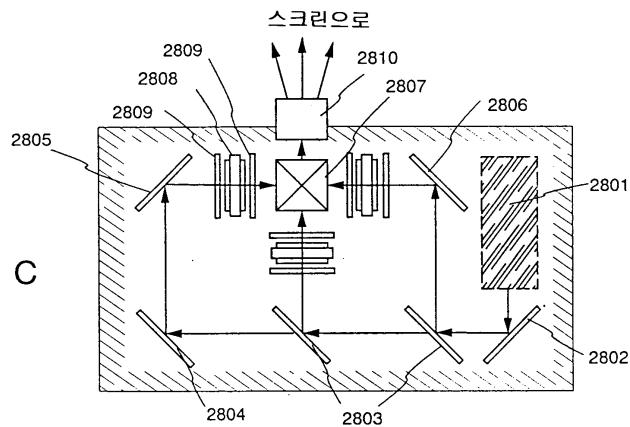
## 도면25



## 도면26



A B

2809 2810 2807 2806  
2805 2801  
2804 2803 2802

D

