



(12) Ausschließungspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 248 010 A5

4(51) H 03 M 1/74

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) AP H 03 M / 291 802 8
(31) 749858

(22) 27.06.86
(32) 28.06.85

(44) 22.07.87
(33) US

(71) siehe (73)

(72) Dingwall, Andrew G. F., US

(73) RCA Corporation, Princeton, N. J. 08540, 201 Washington Road, US

(54) Analog/Digital-Umsetzer

(57) Die Erfindung betrifft insbesondere eine Schaltungsanordnung zur Reduzierung der Belastung des A/D-Umsetzers durch Betriebssignale. Die Aufgabe besteht darin, die Stromentnahme an der Bezugspotentialleiter und an der Eingangssignalquelle zu reduzieren, da sie Nichtlinearitäten verursacht und desweiteren entweder die Zyklusgeschwindigkeit des A/D-Umsetzers reduziert oder die Genauigkeit des Umsetzers für die festgesetzte Zyklusgeschwindigkeit vermindert. Erfindungsgemäß wird das Eingangssignal geprüft, um festzustellen, ob es oberhalb oder unterhalb des mittleren Bezugspotentialpegels liegt. Liegt das Eingangssignal oberhalb dieses Mittenpotentials, wird einer unteren Gruppe von Komparatoren (z. B. den unteren 25%) eine festgesetzte untere Spannung (z. B. $0,25 V_{REF}$) anstelle des Eingangssignals zugeführt. Liegt das Eingangssignal unterhalb des Mittenpotentials, wird an eine obere Grenze von Komparatoren (z. B. den oberen 25%) eine festgesetzte höhere Spannung (z. B. $0,75 V_{REF}$) anstelle des Eingangssignals angelegt. Fig. 1

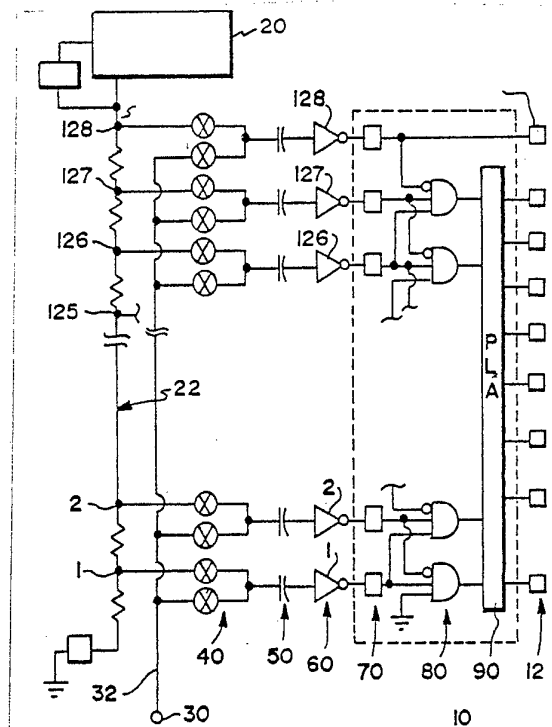


Figure 1

Patentansprüche:

1. Blitzschneller Analog-Digital-Umsetzer, der auf eine erste Quelle eines einzigen Eingangssignals und eine zweite Quelle einer Vielzahl von zunehmend höheren Bezugsspannungen — einschließlich einer mittleren Bezugsspannung — anspricht; wobei dieser Umsetzer eine erste und eine zweite Gruppe von Komparatoren umfaßt, von denen jede so angeordnet ist, daß sie abwechselnd mit dem Eingangssignal und einer der betreffenden Bezugsspannungen gekoppelt werden kann; die erste und die zweite Komparatorengruppe zumindest mit einem Teil oberhalb bzw. unterhalb der mittleren Bezugsspannung gekoppelt wird; eine Verbesserung hinsichtlich der Belastungsbegrenzung für die Quellen des Eingangssignals und der Bezugsspannungen, **gekennzeichnet durch** eine Abtasteinrichtung (140) zur Bestimmung, ob das Eingangssignal (30) oberhalb oder unterhalb der mittleren Vielzahl von Bezugsspannungen liegt; und mit der Mittelpunktabtasteinrichtung gekoppelte Schalteinrichtungen (150, 160) für das wahlweise Anlegen des Eingangssignals an eine erste (110) und zweite (130) Gruppe von Komparatoren, bzw. einer angemessenen Festspannung an die andere erste und zweite Komparatorengruppe.
2. Analog-Digital-Umsetzer nach Anspruch 1, **gekennzeichnet durch** eine Einrichtung für das Anlegen des Eingangssignals an eine mittlere Komparatorengruppe, die zwischen der ersten und der zweiten Komparatorengruppe angeordnet ist; wobei die erste, zweite und die dazwischenliegende Komparatorengruppe im relativ hohen und niedrigen bzw. im mittleren Bezugsspannungsbereich betriebsfähig ist.
3. Analog-Digital-Umsetzer nach Anspruch 1 oder 2, **gekennzeichnet dadurch**, daß die Mittelpunktabtasteinrichtung ein Schwellenwertdetektor ist.
4. Analog-Digital-Umsetzer nach Anspruch 1 oder 2, **gekennzeichnet dadurch**, daß die Schalteinrichtung folgendes umfaßt: eine auf den Ausgang der Mittelpunktabtasteinrichtung reagierende erste Torsteuerungseinrichtung zur Anlegung entweder des Eingangssignals oder einer ersten vorgegebenen Spannung an die erste Komparatorengruppe, die in dem relativ hohen Bezugsspannungsbereich betriebsfähig ist, und zwar in einer Weise, die davon abhängt, ob das Eingangssignal oberhalb oder unterhalb der mittleren Bezugsspannung liegt, und eine auf den Ausgang der Mittelpunktabtasteinrichtung reagierende zweite Torsteuerungseinrichtung zur Anlegung entweder des Eingangssignals oder einer zweiten vorgegebenen Spannung an die zweite Komparatorengruppe, die in dem relativ niedrigen Bezugsspannungsbereich betriebsfähig ist, und dies in einer Weise, die davon abhängt, ob das Eingangssignal unterhalb oder oberhalb der mittleren Bezugsspannung liegt.
5. Analog-Digital-Umsetzer nach Anspruch 4, **dadurch gekennzeichnet**, daß die erste und die zweite Torsteuerungseinrichtung ein Paar Komplementärtransistoren umfaßt, die zwischen (a) die erste bzw. zweite Komparatorengruppe und (b) das Eingangssignal und die entsprechende erste oder zweite vorgegebene Spannung in Reihe geschaltet sind; wobei des weiteren die Komplementärtransistorschalter ihre jeweiligen Steuerelektroden der Mittelpunktabtasteinrichtung gekoppelt haben.
6. Analog-Digital-Umsetzer nach Anspruch 5, **gekennzeichnet dadurch**, daß die erste, die zweite und die mittlere Komparatorengruppe entsprechend mit den oberen 25%, den unteren 25% und den mittleren 50% der Vielzahl von Bezugsspannungen gekoppelt ist, wobei die erste und die zweite vorgegebene Spannung am 75%- bzw. 25%-Punkt längs der Vielzahl der zunehmend höheren Bezugsspannungen vorliegt.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft blitzschnelle Analog-Digital-Umsetzer (ADU) und insbesondere eine Schaltungsanordnung für die Reduzierung der Belastung der Analog-Digital-Umsetzer durch Betriebssignale.

Charakteristik der bekannten technischen Lösungen

Der Blitz-Analog-Digital-Umsetzer vergleicht simultan ein Analogeingangssignal mit einer Vielzahl von zunehmend höheren Bezugspotentialen, um ersteres mit Hilfe der letzteren so genau wie möglich zu bestimmen.

Zum Beispiel werden bei einem 7-Bit-Analog-Digital-Umsetzer mit Überlaufbit eine Anzahl von 128 (d. h. 2⁷) Komparatoren eingesetzt, um die Simultanvergleiche durchzuführen. Bei der von der IC als Beispiel angeführten Art von Analog-Digital-Umsetzer CA3300 von RCA werden die einzelnen Komparatoren nacheinander über einen Kopplungskondensator an eines der betreffenden Potentials der zuvor erwähnten Vielzahl von Bezugspotentialen sowie an das Analogeingangssignal angeschlossen. Die Ausgänge aller an die Bezugspotentiale, angeschlossenen Komparatoren, die einen niedrigeren Wert als das Eingangssignal haben, weisen einen bestimmten Ausgangszustand auf, und alle übrigen Komparatoren weisen den entgegengesetzten Ausgangszustand auf.

Die Ausgänge der Komparatoren werden einer Logikschaltung (z. B. einem programmierbaren Logikgatterfeld PLA) zugeführt, die einen parallelen, der Größe des Analogeingangssignals entsprechenden 7-Bit-Binärkode erzeugt.

Bei jedem Zyklus werden verschiedene Kondensatoren (z. B. Kopplungskondensatoren und die Tor- und parasitären Kapazitäten der Schalttransistoren) zwischen den jeweiligen Bezugspotentialen und dem Eingangssignal hin und her entladen und wieder neu aufgeladen. Wenn das Eingangssignal einen der beiden Grenzwerte der Bezugspotentialpegel hat, wird an der Bezugspotentialkettenleiter und der Eingangssignalquelle ein maximaler Strom gezogen. Wenn das Eingangssignal den Wert des mittleren Bezugspotentialpegels hat, wird andererseits die Stromentnahme an der Bezugspotentialkettenleiter und der Eingangssignalquelle auf ein Minimum herabgesetzt, da die verschiedenen Kondensatoren dazu neigen, sich bei jedem Zyklus gleichmäßig in den entgegengesetzten Richtungen aufzuladen.

Es wird angestrebt, die Stromentnahme an der Bezugspotentialleiter und der Eingangssignalquelle zu reduzieren, da sie Nichtlinearitäten verursacht und des weiteren entweder die Zyklusgeschwindigkeit des Analog-Digital-Umsetzers reduziert oder die Genauigkeit des Umsetzers für die festgesetzte Zyklusgeschwindigkeit vermindert.

Die herausgegebene US-PS 4507 649 offenbart eine Lösung für das oben beschriebene Problem der starken Stromentnahme. Bei der Lösung von Dingwall u. a. wird jeweils ein Feldeffekttransistor (FET) in Reihe zwischen die einzelnen Kopplungskondensatoren und den Eingangssignalbus zusammengeschaltet. Die Torelektroden der Feldeffekttransistoren werden mit Gleichspannungspotentialen vorgespannt, die auf die relative Lage der betreffenden Feldeffekttransistoren längs der Bezugspotentialleiter zugeschnitten sind. Die Feldeffekttransistoren werden in „Source-Folger-Schaltung“ betrieben, wobei die verschiedenen Kondensatoren als die betreffenden Lastelemente für bestimmte Bereiche des Eingangssignals dienen, so daß sich die einzelnen Kopplungskondensatoren nicht soweit auf- oder entladen können, daß das entsprechende FET-Gleichspannungspotential abzüglich seines Schwellenpotentials überschritten wird, wodurch die Belastung der Bezugspotentialleiter herabgesetzt wird.

Darlegung des Wesens der Erfindung

Die Erfindung offenbart noch ein weiteres Konzept für die Reduzierung der Belastung. Erfindungsgemäß wird das Eingangssignal geprüft, um festzustellen, ob es oberhalb oder unterhalb des mittleren Bezugspotentialpegels liegt. Liegt das Eingangssignal oberhalb dieses Mittenpotentials, wird einer unteren Gruppe von Komparatoren (z. B. den unteren 25%) eine festgesetzte untere Spannung (z. B. $0,25 V_{REF}$) anstelle des Eingangssignals zugeführt. Liegt das Eingangssignal andererseits unterhalb des Mittenpotentials, wird an eine obere Gruppe von Komparatoren (z. B. an die oberen 25%) eine festgesetzte höhere Spannung (z. B. $0,75 V_{REF}$) anstelle des Eingangssignals angelegt.

Ausführungsbeispiele

Figur 1 zeigt das Blockdiagramm eines bekannten 7-Bit-Blitz-Analog-Digital-Umsetzer; Figur 2 zeigt bestimmte Einzelheiten des Analog-Digital-Umsetzers gemäß Figur 1; und Figur 3 zeigt eine Modifikation des erfindungsgemäßen Analog-Digital-Umsetzers gemäß Figur 1.

In Figur 1 wird ein typischer Blitz-Analog-Umsetzer 10 gezeigt, der in der Lage ist, ein paralleles 7-Bit-Ausgangssignal 12 zu erzeugen. Der Analog-Digital-Umsetzer 10 ist im allgemeinen von der Art, wie er in der US-PS 4507 649 offenbart wird. Das 7-Bit-Ausgangssignal entspricht der Teilung des maximal zulässigen Eingangssignals (d. h. V_{REF}) in 128 (oder 2^7) abstandsgleiche zunehmend höhere Werte. Dies geschieht durch Anlegen einer bekannten Spannung V_{REF} von einer Quelle 20 aus an einen linearen Widerstandsleiter 22 und Abgreifen des Potentials am Widerstand 22 in 128 abstandsgleichen Intervallen. Die 128 Anzapfungen liefern zunehmend höhere Bezugsspannungen.

Das Analogeingangssignal steht an dem an die Eingangsquelle 30 angeschlossenen Eingangsbus 32 zur Verfügung. Eine Vielzahl von Schaltern 40 legen für jeden Zyklus abwechselnd das Eingangssignal und die betreffenden Bezugsspannungen über die dazugehörigen Kopplungskondensatoren 50 an. Die Ausgänge aller mit den Bezugsspannungen, deren Werte kleiner als die Eingangsspannung sind, verbundenen Komparatoren 60, entsprechen einem bestimmten Ausgangszustand (z. B. einem oberen logischen Niveau), und die der übrigen Komparatoren weisen einen zweiten Ausgangszustand (z. B. ein unteres logisches Niveau) auf.

Die Komparatoren 60 werden nach Zeittakt gesteuert, damit das Eingangssignal in festgelegten Abständen abgetastet und verglichen werden kann. Am Ende der Abtastzeit werden die Ausgangszustände der Komparatoren 60 in den entsprechenden Zwischenspeichern 70 gespeichert.

Die Ausgänge der Zwischenspeicher 70 werden an die entsprechenden UND-Gatter 80, die drei Eingänge haben, angeschlossen. Jedes der UND-Gatter 80 prüft während jedes Zyklus Tripletten von schrittweise höherliegende Komparatorpegelzuständen. Die UND-Gatter 80 erzeugen ein oberes logisches Ausgangssignal nur unter der Bedingung, daß zwei mit einem bestimmten UND-Gatter verbundene benachbarte elektronische Schalter in Form von Signal-Zwischenspeichern einen oberen logischen Ausgangszustand (HIGH) aufweisen, und der nächsthöhere Zwischenspeicher einen unteren logischen Ausgangszustand (LOW) aufweist. Diese Anordnung der UND-Gatter ertastet den Übergangspunkt anhand der Ausgangszustände der Komparatoren 60 und erzeugt nur einen einzigen oberen logischen Ausgangszustand (HIGH) für ein gegebenes Eingangssignal.

Die Ausgänge der UND-Gatter 80 werden an ein programmierbares Logikgatterfeld (PLA) 90 angelegt, das ein paralleles 7-Bit-Ausgangssignal 12 erzeugt, das jenem bestimmten UND-Gatter entspricht, das im Augenblick einen oberen logischen Ausgangszustand aufweist.

Figur 2 stellt bestimmte Einzelheiten des Analog-Digital-Umsetzers 10 gemäß Figur 1 dar. Ein Paar Komplementärtransistorschalter 42 und 44 dient dazu, während aller Zyklen das Bezugspotential und das Eingangspotential über einen Kopplungskondensator 52 mit einem Komparator 62 zu koppeln.

Der Komparator 62 ist ein CMOS-Inverter mit automatischer Gattervorspannungserzeugung und mit je einem Feldeffekttransistor 64 (vom p-Typ) und 66 (vom n-Typ). Die Feldeffekttransistoren 64 und 66 haben ihre jeweiligen Leitungspfade zwischen einer Positivpotentialquelle (V_{DD}) und dem Erdpotential in Reihe zusammengeschaltet. Die Torelektroden der Feldeffekttransistoren 64 und 66 sind so miteinander verbunden, daß sie einen gemeinsamen Eingangsanschluß haben. Das Ausgangssignal der Feldeffekttransistoren 64 und 66 wird an der gemeinsamen Verbindungsstelle ihrer Leitungspfade abgegriffen. Ein Komplementärtransistorschalter 68, der ein p- und ein n-MOS-Bauteil umfaßt, verbindet den Inverterausgangsanschluß selektiv mit dem Invertereingangsanschluß als Reaktion auf ein Paar komplementärer Steuersignale \emptyset^- und \emptyset . Dadurch wird der Inverter 62 an seinem Schalter oder Mittelpunkt vorgespannt, wobei das Vorspannungspotential im Kopplungskondensator 52 gespeichert wird.

Während einer Ausgleichsperiode wird das Inverterausgangspotential zu einer der Platten des Kopplungskondensators 52 zurückgeleitet. Ein zweiter auf dieselben Steuersignale \emptyset^- und \emptyset reagierender Komplementärschalter 42 legt das Bezugspotential an die andere Platte des Kopplungskondensators 52 an. Dann schalten die Schalter 42 und 68 aus, wodurch der Inverter 62 auf dem Betriebspotential $V_{DD}/2$ vorgespannt bleibt, und der Kopplungskondensator 52 bis zum Differenzpegel zwischen Bezugspotential und Inverterbetriebspotential aufgeladen bleibt.

Nach dem Öffnen der Schalter 42 und 68 verbindet ein dritter Komplementärtransistorschalter 44 als Reaktion auf ein zweites Paar von komplementären Steuersignalen \emptyset^- und \emptyset' die Eingangsspannung mit dem Kopplungskondensator 52. Die Zeitsteuerung dieser ersten und zweiten Steuersignale ist so, daß die Schalter 42 und 68 vor dem Schließen des Schalters 44 geöffnet werden. Die Differenz zwischen der Eingangsspannung und der Bezugsspannung wird über einen Kondensator 52 mit dem Inverter 62 gekoppelt. Wenn die an den Inverter 62 angelegte Bezugsspannung kleiner als die Eingangsspannung ist, weist dieser einen „oberen“ logischen Ausgangszustand auf und umgekehrt. Der Ausgang des Inverters 62 wird im Zwischenspeicher 72 gespeichert, wenn das Steuersignal \emptyset^- einen niedrigen Wert annimmt.

Während der einzelnen Abtastintervalle werden die verschiedenen Kondensatoren (d. h. die Kopplungskondensatoren und die Tor- und parasitären Kapazitäten der Schalttransistoren) abwechselnd hin und her zwischen den betreffenden Bezugsspannungen und der Eingangsspannung aufladen und entladen wenn die mit den Kondensatoren gekoppelte Eingangsspannung während eines Abtastintervalls einen Wert in der oberen Hälfte des Bereiches der Bezugspotentiale (d. h. V_{REF}) hat, dann werden während des nächsten Abtastintervalls im wesentlichen alle Kondensatoren bis zu Bezugspotentialen entladen, die niedriger liegen als die Eingangsspannung, und dann wieder aufgeladen bis zurück zur Eingangsspannung in der Nähe des maximalen Bezugspotentials V_{REF} . Dadurch wird eine starke Stromentnahme an der Bezugspotentialquelle 20 und der Eingangssignalquelle 30 bewirkt. Es muß erwähnt werden, daß der größte Teil der Stromentnahme in verschwenderischer Weise an jenen Anzapfungen der Bezugspotentialleiter 22 erfolgt, die von der Anzapfung am weitesten entfernt liegt, die potentialmäßig mit dem Eingangspotential übereinstimmt. Andererseits kommt es zu einer sehr geringen Stromentnahme an den Bezugspotentialanzapfungen, die nahe jener Anzapfung liegt, deren Bezugspotential mit dem Eingangspotential übereinstimmt. Es kommt auch zu einer starken Stromentnahme, wenn die Eingangsspannung aus den selben Gründen nahe dem Erdpotential liegt. Wenn andererseits die Eingangsspannung nahe des mittleren Pegels des Bezugspotentialpegels liegt, wird an der Bezugspotentialkettenleiter 22 und an der Eingangssignalquelle 30 nur ein mäßig hoher Strom gezogen.

Erfindungsgemäß wurde der Analog-Digital-Umsetzer 10 gemäß Figur 3 so modifiziert, daß die Stromentnahme an der Bezugspotentialkettenleiter 22 und der Eingangssignalquelle 30 erheblich geringer ist, wodurch erreicht wird, daß an jene Komparatoren 60, die sich von der Bezugspotentialanzapfung, die mit dem Eingangspotential übereinstimmt weit entfernt sind, keine Eingangssignale angelegt werden. Beispielsweise werden die Komparatoren entsprechend den Bezugspotentialbereichen, an die sie angeschlossen sind, in drei Gruppen eingeteilt. Bei dieser speziellen Ausführung wird die obere, mittlere und untere Gruppe von Komparatoren 110, 120 bzw. 130 mit den oberen 25%, den mittleren 50% bzw. den unteren 25% der Bezugspotentialanzapfungen gekoppelt. Das Eingangssignal wird der oberen und unteren Komparatorgruppe 110 und 130 in der unten beschriebenen Weise bereitgestellt. Im Gegensatz dazu wird der mittleren Komparatorgruppe 120 das Eingangssignal ständig bereitgestellt. Es muß erwähnt werden, daß die Wahl der drei Komparatorgruppen bei dem hierin beschriebenen Ausführungsbeispiel willkürlich erfolgte. Die erfindungsgemäße Modifikation 100 umfaßt eine Einrichtung 140 die das Eingangssignal prüft und ein Steuersignal entwickelt, das davon abhängt, ob das Eingangssignal oberhalb oder unterhalb des Mittelpunktes, d. h. des Mittenpotentials der Bezugspotentiale liegt. Die Mittelpunktabtasteinrichtung 140 ist ein Schwellenwertdetektor, der ein „unteres“ logisches Steuerpotential erzeugt, wenn das Eingangssignal größer als $V_{REF}/2$, und ein „oberes“ logisches Steuerpotential erzeugt, wenn das Eingangssignal kleiner als $V_{REF}/2$ ist. Das Steuersignal am Ausgangsanschluß 142 der Mittelpunktabtasteinrichtung 140 wird zur ersten und zweiten Schalteinrichtung 150 bzw. 160 geleitet, damit wahlweise entweder das Eingangspotential oder ein angemessenes Festpotential (z. B. $0,75V_{REF}$ und $0,25V_{REF}$) an die obere und untere Komparatorgruppe 110 bzw. 130 angelegt werden.

Die erste Schalteinrichtung 150 umfaßt einen ersten und einen zweiten Transistorschalter 152 und 154 (z. B. FET's). Der Leitungspfad des ersten Transistorschalters 152 ist zwischen eine relativ hohe Festspannung (z. B. $0,75V_{REF}$) und den Signaleingangsanschluß 156 der oberen Komparatorgruppe 110 in Reihe geschaltet. Das Steuersignal an Anschluß 142 wird an die Steuerelektrode des ersten Transistorschalters 152 angelegt. Der Leitungspfad des zweiten Transistorschalters 154 ist zwischen Eingangssignalquelle 30 und Eingangsanschluß 156 der unteren Komparatorgruppe 110 in Reihe geschaltet. Das Steuersignal an Anschluß 142 wird über einen Inverter 158 an die Steuerelektrode des zweiten Transistorschalters 154 angelegt. Die Transistorschalter 152 und 154 sind so geschaltet, daß sie in komplementärer Weise betrieben werden können. Liegt das Eingangssignal oberhalb des mittleren Bezugspotentials, so dient das Steuersignal an Anschluß 142 dazu, den ersten Transistorschalter 152 zu öffnen und den zweiten Transistorschalter 154 zu schließen, wodurch das Eingangssignal von Quelle 30 an den Eingangsanschluß 156 der oberen Komparatorgruppe angelegt wird.

Liegt andererseits das Eingangssignal unterhalb des mittleren Bezugspotentials, so schließt der erste Transistorschalter 152 die relativ hohe Festspannung ($0,75V_{REF}$) an den Eingangsanschluß 156 der oberen Komparatorgruppe 110 an und der zweite Transistorschalter 154 verhindert, daß das Eingangssignal von Quelle 30 an die obere Gruppe angelegt wird. Mit anderen Worten, hindert diese Schaltung alle zur oberen Komparatorgruppe 110 gehörenden Kondensatoren (z. B. die Kopplungskondensatoren und die Tor- und parasitären Kapazitäten) daran, sich bis auf den relativ niedrigen Eingangssignalpegel zu entladen, wenn das Eingangssignal unterhalb des mittleren Bezugspotentials liegt, wodurch eine unnötige starke Stromentnahme an der Bezugskettenleiter 22 und der Eingangssignalquelle 30 vermieden wird.

Gleichermaßen umfaßt die zweite Schalteinrichtung 160 den dritten und den vierten FET-Transistorschalter 162 bzw. 164, die dazu dienen, die Eingangssignalquelle 30 wahlweise mit dem Eingangsanschluß 166 der unteren Komparatorgruppe 130 zu koppeln, wenn das Eingangssignal unterhalb des mittleren Bezugspotentials liegt. Wenn das Eingangssignal oberhalb des mittleren Bezugspotentials liegt wird der dritte Transistorschalter 162 eingeschaltet, wodurch die relativ niedrige Festspannung ($0,25V_{REF}$) zum Eingangsanschluß 166 der unteren Komparatorgruppe 130 geleitet wird; und der vierte Transistorschalter 164 ausgeschaltet, wodurch die Eingangssignalschelle 30 von der unteren Gruppe getrennt wird. Die zweite Schalteinrichtung 160 hindert somit alle zur unteren Komparatorgruppe 130 gehörenden Kondensatoren (d. h. Kopplungskondensatoren, Tor- und parasitäre Kapazitäten) daran, sich bis zum relativ hohen Eingangssignalpegel aufzuladen, wenn das Eingangssignal oberhalb des mittleren Bezugspotentials liegt, wodurch wiederum die Stromentnahme an der Bezugspotentialkettenleiter 22 und der Eingangssignalquelle 30 reduziert wird.

Erfindungsgemäß wird also das Eingangssignal ständig überwacht, und in Abhängigkeit davon, ob das Eingangssignal oberhalb oder unterhalb des mittleren Bezugspotentials liegt, wird an die äußersten Komparatoren, die einen starken Eingangsstrom ziehen, anstelle des Eingangssignals ein Festpotential angelegt. Auf diese Weise wird der gezogene Eingangsstrom auf etwa 25 bis 30% reduziert, sofern die Eingangsstromüberwachung hinreichend schnell durchgeführt werden kann, wird die Stromentnahme an der Bezugskettenleiter folglich wesentlich herabgesetzt, ohne daß die Genauigkeit der Analog-Digital-Umsetzung darunter leidet.

Obwohl die Komparatoren des hierin beschriebenen speziellen Ausführungsbeispiels in drei Gruppen eingeteilt sind, ist es durchaus möglich, die Komparatoren in zwei oder mehr Gruppen einzuteilen und die Stromentnahme an Bezugsspannungsleiter und Eingangssignalquelle herabzusetzen, indem die Eingangssignale zu den Komparatoren, die sich weit entfernt von jener Anzapfung befinden, deren Bezugspotential mit dem Eingangssignal übereinstimmt, gesperrt werden.

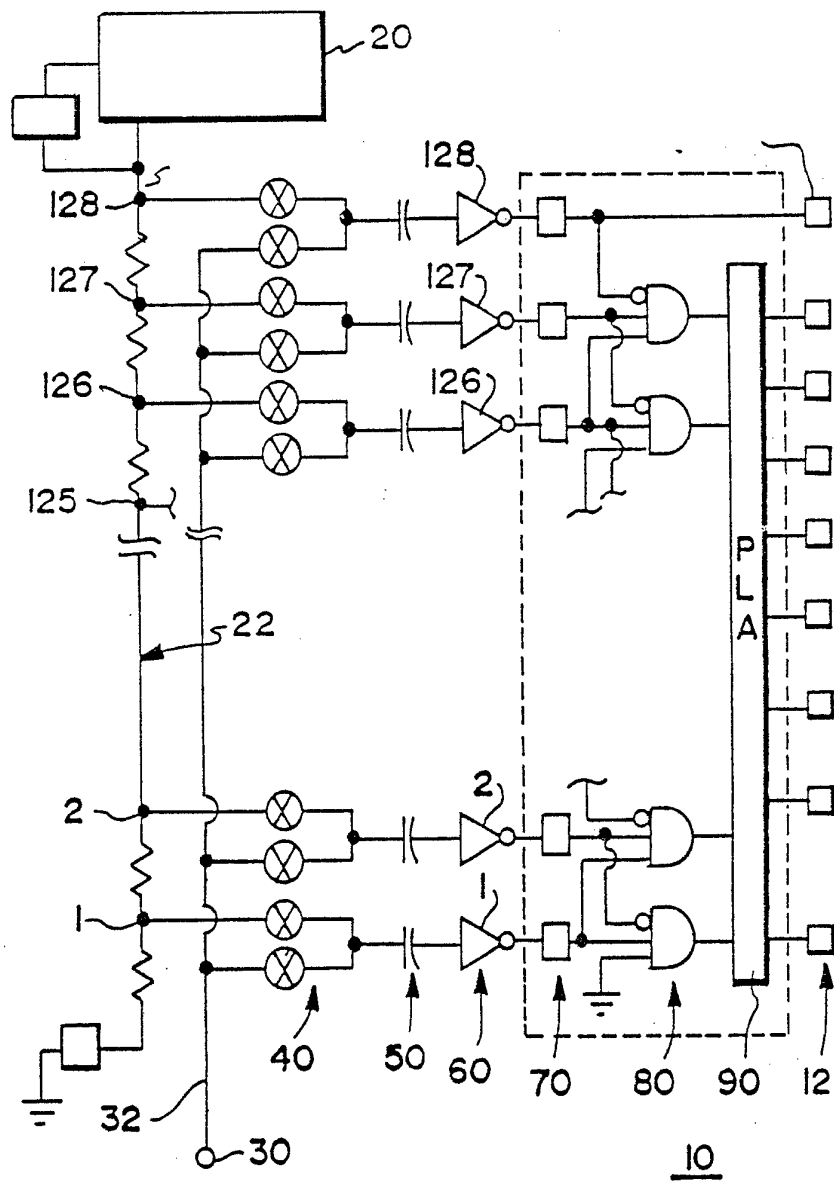


Figure 1

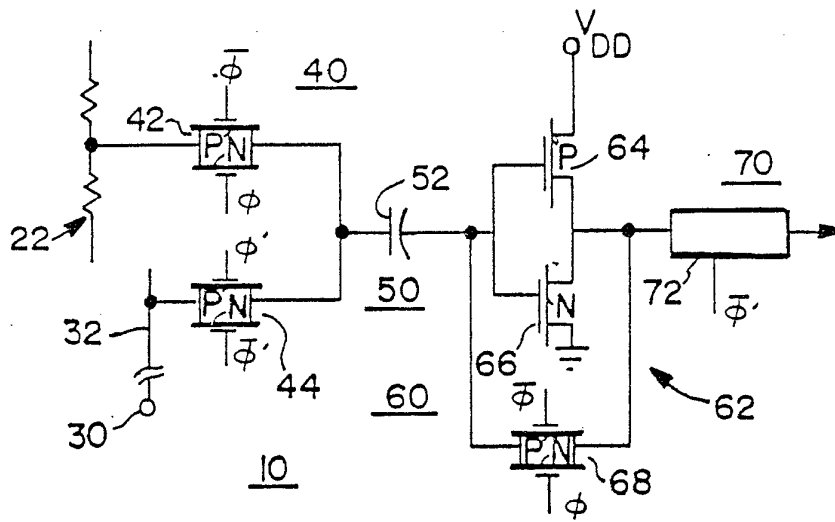


Figure 2

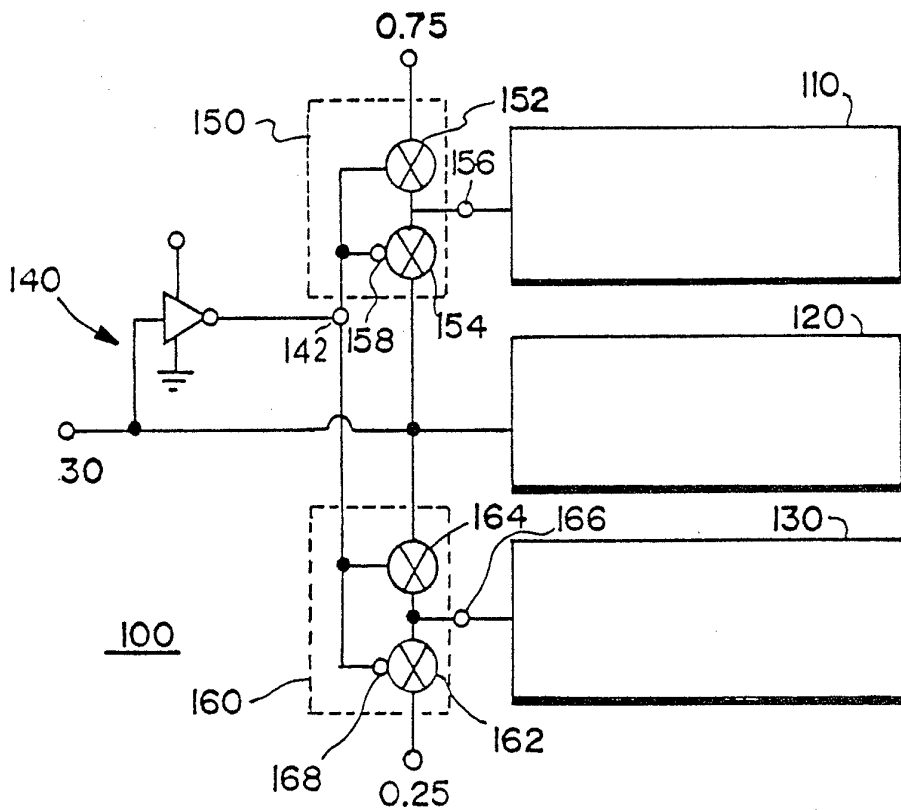


Figure 3