



(12)发明专利申请

(10)申请公布号 CN 107256884 A

(43)申请公布日 2017. 10. 17

(21)申请号 201710433427.4

(22)申请日 2017.06.09

(71)申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)
西源大道2006号

(72)发明人 张金平 邹华 刘竞秀 李泽宏
任敏 张波

(74)专利代理机构 成都点睛专利代理事务所
(普通合伙) 51232

代理人 葛启函

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 29/36(2006.01)

H01L 21/329(2006.01)

H01L 29/868(2006.01)

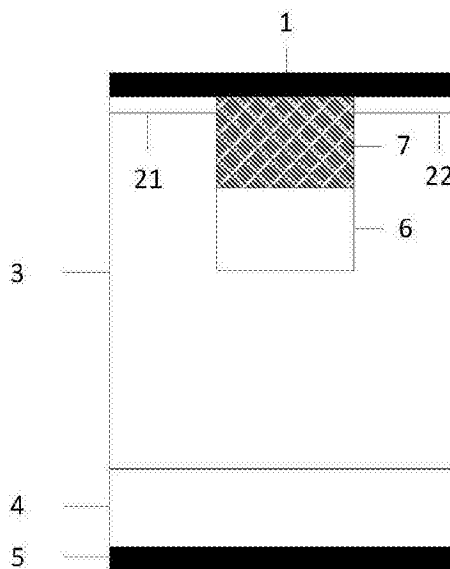
权利要求书1页 说明书9页 附图8页

(54)发明名称

一种碳化硅功率二极管器件及其制作方法

(57)摘要

本发明公开了一种碳化硅功率二极管器件及其制作方法,属于功率半导体技术领域。本发明通过传统碳化硅器件表面漂移区形成沟槽结构,在沟槽底部形成与上述漂移区掺杂类型相反的高浓度掺杂区,并在沟槽内设置与上述漂移区掺杂类型相反的多晶硅层,使得多晶硅层与沟槽侧壁形成Si/SiC异质结,进而在器件内部集成了一个二极管。本发明通过上述技术手段,降低了器件正向导通压降,同时,由于器件的导电模式由碳化硅PIN二极管的双极导电转变为多子导电,进而改善了器件的反向恢复特性,提高了器件开关速度;并且仍具有PIN二极管反向漏电流低,击穿电压高和器件温度稳定性能好的优点。此外,本发明提供的器件制备方法具有工艺简单,工艺步骤少,实现成本低的优点。



1. 一种碳化硅功率二极管器件,其元胞结构包括:自下而上依次设置的金属阴极(5)、碳化硅 N^+ 衬底(4)及碳化硅 N^- 外延层(3),其特征在于:所述碳化硅 N^- 外延层(3)内部具有 P^+ 碳化硅区(6),在所述 P^+ 碳化硅区(6)上表面还具有 P^+ 多晶硅层(7);所述 P^+ 多晶硅层(7)位于碳化硅 N^- 外延层(3)的内部及上表面,并且与 N^- 外延层(3)相接触使得P型Si和N型SiC形成异质结;在 P^+ 多晶硅层(7)上表面还具有金属阳极(1)。

2. 根据权利要求1所述的一种碳化硅功率二极管器件,其特征在于,位于碳化硅 N^- 外延层(3)上方的 P^+ 多晶硅层(7)两侧还具有与 P^+ 多晶硅层(7)同平面且左右对称设置的第一 P^+ 碳化硅区(21)和第二 P^+ 碳化硅区(22), P^+ 多晶硅层(7)在碳化硅 N^- 外延层(3)内部的深度分别大于第一 P^+ 碳化硅区(21)或者第二 P^+ 碳化硅区(22)在碳化硅 N^- 外延层(3)内部的深度。

3. 根据权利要求1所述的一种碳化硅功率二极管器件,其特征在于,位于碳化硅 N^- 外延层(3)上方的 P^+ 多晶硅层(7)两侧还具有与 P^+ 多晶硅层(7)同平面且左右对称设置的的第一介质层(8)和第二介质层(81), P^+ 多晶硅层(7)在碳化硅 N^- 外延层(3)内部的深度分别大于第一介质层(8)或者第二介质层(81)在碳化硅 N^- 外延层(3)内部的深度。

4. 根据权利要求3所述的一种碳化硅功率二极管器件,其特征在于,第一介质层(8)和第二介质层(81)下方的碳化硅 N^- 外延层(3)内部分别还具有第一 P^+ 碳化硅区(21)和第二 P^+ 碳化硅区(22);第一 P^+ 碳化硅区(21)和第二 P^+ 碳化硅区(22)的厚度均小于 P^+ 多晶硅层(7)在碳化硅 N^- 外延层(3)内部的深度。

5. 根据权利要求1至4任一项所述的一种碳化硅功率二极管器件,其特征在于, P^+ 多晶硅层(7)在碳化硅 N^- 外延层(3)内部的深度大于 P^+ 多晶硅层(7)的宽度; P^+ 多晶硅层(7)在碳化硅 N^- 外延层(3)内部的深度分别大于介质层(8、81)或者 P^+ 碳化硅区(21、22)的宽度。

6. 根据权利要求5所述的一种碳化硅功率二极管器件,其特征在于, P^+ 碳化硅区(6)的宽度大于 P^+ 多晶硅层(7)的宽度; P^+ 多晶硅层(7)的宽度大于 P^+ 碳化硅区(6)的厚度。

7. 根据权利要求1至4任一项或6所述的一种碳化硅功率二极管器件,其特征在于, P^+ 碳化硅区(6)下方还具有P型碳化硅区(9),所述P型碳化硅区(9)与两侧碳化硅 N^- 外延层(3)形成超结或半超结结构。

8. 根据权利要求7所述的一种碳化硅功率二极管器件,其特征在于,器件上表面具有连续或者不连续的沟槽。

9. 根据权利要求1所述的一种碳化硅功率二极管器件,其特征在于,各结构层的掺杂类型互换。

10. 一种碳化硅功率二极管器件的制作方法,包括以下步骤:

第一步:采用外延工艺,在碳化硅 N^+ 衬底(4)上表面制得碳化硅 N^- 外延层(3);

第二步:采用光刻和刻蚀工艺,在碳化硅 N^- 外延层(3)上表面中间位置刻蚀形成沟槽区;

第三步:采用离子注入工艺,分别在沟槽区底部和沟槽区两侧的碳化硅 N^- 外延层(3)上层注入P型半导体杂质,并进行高温退火,形成 P^+ 碳化硅区(6)、第一 P^+ 碳化硅区(21)和第二 P^+ 碳化硅区(22);

第四步:采用淀积和刻蚀工艺,在器件表面淀积P型多晶硅材料,通过刻蚀工艺去除多余P型多晶硅,在沟槽区内形成与碳化硅 N^- 外延层(3)相接触的 P^+ 多晶硅层(7);

第五步:在器件上表面通过淀积金属形成金属阳极(1);通过背部减薄并在器件下表面淀积金属层形成金属阴极(5),最终制备获得碳化硅功率二极管器件。

一种碳化硅功率二极管器件及其制作方法

技术领域

[0001] 本发明属于功率半导体技术领域,具体涉及一种碳化硅功率二极管器件及其制作方法。

背景技术

[0002] 功率器件及其模块为实现多种形式电能之间转换提供了有效的途径,在国防建设、交通运输、工业生产、医疗卫生等领域得到了广泛应用。自上世纪50年代第一款功率器件应用以来,每一代功率器件的推出,都使得能源更为高效地转换和使用。

[0003] 传统功率器件及模块由硅基功率器件主导,主要以晶闸管、功率PIN器件、功率双极结型器件、功率MOSFET以及绝缘栅场效应晶体管等器件为主,在全功率范围内均得到了广泛的应用,以其悠久历史、十分成熟的设计技术和工艺技术占领了功率半导体器件的主导市场。然而,随着功率半导体技术发展的日渐成熟,硅基功率器件其特性已逐渐逼近其理论极限。研究人员在硅基功率器件狭窄的优化空间中努力寻求更佳参数的同时,也注意到了SiC、GaN等第三代宽带隙半导体材料在大功率、高频率、耐高温、抗辐射等领域中优异的材料特性。

[0004] 碳化硅(SiC)材料凭借其优良的性能成为了国际上功率半导体器件的研究热点。碳化硅(SiC)相比传统的硅材料具有禁带宽度大、击穿场强高、热导率高等优势。禁带宽度大使碳化硅的本征载流子浓度低,从而减小了器件的反向电流;高的击穿场强可以大大提高功率器件的反向击穿电压,并且可以降低器件导通时的电阻;高热导率可以大大提高器件可以工作的最高工作温度;并且在众多高功率应用场合,比如:高速铁路、混合动力汽车、智能高压直流输电等领域,碳化硅基器件均被赋予了很高的期望。同时,碳化硅功率器件能够有效降低功率损耗,故此被誉为带动“新能源革命”的“绿色能源”器件。

[0005] 碳化硅PIN二极管凭借其优异的性能成为最早商业化的碳化硅器件之一,现有技术中碳化硅PIN功率二极管器件的典型结构如图1所示。在高压大功率运用碳化硅PIN功率二极管展现出了传统硅PIN二极管不可比拟的特性。然而,现有技术中碳化硅PIN二极管仍然存在正向导通压降大(碳化硅PN结压降约为3V)以及反向恢复特性差(正向导通时漂移区电导调制注入大量过剩载流子)等不足,进而严重限制了碳化硅PIN二极管器件进一步地推广应用。故而,亟需一种正向导通压降较小、反向恢复性能良好的碳化硅PIN二极管器件,以克服现有技术所存在的不足。

发明内容

[0006] 为了克服现有技术的不足,本发明在器件表面碳化硅漂移区形成沟槽结构,在沟槽底部形成与上述漂移区掺杂类型相反的高浓度掺杂区,并在沟槽内设置与上述漂移区掺杂类型相反的多晶硅层,使得多晶硅层与沟槽侧壁形成Si/SiC异质结,进而在器件内部集成了一个二极管。本发明通过上述技术手段,降低了器件正向导通压降,改善了器件的反向恢复特性,并且提高了器件开关速度。

[0007] 为实现上述目的,一方面,本发明公开了一种碳化硅功率二极管器件的技术方案,具体技术方案如下:

[0008] 技术方案1:

[0009] 一种碳化硅功率二极管器件,其元胞结构包括:自下而上依次设置的金属阴极5、碳化硅 N^+ 衬底4及碳化硅 N^- 外延层3,其特征在于:所述碳化硅 N^- 外延层3内部具有 P^+ 碳化硅区6,在所述 P^+ 碳化硅区6上表面还具有 P^+ 多晶硅层7;所述 P^+ 多晶硅层7位于碳化硅 N^- 外延层3的内部及上表面,并且与 N^- 外延层3相接触使得P型Si和N型SiC形成异质结;在 P^+ 多晶硅层7上表面还具有金属阳极1。

[0010] 进一步地,本技术方案中碳化硅 N^- 外延层3上表面两侧可不具有所述 P^+ 多晶硅层7,金属阳极1在表面两侧直接与碳化硅 N^- 外延层3接触形成肖特基接触。

[0011] 技术方案2:

[0012] 一种碳化硅功率二极管器件,其元胞结构如图2所示,包括:自下而上依次设置的金属阴极5、碳化硅 N^+ 衬底4及碳化硅 N^- 外延层3,其特征在于:所述碳化硅 N^- 外延层3内部具有 P^+ 碳化硅区6,在所述 P^+ 碳化硅区6上表面还具有 P^+ 多晶硅层7,所述 P^+ 多晶硅层7位于碳化硅 N^- 外延层3的内部及其上方,位于碳化硅 N^- 外延层3内部的 P^+ 多晶硅层7与 N^- 外延层3相接触使得P型Si和N型SiC形成异质结;位于碳化硅 N^- 外延层3上方的 P^+ 多晶硅层7两侧还具有与 P^+ 多晶硅层7同平面且左右对称设置的第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22, P^+ 多晶硅层7在碳化硅 N^- 外延层3内部的深度分别大于第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22在碳化硅 N^- 外延层3内部的深度;在 P^+ 多晶硅层7、第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22上表面还具有金属阳极1。

[0013] 进一步地,本技术方案中 P^+ 多晶硅层7在碳化硅 N^- 外延层3内部的深度大于 P^+ 多晶硅层7的宽度; P^+ 多晶硅层7在碳化硅 N^- 外延层3内部的深度分别大于第一 P^+ 碳化硅区21或者第二 P^+ 碳化硅区22的宽度。

[0014] 进一步地,本技术方案中 P^+ 碳化硅区6的宽度大于 P^+ 多晶硅层7的宽度; P^+ 多晶硅层7的宽度大于 P^+ 碳化硅区6的厚度,如图3所示。

[0015] 进一步的,本技术方案中 P^+ 碳化硅区6下方还具有P型碳化硅区9,所述P型碳化硅区9与两侧碳化硅 N^- 外延层3形成超结或半超结结构,如图4所示。

[0016] 进一步的,本技术方案中在器件表面刻蚀得到连续的沟槽,使得元胞排列为条形排列, P^+ 多晶硅层7、第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22所在平面俯视图,如图5所示。

[0017] 进一步的,本技术方案中在器件表面刻蚀得到不连续的沟槽,使得元胞排列为方形排列,品字型排列、六角形排列,或者原子晶格排列, P^+ 多晶硅层7、第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22所在平面俯视图,如图6所示。

[0018] 技术方案3:

[0019] 一种碳化硅功率二极管器件,其元胞结构如图7所示,包括:自下而上依次设置的金属阴极5、碳化硅 N^+ 衬底4及碳化硅 N^- 外延层3,其特征在于:所述碳化硅 N^- 外延层3内部具有 P^+ 碳化硅区6,在所述 P^+ 碳化硅区6上表面还具有 P^+ 多晶硅层7,所述 P^+ 多晶硅层7位于碳化硅 N^- 外延层3的内部及其上方, P^+ 多晶硅层7与 N^- 外延层3相接触使得P型Si和N型SiC形成异质结;位于碳化硅 N^- 外延层3上方的 P^+ 多晶硅层7两侧还具有与 P^+ 多晶硅层7同平面且左右对称设置的的第一介质层8和第二介质层81,在 P^+ 多晶硅层7、第一介质层8和第二介质层81上

表面还具有金属阳极1。

[0020] 进一步地,本技术方案中P⁺多晶硅层7在碳化硅N⁻外延层3内部的深度大于P⁺多晶硅层7的宽度;P⁺多晶硅层7在碳化硅N⁻外延层3内部的深度分别大于第一介质层8或者第二介质层81的宽度。

[0021] 进一步地,本技术方案中P⁺碳化硅区6的宽度大于P⁺多晶硅层7的宽度;P⁺多晶硅层7的宽度大于P⁺碳化硅区6的厚度。

[0022] 进一步地,本技术方案中第一介质层8和第二介质层81下方的碳化硅N⁻外延层3内部分别还具有第一P⁺碳化硅区21和第二P⁺碳化硅区22;第一P⁺碳化硅区21和第二P⁺碳化硅区22的厚度均小于P⁺多晶硅层7在碳化硅N⁻外延层3内部的深度。

[0023] 进一步地,本技术方案中第一介质层8和第二介质层81与金属阳极1之间还具有P⁺多晶硅层7。

[0024] 进一步地,本技术方案中P⁺碳化硅区6下方还具有P型碳化硅区9,所述P型碳化硅区9与两侧碳化硅N⁻外延层3形成超结或半超结结构。

[0025] 进一步的,本技术方案中在器件表面刻蚀得到连续的沟槽,使得元胞排列为条形排列,P⁺多晶硅层7、第一P⁺碳化硅区21和第二P⁺碳化硅区22所在平面俯视图。

[0026] 进一步的,本技术方案中在器件表面刻蚀得到不连续的沟槽,使得元胞排列为方形排列、品字型排列、六角形排列,或者原子晶格排列,P⁺多晶硅层7、第一P⁺碳化硅区21和第二P⁺碳化硅区22所在平面俯视图。

[0027] 技术方案4:

[0028] 一种碳化硅功率二极管器件,其元胞结构,包括:自下而上依次设置的金属阴极5、碳化硅N⁺衬底4及碳化硅N⁻外延层3,其特征在于:所述碳化硅N⁻外延层3内部具有P⁺碳化硅区6,在位于P⁺碳化硅区6两侧的碳化硅N⁻外延层3上表面分别具有左右对称设置的第一介质层8和第二介质层81,在所述P⁺碳化硅区6上表面还具有P⁺多晶硅层7,所述P⁺多晶硅层7设于碳化硅N⁻外延层3的内部以及覆盖第一介质层8和第二介质层81的上表面和内侧面,位于碳化硅N⁻外延层3内部的P⁺多晶硅层7与N⁻外延层3相接触使得P型Si和N型SiC形成异质结,在P⁺多晶硅层7上表面还具有金属阳极1。

[0029] 进一步地,本技术方案中P⁺多晶硅层7在碳化硅N⁻外延层3内部的深度大于P⁺多晶硅层7的宽度;P⁺多晶硅层7在碳化硅N⁻外延层3内部的深度分别大于第一介质层8和第二介质层81的宽度。

[0030] 进一步地,本技术方案中P⁺碳化硅区6的宽度大于P⁺多晶硅层7的宽度;P⁺多晶硅层7的宽度大于P⁺碳化硅区6的厚度。

[0031] 进一步地,本技术方案中第一介质层8和第二介质层81下方的碳化硅N⁻外延层3内部分别还具有第一P⁺碳化硅区21和第二P⁺碳化硅区22;第一P⁺碳化硅区21和第二P⁺碳化硅区22的厚度均小于P⁺多晶硅层7在碳化硅N⁻外延层3内部的深度。

[0032] 进一步地,本技术方案中P⁺碳化硅区6下方还具有P型碳化硅区9,所述P型碳化硅区9与两侧碳化硅N⁻外延层3形成超结或半超结结构。

[0033] 进一步的,本技术方案中在器件表面刻蚀得到连续的沟槽,使得元胞排列为条形排列,P⁺多晶硅层7、第一P⁺碳化硅区21和第二P⁺碳化硅区22所在平面俯视图。

[0034] 进一步的,本技术方案中在器件表面刻蚀得到不连续的沟槽,使得元胞排列为方

形排列,品字型排列、六角形排列,或者原子晶格排列, P^+ 多晶硅层7、第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22所在平面俯视图。

[0035] 根据本领域技术人员普通知识可知:本发明所提供碳化硅功率二极管器件结构,各结构中受主离子和施主离子可以互换,从本发明技术手段来讲,衬底及外延层可以为N型半导体材料,相应地,本发明增设的多晶硅层掺杂类型为P型;衬底及外延层也可以为P型半导体材料,相应地,本发明增设的多晶硅层掺杂类型为N型。

[0036] 技术方案5:

[0037] 另一方面,本发明公开了上述技术方案制作方法的技术方案,具体技术方案如下:

[0038] 一种碳化硅功率二极管器件的制作方法,包括以下步骤:

[0039] 第一步:采用外延工艺,在碳化硅 N^+ 衬底4上表面制得碳化硅 N^+ 外延层3,如图12所示;

[0040] 第二步:采用光刻和刻蚀工艺,在碳化硅 N^+ 外延层3上表面中间位置刻蚀形成沟槽区,如图13所示;

[0041] 第三步:采用离子注入工艺,分别在沟槽区两侧的碳化硅 N^+ 外延层3上层以及沟槽区底部注入P型半导体杂质并进行高温退火,形成 P^+ 碳化硅区6、第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22,如图14所示;

[0042] 第四步:采用淀积和刻蚀工艺,在器件表面淀积P型多晶硅材料,通过刻蚀工艺去除多余P型多晶硅,使得沟槽区内形成 P^+ 多晶硅层7,如图15所示;

[0043] 第五步:在器件上表面通过淀积金属形成金属阳极1;通过背部减薄并淀积金属层,在器件下表面形成金属阴极5,最终制备获得碳化硅功率二极管器件,如图16所示。

[0044] 进一步地,本技术方案中在第三步离子注入过程中,通过选择在碳化硅中扩散系数较大的P型掺杂剂,并通过离子注入后较长时间高温推结,使得形成的 P^+ 碳化硅区6的宽度大于 P^+ 多晶硅层7的宽度。

[0045] 进一步地,本技术方案中形成介质层8、81可以在第五步金属阳极1形成之前,通过介质形成及刻蚀工艺,在 P^+ 多晶硅层7两侧形成第一介质层8和第二介质层81;或者也可以在第四步淀积P型多晶硅材料之前,通过介质形成及刻蚀工艺,在沟槽区两侧形成第一介质层8和第二介质层81。

[0046] 进一步地,本技术方案中在进行第三步之前,通过光刻和掩蔽膜形成工艺,在除沟槽区的器件表面形成掩蔽膜,使得第三步进行离子注入时仅在沟槽区底部形成 P^+ 碳化硅区6。

[0047] 进一步地,本技术方案中进行第四步在器件表面淀积P型多晶硅后,可以不进行P型多晶硅的刻蚀。

[0048] 根据本领域技术人员普通知识可知:本发明提供的碳化硅功率二极管器件结构中,各结构中受主离子和施主离子可以互换,从本发明技术手段来讲,衬底及外延层可以为N型半导体材料,相应地,本发明增设的多晶硅层掺杂类型为P型;衬底及外延层也可以为P型半导体材料,相应地,本发明增设的多晶硅层掺杂类型为N型。

[0049] 本发明的工作原理阐述如下:

[0050] 本发明通过在器件表面碳化硅漂移区形成沟槽,而后在沟槽底部形成与上述漂移区掺杂类型相反的高浓度掺杂区,以及在沟槽内设置与上述漂移区掺杂类型相反的多晶硅

层,使得多晶硅层与沟槽侧壁形成Si/SiC异质结,进而在器件内部集成了一个二极管。

[0051] 当器件正向导通时,金属阳极加正电压,由于P型多晶硅与N型碳化硅或者N型多晶硅与P型碳化硅所形成异质结的结压降约为1V,而P⁺碳化硅与N型碳化硅外延层所形成碳化硅PN结的结压降约为3V,故P型多晶硅与N型碳化硅外延层形成的异质结易于导通,而P型碳化硅与N型碳化硅外延层形成的碳化硅PN结则被旁路。此时,由于P型多晶硅与N型碳化硅所形成异质结的作用,二极管的导电为多子导电,并且具有低的正向导通压降。

[0052] 当器件反向阻断时,金属阴极加正电压;此时,由于沟槽底部高浓度P⁺碳化硅区的电荷屏蔽作用,降低了在沟槽侧壁P型多晶硅与N型碳化硅所形成异质结界面的电场,进而能够屏蔽P型多晶硅对器件击穿特性、反向漏电特性和温度稳定性的不利影响,使器件保持PIN二极管反向漏电低,击穿电压高和器件温度稳定性能好的优点。

[0053] 同时,本发明中沟槽的形成能够增大P型多晶硅与N型碳化硅形成异质结的面积,使得器件具有更好的正向导通特性。进一步地,器件表面两介质层能够使得器件在正向导通时,使得介质层下方N型外延层中形成电子的积累层,进一步减小器件的正向导通压降。在器件反向恢复时,由于正向导通时的多子导电工作模式,漂移区无电导调制效应,因此,具有反向恢复时间短,反向恢复电荷少的优点,具有好的反向恢复特性和快的开关速度。

[0054] 本发明的有益效果是:

[0055] 本发明通过在器件表面碳化硅漂移区形成沟槽,而后在沟槽底部形成与上述漂移区掺杂类型相反的高浓度掺杂区,以及在沟槽内设置与上述漂移区掺杂类型相反的多晶硅层,使得多晶硅层与沟槽侧壁形成Si/SiC异质结。通过上述技术手段,本发明提供的碳化硅异质结功率二极管器件是一种单极器件,无少子存储效应,具有正向导通压降低,开关速度快和反向恢复特性好的优点;且具有PIN二极管反向漏电低,击穿电压高和器件温度稳定性能好的优点。此外,本发明提供的器件制备方法具有工艺简单,工艺步骤少,实现成本低的优点。

附图说明

[0056] 图1是传统碳化硅PIN二极管元胞结构示意图;

[0057] 图2是本发明提供的第一种碳化硅功率二极管元胞结构示意图;

[0058] 图3是本发明提供的第二种碳化硅功率二极管元胞结构示意图;

[0059] 图4是本发明提供的第三种碳化硅功率二极管元胞结构示意图;

[0060] 图5是本发明提供的碳化硅功率二极管条形排列元胞的P⁺多晶硅层、第一P⁺碳化硅区和第二P⁺碳化硅区所在平面俯视图;

[0061] 图6本发明提供的碳化硅功率二极管条形排列元胞的P⁺多晶硅层、第一P⁺碳化硅区和第二P⁺碳化硅区所在平面俯视图;

[0062] 图7是本发明提供的第四种碳化硅功率二极管元胞结构示意图;

[0063] 图8是本发明提供的第五种碳化硅功率二极管元胞结构示意图;

[0064] 图9是本发明提供的第六种碳化硅功率二极管元胞结构示意图;

[0065] 图10是本发明提供的第七种碳化硅功率二极管元胞结构示意图;

[0066] 图11是本发明提供的第八种碳化硅功率二极管元胞结构示意图;

[0067] 图12是采用本发明提供的器件制作方法通过外延形成N⁻外延层后的示意图;

[0068] 图13是采用本发明提供的器件制作方法通过光刻和刻蚀工艺形成沟槽区后的示意图;

[0069] 图14是采用本发明提供的器件制作方法通过离子注入工艺在器件表面及沟槽区底部形成P⁺碳化硅区后的示意图;

[0070] 图15是采用本发明提供的器件制作方法通过淀积和刻蚀工艺在沟槽区形成P⁺多晶硅层后的示意图;

[0071] 图16是采用本发明提供的器件制作方法分别通过淀积和背部减薄/淀积工艺在上下表面形成金属电极后的示意图。

[0072] 图中:1为金属阳极,3为碳化硅N⁻外延层,4为碳化硅N⁺衬底,5为金属阴极,6为P⁺碳化硅区,7为P⁺多晶硅层,8为第一介质层,81为第二介质层,9为P型碳化硅区,21为第一P⁺碳化硅区,22为第二P⁺碳化硅区,23为第三P⁺碳化硅区。

具体实施方式

[0073] 以下结合说明书附图,以一种1200V的碳化硅功率二极管为例,详细描述本发明的技术方案,同时对本发明的原理和特性做进一步的说明。本实施例只用于解释本发明,并非用于限定本发明的范围。

[0074] 实施例1:

[0075] 一种碳化硅功率二极管器件,其基本结构的元胞结构如图2所示:具体包括:自下而上依次设置的金属阴极5、碳化硅N⁺衬底4及碳化硅N⁻外延层3,其特征在于:所述碳化硅N⁻外延层3内部具有P⁺碳化硅区6,在所述P⁺碳化硅区6上表面还具有P⁺多晶硅层7,所述P⁺多晶硅层7位于碳化硅N⁻外延层3的内部及其上方,位于碳化硅N⁻外延层3内部的P⁺多晶硅层7与N⁻外延层3相接触使得P型Si和N型SiC形成异质结;位于碳化硅N⁻外延层3上方的P⁺多晶硅层7两侧还具有与P⁺多晶硅层7同平面且左右对称设置的第一P⁺碳化硅区21和第二P⁺碳化硅区22,所述P⁺多晶硅层7的在碳化硅N⁻外延层3内部的深度分别大于第一P⁺碳化硅区21和第二P⁺碳化硅区22在碳化硅N⁻外延层3内部的深度,在P⁺多晶硅层7、第一P⁺碳化硅区21和第二P⁺碳化硅区22上表面还具有金属阳极1。

[0076] 本实施例中金属阳极1和金属阴极5的厚度为1~4μm,N⁺衬底4的掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$,厚度为50~200μm;N⁻外延层3的掺杂浓度为 $2 \times 10^{15} \text{cm}^{-3} \sim 2 \times 10^{16} \text{cm}^{-3}$,厚度为8~12μm;P⁺碳化硅区6的掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$,厚度为0.1~0.5μm;P⁺多晶硅层7的掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 5 \times 10^{19} \text{cm}^{-3}$,厚度为0.5~1μm,宽度为0.2~1μm;第一P⁺碳化硅区21和第二P⁺碳化硅区22的掺杂浓度均为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$,厚度为0.1~0.2μm;元胞的宽度为0.3~2μm。

[0077] 实施例2:

[0078] 除了P⁺碳化硅区6的宽度大于P⁺碳化硅区6的宽度,二者宽度差值在0.1~0.5μm范围内,以及P⁺碳化硅区6的宽度大于P⁺碳化硅区6的厚度之外,本实施例与实施例1其余结构均相同,如图3所示。

[0079] 本实施例相比实施例1,进一步提高了P⁺碳化硅区6的电场屏蔽作用,进而提高了器件的击穿电压,减小反向漏电流。

[0080] 实施例3:

[0081] 除了在P⁺碳化硅区6下方还具有与之相接触的P型碳化硅区9与两侧碳化硅N⁻外延层3形成超结或者半超结结构之外,本实施例与实施例1其余结构均相同。

[0082] 本实施例相比实施例1,进一步提高了碳化硅N⁻外延层3的掺杂浓度,减小器件的正向导通压降、提高器件的击穿电压并改善器件的反向恢复特性。

[0083] 实施例4:

[0084] 除了在P⁺碳化硅区6下方还具有与之相接触的P型碳化硅区9与两侧碳化硅N⁻外延层3形成超结或者半超结结构之外,本实施例与实施例2其余结构均相同,如图4所示。

[0085] 本实施例相比实施例2,进一步提高了碳化硅N⁻外延层3的掺杂浓度,减小器件的正向导通压降、提高器件的击穿电压并改善器件的反向恢复特性。

[0086] 实施例5:

[0087] 除了在器件表面刻蚀有不连续的沟槽使得元胞排列为条形之外,本实施例与实施例1其余结构均相同,如图5所示。

[0088] 本实施例相比实施例1,进一步降低了器件的正向导通压降。

[0089] 实施例6:

[0090] 除了在器件表面刻蚀有不连续的沟槽使得元胞排列为方形之外,本实施例与实施例1其余结构均相同,如图6所示,方形区域内为第三P⁺碳化硅区23。

[0091] 本实施例相比实施例1,进一步降低了器件的正向导通压降。

[0092] 实施例7:

[0093] 除了在器件表面刻蚀有不连续的沟槽使得元胞排列为品字形之外,本实施例与实施例2其余结构均相同。

[0094] 本实施例相比实施例2,进一步降低了器件的正向导通压降。

[0095] 实施例8:

[0096] 除了在器件表面刻蚀有不连续的沟槽使得元胞排列为六角形字形之外,本实施例与实施例3其余结构均相同。

[0097] 本实施例相比实施例3,进一步降低了器件的正向导通压降。

[0098] 实施例9:

[0099] 除了在器件表面刻蚀有不连续的沟槽使得元胞排列为六角形字形之外,本实施例与实施例4其余结构均相同。

[0100] 本实施例相比实施例4,进一步降低了器件的正向导通压降。

[0101] 实施例10:

[0102] 一种碳化硅功率二极管器件,其元胞结构如图7所示,包括:自下而上依次设置的金属阴极5、碳化硅N⁺衬底4及碳化硅N⁻外延层3,其特征在于:所述碳化硅N⁻外延层3内部具有P⁺碳化硅区6,在所述P⁺碳化硅区6上表面还具有P⁺多晶硅层7,所述P⁺多晶硅层7位于碳化硅N⁻外延层3的内部及其上方,P⁺多晶硅层7与N⁻外延层3相接触使得P型Si和N型SiC形成异质结;位于碳化硅N⁻外延层3上方的P⁺多晶硅层7两侧还具有与P⁺多晶硅层7同平面且左右对称设置的的第一介质层8和第二介质层81,在P⁺多晶硅层7、第一介质层8和第二介质层81上表面还具有金属阳极1。

[0103] 本实施例中金属阳极1和金属阴极5的厚度为1~4μm,N⁺衬底4的掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$,厚度为50~200μm;N⁻外延层3的掺杂浓度为 $2 \times 10^{15} \text{cm}^{-3} \sim 2 \times 10^{16} \text{cm}^{-3}$

$^{-3}$,厚度为 $8\sim 12\mu\text{m}$;P⁺碳化硅区6的掺杂浓度为 $1\times 10^{17}\text{cm}^{-3}\sim 1\times 10^{19}\text{cm}^{-3}$,厚度为 $0.1\sim 0.5\mu\text{m}$;P⁺多晶硅层7的掺杂浓度为 $1\times 10^{18}\text{cm}^{-3}\sim 5\times 10^{19}\text{cm}^{-3}$,厚度为 $0.5\sim 1\mu\text{m}$,宽度为 $0.2\sim 1\mu\text{m}$;第一介质层8和第二介质层81的厚度为 $0.3\sim 2\mu\text{m}$;元胞的宽度为 $0.3\sim 2\mu\text{m}$ 。

[0104] 本实施例相比实施例1,在正向导通时,第一介质层8和第二介质层81下方的碳化硅N⁻外延层3会形成电子积累层,进一步降低器件的正向导通压降。

[0105] 实施例11:

[0106] 除了P⁺碳化硅区6的宽度大于P⁺碳化硅区6的宽度,二者宽度差值在 $0.1\sim 0.5\mu\text{m}$ 范围内,以及P⁺碳化硅区6的宽度大于P⁺碳化硅区6的厚度之外,本实施例与实施例9其余结构均相同,如图8所示。

[0107] 本实施例相比实施例10,进一步提高了P⁺碳化硅区6的电场屏蔽作用,进而提高了器件的击穿电压,减小反向漏电流。

[0108] 实施例12:

[0109] 除了第一介质层8和第二介质层9下方的碳化硅N⁻外延层3内部分别还具有与介质层相接触的第一P⁺碳化硅区21和第二P⁺碳化硅区22之外,本实施例与实施例10其余结构均相同。

[0110] 本实施例中第一P⁺碳化硅区21和第二P⁺碳化硅区22的掺杂浓度均为 $1\times 10^{17}\text{cm}^{-3}\sim 1\times 10^{19}\text{cm}^{-3}$,厚度为 $0.1\sim 0.2\mu\text{m}$ 。

[0111] 本实施例相比实施例10,由于第一P⁺碳化硅区21和第二P⁺碳化硅区22的电荷屏蔽作用,进一步提高了器件的击穿电压,减小反向漏电流。

[0112] 实施例13:

[0113] 除了第一介质层8和第二介质层9下方的碳化硅N⁻外延层3内部分别还具有与介质层相接触的第一P⁺碳化硅区21和第二P⁺碳化硅区22之外,本实施例与实施例11其余结构均相同,如图9所示。

[0114] 本实施例中第一P⁺碳化硅区21和第二P⁺碳化硅区22的掺杂浓度均为 $1\times 10^{17}\text{cm}^{-3}\sim 1\times 10^{19}\text{cm}^{-3}$,厚度为 $0.1\sim 0.2\mu\text{m}$ 。

[0115] 本实施例相比实施例11,由于第一P⁺碳化硅区21和第二P⁺碳化硅区22的电荷屏蔽作用,进一步提高了器件的击穿电压,减小反向漏电流。

[0116] 实施例14:

[0117] 除了在第一介质层8和第二介质层81与金属阳极1之间还具有P⁺多晶硅层7以外,本实施例其余结构与实施例13相同,如图10所示。

[0118] 本实施例中采用P⁺多晶硅层7覆盖整个碳化硅基表面,从而避免了刻蚀,节约了工艺成本。

[0119] 实施例15:

[0120] 除了在P⁺碳化硅区6下方还具有与P⁺碳化硅区6相接触的P型碳化硅区9,进而与两侧碳化硅N⁻外延层3形成超结或者半超结结构之外,本实施例与实施例14其余结构均相同,如图11所示。

[0121] 本实施例相比实施例14,进一步提高了碳化硅N⁻外延层3的掺杂浓度,减小器件的正向导通压降、提高器件的击穿电压并改善器件的反向恢复特性。

[0122] 实施例16:

[0123] 一种碳化硅功率二极管器件的制作方法,包括以下步骤:

[0124] 第一步:采用外延工艺,在掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$,厚度为 $300 \sim 500 \mu\text{m}$ 的碳化硅 N^+ 衬底4上表面制作碳化硅 N^- 外延层3,制得碳化硅 N^- 外延层3的掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$,厚度为 $8 \sim 12 \mu\text{m}$ 如图12所示;本实施在碳化硅衬底硅面上形成的外延层具有缺陷密度低的优势,相比于在碳化硅衬底碳面形成中等掺杂浓度外延层更加容易;

[0125] 第二步:采用光刻和刻蚀工艺,在碳化硅 N^- 外延层3上表面中间位置刻蚀形成沟槽区,沟槽区在碳化硅 N^- 外延层3内部的深度为 $0.5 \sim 1 \mu\text{m}$,沟槽区的宽度为 $0.2 \sim 1 \mu\text{m}$,如图13所示;

[0126] 第三步:采用离子注入工艺,分别在沟槽区两侧的碳化硅 N^- 外延层3上层以及沟槽区底部注入硼离子或者铝离子并进行高温推结,在器件表面及沟槽区底部同时形成 P^+ 碳化硅区6、第一 P^+ 碳化硅区21和第二 P^+ 碳化硅区22,上述三者碳化硅 N^- 外延层3内部的深度均为 $0.1 \sim 0.5 \mu\text{m}$,掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$,如图14所示;

[0127] 第四步:采用淀积和刻蚀工艺,在器件表面淀积厚度为 $0.2 \sim 0.8 \mu\text{m}$ 的P型多晶硅材料,通过刻蚀工艺去除多余P型多晶硅材料材料,使得沟槽内形成 P^+ 多晶硅层7,如图15所示;

[0128] 第五步:在器件上表面通过淀积厚度为 $1 \sim 4 \mu\text{m}$ 金属形成金属阳极1;减薄碳化硅 N^- 外延层3至 $5 \sim 200 \mu\text{m}$,然后在背面淀积厚度为 $1 \sim 4 \mu\text{m}$ 金属层形成金属阴极5,最终制备获得碳化硅功率二极管器件,如图16所示。

[0129] 在第三步离子注入过程中,本领域技术人员能够通过选择在碳化硅 N^- 外延层3中扩散系数较大的P型掺杂剂,并通过控制离子注入以及高温推结的工艺参数,使得形成的 P^+ 碳化硅区6的宽度大于 P^+ 多晶硅层7的宽度,作为优选实施方式, P^+ 碳化硅区6的宽度与 P^+ 多晶硅层7的宽度的差值为 $0.1 \sim 0.5 \mu\text{m}$ 。

[0130] 在第五步形成金属阳极1之前,本领域技术人员能够通过介质形成及刻蚀工艺,在沟槽区内 P^+ 多晶硅层7的两侧形成第一介质层8和第二介质层81;或者在第四步淀积P型多晶硅之前,通过介质形成及刻蚀工艺,在沟槽区的两侧形成第一介质层8和第二介质层81;作为优选实施方式,所形成第一介质层8和第二介质层81的厚度为 $0.01 \sim 0.05 \mu\text{m}$ 。

[0131] 在进行第三步之前,本领域技术人员能够通过光刻和掩蔽膜形成工艺,在除沟槽区以外都的器件表面形成掩蔽膜,进而使得第三步进行离子注入时,仅在沟槽区的底部形成 P^+ 碳化硅区6。

[0132] 在第四步器件表面淀积P型多晶硅材料层之后,根据本领域技术人员常识可知:可以不进行P型多晶硅材料层的刻蚀,可以直接在其表面制作金属阳极,从而避免了一次刻蚀,节约了工艺成本。

[0133] 根据本领域技术人员常识可知:所述碳化硅材料还可以用氮化镓,金刚石等宽禁带材料代替。本发明不仅能够采用P型多晶硅材料实现N沟道器件制作,也采用N型多晶硅材料实现P沟道器件的制作;同时,制造工艺的具体实施方式也可以根据实际需要进行调整。以上结合附图对本发明的实施例进行了阐述,但是本发明并不局限于上述的具体实施方式,上述具体实施方式仅仅是示意性的,而不是限制性的,本领域的普通技术人员在本发明的启示下,在不脱离本发明宗旨和权利要求所保护的范围情况下,还可做出很多形式,这些均属于本发明的保护之内。

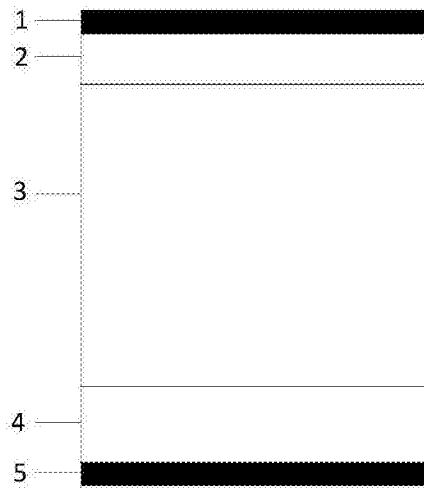


图1

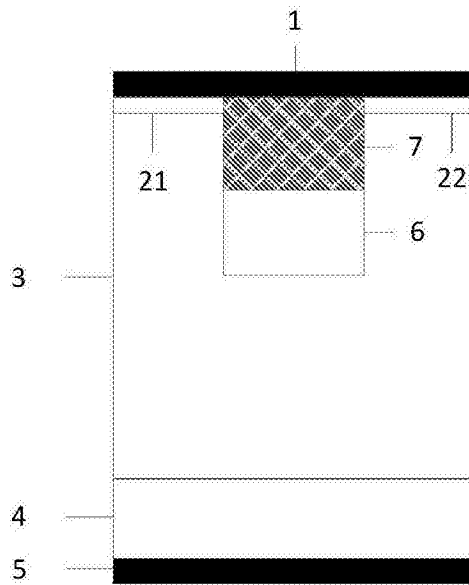


图2

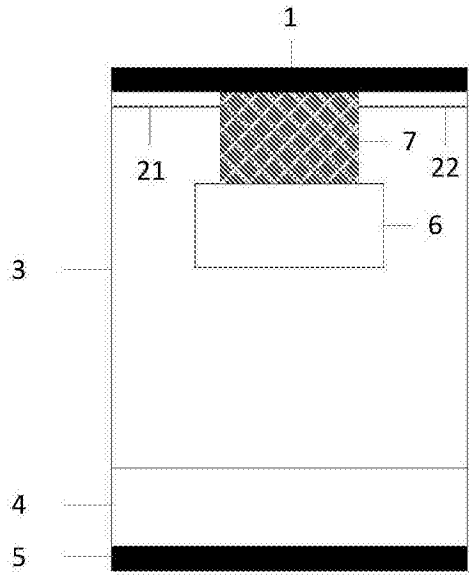


图3

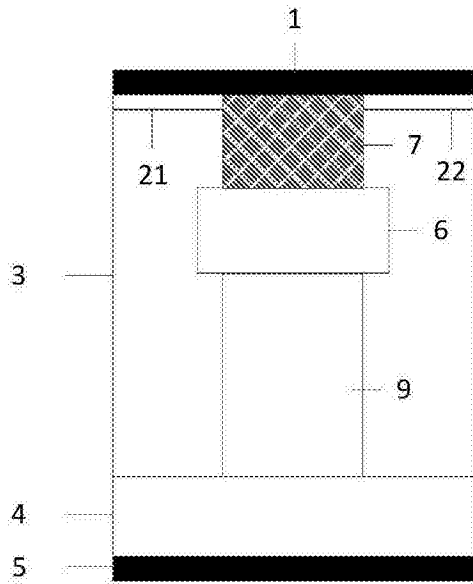


图4

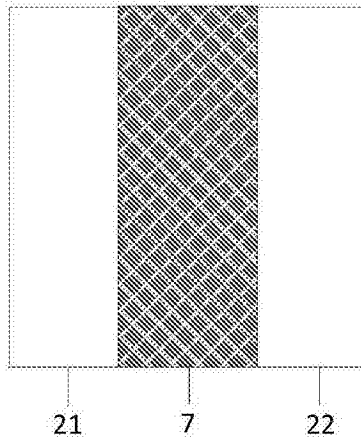


图5

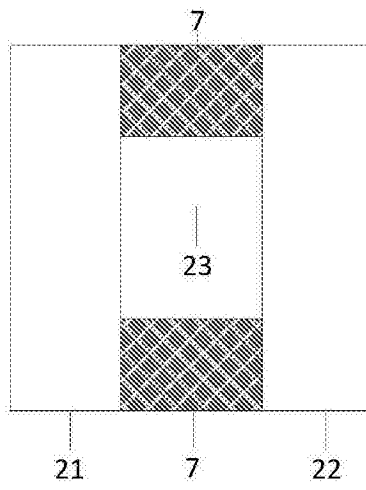


图6

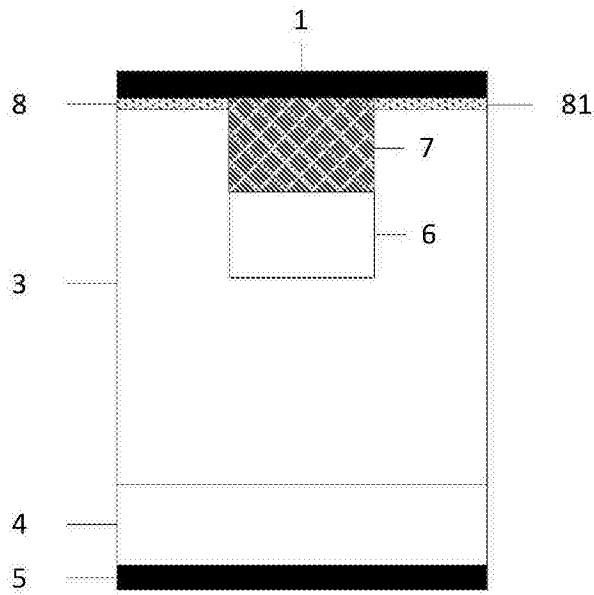


图7

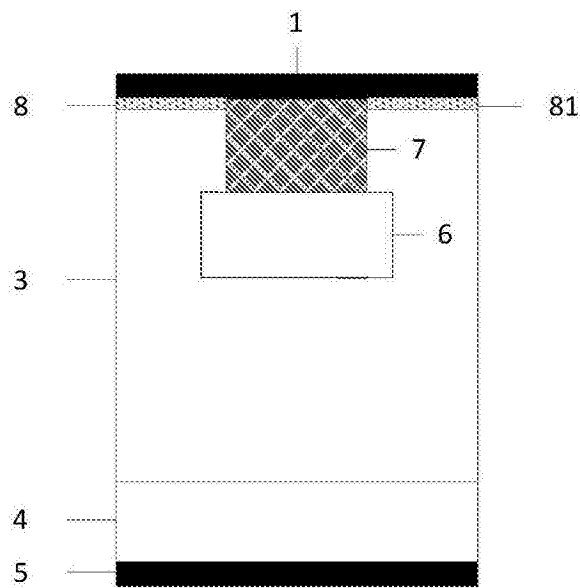


图8

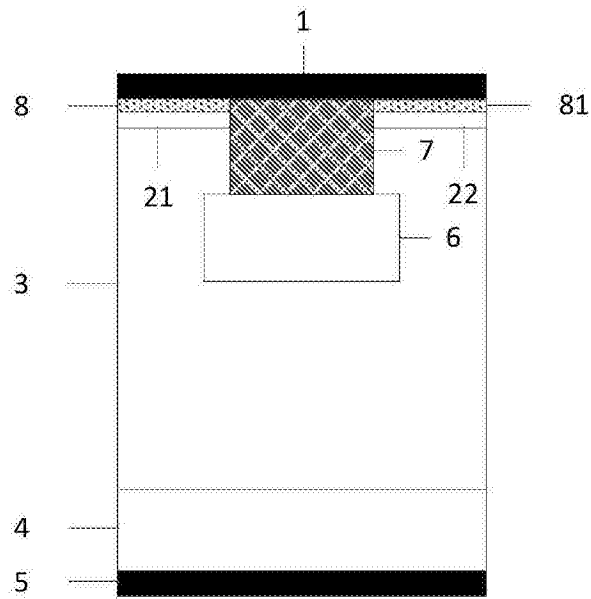


图9

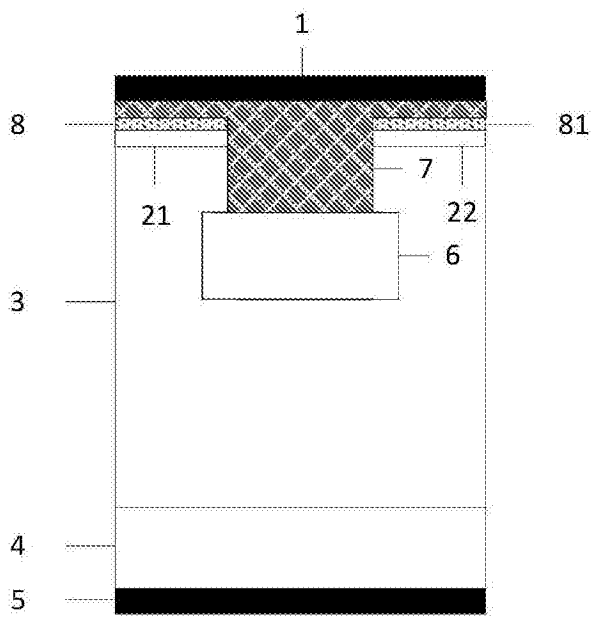


图10

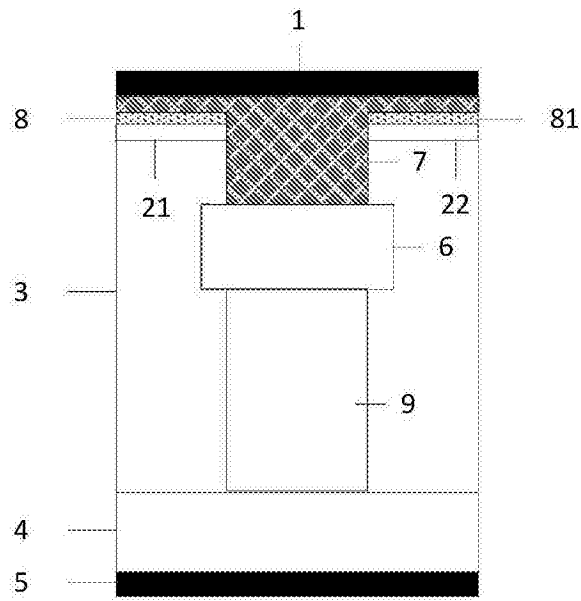


图11

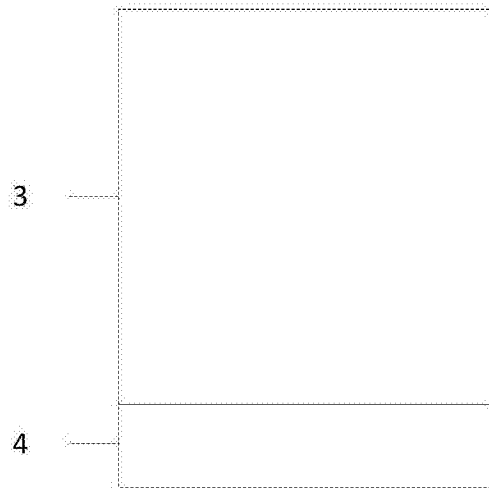


图12

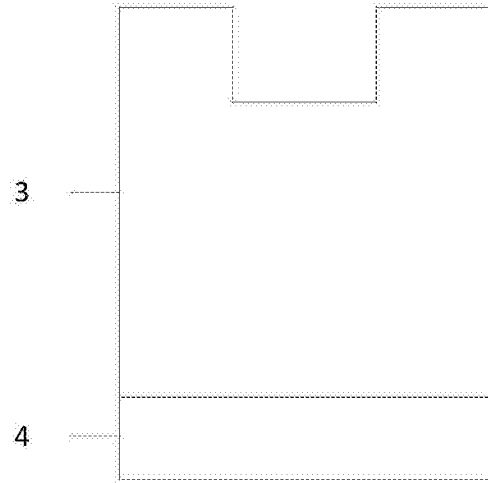


图13

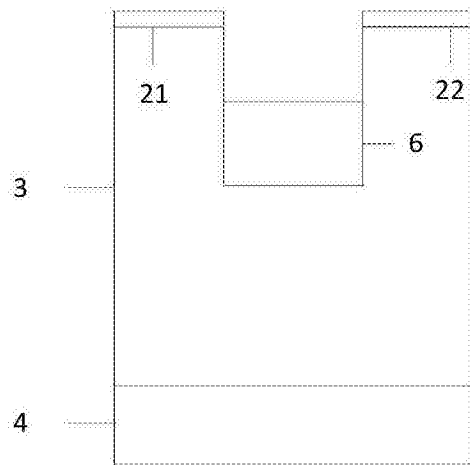


图14

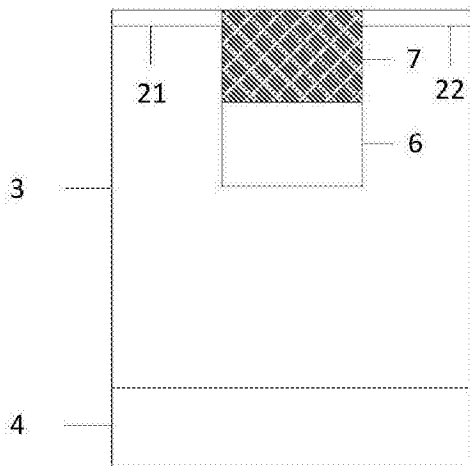


图15

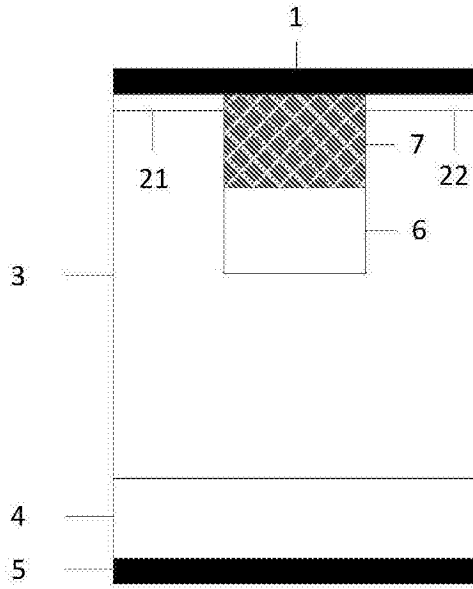


图16