

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4395

(P2010-4395A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
H03H 7/42 (2006.01)	H03H 7/42	5J500
H03F 3/45 (2006.01)	H03F 3/45 Z	

審査請求 有 請求項の数 14 O L (全 12 頁)

(21) 出願番号	特願2008-162323 (P2008-162323)	(71) 出願人	000006231
(22) 出願日	平成20年6月20日 (2008.6.20)		株式会社村田製作所
			京都府長岡京市東神足1丁目10番1号
		(74) 代理人	100084548
			弁理士 小森 久夫
		(72) 発明者	田丸 育生
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		Fターム(参考)	5J500 AA01 AA22 AC96 AF09 AH29
			AH33 AK16 AK42 AK46 AQ04

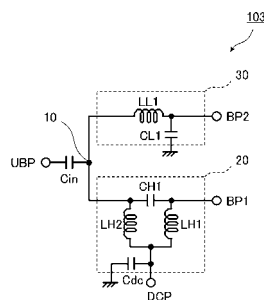
(54) 【発明の名称】 平衡不平衡変換器及び増幅回路モジュール

(57) 【要約】

【課題】回路の大型化・複雑化を回避しつつ2つの平衡端子に一つの電源でバイアス電圧を供給できる平衡・不平衡変換器及びそれを備えた増幅回路モジュールを構成する。

【解決手段】平衡不平衡変換器103は、不平衡端子UBPが接続される分岐点10と第1の端子BP1との間に90度位相回路20、分岐点10と第2の端子BP2との間に-90度位相回路30をそれぞれ備えている。第1の端子BP1と電源供給端子DCPとの間には第1のインダクタLH1、分岐点10と電源供給端子DCPとの間には第2のインダクタLH2をそれぞれ接続し、電源供給端子DCPと接地との間には電源供給端子側キャパシタCdcをシャントに接続している。分岐点10と第2の端子BP2との間には第2の端子側直列インダクタLL1を直列に接続している。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

電源供給端子、不平衡端子および第 1・第 2 の端子から成る 1 組の平衡端子を有し、前記不平衡端子と前記第 1・第 2 の端子とは分岐点を介して接続され、前記分岐点と前記第 1 の端子との間に配置される線路に対して直列に接続された第 1 の端子側直列キャパシタを含む 90 度位相回路と、前記分岐点と前記第 2 の端子との間に配置される線路に対して直列に接続された第 2 の端子側直列インダクタを含む - 90 度位相回路と、を備えてなる平衡不平衡変換器において、

前記 90 度位相回路は、一方端が前記第 1 の端子側直列キャパシタの前記第 1 の端子側に接続され、他方端が前記電源供給端子に接続された第 1 のインダクタと、一方端が前記第 1 の端子側直列キャパシタの前記分岐点側に接続され、他方端が前記電源供給端子に接続された第 2 のインダクタと、を含むことを特徴とする平衡不平衡変換器。

10

【請求項 2】

前記不平衡端子と前記分岐点との間に直列に不平衡端子側直列キャパシタが接続された、請求項 1 に記載の平衡不平衡変換器。

【請求項 3】

前記 - 90 度位相回路は、前記第 2 の端子側直列インダクタの第 2 の端子側と接地との間に接続された第 2 の端子側並列キャパシタを含む、請求項 1 または 2 に記載の平衡不平衡変換器。

【請求項 4】

前記 - 90 度位相回路は、前記第 2 の端子側直列インダクタの第 2 の端子側と前記電源供給端子との間に接続された第 2 の端子側並列キャパシタを含む、請求項 1 または 2 に記載の平衡不平衡変換器。

20

【請求項 5】

前記 - 90 度位相回路は、前記第 2 の端子側直列インダクタと前記第 2 の端子側並列キャパシタとの接続点と前記第 2 の端子との間に直列に接続された第 2 の端子側の第 2 の直列インダクタを含む、請求項 1 ~ 4 のいずれかに記載の平衡不平衡変換器。

【請求項 6】

前記 90 度位相回路は、前記電源供給端子と接地との間に接続された電源供給端子側キャパシタを含む、請求項 1 ~ 5 のいずれかに記載の平衡不平衡変換器。

30

【請求項 7】

前記 90 度位相回路と前記 - 90 度位相回路は、電極パターンを形成した誘電体層を積層してなる積層基板に構成され、前記積層基板の一方の主面からの透視状態で前記 90 度位相回路と前記 - 90 度位相回路の形成範囲の中心位置が異なっている、請求項 1 ~ 6 のいずれかに記載の平衡不平衡変換器。

【請求項 8】

前記電源供給端子側キャパシタ以外の回路と前記 - 90 度位相回路とが、電極パターンを形成した誘電体層を積層してなる積層基板に構成された、請求項 4 に記載の平衡不平衡変換器。

【請求項 9】

前記 90 度位相回路に含まれる、第 1 のインダクタ、第 2 のインダクタ及び前記 - 90 度位相回路に含まれる第 2 の端子側直列インダクタの積層方向の上下にグラウンド電極及びキャパシタ電極が設けられた、請求項 7 または 8 に記載の平衡不平衡変換器。

40

【請求項 10】

前記積層基板は矩形状の誘電体を積層してなり、積層基板の少なくとも下面に前記第 1・第 2 の端子、前記不平衡端子、前記電源供給端子をそれぞれ備え、前記第 1・第 2 の端子は前記積層基板の対向する辺にそれぞれ配置されている、請求項 7 ~ 9 のいずれかに記載の平衡不平衡変換器。

【請求項 11】

前記積層基板は矩形状の誘電体を積層してなり、積層基板の少なくとも下面に前記第 1

50

・第２の端子、前記不平衡端子、前記電源供給端子をそれぞれ備え、前記第１・第２の端子は前記電源供給端子を挟み込むように前記積層基板の１辺に配置されている、請求項７～９のいずれかに記載の平衡不平衡変換器。

【請求項１２】

前記積層基板は矩形状の誘電体を積層してなり、積層基板の少なくとも下面に前記第１・第２の端子、前記不平衡端子、前記電源供給端子、及び前記グランド電極と導通するグランド端子を備え、前記第１・第２の端子は前記グランド端子を挟み込むように前記積層基板の１辺に配置されている、請求項７～９のいずれかに記載の平衡不平衡変換器。

【請求項１３】

前記積層基板は矩形状の誘電体を積層してなり、積層基板の少なくとも下面に前記第１・第２の端子、前記不平衡端子、前記電源供給端子をそれぞれ備え、これらの端子は前記積層基板の四辺または四隅にそれぞれ配置されている、請求項７～９のいずれかに記載の平衡不平衡変換器。

【請求項１４】

請求項１～１３のいずれかに記載の平衡不平衡変換器と、前記第１・第２の端子に接続されて平衡増幅を行う平衡増幅器とを備えた増幅回路モジュール。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、９０度位相器と－９０度位相器とで構成される平衡不平衡変換器及びそれを備えた増幅回路モジュールに関するものである。

【背景技術】

【０００２】

９０度位相器と－９０度位相器とで構成される平衡不平衡変換器が特許文献１に開示されている。図１はその例を示す回路図である。図１において、ハイパスフィルタ１２０は、遮断周波数が設計周波数 f_0 より低く、設計周波数 f_0 で入力位相に対する出力位相が＋９０度となるように設計された９０度位相器である。一方、ローパスフィルタ１３０は、遮断周波数が設計周波数 f_0 より高く、設計周波数 f_0 で入力位相に対する出力位相が－９０度となるように設計された位相器である。

このようにして、極性の反転した平衡信号と不平衡信号との変換を行う。

【特許文献１】特開２００５－１９８１６７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００３】

引用文献１のようにハイパスフィルタとローパスフィルタとで構成された平衡不平衡変換器は、携帯電話端末等で使用されている平衡端子を備えた増幅器と組み合わせて使用されることが多く、そのような回路構成の場合、実装基板の小型化等のために平衡不平衡変換器を介して増幅器へのバイアス電圧を印加する回路構成が採られることがある。

【０００４】

しかし、図１に示した回路では、平衡端子であるＰ２，Ｐ３にそれぞれバイアス電源を配置することになるため、回路が大型化し、電源回路が複数必要なためデバイスのコストが高くなるという問題がある。また、特許文献１の回路構成では、例えば端子Ｐ３側にバイアス電源となる直流電源を配置した場合、バイアス電圧（電流）が端子Ｐ３以外に不平衡端子Ｐ１側へ流れこむという問題もある。

【０００５】

そこで、この発明の目的は、回路の大型化・複雑化を回避しつつ２つの平衡端子に一つの電源でバイアス電圧を供給できる平衡・不平衡変換器及びそれを備えた増幅回路モジュールを提供することにある。

【課題を解決するための手段】

【０００６】

10

20

30

40

50

上述の課題を解決するために、この発明は次のように構成する。

(1) 電源供給端子、不平衡端子および第1・第2の端子から成る1組の平衡端子を有し、前記不平衡端子と前記第1・第2の端子とは分岐点を介して接続され、前記分岐点と前記第1の端子との間に配置される線路に対して直列に接続された第1の端子側直列キャパシタ(CH1)を含む90度位相回路(90度進相回路)と、前記分岐点と前記第2の端子との間に配置される線路に対して直列に接続された第2の端子側直列インダクタ(LL1)を含む-90度位相回路(90度遅相回路)と、を備えてなる平衡不平衡変換器において、

前記90度位相回路は、一方端が前記第1の端子側直列キャパシタの前記第1の端子側に接続され、他方端が前記電源供給端子に接続された第1のインダクタ(LH1)と、一方端が前記第1の端子側直列キャパシタの前記分岐点側に接続され、他方端が前記電源供給端子に接続された第2のインダクタ(LH2)と、を含むことを特徴とする。

10

【0007】

この構成により、平衡不平衡変換器を介して、第1・第2の端子から成る平衡端子にバイアス電圧を供給できるので、電源回路を別途設ける必要がなく、平衡増幅器を備えた平衡増幅回路を簡素な回路で構成できる。

【0008】

(2) 前記不平衡端子と前記分岐点との間に直列に不平衡端子側直列キャパシタ(Cin)を接続する。

これにより、電源供給端子から印加されるバイアス電圧(電流)が不平衡端子側へ流れ込むこともない。また、不平衡端子側直列キャパシタ(Cin)はハイパスフィルタとしても作用するため、不要な低域信号の減衰効果もある。

20

【0009】

(3) 前記-90度位相回路は、前記第2の端子側直列インダクタ(LL1)の第2の端子側と接地との間に接続された第2の端子側並列キャパシタ(CL1)を備える。

この構成により、少ない回路要素数で-90度位相回路を構成できる。

【0010】

(4) 前記-90度位相回路は、前記第2の端子側直列インダクタ(LL1)の第2の端子側と前記電源供給端子との間に接続された第2の端子側並列キャパシタ(CL1)を備える。

30

この構成により、少ない回路要素数で-90度位相回路を構成できる。

【0011】

(5) 前記-90度位相回路は、前記第2の端子側直列インダクタと前記第2の端子側並列キャパシタ(CL1)との接続点と前記第2の端子との間に直列に接続された第2の端子側の第2の直列インダクタ(LL2)を備える。

これにより、ローパスフィルタである-90度位相回路の設計自由度が向上する。また、次数を増やすことで帯域付近の通過特性の傾きを小さくできるため、バランス特性の1つである振幅差の傾きを小さくし、バランス特性を向上することができる。

【0012】

(6) 前記90度位相回路は、前記電源供給端子と接地との間に接続された電源供給端子側キャパシタ(Cdc)を備える。

40

【0013】

これにより、高周波信号は電源供給端子で確実に接地されて90度位相回路が安定動作するとともに、電源供給端子からバイアス電圧供給回路側へ信号が漏れるのを防止できる。

【0014】

(7) 前記90度位相回路と前記-90度位相回路は、電極パターンを形成した誘電体層を積層してなる積層基板に構成され、前記積層基板の一方の主面からの透視状態で前記90度位相回路と前記-90度位相回路の形成範囲の中心位置が異なっている。

この構成により、90度位相回路と-90度位相回路との干渉が抑制できる。

50

【 0 0 1 5 】

(8) 前記電源供給端子側キャパシタ (C d c) 以外の回路と前記 - 9 0 度位相回路とを、電極パターンを形成した誘電体層を積層してなる積層基板に構成する。

【 0 0 1 6 】

この構成により、電源供給端子側キャパシタ (C d c) を外付けにすると、それ以外の回路は積層基板からなる 4 端子のモジュールとして構成できる。

【 0 0 1 7 】

(9) 前記 9 0 度位相回路に含まれる、第 1 のインダクタ (L H 1) 、第 2 のインダクタ (L H 2) 及び前記 - 9 0 度位相回路に含まれる第 2 の端子側直列インダクタ (L L 1) の積層方向の上下にグランド電極及びキャパシタ電極が設ける。

10

【 0 0 1 8 】

これにより、キャパシタ電極でインダクタが挟み込まれることになり、インダクタが発生する磁界の積層基板外部への漏れ出しを抑制でき、外部回路への影響を低減することができる。

【 0 0 1 9 】

(1 0) 前記積層基板は矩形状の誘電体を積層して構成し、積層基板の少なくとも下面に前記第 1 ・第 2 の端子、前記不平衡端子、前記電源供給端子をそれぞれ備え、前記第 1 ・第 2 の端子は前記積層基板の対向する辺にそれぞれ配置する。

これにより 2 つの平衡端子間のアイソレーションが向上する。

【 0 0 2 0 】

20

(1 1) 前記積層基板は矩形状の誘電体を積層してなり、積層基板の少なくとも下面に前記第 1 ・第 2 の端子、前記不平衡端子、前記電源供給端子をそれぞれ備え、前記第 1 ・第 2 の端子は前記電源供給端子を挟み込むように前記積層基板の 1 辺に配置する。

【 0 0 2 1 】

この構成により、2 つの平衡端子間に他の端子電極が配置されるので、平衡端子間のアイソレーションが向上する。

【 0 0 2 2 】

(1 2) 前記積層基板は矩形状の誘電体を積層してなり、積層基板の少なくとも下面に前記第 1 ・第 2 の端子、前記不平衡端子、前記電源供給端子、及び前記グランド電極と導通するグランド端子を備え、前記第 1 ・第 2 の端子は前記グランド端子を挟み込むように前記積層基板の 1 辺に配置する。

30

【 0 0 2 3 】

この構成により、2 つの平衡端子間に他の端子電極が配置されるので、平衡端子間のアイソレーションが向上する。

【 0 0 2 4 】

(1 3) 前記積層基板は矩形状の誘電体を積層してなり、積層基板の少なくとも下面に前記第 1 ・第 2 の端子、前記不平衡端子、前記電源供給端子をそれぞれ備え、これらの端子を前記積層基板の四辺または四隅にそれぞれ配置する。

この構成により、各端子間の結合が防止され、アイソレーションが向上する。

【 0 0 2 5 】

40

(1 4) この発明の増幅回路モジュールは、前記平衡不平衡変換器と、前記第 1 ・第 2 の端子に接続されて平衡増幅を行う平衡増幅器とを備えて成る。

【 発明の効果 】

【 0 0 2 6 】

この発明によれば、平衡・不平衡変換器を介して、第 1 ・第 2 の端子から成る平衡端子にバイアス電圧を供給できるので、電源回路を別途設ける必要がなく、平衡増幅器を備えた平衡増幅回路を簡素な回路で構成できる。また、不平衡端子と分岐点との間に不平衡端子側直列キャパシタを接続することによって、電源供給端子から印加されるバイアス電圧 (電流) が不平衡端子側へ流れ込むこともない。また、不要な低域信号が減衰される。

【 発明を実施するための最良の形態 】

50

【 0 0 2 7 】

《 第 1 の実施形態 》

第 1 の実施形態に係る平衡不平衡変換器の構成を図 2 ～ 図 4 を参照して説明する。

図 2 は平衡不平衡変換器 1 0 1 の回路図である。この平衡不平衡変換器 1 0 1 は、第 1 の端子 B P 1、第 2 の端子 B P 2 からなる 1 組の平衡端子と不平衡端子 U B P とを有する。不平衡端子 U B P が接続される分岐点 1 0 と第 1 の端子 B P 1 との間には 9 0 度位相回路 2 0 を備えていて、分岐点 1 0 と第 2 の端子 B P 2 との間には - 9 0 度位相回路 3 0 を備えている。

【 0 0 2 8 】

9 0 度位相回路 2 0 は、線路に対して直列接続された第 1 の端子側直列キャパシタ C H 1、第 1 の端子 B P 1 と電源供給端子 D C P との間に直流通電可能状態に接続された第 1 のインダクタ L H 1、分岐点 1 0 と電源供給端子 D C P との間に直流通電可能状態に接続された第 2 のインダクタ L H 2、及び電源供給端子 D C P と接地との間にシャントに接続された電源供給端子側キャパシタ C d c を備えている。

【 0 0 2 9 】

- 9 0 度位相回路 3 0 は、分岐点 1 0 と第 2 の端子 B P 2 との間に、線路に対して直列接続された第 2 の端子側直列インダクタ L L 1、及びこの第 2 の端子側直列インダクタ L L 1 の第 2 の端子側と接地との間に接続された第 2 の端子側並列キャパシタ C L 1 を備えている。

【 0 0 3 0 】

電源供給端子 D C P は電源供給端子側キャパシタ C d c によって高周波的に接地されるので、9 0 度位相回路 2 0 はシャントに接続された第 1 のインダクタ L H 1、第 2 のインダクタ L H 2 及びシリーズに接続された第 1 の端子側直列キャパシタ C H 1 とによって π 型の L C L ハイパスフィルタを構成している。そして、使用周波数において不平衡端子 U B P と第 1 の端子 B P 1 との間で + 9 0 度の位相差 (9 0 度の位相進み) が生じるように作用する。

【 0 0 3 1 】

- 9 0 度位相回路 3 0 は、シャントに接続された第 2 の端子側並列キャパシタ C L 1 とシリーズに接続された第 2 の端子側直列インダクタ L L 1 との L C 回路によってローパスフィルタを構成している。そして、使用周波数において不平衡端子 U B P と第 2 の端子 B P 2 との間で - 9 0 度の位相差 (9 0 度の位相遅れ) が生じるように作用する。

【 0 0 3 2 】

このような回路構成であるので、電源供給端子 D C P に印加されるバイアス電圧は、D C P → 第 1 のインダクタ L H 1 → 第 1 の端子 B P 1 の経路で第 1 の端子へ供給され、D C P → 第 2 のインダクタ L H 2 → 第 2 の端子側直列インダクタ L L 1 → 第 2 の端子 B P 2 の経路で第 2 の端子 B P 2 側へも供給される。

【 0 0 3 3 】

なお、バイアス電圧供給用のインダクタ L H 2 は 9 0 度位相回路 2 0 の設計素子として共用できるので、9 0 度位相回路 2 0 の設計自由度が向上する。

【 0 0 3 4 】

図 3 は、図 2 に示した平衡不平衡変換器 1 0 1 を積層基板で構成した場合のその積層基板の各層の構成を示す分解斜視図、図 4 は平衡不平衡変換器 1 0 1 の外観斜視図である。図 3 において 5 1 ～ 6 8 はそれぞれ誘電体層であり、誘電体層 5 1 ～ 6 7 の上面にはそれぞれ所定パターンの電極を形成している。また各誘電体層 5 1 ～ 6 8 の側面、誘電体層 5 1 の下面及び誘電体層 6 8 の上面の一部には実装用電極として作用する端子を形成している。但し、これらの端子は、誘電体層 5 1 ～ 6 8 をグリーンシート状態で積層し、焼成を行って素子化切断した後に形成したものである。

【 0 0 3 5 】

図 4 に示す各実装電極に付した符号は図 2 に示した各端子に対応している。なお、図 4 において G N D は接地端子、N C は空端子である。

10

20

30

40

50

【 0 0 3 6 】

図 3 に示すように、誘電体層 5 1 , 5 2 に形成した電極によって電源供給端子側キャパシタ C d c を構成している。また、誘電体層 5 3 , 5 4 に形成した電極によって第 2 の端子側並列キャパシタ C L 1 を構成している。

【 0 0 3 7 】

誘電体層 5 5 ~ 5 8 に形成した電極パターン及びビア電極によって第 1 のインダクタ L H 1 を構成している。また、誘電体層 5 9 ~ 6 5 の図における左半部の位置に形成したインダクタ電極及びビア電極によって第 2 の端子側直列インダクタ L L 1 を構成している。同様に誘電体層 6 1 ~ 6 5 の図における右半部の位置に形成したインダクタ電極及びビア電極によって第 2 のインダクタ L H 2 を構成している。このように、積層基板の一方の主面からの透視状態で 9 0 度位相回路 2 0 と前記 - 9 0 度位相回路 3 0 の形成範囲の中心位置を異ならせている。この構成により、9 0 度位相回路と - 9 0 度位相回路との干渉が抑制できる。

10

【 0 0 3 8 】

また、誘電体層 6 6 , 6 7 に形成した電極によって第 1 の端子側直列キャパシタ C H 1 を構成している。

このようにして表面実装型チップ部品である平衡不平衡変換器を構成する。

【 0 0 3 9 】

なお、不平衡端子 U B P につながる電極を実装基板から（実装基板の G N D 面から）遠ざけて配置することにより、不平衡端子 U B P からグラウンドへの高周波信号の漏れが防止できる。

20

また、上下に配置しているインダクタ L H 1 , L H 2 同士の距離を離して配置することによって、インダクタ L H 1 , L H 2 間の不要な結合が抑制できる。

【 0 0 4 0 】

また、第 1 のインダクタ (L H 1) 、第 2 のインダクタ (L H 2) 及び第 2 の端子側直列インダクタ (L L 1) の積層方向の上下に、誘電体層 5 3 のグラウンド電極及び誘電体層 6 7 のキャパシタ電極を設けたことにより、インダクタ L H 1 , L H 2 , L L 1 で発生する磁界の積層基板外部への漏れ出しが抑制でき、外部回路への影響を低減できる。また、外部回路との結合も抑制されるので、外部回路の干渉を受けにくくなる。

【 0 0 4 1 】

30

平衡端子 B P 1 , B P 2 は、上記構成のように 9 0 度位相回路 2 0 と - 9 0 度位相回路 3 0 とが積層基板の長手方向に並置した際に、積層基板の長手方向の一边に引き出すことによって、この平衡端子 B P 1 , B P 2 までの引き回しが短くなり、より低損失化できる。

【 0 0 4 2 】

電源供給端子 D C P については、積層基板の長手方向の一边の中央に引き出すことによって、積層基板内に 9 0 度位相回路 2 0 と - 9 0 度位相回路 3 0 とを分離して配置することが容易になる。

【 0 0 4 3 】

特に、平衡端子である第 1 の端子 B P 1 及び第 2 の端子 B P 2 の間に、グラウンド端子 G N D を配置したことにより、平衡端子の第 1 の端子 B P 1 と第 2 の端子 B P 2 は電源供給端子 D C P により不要な結合が遮断される。

40

【 0 0 4 4 】

《 第 2 の実施形態 》

図 5 は、積層基板の端面及び上下面への各端子の引き出し方を変えた例を示す図である。内部の主要部の構成及び回路は第 1 の実施形態の場合と同様である。

第 1 の実施形態において図 3 ・ 図 4 に示した例では、平衡端子 B P 1 , B P 2 の間にグラウンド端子 G N D を配置したが、例えば図 5 (A) に示すように、平衡端子 B P 1 , B P 2 の間に電源供給端子側キャパシタ C d c により高周波接地された電源供給端子 D C P を配置してもよい。

50

【 0 0 4 5 】

また図 5 (B) (C) に示すように、平衡端子の第 1 の端子 B P 1 と第 2 の端子 B P 2 を積層基板の対向する辺にそれぞれ配置してもよい。

【 0 0 4 6 】

《 第 3 の実施形態 》

図 6 は第 3 の実施形態に係る平衡不平衡変換器 1 0 3 の回路図である。第 1 の実施形態において図 2 に示した平衡不平衡変換器 1 0 1 と異なるのは、不平衡端子 U B P と分岐点 1 0 との間に不平衡端子側直列キャパシタ C i n を直列接続した点である。その他の構成は第 1 の実施形態の場合と同様である。

【 0 0 4 7 】

このような構成により、電源供給端子 D C P と不平衡端子 U B P との間は不平衡端子側直列キャパシタ C i n によって直流的に遮断状態となり、電源供給端子 D C P に印加されるバイアス電圧 (電流) が不平衡端子 U B P 側へ印加 (通電) されるのを防止できる。また不平衡端子 U B P に接続される回路側のバイアス電圧 (電流) が平衡端子 B P 1 , B P 2 側へ印加 (通電) されるのを防止できる。

【 0 0 4 8 】

不平衡端子側直列キャパシタ C i n は、ハイパスフィルタの機能もあり、このキャパシタ C i n のキャパシタンスにより、通過帯域より低い周波数の減衰特性の設計が可能となる。

【 0 0 4 9 】

図 7 は、図 6 に示した平衡不平衡変換器 1 0 3 を積層基板で構成した場合のその積層基板の分解斜視図である。

この例では、誘電体層 6 7 , 6 8 に形成した電極によって不平衡端子側直列キャパシタ C i n を構成している。その他は図 3 に示したものと同様である。

【 0 0 5 0 】

図 7 に示すように、不平衡端子側直列キャパシタ C i n を積層基板の上部に配置することにより、不平衡端子 U B P から実装基板のグランド電極への信号漏れを防止でき、ロス発生を抑えることができる。

【 0 0 5 1 】

《 第 4 の実施形態 》

図 8 は第 4 の実施形態に係る平衡不平衡変換器の回路図である。図 8 (A) に示す平衡不平衡変換器 1 0 4 A は、第 2 の端子 B P 2 と第 2 の端子側並列キャパシタ C L 1 との間に第 2 端子側の第 2 の直列インダクタ L L 2 を備えている。その他の構成は図 2 に示したものと同様である。

【 0 0 5 2 】

図 8 (B) に示す平衡不平衡変換器 1 0 4 B も、第 2 の端子 B P 2 と第 2 の端子側並列キャパシタ C L 1 との間に第 2 端子側の第 2 の直列インダクタ L L 2 を備えている。その他の構成は図 6 に示したものと同様である。

【 0 0 5 3 】

このように第 2 の直列インダクタ L L 2 を設けることによって、ローパスフィルタである - 9 0 度位相回路 3 1 の設計自由度が向上する。また、次数が増えることで帯域付近の通過特性の傾きを小さくできるため、バランス特性の 1 つである振幅差の傾きを小さくし、バランス特性を向上することができる。

【 0 0 5 4 】

《 第 5 の実施形態 》

図 9 は第 5 の実施形態に係る平衡不平衡変換器の回路図である。

図 9 (A) に示す平衡不平衡変換器 1 0 5 A は、 - 9 0 度位相回路 3 2 の第 2 の端子側並列キャパシタ C L 1 の一端を第 2 の端子側直列インダクタ L L 1 の第 2 の端子側に接続するとともに、他方を電源供給端子 D C P に接続している。電源供給端子 D C P は電源供給端子側キャパシタ C d c によって高周波的に接地されているので、 - 9 0 度位相回路 3

10

20

30

40

50

2 は図 2 に示した - 90 度位相回路 30 と同様に作用する。

【0055】

第 1 の実施形態では図 3 に示したように、電源供給端子側キャパシタ C_{dc} を積層基板内に構成したが、図 9 (A) に示す例では、電源供給端子側キャパシタ C_{dc} 以外の回路を積層基板 70A に構成している。したがってこの平衡不平衡変換器 105A は、積層基板 70A によるチップ部品と外付けの電源供給端子側キャパシタ C_{dc} とによって構成することになる。

【0056】

図 9 (B) に示す平衡不平衡変換器 105B は、図 6 に示した平衡不平衡変換器 103 と同様に、不平衡端子 UBP と分岐点 10 との間に直列キャパシタ C_{in} を挿入している。- 90 度位相回路 32 の第 2 の端子側並列キャパシタ $CL1$ は、その一端を第 2 の端子側直列インダクタ $LL1$ の第 2 の端子側に接続し、他端を電源供給端子 DCP に接続している。そして、電源供給端子側キャパシタ C_{dc} 以外の部分を積層基板 70B に構成している。

10

【0057】

図 9 (C) に示す平衡不平衡変換器 105C は、図 8 (B) の平衡不平衡変換器 104 B と同様に、不平衡端子 UBP と分岐点 10 との間に直列キャパシタ C_{in} を挿入している。- 90 度位相回路 33 の第 2 の端子側並列キャパシタ $CL1$ は、その一端を第 2 の端子側直列インダクタ $LL1$ の第 2 の端子側に接続し、他端を電源供給端子 DCP に接続している。そして、電源供給端子側キャパシタ C_{dc} 以外の部分を積層基板 70C に構成している。

20

【0058】

図 10 は、図 9 に示した平衡不平衡変換器の積層基板 70A, 70B, 70C によるチップ部品の外観斜視図である。図 10 (A) の例では、不平衡端子 UBP 、平衡端子 $BP1$, $BP2$ 及び電源供給端子 DCP を積層基板からなるチップ部品の四辺の中央部にそれぞれ形成している。また図 10 (B) の例では、それらの端子をチップ部品の四隅に形成している。

【0059】

このように端子数が 4 端子となることにより、例えば 5 端子の構成が困難な 1.0×0.5 mm のチップサイズにおいても実現可能となる。

30

【0060】

また、平衡端子 $BP1$, $BP2$ は積層基板の対向する辺または角にそれぞれ配置することにより、平衡端子の第 1 の端子 $BP1$ と第 2 の端子 $BP2$ は、互いに遠ざかることになり、且つ高周波的に接地された電源供給端子 DCP により不要な結合が遮断される。

【0061】

《第 6 の実施形態》

図 11 は第 6 の実施形態に係る増幅回路モジュール 201 の回路図である。図 11 において 90 度位相回路 20、- 90 度位相回路 31 及び不平衡端子側直列キャパシタ C_{in} によって平衡不平衡変換器を構成している。この平衡不平衡変換器の構成は図 8 (B) に示したものと同様である。この平衡不平衡変換回路の平衡端子に平衡入力型の平衡増幅器 40 を接続している。

40

【0062】

この構成により、不平衡入力端子 Pin から入力された信号が平衡信号に変換されて、平衡増幅器 40 で増幅され再び不平衡出力端子 $Pout$ から不平衡信号として出力される。

【0063】

図 11 に示した増幅回路モジュール 201 の平衡不平衡変換回路部は各実施形態で述べたとおり積層基板に構成し、平衡増幅器 40 をその積層基板に搭載することによって 1 つのチップ部品として構成することができる。

【0064】

50

なお、各実施形態では、積層基板の端面及び上下面に実装用電極である各端子を形成したが、積層基板の下面にのみ実装電極を形成してLGA(Land Grid Array)を構成してもよい。そのことにより、実装面積を低減できる。

【図面の簡単な説明】

【0065】

【図1】特許文献1に開示されている、90度位相器と-90度位相器とで構成される平衡不平衡変換器の例を示す回路図である。

【図2】平衡不平衡変換器101の回路図である。

【図3】図2に示した平衡不平衡変換器101を積層基板で構成した場合のその積層基板の各層の構成を示す分解斜視図である。

10

【図4】平衡不平衡変換器101の外観斜視図である。

【図5】第2の実施形態に係る平衡不平衡変換器の外観斜視図であり、積層基板の端面及び上下面への各端子の引き出し方を変えた例を示す図である。

【図6】第3の実施形態に係る平衡不平衡変換器103の回路図である。

【図7】図6に示した平衡不平衡変換器103を積層基板で構成した場合のその積層基板の分解斜視図である。

【図8】第4の実施形態に係る平衡不平衡変換器の回路図である。

【図9】第5の実施形態に係る平衡不平衡変換器の回路図である。

【図10】図9に示した平衡不平衡変換器の積層基板70A, 70B, 70Cによるチップ部品の外観斜視図である。

20

【図11】第6の実施形態に係る増幅回路モジュール201の回路図である。

【符号の説明】

【0066】

10...分岐点

20...90度位相回路

30~33...-90度位相回路

40...平衡増幅器

51~69...誘電体層

70A, 70B, 70C...積層基板

101...平衡不平衡変換器

30

103~105...平衡不平衡変換器

BP1...第1の端子

BP2...第2の端子

Cdc...電源供給端子側キャパシタ

CH1...第1の端子側直列キャパシタ

Cin...不平衡端子側直列キャパシタ

CL1...第2の端子側並列キャパシタ

DCP...電源供給端子

GND...グランド端子

LH1...第1のインダクタ

40

LH2...第2のインダクタ

LL1...第2の端子側直列インダクタ

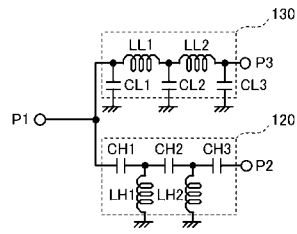
LL2...第2の端子側の第2の直列インダクタ

Pin...不平衡入力端子

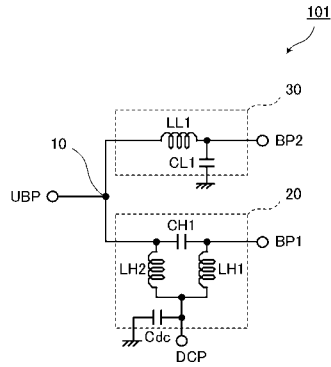
Pout...不平衡出力端子

UBP...不平衡端子

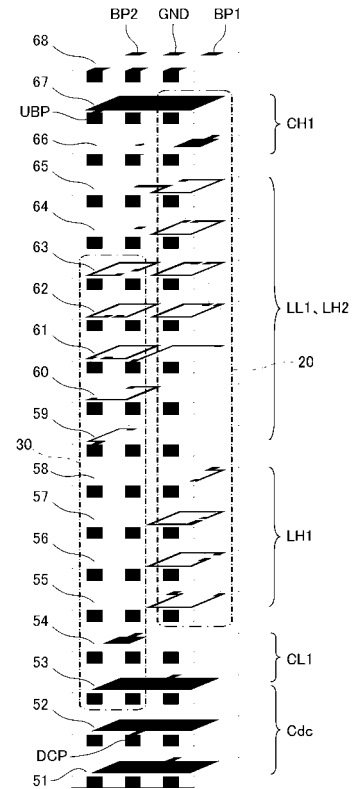
【図 1】



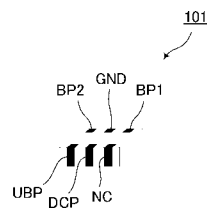
【図 2】



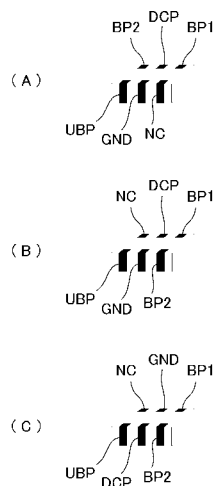
【図 3】



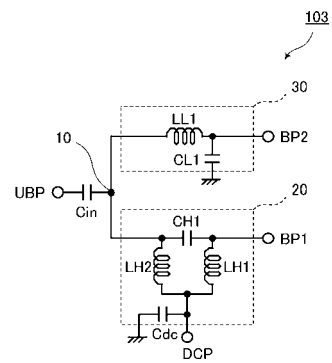
【図 4】



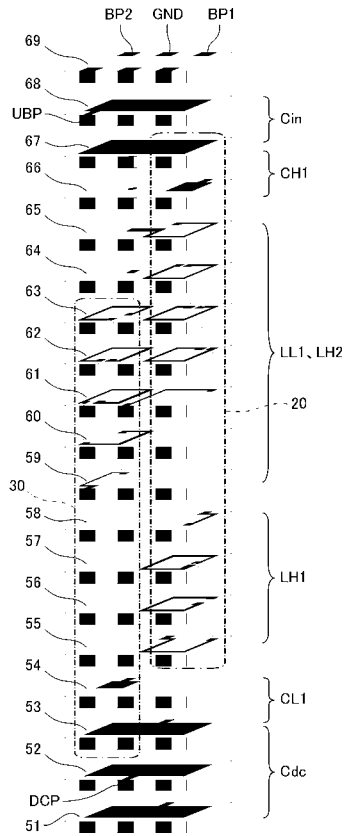
【図 5】



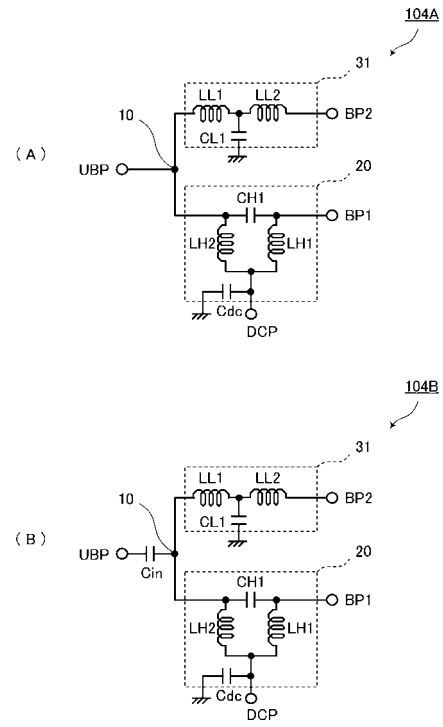
【図 6】



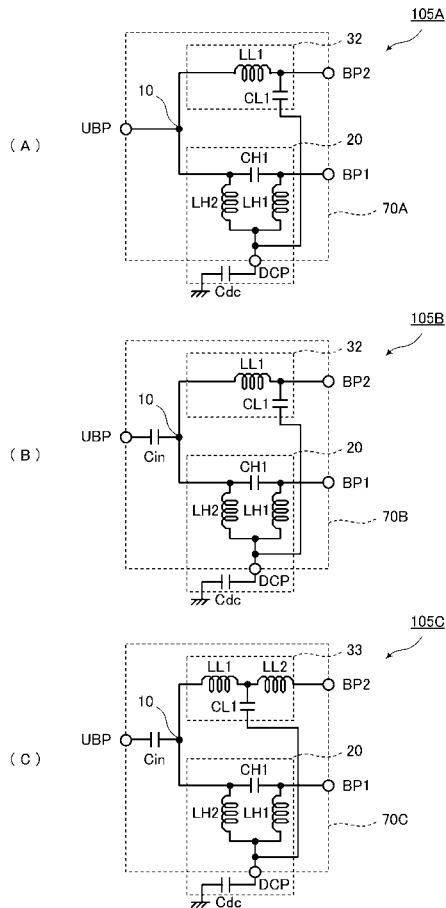
【図 7】



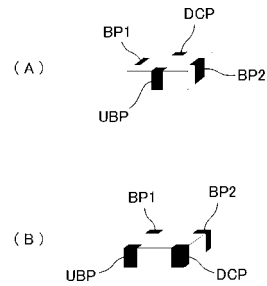
【図 8】



【図 9】



【図 10】



【図 11】

