



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0128085
(43) 공개일자 2012년11월26일

(51) 국제특허분류(Int. Cl.)
H01L 33/12 (2010.01) H01L 21/20 (2006.01)
H01L 33/32 (2010.01)
(21) 출원번호 10-2012-0008745
(22) 출원일자 2012년01월30일
심사청구일자 2012년01월30일
(30) 우선권주장
JP-P-2011-109560 2011년05월16일 일본(JP)

(71) 출원인
가부시끼가이샤 도시바
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고
(72) 발명자
시오다 도모나리
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내
형태
일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내
(뒷면에 계속)
(74) 대리인
박충범, 장수길, 이중희

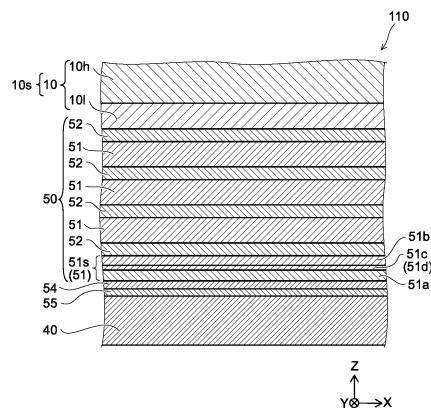
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 질화물 반도체 소자, 질화물 반도체 웨이퍼 및 질화물 반도체층의 제조 방법

(57) 요약

일 실시형태에 따르면, 질화물 반도체 소자는 적층 하지층과 기능층을 포함한다. 상기 적층 하지층은 실리콘 기판 위에 형성된 AlN 버퍼층 위에 형성된다. 상기 적층 하지층은 교대로 적층된 AlN 하지층과 GaN 하지층을 포함한다. 상기 기능층은 저농도부와, 이 저농도부 위에 제공된 고농도부를 포함한다. 상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층은 제1 및 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공된 제3 부분을 포함한다. 제3 부분은 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다 얇은 두께를 갖는다.

대표도 - 도1



(72) 발명자

황종일

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

사토 다이스케

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

스기야마 나오히루

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

누노우에 신야

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

특허청구의 범위

청구항 1

질화물 반도체 소자로서,

실리콘 기판 위에 형성된 AlN 버퍼층 위에 형성되며, 복수의 AlN 하지층과 상기 AlN 하지층과 교대로 적층된 복수의 GaN 하지층을 포함하는 적층 하지층과,

상기 적층 하지층 위에 제공되고, 질화물 반도체를 포함하며 Si 농도가 $1 \times 10^{18} \text{ cm}^{-3}$ 미만인 저농도부와, 상기 저농도부 위에 제공되고, Si 농도가 $1 \times 10^{18} \text{ cm}^{-3}$ 이상인 고농도부를 포함하는 기능층을 포함하고,

상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공되고, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다 얇은 두께를 갖는 제3 부분을 포함하는, 질화물 반도체 소자.

청구항 2

제1항에 있어서,

상기 제3 부분의 두께는 0.1 nm 이상 50 nm 이하인, 질화물 반도체 소자.

청구항 3

제1항에 있어서,

상기 복수의 GaN 하지층 중에서 상기 기판측 GaN 하지층을 제외한 모든 상기 GaN 하지층은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인, 질화물 반도체 소자.

청구항 4

제1항에 있어서,

상기 고농도부의 두께는 1.5 마이크로미터 이상 4 마이크로미터 이하인, 질화물 반도체 소자.

청구항 5

제1항에 있어서,

상기 기능층은,

상기 고농도부 위에 제공되고, 복수의 장벽층과 복수의 웰층 - 상기 웰층 각각은 상기 복수의 장벽층 사이에 제공됨 - 을 갖는 발광부와,

상기 발광부 위에 제공되고, 질화물 반도체를 포함하고, Mg, Zn 및 C 중 적어도 어느 하나를 포함하는 p형 반도체층을 더 포함하는, 질화물 반도체 소자.

청구항 6

질화물 반도체 소자로서,

실리콘 기판 위에 형성된 AlN 버퍼층 위에 형성된 기능층이며, 교대로 적층된, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 복수의 저농도부와, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상인 복수의 고농도부를 포함하는 기능층을 포함하고,

상기 고농도부 각각의 두께는, 상기 저농도부 각각의 두께보다 얇은, 질화물 반도체 소자.

청구항 7

제6항에 있어서,

상기 고농도부 각각의 두께는 0.1 nm 이상 50 nm 이하인, 질화물 반도체 소자.

청구항 8

제6항에 있어서,

상기 AlN 버퍼층 위이며 상기 기능층 아래에 형성된 적층 하지층을 더 포함하고,

상기 적층 하지층은, 복수의 AlN 하지층과 상기 AlN 하지층과 교대로 적층된 복수의 GaN 하지층을 포함하며,

상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공되고, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다 얇은 두께를 갖는 제3 부분을 포함하는, 질화물 반도체 소자.

청구항 9

질화물 반도체 웨이퍼로서,

실리콘 기판과,

상기 실리콘 기판 위에 제공된 AlN 버퍼층과,

상기 AlN 버퍼층 위에 제공되며, 복수의 AlN 하지층과 상기 AlN 하지층과 교대로 적층된 복수의 GaN 하지층을 포함하는 적층 하지층과,

상기 적층 하지층 위에 제공되고, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 저농도부와, 상기 저농도부 위에 제공되고, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상인 고농도부를 포함하는 기능층을 포함하고,

상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공되고, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다 얇은 두께를 갖는 제3 부분을 포함하는, 질화물 반도체 웨이퍼.

청구항 10

제9항에 있어서,

상기 제3 부분의 두께는 0.1 nm 이상 50 nm 이하인, 질화물 반도체 웨이퍼.

청구항 11

제9항에 있어서,

상기 복수의 GaN 하지층 중에서 상기 기판측 GaN 하지층을 제외한 모든 상기 GaN 하지층은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인, 질화물 반도체 웨이퍼.

청구항 12

제9항에 있어서,

상기 고농도부의 두께는 1.5 마이크로미터 이상 4 마이크로미터 이하인, 질화물 반도체 웨이퍼.

청구항 13

제9항에 있어서,

상기 기능층은,

상기 고농도부 위에 제공되고, 복수의 장벽층과 복수의 웰층 - 상기 웰층 각각은 상기 복수의 장벽층 사이에 제공됨 - 을 갖는 발광부와,

상기 발광부 위에 제공되고, 질화물 반도체를 포함하고, Mg, Zn 및 C 중 적어도 어느 하나를 포함하는 p형 반도체층을 더 포함하는, 질화물 반도체 웨이퍼.

청구항 14

질화물 반도체 웨이퍼로서,

실리콘 기판과,

상기 실리콘 기판 위에 제공된 AlN 버퍼층과,

상기 AlN 버퍼층 위에 제공된 기능층을 포함하며,

상기 기능층은, 교대로 적층된, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 복수의 저농도부와, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상인 복수의 고농도부를 포함하고,

상기 고농도부 각각의 두께는 상기 저농도부 각각의 두께보다 얇은, 질화물 반도체 웨이퍼.

청구항 15

제14항에 있어서,

상기 고농도부 각각의 두께는 0.1 nm 이상 50 nm 이하인, 질화물 반도체 웨이퍼.

청구항 16

제14항에 있어서,

상기 AlN 버퍼층 위이며 상기 기능층 아래에 형성된 적층 하지층을 더 포함하고,

상기 적층 하지층은, 복수의 AlN 하지층과 상기 AlN 하지층과 교대로 적층된 복수의 GaN 하지층을 포함하며,

상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공되고, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다 얇은 두께를 갖는 제3 부분을 포함하는, 질화물 반도체 웨이퍼.

청구항 17

질화물 반도체층의 제조 방법으로서,

실리콘 기판 위에 제공된 AlN 버퍼층 위에, 복수의 AlN 하지층과 복수의 GaN 하지층을 교대로 적층해서 적층 하지층을 형성하는 단계와,

상기 적층 하지층 위에 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 저농도부를 형성하고, 상기 저농도부 위에 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상인 고농도부를 형성해서 기능층을 형성하는 단계를 포함하고,

상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층의 형성에 있어서, 상기 적층 하지층의 형성은,

Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분과,

Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분과,

상기 제1 부분과 상기 제2 부분 사이에 제공되며, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상

기 제2 부분의 두께의 합계보다도 얇은 두께를 갖는 제3 부분의 형성을 포함하는, 질화물 반도체층의 제조 방법.

청구항 18

제17항에 있어서,

상기 제3 부분의 두께는 0.1 nm 이상 50 nm 이하인, 질화물 반도체층의 제조 방법.

청구항 19

질화물 반도체층의 제조 방법으로서,

실리콘 기판 위에 형성된 AlN 버퍼층 위에 기능층을 형성하는 단계를 포함하고,

상기 기능층의 형성은, 공정을 복수회 반복하는 것을 포함하고,

상기 공정은,

질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 저농도부를 형성하는 단계와,

Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상인 고농도부를 형성하는 단계를 포함하고,

상기 고농도부 각각의 두께는 상기 저농도부 각각의 두께보다 얇은, 질화물 반도체층의 제조 방법.

청구항 20

제19항에 있어서,

상기 고농도부 각각의 두께는 0.1 nm 이상 50 nm 이하인, 질화물 반도체층의 제조 방법.

명세서

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2011년 5월 16일자로 출원된 일본 우선 특허출원 JP2011-109560호에 기초하고 그 우선권의 혜택을 주장하며, 그 전체 내용은 본원에 참조로서 포함되어 있다.

배경 기술

[0003] 본원에 기재된 실시형태는, 일반적으로 질화물 반도체 소자, 질화물 반도체 웨이퍼 및 질화물 반도체층의 제조 방법에 관한 것이다.

[0004] 질화물 반도체를 이용한 반도체 발광 소자인 발광 다이오드(LED)는, 표시 장치나 조명 등에 이용되고 있다. 또한, 질화물 반도체를 이용한 전자 디바이스는 고속(high-frequency) 전자 디바이스나 하이 파워(high-power) 디바이스에 이용되고 있다.

발명의 내용

해결하려는 과제

[0005] 이러한 질화물 반도체 소자를, 양산성에 있어서 우수한 실리콘(Si) 기판 상에 형성하면, 격자 상수 또는 열팽창 계수의 차이에 기인한 결함 및 크랙이 발생하기 쉽다. 실리콘 기판 위에 고품질의 결정을 제작하는 기술이 기대되고 있다. 특히, 실리콘 기판 위에 두꺼운 n형 GaN층을 형성하고자 하면, 크랙이 발생하기 쉽다.

과제의 해결 수단

[0006] 일반적으로, 본 발명의 일 실시형태에 따르면, 질화물 반도체 소자는 적층 하지층과 기능층을 포함한다. 상기 적층 하지층은, 실리콘 기판 위에 형성된 AlN 버퍼층 위에 형성된다. 상기 적층 하지층은, 복수의 AlN 하지층과 상기 AlN 하지층과 교대로 적층된 복수의 GaN 하지층을 포함한다. 상기 기능층은 저농도부와 고농도부를 포

함한다. 상기 저농도부는 상기 적층 하지층 위에 제공된다. 상기 저농도부는, 질화물 반도체를 포함하며 Si 농도가 $1 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 고농도부는 상기 저농도부 위에 제공되며 Si 농도가 $1 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층은, 제1 부분, 제2 부분 및 제3 부분을 포함한다. 제1 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 제2 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 제3 부분은 상기 제1 부분과 상기 제2 부분 사이에 제공된다. 상기 제3 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다 얇은 두께를 갖는다.

[0007] 본 발명의 다른 일 실시형태에 따르면, 질화물 반도체 소자는 실리콘 기판 위에 형성된 AlN 버퍼층 위에 형성된 기능층을 포함한다. 상기 기능층은 복수의 저농도부와 복수의 고농도부를 포함한다. 상기 복수의 저농도부는, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 복수의 고농도부는, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 상기 저농도부는 상기 고농도부와 교대로 적층된다. 상기 고농도부 각각의 두께는, 상기 저농도부 각각의 두께보다 얇다.

[0008] 본 발명의 또 다른 일 실시형태에 따르면, 질화물 반도체 웨이퍼는, 실리콘 기판과, AlN 버퍼층과, 적층 하지층과, 기능층을 포함한다. 상기 AlN 버퍼층은 상기 실리콘 기판 위에 제공된다. 상기 적층 하지층은 상기 AlN 버퍼층 위에 제공된다. 상기 적층 하지층은, 복수의 AlN 하지층과 상기 AlN 하지층과 교대로 적층된 복수의 GaN 하지층을 포함한다. 상기 기능층은 저농도부와 고농도부를 포함한다. 상기 저농도부는 상기 적층 하지층 위에 제공된다. 상기 저농도부는, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 고농도부는 상기 저농도부 위에 제공되며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층은, 제1 부분, 제2 부분 및 제3 부분을 포함한다. 제1 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 제2 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 제3 부분은 상기 제1 부분과 상기 제2 부분 사이에 제공된다. 상기 제3 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다 얇은 두께를 갖는다.

[0009] 본 발명의 또 다른 일 실시형태에 따르면, 질화물 반도체 웨이퍼는, 실리콘 기판과, AlN 버퍼층과, 기능층을 포함한다. 상기 AlN 버퍼층은 상기 실리콘 기판 위에 제공된다. 상기 기능층은 상기 AlN 버퍼층 위에 제공된다. 상기 기능층은 복수의 저농도부와 복수의 고농도부를 포함한다. 상기 복수의 저농도부는, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 복수의 고농도부는, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 상기 저농도부는 상기 고농도부와 교대로 적층된다. 상기 고농도부 각각의 두께는 상기 저농도부 각각의 두께보다 얇다.

[0010] 본 발명의 또 다른 일 실시형태에 따르면, 질화물 반도체층의 제조 방법이 개시된다. 상기 방법은, 실리콘 기판 위에 제공된 AlN 버퍼층 위에, 복수의 AlN 하지층과 복수의 GaN 하지층을 교대로 적층해서 적층 하지층을 형성할 수 있다. 또한, 상기 방법은, 상기 적층 하지층 위에 저농도부를 형성하고, 상기 저농도부 위에 고농도부를 형성해서 기능층을 형성할 수 있다. 상기 저농도부는, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 고농도부는 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 상기 적층 하지층의 형성은, 상기 복수의 GaN 하지층 중에서 상기 실리콘 기판에 가장 가까운 기판측 GaN 하지층의 형성에 있어서, 제1 부분과, 제2 저농도 기초부와, 제3 부분의 형성을 포함한다. 제1 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 제2 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 제3 부분은 제1 부분과 제2 부분 사이에 제공된다. 제3 부분은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상으로, 상기 제1 부분의 두께 및 상기 제2 부분의 두께의 합계보다도 얇은 두께를 갖는다.

[0011] 본 발명의 또 다른 일 실시형태에 따르면, 질화물 반도체층의 제조 방법이 개시된다. 상기 방법은, 실리콘 기판 위에 형성된 AlN 버퍼층 위에 기능층을 형성할 수 있다. 상기 기능층의 형성은, 공정을 복수회 반복하는 것을 포함한다. 상기 공정은, 저농도부의 형성과 고농도부의 형성을 포함한다. 상기 저농도부는, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 상기 고농도부는 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 상기 고농도부 각각의 두께는 상기 저농도부 각각의 두께보다 얇다.

도면의 간단한 설명

[0012] 도 1은 제1 실시형태에 따른 질화물 반도체 소자를 나타내는 개략 단면도.

도 2는 제1 실시형태에 따른 질화물 반도체 소자를 나타내는 개략 단면도.
 도 3은 제1 실시형태에 따른 질화물 반도체 소자의 일부를 나타내는 개략 단면도.
 도 4는 제1 시료를 나타내는 개략 단면도.
 도 5는 제2 시료를 나타내는 개략 단면도.
 도 6은 제3 시료를 나타내는 개략 단면도.
 도 7은 제4 시료를 나타내는 개략 단면도.
 도 8a?도 8d는, 제1?제4 시료의 특성을 나타내는 노마르스키(Nomarski) 현미경상.
 도 9는 제1 실시형태에 따른 다른 질화물 반도체 소자를 나타내는 개략 단면도.
 도 10은 제5 시료의 질화물 반도체 소자를 나타내는 개략 단면도.
 도 11a 및 도 11b는, 질화물 반도체 소자의 특성을 나타내는 노마르스키 현미경상.
 도 12는 제1 실시형태에 따른 다른 질화물 반도체 소자를 나타내는 개략 단면도.
 도 13은 제2 실시형태에 따른 질화물 반도체 웨이퍼를 나타내는 개략 단면도.
 도 14는 제2 실시형태에 따른 다른 질화물 반도체 웨이퍼를 나타내는 개략 단면도.
 도 15는 제3 실시형태에 따른 질화물 반도체층의 제조 방법을 나타내는 플로우차트.
 도 16은 제3 실시형태에 따른 질화물 반도체층의 다른 제조 방법을 나타내는 플로우차트.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 도면을 참조하여 본 발명의 예시적인 실시형태들에 대해 상세히 설명한다.
- [0014] 또한, 도면은 개략적 또는 개념적인 것이며, 각 부분의 두께와 폭과의 관계, 부분간의 크기의 비율 등은, 반드시 그 현실의 값과 동일하다고는 할 수 없다. 또한, 동일한 부분을 나타내는 경우에도, 도면들 중에서 서로의 치수나 비율을 서로 다르게 나타낼 경우도 있다.
- [0015] 또한, 본원의 명세서와 각 도면에 있어서, 그 이전에 나온 도면에 관해서 전술한 바와 마찬가지로의 요소에는 동일한 부호를 붙이고, 상세한 설명은 적절히 생략한다.
- [0016] (제1 실시형태)
- [0017] 본 실시형태는 질화물 반도체 소자에 관한 것이다. 본 실시형태에 따른 질화물 반도체 소자는, 반도체 발광 소자, 반도체 수광 소자 및 전자 디바이스 등의 반도체 소자를 포함한다. 반도체 발광 소자는, 예를 들면, 발광 다이오드(LED) 및 레이저 다이오드(LD) 등을 포함한다. 반도체 수광 소자는, 포토다이오드(PD) 등을 포함한다. 전자 디바이스는, 예를 들면, 고전자 이동도 트랜지스터(HEMTs), 헤테로 접합 바이폴라 트랜지스터(HBTs), 전계-효과 트랜지스터(FETs) 및 쇼트키 배리어 다이오드(SBDs) 등을 포함한다.
- [0018] 도 1은, 제1 실시형태에 따른 질화물 반도체 소자의 구성을 예시하는 개략 단면도이다.
- [0019] 도 1에 나타난 바와 같이, 본 실시형태에 따른 질화물 반도체 소자(110)는, 적층 하지층(50)과 기능층(10s)을 갖는다.
- [0020] 적층 하지층(50)은, 실리콘 기판(40) 위에 형성된 AlN 버퍼층(55) 위에 형성된다.
- [0021] AlN 버퍼층(55)의 두께는, 예를 들면 대략 30 나노미터(nm)이다. 이와 같이, 실리콘 기판(40)과 화학적 반응이 발생하기 어려운 AlN을 함유하는 AlN 버퍼층(55)을, 실리콘 기판(40)에 접촉하는 층으로서 이용함으로써, 펠트 백 에칭 등의 문제를 해결하기 쉽다.
- [0022] 이 예에서는, 적층 하지층(50)과 AlN 버퍼층(55) 사이에 중간층(54)이 설치되고 있다. 중간층(54)으로서는, 예를 들면 AlGaN층이 이용된다. 중간층(54)에는, 예를 들면, Al_{0.25}Ga_{0.75}N층이 이용된다. 중간층(54)의 두께는, 예를 들면, 대략 40 nm이다. 중간층(54)은, 필요에 따라 설치되고, 경우에 따라서는 생략해도 된다.
- [0023] 적층 하지층(50)은, 복수의 AlN 하지층(52)과, AlN 하지층(52)과 교대로 적층된 복수의 GaN 하지층(51)을 포함

한다.

- [0024] 기능층(10s)은, 적층 하지층(50) 위에 설치된다.
- [0025] 여기에서, 적층 하지층(50)으로부터 기능층(10s)을 향하는 방향을 Z축 방향으로 정의한다. Z축에 대하여 수직인 1개의 축을 X축으로 정의한다. Z축과 X축에 대하여 수직인 방향을 Y축으로 정의한다. 기능층(10s)은, 적층 하지층(50)과 Z축을 따라 적층된다.
- [0026] 본원 명세서에 있어서, "적층"이란 용어는, 층들이 서로 접촉해서 적층되는 경우 이외에, 층들이 그들 사이에 다른 층을 개재시켜서 적층되는 경우도 포함한다. 또한, "위에 설치된다"란 구문은, 층들이 직접 접촉해서 설치될 경우 이외에, 층들이 그들 사이에 다른 층을 개재시켜서 설치될 경우도 포함한다.
- [0027] 기능층(10s)은 저농도부(10l)과 고농도부(10h)를 포함한다. 저농도부(10l)는, 질화물 반도체를 포함하고, Si 농도가 $1 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 저농도부(10l)의 Si 농도는, 예를 들면, $1 \times 10^{17} \text{ cm}^{-3}$ 미만이다. 저농도부(10l)의 Si 농도는, 예를 들면, 일반적으로 사용되는 2차 이온 질량 분석법(SIMS) 측정에서 검출 한계 이하이다. 저농도부(10l)에는, 예를 들면 언도프(undoped)의 GaN층이 이용된다.
- [0028] 고농도부(10h)는, 저농도부(10l) 위에 제공된다. 즉, 고농도부(10h)는 Z축을 따라 저농도부(10l) 위에 적층된다. 고농도부(10h)에 있어서의 Si 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 고농도부(10h)로서는, 예를 들면, n형 GaN층이 이용된다.
- [0029] 고농도부(10h)는 n형 반도체층(10)에 포함된다. 편의적으로, n형 반도체층(10)은 저농도부(10l)를 포함하는 것으로 한다.
- [0030] 적층 하지층(50)에 있어서, 복수의 AlN 하지층(52)의 각각은, 예를 들면 저온에서 형성된 저온 AlN층이다. AlN 하지층(52)의 각각의 두께는, 예를 들면, 대략 12 nm이다. GaN 하지층(51) 각각의 두께는, 예를 들면, 대략 300 nm이다. 이 예에서는, GaN 하지층(51) 및 AlN 하지층(52)의 각각의 수(즉, 페어수)는 3이다. 그러나, 본 실시형태는 이에 한정되지 않으며, 임의의 페어수를 채용할 수 있다.
- [0031] 복수의 GaN 하지층(51) 중에서 실리콘 기판(40)에 가장 가까운 GaN 하지층(51)을 기판측 GaN 하지층(51s)으로서 규정한다. 기판측 GaN 하지층(51s)은, 제1 부분(51a)과, 제2 부분(51b)과, 제3 부분(51c)을 포함한다. 제3 부분(51c)은, 제1 부분(51a)과 제2 부분(51b) 사이에 제공된다. 제1 부분(51a)과, 제3 부분(51c)과, 제2 부분(51b)은 이 순서로 Z축을 따라 적층된다.
- [0032] 제1 부분(51a) 및 제2 부분(51b)에 있어서의 Si 농도는 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 제3 부분(51c)에 있어서의 Si 농도는 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 제3 부분(51c)에 있어서의 Si 농도는, 예를 들면, $1 \times 10^{21} \text{ cm}^{-3}$ 이하이다. 제3 부분(51c)의 두께(Z축을 따른 길이)는, 제1 부분(51a)의 두께 및 제2 부분(51b)의 두께의 합계보다 얇다. 제3 부분(51c)은, 질화 실리콘(조성비는 선택), 즉, $\text{Si}_\alpha\text{N}_\beta$ ($0 < \alpha$, $0 < \beta$)을 포함하고 있어도 된다.
- [0033] 제3 부분(51c)의 두께는 0.1 nm 이상 50 nm 이하이다. 제3 부분(51c)은, 예를 들면, δ -도프(dope)층(51d)이다.
- [0034] 실리콘 기판(40)은, 예를 들면, Si(111) 기판이다. 그러나, 본 실시형태에 있어서, 실리콘 기판(40)의 면 방위는, (111)면이 아니어도 된다.
- [0035] 이하, 질화물 반도체 소자(110)가 발광 소자일 경우에 대해 설명한다.
- [0036] 도 2는, 제1 실시형태에 따른 질화물 반도체 소자의 구성을 예시하는 개략 단면도이다.
- [0037] 도 2에 나타난 바와 같이, 본 실시형태에 따른 일례인 질화물 반도체 소자(111)에서는, 기능층(10s)은 발광부(30)와 p형 반도체층(20)을 더 포함한다.
- [0038] 발광부(30)는 n형 반도체층(10)(고농도부(10h)) 위에 제공된다. p형 반도체층(20)은 발광부(30) 위에 제공된다. p형 반도체층(20)은 질화물 반도체를 포함한다. p형 반도체층(20)은 Mg, Zn 및 C 중 적어도 어느 하나를 포함한다.
- [0039] n형 반도체층(10)과 p형 반도체층(20)을 통해서 발광부(30)에 전류를 공급함으로써, 발광부(30)로부터 광이 방출된다.

- [0040] 도 3은, 제1 실시형태에 따른 질화물 반도체 소자의 일부의 구성을 예시하는 개략 단면도이다.
- [0041] 도 3에 나타난 바와 같이, 발광부(30)는, 복수의 장벽층(31)과, 제각기 복수의 장벽층(31) 사이에 제공된 복수의 웰층(32)을 포함한다. 예를 들면, 복수의 장벽층(31)과, 복수의 웰층(32)이 장벽층(31)과 함께 Z축을 따라 교대로 적층된다.
- [0042] 웰층(32)은, 예를 들면, $\text{In}_{x1}\text{Ga}_{1-x1}\text{N}$ ($0 < x1 < 1$)을 포함한다. 장벽층(31)은, 예를 들면, GaN을 포함한다. 즉, 예를 들면, 웰층(32)은 In을 포함하고, 장벽층(31)은 In을 실질적으로 포함하지 않는다. 장벽층(31)에 있어서의 밴드갭 에너지는 웰층(32)에 있어서의 밴드갭 에너지보다 크다.
- [0043] 발광부(30)는, 단일 양자웰(SQW:Single Quantum Well) 구성을 가질 수 있다. 이때, 발광부(30)는, 2개의 장벽층(31)과, 이 장벽층(31)의 사이에 제공된 웰층(32)을 포함한다. 또는, 발광부(30)는, 다중 양자웰(MQW:Multi Quantum Well) 구성을 가질 수 있다. 이때, 발광부(30)는, 3개 이상의 장벽층(31)과, 이 장벽층(31) 사이에 제각기 제공된 웰층(32)을 포함한다.
- [0044] 즉, 발광부(30)는, (n+1)개의 장벽층(31)과, n개의 웰층(32)을 포함한다("n"은 2 이상의 정수). 제(i+1) 장벽층 BL(i+1)은, 제i 장벽층 BLi와 p형 반도체층(20) 사이에 배치된다("i"는 1 이상 (n-1) 이하의 정수). 제(i+1) 웰층 WL(i+1)은, 제i 웰층 WLi와 p형 반도체층(20) 사이에 배치된다. 제1 장벽층 BL1은, n형 반도체층(10)과 제1 웰층 WL1 사이에 제공된다. 제n 웰층 WLn은, 제n 장벽층 BLn과 제(n+1) 장벽층 BL(n+1) 사이에 제공된다. 제(n+1) 장벽층 BL(n+1)은, 제n 웰층 WLn과 p형 반도체층(20) 사이에 제공된다.
- [0045] 발광부(30)로부터 방출되는 광(발광 광)의 피크 파장은, 예를 들면, 200 nm 이상 1600 nm 이하이다. 그러나, 본 실시형태에 있어서, 피크 파장은 임의 선택적이다.
- [0046] 진술한 바와 같이, 본 실시형태에 따른 질화물 반도체 소자(110 및 111)에서는, 복수의 GaN 하지층(51) 중에서 실리콘 기판(40)에 가장 가까운 기판측 GaN 하지층(51s)에, Si의 δ -도프층(51d)(제3 부분(51c))을 제공한다. 이에 의해, 실리콘 기판 위에 형성된 크랙의 수가 적은 고품위의 질화물 반도체 소자를 제공할 수 있다.
- [0047] 이하, 본 실시형태의 질화물 반도체 소자의 특성에 대해 참고예와 비교하면서 설명한다. 본 발명자는 이하의 시료를 제작하고 그 특성을 평가하였다.
- [0048] 도 4?도 7은, 제각기, 제1?제4 시료의 구성을 예시하는 개략 단면도이다.
- [0049] 도 4는, 본 실시형태에 대응하는 제1 시료(151)의 구성을 나타내고 있다. 제1 시료(151)에서는, 복수의 GaN 하지층(51) 중에서 실리콘 기판(40)에 가장 가까운 기판측 GaN 하지층(51s)에, Si의 δ -도프층(51d)(제3 부분(51c))이 제공되어 있다. 그러나, 제1 시료(151)에서는, 고농도부(10h)가 제공되지 않고 있다. 즉, 제1 시료(151)는, 본 실시형태의 구성에서, 저농도부(10l) 위에 고농도부(10h)를 제공하기 전의 상태이다.
- [0050] 도 5에 나타난 바와 같이, 제2 시료(152)에서는, 복수의 GaN 하지층(51)의 어디에도, δ -도프층(51d)(제3 부분(51c))이 제공되지 않고 있다.
- [0051] 도 6에 나타난 바와 같이, 제3 시료(153)에서는, AlN 하지층(52)의 상층에 있어서, AlN 하지층(52)에 접하여, δ -도프층(51d)(제3 부분(51c))이 제공되어 있다.
- [0052] 도 7에 나타난 바와 같이, 제4 시료(154)에서는, 복수의 GaN 하지층(51)의 어디에도, δ -도프층(51d)(제3 부분(51c))이 제공되지 않고 있다. 그리고, 저농도부(10l)에, δ -도프층(51d)(제3 부분(51c))이 제공되어 있다.
- [0053] 제1 시료(151)를, 이하의 제작 방법에 의해 제작하였다. 이하의 실험에서는, 반도체층의 결정 성장 방법으로서, MOVPE(유기 금속 기상 성장)법을 이용했다.
- [0054] 우선, Si(111)의 실리콘 기판(40)을, H_2O_2 와 H_2SO_4 와의 1:1의 혼합액을 사용하여 13분간 세정하였다. 다음으로, 2%의 HF를 이용해서 10분간 실리콘 기판(40)을 세정하였다. 세정 후, 실리콘 기판(40)을 MOVPE 반응로 내에 도입시켰다.
- [0055] 서셉터의 온도를 수소 분위기 하에서 720℃로 승온하고, TMA를 8초간 공급하였다. 그리고나서, NH_3 을 더욱 공급하여 AlN 버퍼층(55)으로서 기능하는 두께가 30 nm의 AlN층을 형성하였다.
- [0056] 계속해서, 서셉터의 온도를 1030℃로 승온하고, 중간층(54)으로서 기능하는 두께가 40 nm의 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ 층을 형성하였다.

- [0057] 다음으로, 서셉터의 온도를 1080℃로 승온하고, 기판측 GaN 하지층(51s)의 일부(제1 부분(51a))로서 기능하는 두께가 150 nm인 GaN층을 형성하였다. 그리고, 가스의 공급을 중단하고, SiH₄와 NH₃만을 300초간 공급하여, Si의 δ-도프층(51d)을 형성하였다.
- [0058] 계속하여, 기판측 GaN 하지층(51s)의 일부(제2 부분(51b))로서 기능하는 두께가 150 nm인 GaN층을 형성하였다.
- [0059] 다음으로, 서셉터의 온도를 800℃로 강온하고, AlN 하지층(52)으로서 기능하는 두께가 12 nm인 저온 AlN층을 형성하였다.
- [0060] 다음으로, 서셉터의 온도를 1120℃로 승온하고, GaN 하지층(51)으로서 기능하는 두께가 300 nm인 GaN층을 형성하였다. 또한, 상기 AlN 하지층(52)과, GaN 하지층(51)의 성장을 3회 반복하였다. 이에 의해, 적층 하지층(50)이 형성되었다.
- [0061] 계속하여, 저농도부(101)로서 두께가 2.1 μm의 GaN층을 형성하였다. 이에 의해, 제1 시료(151)가 얻어졌다.
- [0062] 상기 공정에 있어서, δ-도프층(51d)의 형성을 생략함으로써, 제2 시료(152)가 얻어졌다.
- [0063] 또한, 상기 공정에 있어서, δ-도프층(51d)의 형성 타이밍을 변경함으로써, 제3 시료(153)가 얻어졌다.
- [0064] 또한, 저농도부(101)의 제작 중에 δ-도프층(51d)을 형성함으로써, 제4 시료(154)가 얻어졌다. 이 실험에서는, δ-도프층(51d)은, 최상의 AlN 하지층(52)으로부터의 거리가 300 nm인 위치에 제공하였다.
- [0065] 상기의 제1 시료(151)?제4 시료(154)를 노마르스키 현미경을 사용하여 관찰하였다.
- [0066] 도 8a?도 8d는, 제1?제4 시료의 특성을 예시하는 노마르스키 현미경 상이다.
- [0067] 도 8a에 도시한 바와 같이, 제1 시료(151)에서는, 크랙이 없는 표면이 얻어졌다. 또한, X선 회절 장치를 이용하여 웨이퍼의 로킹 커브(curve) 측정을 행하였다. 제1 시료(151)에서는, (002)면의 반값 전폭은 364초(arcseconds)이며, (101)면의 반값 전폭은 817초였다. 또한, (002)면의 반값 전폭은, 나선 전위 밀도와의 상관 이 강하며, (101)면의 반값 전폭은, 에지 형상 전위 밀도와의 상관 이 강하다. 따라서, 제1 시료(151)에서는 결함 밀도가 낮았다.
- [0068] 도 8b에 도시한 바와 같이, 제2 시료(152)에서는, 크랙 CR이 관찰되었다. 또한, 제2 시료(152)에서는, (002)면의 반값 전폭은 452초이며, (101)면의 반값 전폭은 1488초였다. 따라서, 제2 시료(152)에서는 제1 시료보다 결함 밀도가 높았다.
- [0069] 도 8c에 도시한 바와 같이, 제3 시료(153)에 있어서도 크랙 CR이 관찰 되었다. (002)면의 반값 전폭은 364초이며, (101)면의 반값 전폭은 999초였다. 제3 시료(153)에서는, 제2 시료보다 개선되어 있지만, 크랙 CR이 발생 하고 있어, 이 웨이퍼 위에 형성된 반도체 디바이스의 특성은 불량하다. 저온 AlN층으로부터 100 nm 이내의 영역에 δ-도프층(51d)이 제공되어 있는 경우에는, δ-도프층(51d)에 의해 전위가 저감되는 효과가 얻어지고, GaN 하지층(51)의 형성으로 인한 압축 스트레인을 적용하는 효과는 일어날 수 없다고 생각된다.
- [0070] 도 8d에 도시한 바와 같이, 제4 시료(154)에서는, 크랙 CR이 많이 관찰 되었다. (002)면의 반값 전폭은 583초이며, (101)면의 반값 전폭은 1578초였다. 이러한 웨이퍼 위에 형성된 반도체 디바이스의 특성은 불량하다.
- [0071] 전술한 바와 같이, 복수의 GaN 하지층(51) 중에서 실리콘 기판(40)에 가장 가까운 기판측 GaN 하지층(51s)에, Si의 δ-도프층(51d)(제3 부분(51c))을 제공한 제1 시료(151)에서는, 크랙 CR의 발생이 억제된다. 그리고 또한, 결함 밀도가 낮다. 이러한 제1 시료(151) 위에, 또한 고농도부(10h)를 형성함으로써, 크랙 CR의 발생이 억제된, 결함 밀도가 낮은 고품위의 질화물 반도체 소자를 제공할 수 있다.
- [0072] 또한, 저농도부(101)의 두께 및 고농도부(10h)의 두께는, 크랙 및 결함의 발생의 관점으로부터 적절히 조정된다.
- [0073] 본 실시형태에 있어서, AlN 하지층(52)은, 바로 아래에 위치된 GaN 하지층(51)과 격자 정합하지 않는다. 그 결과, 스트레인이 완화되어, AlN 하지층(52)은 스트레인의 영향을 받지 않는 AlN의 격자 상수를 갖는다. 이 AlN 하지층(52) 위에 부정규형으로(pseudomorphically) 성장하도록 GaN 하지층(51)을 형성함으로써, GaN은 압축 스트레인을 받으면서 성장한다. 이에 따른 결과로 위로 볼록한 워프(warp)가 발생한다.
- [0074] 또한, 이들 AlN층과 GaN층을 반복하여 형성함으로써, 더욱 위로 돌출하는 워프를 크게 만들 수 있다. 위로 돌출하는 워프를 결정 성장 중에 미리 도입시켜 둠으로써, 결정 성장 후에 강온할 때 받는, Si와 GaN의 열팽창 계

수차에 의한 인장 스트레인을 상쇄할 수 있다. 이에 의해, 크랙 발생의 억제가 촉진된다.

- [0075] GaN 하지층(51)을 형성하면, 크랙의 발생을 억제할 뿐만 아니라, 실리콘 기판(40)과 질화물 반도체층 사이에 있어서의 격자 부정합에 의한 관통 전위 등의 결함을 멈출 수 있다. 이에 의해, 결함이 기능층(10s)에 전파되는 것을 억제할 수 있다. 그 결과, 본 실시형태에 의하면, 디바이스의 고성능화가 얻어지게 된다.
- [0076] 적층 하지층(50) 중의 최하의 기판측 GaN 하지층(51s)에 δ -도프층(51d)을 제공함으로써, 적층 방향(Z축 방향)으로 전파하는 전위가 만족한다. 그 결과, 기능층(10s)에 있어서의 전위를 감소시킬 수 있다. 또한, δ -도프층(51d) 위에 더욱 GaN 하지층(51)을 형성할 때에, GaN이 3차원 성장하므로, 결정 성장 중에 위로 돌출하게 되는 압축 스트레인이 생기기 쉬우며, 이에 따라 크랙의 발생도 억제하기 쉽다.
- [0077] 본 실시형태에 있어서, 적층 하지층(50)에 포함되는 GaN 하지층(51)의 수(적층의 주기수)가 20 미만인 경우에는, 예를 들면, GaN 하지층(51)의 두께는 50 nm 이상 1000 nm 이하가 바람직하다. 두께가 50 nm 보다 얇으면, 실리콘 기판(40)과 적층 하지층(50) 사이에 생기는 관통 전위 등의 전위를 저감하는 효과가 불충분하다. 두께가 1000 nm 보다 두꺼우면, 결정 성장 후의 강온 시에 있어서의 인장 스트레인에 의한 크랙이 발생하기 쉽다.
- [0078] 또한, 적층 하지층(50)에 포함되는 GaN 하지층(51)의 수가 20 이상인 경우에는, 예를 들면, GaN 하지층(51)의 두께는 15 nm 이상 100 nm 이하가 바람직하다. 두께가 15 nm 보다 얇으면, 전위의 저감 효과가 불충분하다. 두께가 100 nm 보다 두꺼우면, 인장 스트레인에 의한 크랙이 발생하기 쉽다.
- [0079] AlN 하지층(52)(저온 AlN층)의 두께는, 예를 들면 5 nm 이상 20 nm 이하가 바람직하다. AlN 하지층(52)의 결정 성장 온도는, 예를 들면 600℃ 이상 1050℃ 이하가 바람직하다. 이들 범위의 두께 및 온도를 설정함으로써, AlN 하지층(52)의 격자는 쉽게 완화된다. 그 결과, AlN 하지층(52)의 형성시에, 기초가 되는 GaN 하지층(51)으로부터의 인장 스트레인을 받기 어려워진다. 그 결과, 기초가 되는 GaN 하지층(51)으로부터의 스트레인의 영향을 받지 않는, AlN의 격자 상수를 효율적으로 형성하는 것이 가능하다.
- [0080] AlN 하지층(52)의 두께가 5 nm 보다 얇으면, AlN이 충분히 완화된기 어렵다. AlN 하지층(52)의 두께가 20 nm 보다 두꺼우면, 격자 완화에 의한 전위가 증대되어 버린다.
- [0081] AlN 하지층(52)의 형성 온도가 600℃ 보다 낮으면, 불순물을 받아들이기 쉽고, 또한, 입방정 AlN이 성장되어, 결정 전위의 과도한 발생을 가져온다. AlN 하지층(52)의 형성 온도가 1050℃ 보다 높으면, 스트레인이 완화된지 않고, 따라서 실리콘 기판(40)에 인장 스트레인이 도입되기 쉬워진다. 또한, GaN 하지층(51)의 결정 성장 중에 압축 스트레인이 적절하게 가해질 수 없으므로, 결정 성장 후의 강온 시에 크랙이 발생하기 쉽다.
- [0082] AlN 하지층(52)의 수를 2 이상으로 설정함으로써, 크랙의 발생을 억제하는 효과가 높아진다. AlN 하지층(52)들 사이의 거리(즉, GaN 하지층(51)의 두께)는, 50 nm 이상 1000 nm 이하가 바람직하다.
- [0083] 50 nm 이상 200 nm 이하의 GaN 하지층(51)은, AlN 하지층(52) 위에 GaN 하지층(51)을 형성할 때에, AlN 하지층(52) 위에 부정규형으로 성장하고, 압축 스트레인이 가해지는 경향이 있다. 따라서, AlN 하지층(52) 사이의 간격이 1000 nm 보다 크다면, 압축 스트레인을 인가하는 효과가 불충분하다. 이 간격이 50 nm 미만이면, GaN 하지층(51) 중의 AlN 하지층(52)의 수가 과도하게 많아지고, 따라서 강온 및 승온 과정을 과도하게 반복해 버려, 결정 성장 장치의 원료 사용 효율 등이 저하되어 버린다.
- [0084] δ -도프층(51d)은, 주로 GaN 중에, $5 \times 10^{18} \text{ cm}^{-3}$ 이상 $1 \times 10^{22} \text{ cm}^{-3}$ 이하의 농도로 Si를 포함한다. δ -도프층(51d)은 SiN을 포함해도 된다. δ -도프층(51d)에 있어서, SiN이 면내에 부분적으로 형성되어 있어도 된다. δ -도프층(51d)의 두께는 0.1 nm 이상 50 nm 이하가 바람직하다. Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상 $1 \times 10^{22} \text{ cm}^{-3}$ 이하일 때에, δ -도프층(51d) 위에 형성되는 GaN 하지층(51)이 3차원 성장하기 쉽다. 이에 의해, 압축 스트레인이 가해지기 쉬워지고, 그 결과, 크랙의 발생을 억제하는 효과를 얻기 쉽다.
- [0085] 전술한 바와 같이, 본 실시형태에서는, 기능층(10s)에 있어서의 전위 및 크랙이 저감된다. 또한, 기능층(10s)의 결정성이 향상된다. 즉, 기능층(10s)의 품질이 높다.
- [0086] 또한, 본 발명자의 실험에 의하면, 복수의 GaN 하지층(51) 중에서 기능층(10s)에 가장 가까운 GaN 하지층(51)에 δ -도프층(51d)을 형성했을 경우에는, 크랙 CR 발생의 억제 효과가 낮았다. 본 실시형태에 있어서, δ -도프층(51d)은, 기판측 GaN 하지층(51s)에 제공하는 것이 특히 바람직하다. 예를 들면, 복수의 GaN 하지층(51) 중의 기판측 GaN 하지층(51s)을 제외한 모든 GaN 하지층(51) 중에는, δ -도프층(51d)이 설치되지 않는 것이 보다 바

람직하다. 예를 들면, 기판층 GaN 하지층(51s)을 제외한 모든 GaN 하지층(51)은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 것이 보다 바람직하다.

[0087] 도 9는, 제1 실시형태에 따른 다른 질화물 반도체 소자의 구성을 예시하는 개략 단면도이다.

[0088] 도 9에 나타난 바와 같이, 본 실시형태에 따른 다른 질화물 반도체 소자(120)에서는, 기능층(10s)은, 저농도부(101)를 복수 포함하고, 고농도부(10h)를 복수 포함한다. 그리고, 복수의 고농도부(10h)의 두께는, 저농도부(101) 각각의 두께보다 얇다. 복수의 저농도부(101)와 복수의 고농도부(10h)는 교대로 배치되어 있다. 즉, 복수의 저농도부(101)와 복수의 고농도부(10h)가, Z축을 따라 교대로 적층된다. 이 예에서는, 고농도부(10h) 각각이, Si의 δ -도프층(10d)이다. 질화물 반도체 소자(120)의 다른 구성은, 질화물 반도체 소자(110)와 마찬가지로 설명을 생략한다.

[0089] 이와 같이, 복수의 저농도부(101)와 복수의 고농도부(10h)가 교대로 적층됨으로써, 복수의 저농도부(101)와 복수의 고농도부(10h)를 포함하는 층은, n형 반도체층(10)으로 간주할 수 있다. 즉, 본 구체예에서는, n형 반도체층(10)이 Si로 δ -도프된다.

[0090] 이 예에서는, 복수의 고농도부(10h)(δ -도프층(10d))의 각각의 두께는, 0.1 nm 이상 50 nm 이하이다. 복수의 고농도부(10h)(δ -도프층(10d)) 사이의 간격, 즉, 복수의 저농도부(101)의 각각의 두께는 300 nm 이상 500 nm 이하이다.

[0091] 질화물 반도체 소자(120)에 있어서, n형 반도체층(10)의 두께는, 예를 들면 2.1 μm 이다.

[0092] 도 10은, 제5 시료의 질화물 반도체 소자의 구성을 예시하는 개략 단면도이다.

[0093] 도 10에 나타난 바와 같이, 제5 시료(155)의 질화물 반도체 소자에서는, 적층 하지층(50) 위에 n형 반도체층(10)이 직접 제공되고 있다. 이 경우도 n형 반도체층(10)의 두께는 예를 들면 2.1 μm 이다. 제5 시료(155)에서는, n형 반도체층(10) 중에, δ -도프층(10d)은 마련되지 않는다. 즉, n형 반도체층(10)의 Z축을 따른 넓은 영역에 걸쳐 Si가 도프되어 있다.

[0094] 도 11a 및 도 11b는, 질화물 반도체 소자의 특성을 예시하는 노마르스키 현미경 상이다.

[0095] 도 11a에 도시한 바와 같이, 본 실시형태에 따른 질화물 반도체 소자(120)에서는, 표면에 크랙 CR은 관찰되지 않았다.

[0096] 도 11b에 도시한 바와 같이, 제5 시료(155)의 질화물 반도체 소자에서는, 표면에 매우 고밀도의 크랙 CR이 발생하였다. 이것은, 제5 시료(155)에서는, 기능층(10s)(n형 반도체층(10))에 균일하게 Si를 도프하므로, 인장 스트레인 가해져서, 크랙이 발생하기 쉬워진 것으로 생각된다. 따라서, 이러한 웨이퍼 위에 형성된 반도체 소자의 특성은 불량하다.

[0097] 특히, Si 도프된 GaN층의 두께가 1.5 μm 이상인 경우에는, 크랙 밀도가 매우 커지는 경향이 있다. 따라서, 본 실시형태를 1.5 μm 이상의 두께를 갖는 n형 GaN층을 형성할 경우에 적용하면, 크랙 CR을 억제하는 효과가 효과적으로 얻어질 수 있다.

[0098] 본 실시형태에 따른 질화물 반도체 소자(120)는, 발광 다이오드 및 레이저 다이오드 등의 n형 반도체층(10)의 적어도 일부로서 이용하면, 보다 큰 효과가 얻어진다. 발광 다이오드나 레이저 다이오드에서는, n형 반도체층(10)의 두께는 일반적으로는 2 μm 이상이다. 만약에 이러한 반도체 발광 소자에 있어서, n형 반도체층(10)이 1.5 μm 이하인 경우에는, 전류 퍼짐(spreading)이 불충분하고, 따라서 예를 들면 면내 발광 패턴이 불균일하게 된다. 또한, 고저항으로 되어 문제가 된다.

[0099] 도 4에 관해 설명한 제1 시료(151)와, 도 5에 관해 설명한 제2 시료(152)를 비교하면, 적층 하지층(50) 중에 δ -도프층(51d)을 제공함으로써, 크랙 밀도가 저감되어 있다. 이것은, AlN 하지층(52)(저온 AlN층)과 마찬가지로, δ -도프층(51d) 위에 성장한 GaN 하지층(51)이 압축 스트레인을 받고, 위로 돌출하는 위프가 결정 성장 중에 미리 축적되어, 결정 성장 후의 강온 시에 있어서의 GaN 하지층(51)과 Si 기판의 열팽창 계수차에 의한 인장 스트레인을 상쇄하고 있다고 생각된다.

[0100] 진술한 바와 같이, GaN 하지층(51) 중에 δ -도프층(51d)을 제공함으로써, 크랙 CR의 발생이 억제된다. 마찬가지로, 기능층(10s) 내에 δ -도프층(10d)을 주기적으로 제공함으로써, 크랙 CR의 발생을 억제할 수 있다. 이 경우, δ -도프층(10d)을 주기적으로 제공한 GaN층이 n형 반도체층(10)이 된다.

- [0101] 또한, 기능층(10s) 내에 저온 AlN층을 주기적으로 제공한 경우에는, AlN의 밴드갭 에너지(6.3eV)는, GaN의 밴드갭 에너지(3.4eV)보다 매우 크고, 전자의 흐름을 저해하여, n형 GaN층으로서의 역할을 할 수 없다.
- [0102] 또한, δ -도프층(SiN층)의 형성에 의한 전위 저감 효과, 및 δ -도프층 위에 GaN층을 결정 성장시킴으로써 압축 스트레인을 도입하여 크랙 CR의 발생을 억제하는 효과가 알려져 있다. 그러나, δ -도프층(δ -도프층(51d))의 배치에 의해 얻어지는 효과는 알려져 있지 않다. 또한, 기능층(10s) 내에 복수의 δ -도프층(10d)을(예를 들면 주기적으로) 제공하고, 두꺼운(예를 들면 1.5 μm 이상의) n형 반도체층(10)을 형성하는 기술에 대해서는 알려져 있지 않다.
- [0103] 발명자의 독자적인 실험에 의해 발견된 상기의 현상에 기초하여, 본 실시형태의 구성이 구축되어 있다. 이에 의해, Si 기판 상에 형성된 고품질의 질화물 반도체 결정을 갖는 웨이퍼를 제공할 수 있다.
- [0104] 질화물 반도체 소자(120)의 예에서는, 적층 하지층(50)이 제공되고 있다. 그러나, 기능층(10s) 내에 복수의 δ -도프층(10d)이 제공되는 경우에는, 적층 하지층(50)은 제공되지 않아도 좋다. 예를 들면, 기능층(10s)과 AlN 버퍼층(55) 사이에, 성장 중에 압축 스트레인을 가하는 임의의 구조체를 제공할 수 있다. 예를 들면, AlN/GaN 초격자 구조나, Al 조성이 스택식 또는 연속적으로 경사진 구조를, 기능층(10s)과 AlN 버퍼층(55) 사이에 제공할 수도 있다.
- [0105] 즉, 본 실시형태에 따른 반도체 발광 소자는, AlN 버퍼층(55) 위이며 기능층(10s) 아래에 형성된 적층 하지층(50)을 더 포함할 수 있다. 적층 하지층(50)은, 복수의 AlN 하지층(52)과, 상기 AlN 하지층(52)과 교대로 적층된 복수의 GaN 하지층(51)을 포함한다. 복수의 GaN 하지층(51) 중에 실리콘 기판(40)에 가장 가까운 기판측 GaN 하지층(51s)은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분(51a)과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분(51b)과, 제1 부분(51a)과 제2 부분(51b) 사이에 제공되고, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상으로, 제1 부분(51a)의 두께 및 제2 부분(51b)의 두께의 합계보다 얇은 두께를 갖는 제3 부분(51c)을 가질 수 있다.
- [0106] 도 12는, 제1 실시형태에 따른 다른 질화물 반도체 소자의 구성을 예시하는 개략 단면도이다.
- [0107] 도 12에 나타난 바와 같이, 본 실시형태에 따른 다른 질화물 반도체 소자(130)는, 실리콘 기판(40) 위에 형성된 AlN 버퍼층(55) 위에 형성된 기능층(10s)을 포함한다. 이 예에서는, AlN 버퍼층(55) 위에 중간층(54)이 제공되고, 기능층(10s)은 중간층(54) 위에 제공되고 있다. 중간층(54)은, 필요에 따라서 제공되고, 경우에 따라서는 생략해도 된다. 기능층(10s)은 복수의 저농도부(101)와, 상기 저농도부(101)와 교대로 적층되는 복수의 고농도부(10h)(예를 들면 δ -도프층(10d))를 포함한다.
- [0108] 복수의 저농도부(101)의 각각은, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 복수의 고농도부(10h)의 각각은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 복수의 고농도부(10h)의 각각의 두께는, 저농도부(101)의 각각의 두께보다 얇다.
- [0109] 이에 의해, 실리콘 기판 위에 형성된 크랙의 수가 적은 고품위의 질화물 반도체 소자를 제공할 수 있다.
- [0110] 기능층(10s)에 있어서의 δ -도프층(10d) 사이의 간격(예를 들면 주기)은, 50 nm 이상 500 nm 이하가 바람직하다. 이 간격이 50 nm 보다 작으면, GaN층에 있어서의 도핑 농도가 지나치게 높아져 버린다. 또한, 압축 스트레인을 인가하여 얻어지는 효과가 충분히 얻어지지 않는다. 상기 간격(예를 들면 주기)이 500 nm 보다 큰 경우에는, δ -도프층(10d)의 수가 2 이상 80 이하가 바람직하다.
- [0111] 또한, n형 반도체층(10) 중의 δ -도프층(10d) 이외의 부분이, δ -도프층(10d)에 있어서의 Si 농도의 절반 이하의 농도로 Si를 함유하고 있어도 좋다.
- [0112] (제2 실시형태)
- [0113] 본 실시형태는 질화물 반도체 웨이퍼에 관한 것이다. 이 웨이퍼에는, 예를 들면, 반도체 장치의 적어도 일부, 또는 반도체 장치의 적어도 일부가 되는 부분이 제공되어 있다. 이 반도체 장치는, 예를 들면, 반도체 발광 소자, 반도체 수광 소자, 및 전자 디바이스 등을 포함한다.
- [0114] 도 13은, 제2 실시형태에 따른 질화물 반도체 웨이퍼의 구성을 예시하는 개략 단면도이다.
- [0115] 도 13에 나타난 바와 같이, 본 실시형태에 따른 질화물 반도체 웨이퍼(210)는, 실리콘 기판(40)과, AlN 버퍼층(55)과, 적층 하지층(50)과, 기능층(10s)을 포함한다. 이 예에서는, 질화물 반도체 웨이퍼(210)는 중간층(54)

을 더 포함한다. 중간층(54)은 생략해도 된다.

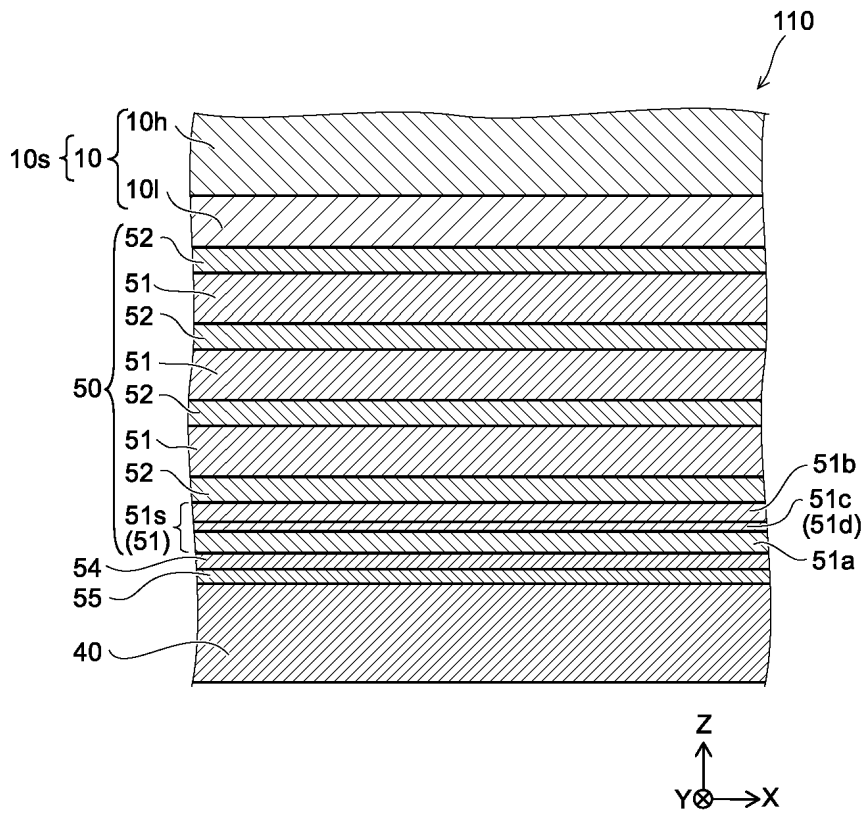
- [0116] 질화물 반도체 웨이퍼(210)에 있어서, 실리콘 기판(40), AlN 버퍼층(55), 중간층(54), 적층 하지층(50) 및 기능층(10s) 각각에는, 제1 실시형태에 관해서 설명한 구성을 적용할 수 있다.
- [0117] 즉, 적층 하지층(50)에 포함되는 복수의 GaN 하지층(51s) 중에 실리콘 기판(40)에 가장 가까운 기판측 GaN 하지층(51s)은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분(51a)과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분(51b)과, 제1 부분(51a)과 제2 부분(51b) 사이에 제공된 제3 부분(51c)을 포함한다. 제3 부분(51c)은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이며, 제1 부분(51a)의 두께 및 제2 부분(51b)의 두께의 합계보다 얇은 두께를 갖는다.
- [0118] 도 14는, 제2 실시형태에 따른 다른 질화물 반도체 웨이퍼의 구성을 예시하는 개략 단면도이다.
- [0119] 도 14에 나타난 바와 같이, 본 실시형태에 따른 다른 질화물 반도체 웨이퍼(230)는, 실리콘 기판(40)과, 실리콘 기판(40) 위에 제공된 AlN 버퍼층(55)과, AlN 버퍼층(55) 위에 제공된 기능층을 포함한다. 이 예에서는, 질화물 반도체 웨이퍼(230)는 중간층(54)을 더 포함한다. 중간층(54)은 생략해도 된다.
- [0120] 기능층(10s)은, 복수의 저농도부(10l)와, 상기 저농도부(10l)와 교대로 적층된 복수의 고농도부(10h)(예를 들면 δ -도프층(10d))를 포함한다. 복수의 저농도부(10l)의 각각은, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만이다. 복수의 고농도부(10h)의 각각은, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 복수의 고농도부(10h) 각각의 두께는, 저농도부(10l) 각각의 두께보다 얇다.
- [0121] 이러한 질화물 반도체 웨이퍼(210 및 230)를 사용함으로써, 실리콘 기판 위에 형성된 크랙의 수가 적은 고품위의 질화물 반도체 소자를 위한 질화물 반도체 웨이퍼를 제공할 수 있다.
- [0122] (제3 실시형태)
- [0123] 도 15는, 제3 실시형태에 따른 질화물 반도체층의 제조 방법을 예시하는 플로우차트 도면이다.
- [0124] 도 15에 나타난 바와 같이, 본 제조 방법에서는, 실리콘 기판(40) 위에 제공된 AlN 버퍼층(55) 위에, 복수의 AlN 하지층(52)과 복수의 GaN 하지층(51)을 교대로 적층하여 적층 하지층(50)을 형성한다(스텝 S110). 또한, 적층 하지층(50) 위에, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 저농도부(10l)를 형성하고, 저농도부(10l) 위에, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상인 고농도부(10h)를 형성하여 기능층(10s)을 형성한다(스텝 S120).
- [0125] 이 적층 하지층(50)의 형성은, 복수의 GaN 하지층(51) 중에서 실리콘 기판(40)에 가장 가까운 기판측 GaN 하지층(51s)의 형성에 있어서, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제1 부분(51a)과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 제2 부분(51b)과, 제1 부분(51a)과 제2 부분(51b) 사이에 제공되고, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상으로, 제1 부분(51a)의 두께 및 제2 부분(51b)의 두께의 합계보다 얇은 두께를 갖는 제3 부분(51c)을 형성하는 것을 포함한다.
- [0126] 도 16은, 제3 실시형태에 따른 질화물 반도체층의 다른 제조 방법을 예시하는 플로우차트 도면이다.
- [0127] 본 제조 방법은, 실리콘 기판(40) 위에 형성된 AlN 버퍼층(55) 위에 기능층(10s)을 형성하는 공정(스텝 S200)을 포함한다. 기능층(10s)을 형성하는 공정은, 질화물 반도체를 포함하며 Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 미만인 복수의 저농도부(10l)의 형성(스텝 S210)과, Si 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이상인 복수의 고농도부(10h)의 형성(스텝 S220)을 복수회 반복한다. 복수의 고농도부(10h) 각각의 두께는, 저농도부(10l) 각각의 두께보다 얇다.
- [0128] 이러한 제조 방법에 따르면, 실리콘 기판 위에 형성된 크랙의 수가 적은 고품위의 질화물 반도체층을 제조할 수 있다.
- [0129] 본 실시형태에 있어서, 반도체층의 성장에는, 예를 들면, 유기 금속 기상 퇴적(Metal-Organic Chemical Vapor Deposition: MOCVD)법, 유기 금속 기상 성장(Metal-Organic Vapor Phase Epitaxy: MOVPE)법, 분자선 에피택셜(Molecular Beam Epitaxy: MBE)법, 및 할로젠 기상 에피택시(HVPE)법 등을 이용할 수 있다.
- [0130] 예를 들면, MOCVD법 또는 MOVPE법을 이용했을 경우에는, 각 반도체층의 형성시의 원료에는, 이하를 이용할 수 있다. Ga의 원료로서, 예를 들면 TMGa(트리메틸 갈륨) 및 TEGa(트리에틸 갈륨)를 이용할 수 있다. In의 원료로서, 예를 들면, TlIn(트리메틸 인듐) 및 TEIn(트리에틸 인듐) 등을 이용할 수 있다. Al의 원료로서, 예를 들면, TMAI(트리메틸 알루미늄) 등을 이용할 수 있다. N의 원료로서, 예를 들면, NH_3 (암모니아), MMHy(모노메틸

히드라진) 및 DMHy(디메틸 히드라진) 등을 이용할 수 있다. Si의 원료로서는, SiH₄(모노실란) 및 Si₂H₆(디실란) 등을 이용할 수 있다.

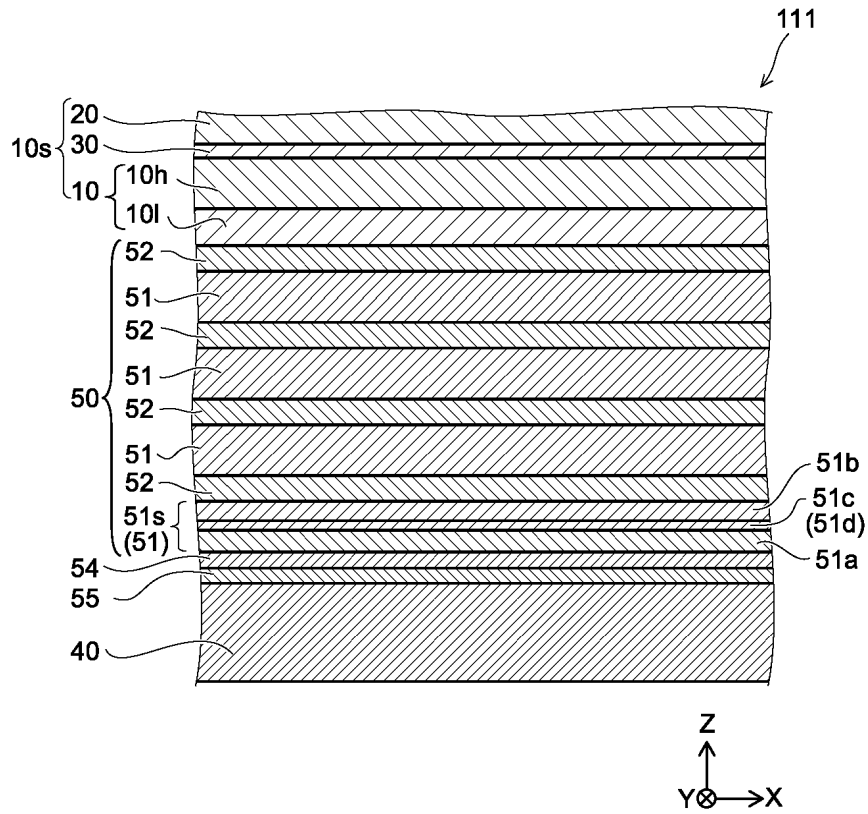
- [0131] 본 실시형태에 따르면, 실리콘 기판 위에 형성된 크랙의 수가 적은 고품위의 질화물 반도체 소자, 질화물 반도체 웨이퍼 및 질화물 반도체층의 제조 방법을 제공할 수 있다.
- [0132] 또한, 본 명세서에 있어서 "질화물 반도체"는, $B_xIn_yAl_zGa_{1-x-y-z}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$, $x+y+z \leq 1$)가 되는 화학식에 있어서 조성비 x , y 및 z 를 각각의 범위 내에서 변화시킨 모든 조성의 반도체를 포함하는 것으로 한다. 또한, 상기 화학식에 있어서, N(질소) 이외의 V족 원소도 더 포함하는 것, 도전형 등의 각종의 물성을 제어하기 위해 첨가되는 각종의 원소를 더 포함하는 것, 및 의도하지 않고 포함되는 각종의 원소를 더 포함하는 것도, "질화물 반도체"에 포함되는 것으로 한다.
- [0133] 또한, 본 명세서에 있어서, "수직" 및 "평행"은, 엄밀한 수직 및 엄밀한 평행뿐만 아니라, 예를 들면 제조 공정에 있어서의 변동 등을 포함하는 것이다. 실질적으로 수직 및 실질적으로 평행이면 충분하다.
- [0134] 이상, 구체예를 참조하여, 본 발명의 실시형태에 대해 설명하였다. 그러나, 본 발명은 이들 구체예에 한정되는 것은 아니다. 예를 들면, 질화물 반도체 소자 및 웨이퍼에 포함되는 기판, AlN 버퍼층, 중간층, 적층 하지층, AlN 하지층, GaN 하지층, 기능층, 반도체층 및 발광부 등의 각 요소의 구체적인 구성에 관해서는, 당업자가 공지의 범위로부터 적절히 선택하여 본 발명을 마찬가지로 실시할 수 있다. 이러한 실시도 그에 대해 마찬가지의 효과를 얻을 수 있는 한, 본 발명의 범위에 포함된다.
- [0135] 또한, 본 발명의 실시형태로서 기술한 질화물 반도체 소자, 질화물 반도체 웨이퍼 및 질화물 반도체층의 제조 방법을 기초로 하여, 당업자가 적절히 설계 변경해서 실시할 수 있는 모든 질화물 반도체 소자, 질화물 반도체 웨이퍼 및 질화물 반도체층의 제조 방법도, 본 발명의 요지를 포함하는 한, 본 발명의 범위에 속한다.
- [0136] 또한, 본 발명의 사상의 범주에 있어서, 당업자라면, 각종의 변경예 및 수정예에 상도할 수 있다.
- [0137] 본 발명의 몇 개의 실시형태를 설명했지만, 이들 실시형태는, 예로서 제시한 것이며, 발명의 범위를 한정하는 것은 의도하지 않고 있다. 실제로, 본 명세서에서 설명한 이들 신규의 실시형태는, 그 밖의 다양한 형태로 실시되는 것이 가능하며, 발명의 요지를 이탈하지 않는 범위 내에서, 본 명세서에서 설명한 실시형태의 형태에 있어서 여러 가지 생략, 치환 및 변경을 행할 수 있다. 이들 실시형태나 그 변형은, 발명의 범위나 요지에 포함됨과 함께, 특허청구범위에 기재된 발명과 그 균등한 범위에 포함된다.

도면

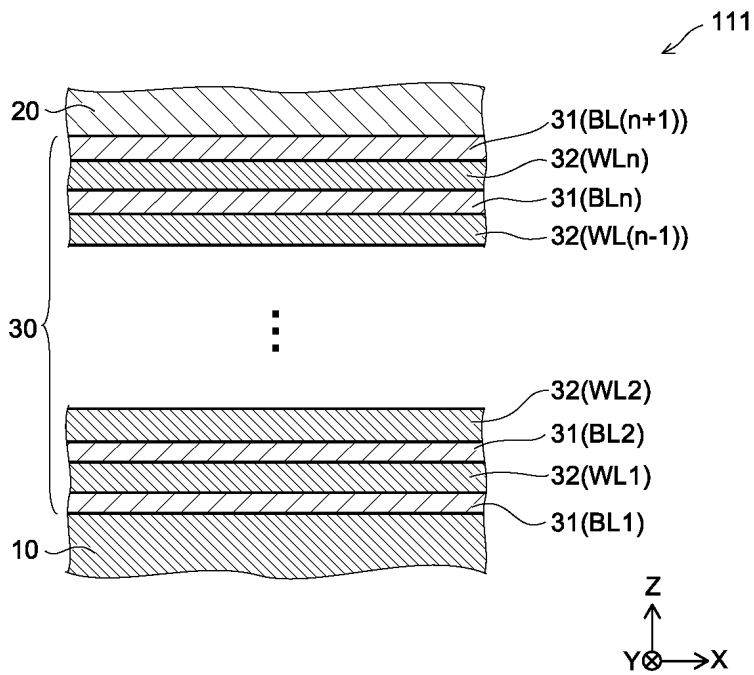
도면1



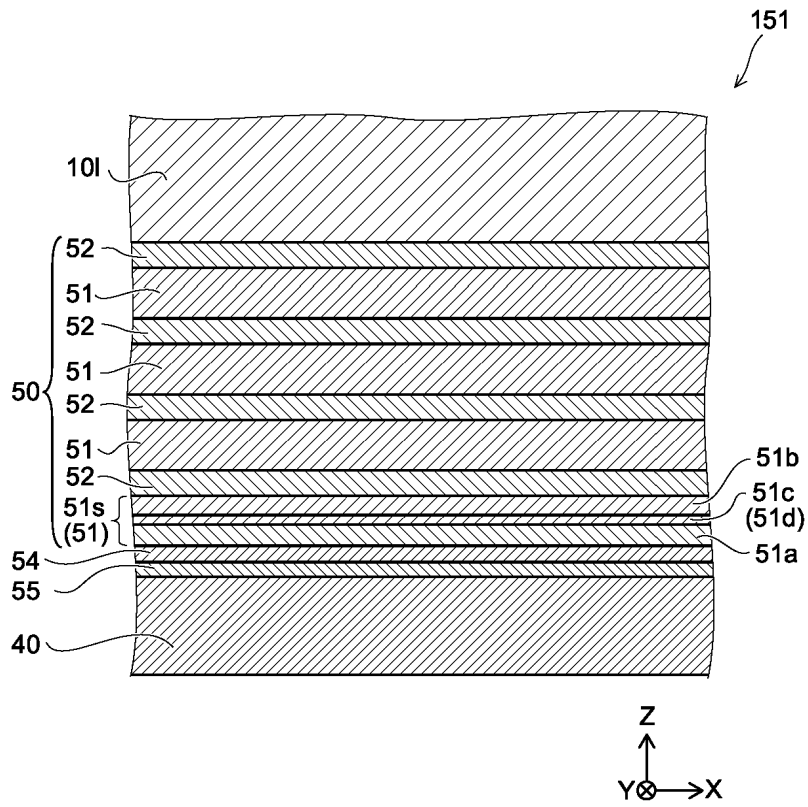
도면2



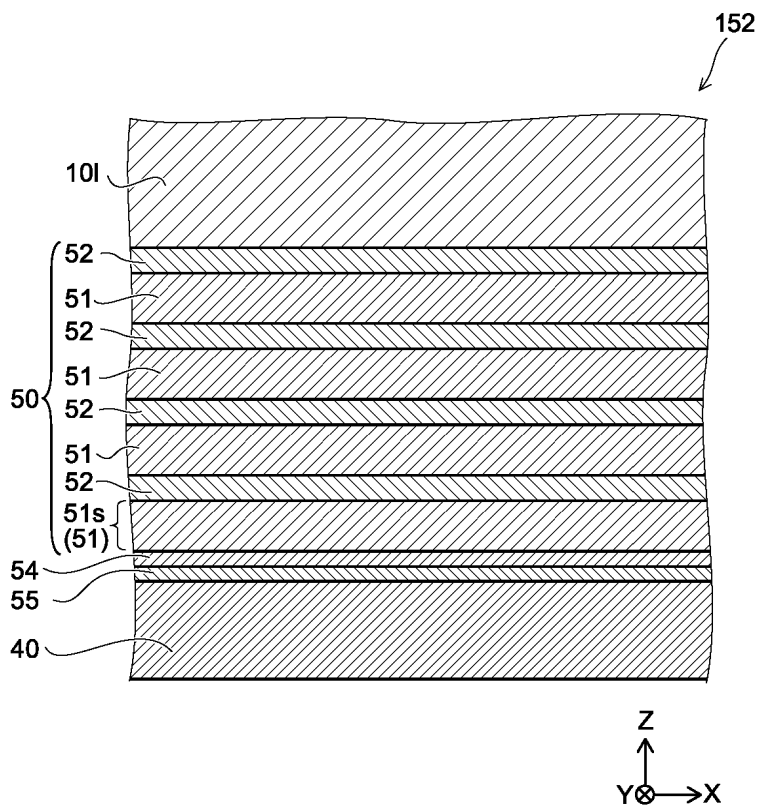
도면3



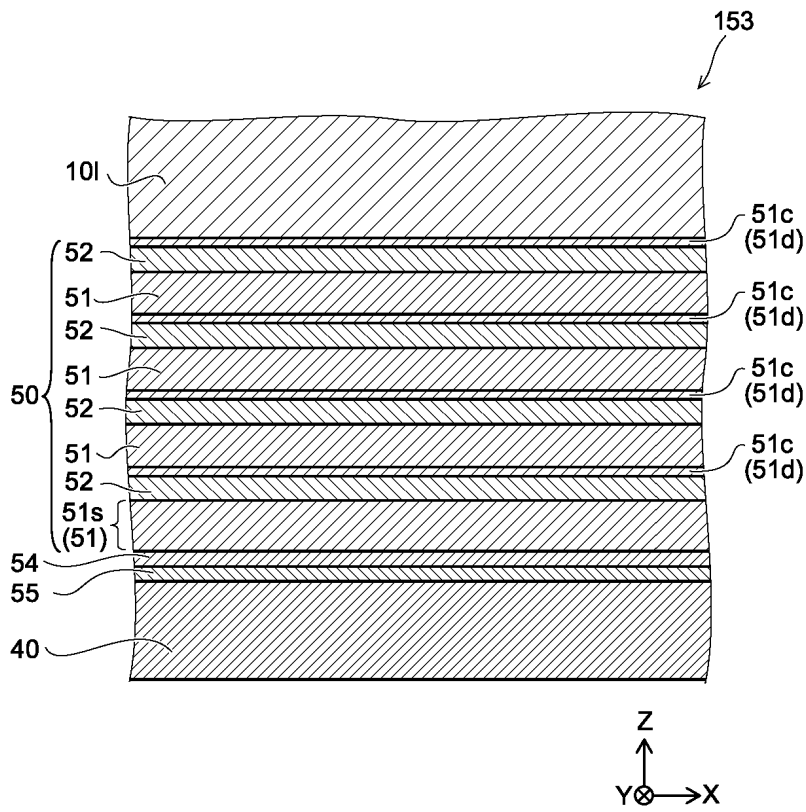
도면4



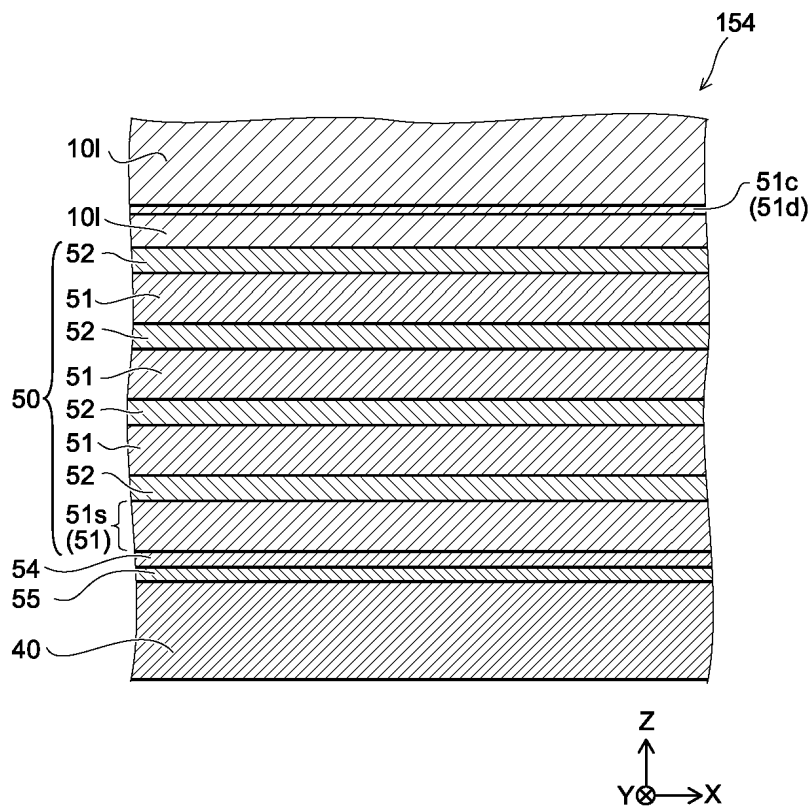
도면5



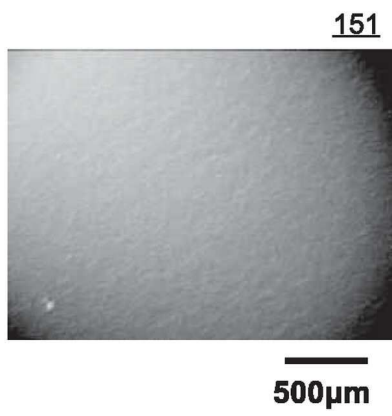
도면6



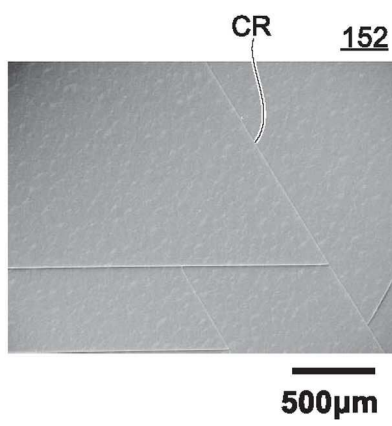
도면7



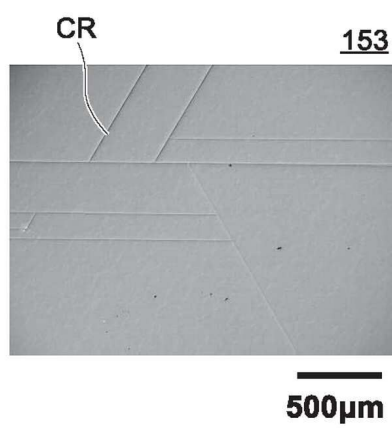
도면8a



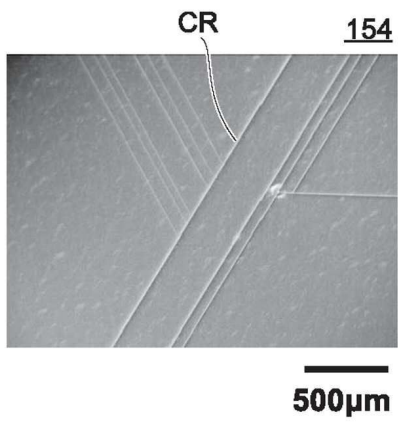
도면8b



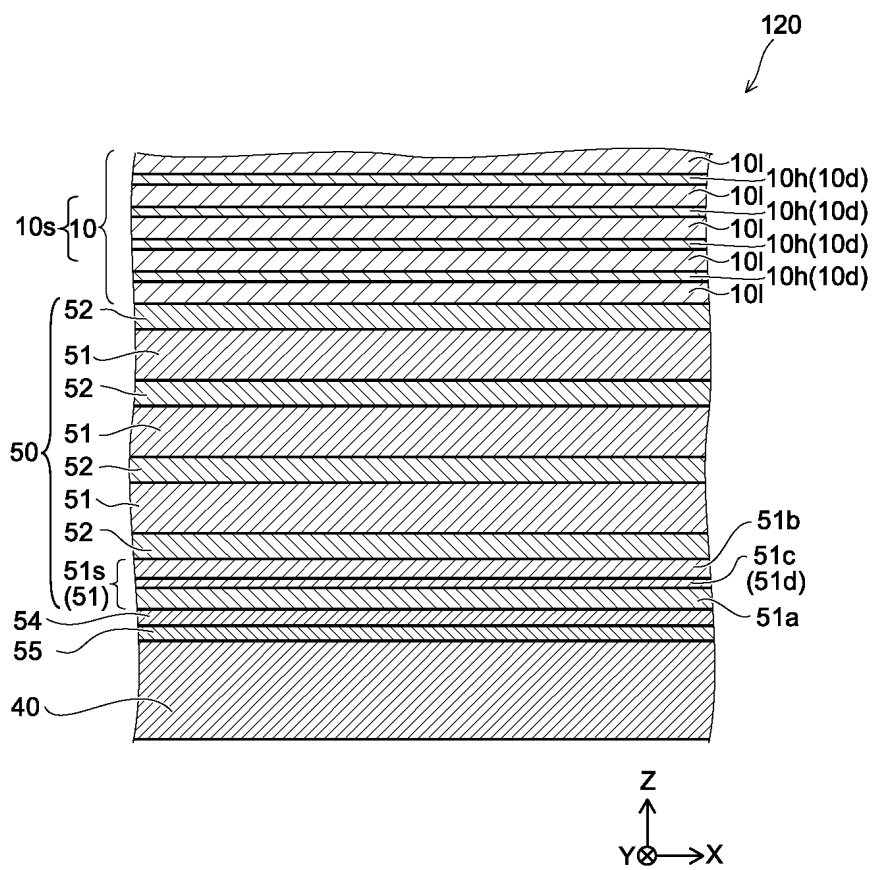
도면8c



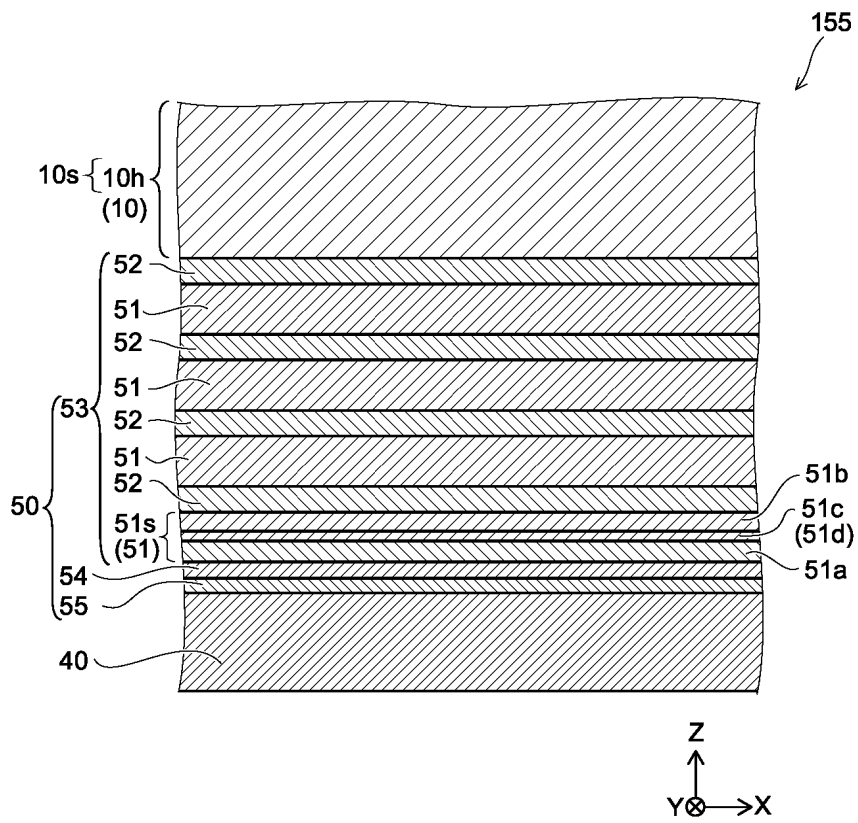
도면8d



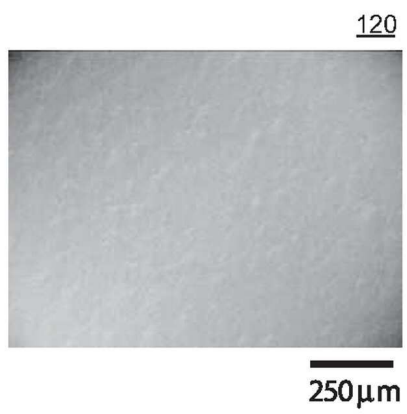
도면9



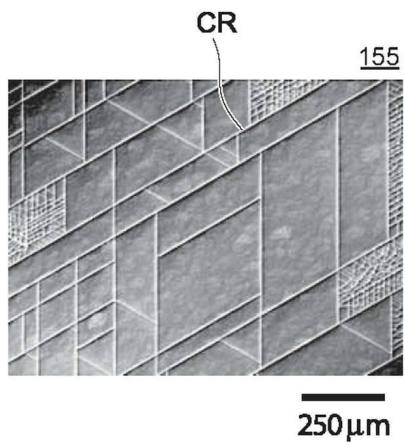
도면10



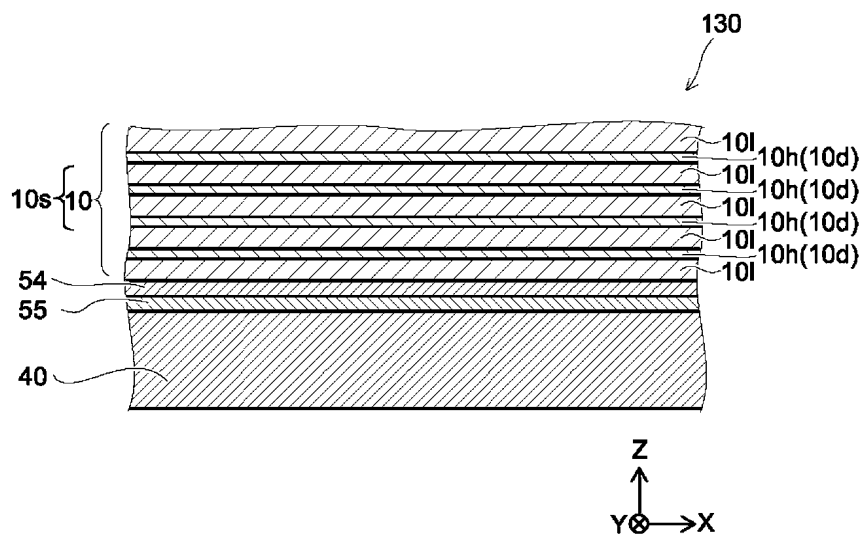
도면11a



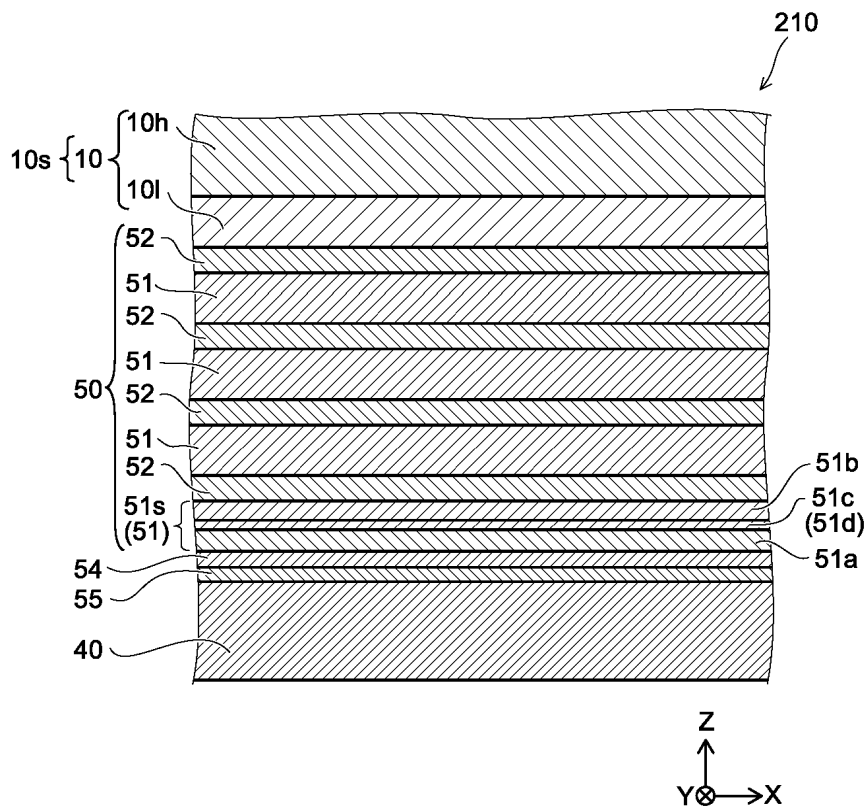
도면11b



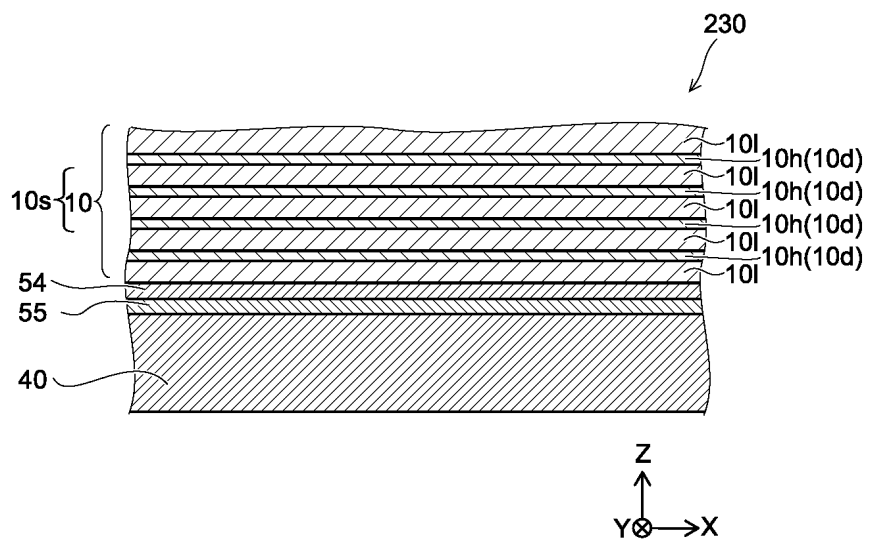
도면12



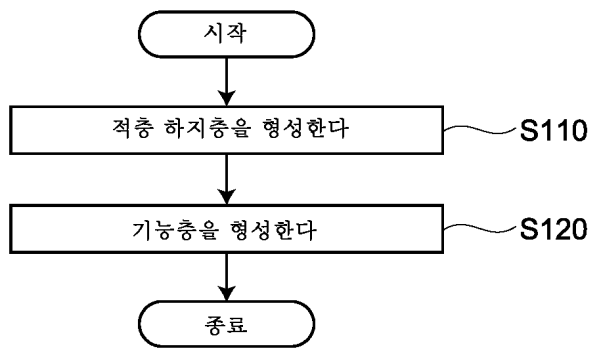
도면13



도면14



도면15



도면16

