(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 5 月 23 日(23.05.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/073573 A1

(51) 国際特許分類:
H01L 21/3205 (2006.01) *H01L 25/065* (2006.01)
H01L 21/768 (2006.01) *H01L 25/07* (2006.01)
H01L 23/522 (2006.01) *H01L 25/18* (2006.01)

(21) 国際出願番号: PCT/JP2012/079508

(22) 国際出願日: 2012 年 11 月 14 日(14.11.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-249938 2011 年 11 月 15 日(15.11.2011) JP

(71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 三橋　敏郎(MITSUHASHI, Toshiro); 〒1930834 東京都八王子市東浅川町５５０－１ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

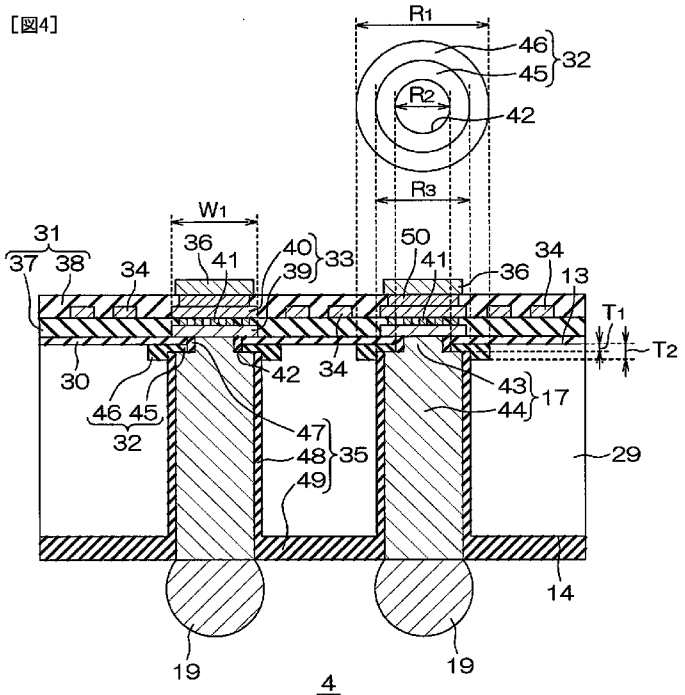
— 国際調査報告（条約第 21 条(3)）

WO 2013/073573 A1

(54) **Title**: SEMICONDUCTOR DEVICE AND FABRICATION METHOD FOR SAME, AND ELECTRONIC COMPONENT

(54) 発明の名称 : 半導体装置およびその製造方法、電子部品

[図4]



4

(57) **Abstract**: [Problem] To provide a semiconductor device for which the miniaturization of through electrodes and the scaling down of surface electrodes can both be accomplished, and a method for fabricating the semiconductor device by which the through electrodes can be made to reliably contact the surface electrodes regardless of the size of the surface electrodes. [Solution] A plurality of insulating film rings (32) are selectively formed on a front surface (13) of a Si substrate (29), and surface pads (33) are formed opposite openings (42) of the insulating film rings (32). Next, by etching the Si substrate (29) from a back surface (14), through holes (56) that pass through the openings (42) of the insulating film rings (32) and reach the surface pads (33) are formed. Through electrodes (17) that connect electrically with the surface pads (33) are formed by forming a via insulating film (35) on the sides of the through holes (56) and then filling the through holes (56) with electrode material.

(57) 要約: 【課題】貫通電極の微細化と表面電極の縮小化とを両立することができる半導体装置、および表面電極の大きさに関わらず、表面電極に対して貫通電極を確実にコンタクトさせることができる半導体装置の製造方法を提供すること。 【解決手段】Ｓｉ基板２９の表面１３に複数の絶縁膜リング３２を選択的に形成し、絶縁膜リング３２の開口４２に対向するように表面パッド３３を形成する。次に、Ｓｉ基板２９を裏面１４からエッチングすることにより、絶縁膜リング３２の開口４２を通過して表面パッド３３に達する貫通孔５６を形成し、貫通孔５６の側面にビア絶縁膜３５を形成した後、貫通孔５６に電極材料を充填することにより、表面パッド３３に電気的に接続されるように貫通電極１７を形成する。

明　細　書

発明の名称 ： 半導体装置およびその製造方法、電子部品

技術分野

[0001] 本発明は、貫通電極を有する半導体装置およびその製造方法、ならびに当該半導体装置を備える電子部品（パッケージ）に関する。

背景技術

[0002] 近年、貫通電極を有する半導体装置を複数積層して、小型、大容量、高機能の電子部品を形成する技術が開発されている。

貫通電極を有する半導体装置は、たとえば、特許文献１および２に開示されている。

特許文献１および２の半導体装置は、Ｓｉ基板と、Ｓｉ基板に設けられた貫通電極と、Ｓｉ基板の表面に形成された電極パッドと、電極パッド上に形成された再配置配線層とを含む。

[0003] 係る半導体装置は、たとえば、以下の方法により製造される。まず、Ｓｉ基板の表面に絶縁膜を介して電極パッドを形成し、再配置配線層を形成する。次に、第１のエッチングガス（SF_6）を用いて、Ｓｉ基板の裏面からＳｉ基板の途中までドライエッチングする。その後、第２のエッチングガス（C_4F_8）を用いてＳｉ基板の残りの部分をドライエッチングすることにより、電極パッドに達する貫通孔を形成する。そして、貫通孔の側面に絶縁膜を形成し、絶縁膜の内側に貫通電極を形成する。以上の工程を経て、貫通電極を有する半導体装置が得られる。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１１－８６７７３号公報

特許文献2：特開２０１１－８６８５０号公報

発明の概要

発明が解決しようとする課題

[0005] 本発明の目的は、貫通電極の微細化と表面電極の縮小化とを両立することができる半導体装置を提供することである。

本発明の他の目的は、表面電極の大きさに関わらず、表面電極に対して貫通電極を確実にコンタクトさせることができる半導体装置の製造方法を提供することである。

本発明のさらに他の目的は、半導体装置に貫通電極を高密度に設けることにより、小型化、大容量化および高機能化を実現することができる電子部品を提供することである。

課題を解決するための手段

[0006] 本発明の半導体装置は、半導体基板と、前記半導体基板の表面に選択的に形成された複数の絶縁膜リングと、前記絶縁膜リングの開口を通過して、前記半導体基板の前記表面と裏面との間を貫通する貫通電極と、前記貫通電極と前記半導体基板との間に設けられたビア絶縁膜と、前記半導体基板の前記表面の前記絶縁膜リングに対して前記表面側に離間して、前記開口に対向して形成され、前記貫通電極に電気的に接続された表面電極とを含む（請求項１）。

[0007] この半導体装置は、半導体基板の表面に、複数の絶縁膜リングを選択的に形成する工程と、前記絶縁膜リングに対して前記半導体基板の反対側に、前記開口に対向するように表面電極を形成する工程と、前記半導体基板を裏面からエッチングすることにより、前記絶縁膜リングの前記開口を通過して前記表面電極に達する貫通孔を形成する工程と、前記貫通孔の側面にビア絶縁膜を形成する工程と、前記ビア絶縁膜が形成された前記貫通孔に電極材料を充填することにより、前記表面電極に電気的に接続されるように貫通電極を形成する工程とを含む、本発明の半導体装置の製造方法（請求項１４）により製造することができる。

[0008] この方法によれば、半導体基板の上部に表面電極を形成する位置に対向して、半導体基板の表面に開口を有する絶縁膜リングを予め形成する。そのため、当該絶縁膜リング上に表面電極を形成した後、半導体基板を裏面から表

面電極へ向かってエッチングする工程において、理想のエッチング位置（絶縁膜リングの開口位置）と実際のエッチング位置との間にギャップが生じていても、エッチングが絶縁膜リングに到達した後は、絶縁膜リングと半導体基板とのエッチングレートの差を利用して（絶縁膜リングをマスクとして利用して）、当該エッチングを開口へガイドすることができる。

[0009] そのため、当該エッチングにより形成される貫通孔のボトム部を、絶縁膜リングの開口位置に固定することができる。すなわち、半導体基板の表面の絶縁膜リングの開口に対向するように半導体基板の上部に配置された表面電極に対して、貫通孔を自己整合的に到達させることができる。その結果、貫通孔に電極材料を充填することにより、表面電極に対して貫通電極を確実にコンタクトさせることができる。

[0010] 従って、貫通孔を形成するときのパターニングの合わせ精度を考慮して、貫通孔の径よりも表面電極を常に大きく設計していた従来とは異なり、本発明によれば、表面電極の大きさに関わらず、表面電極に到達する貫通孔を正確に形成することができるので、表面電極の大きさの自由度を広げることができる。

これにより、本発明の半導体装置では、貫通電極の微細化を行なう場合に、従来に比べて表面電極を縮小化できる。その結果、貫通電極を高密度に設けることができるので、小型、大容量および高機能の半導体装置を実現することができる。

[0011] また、表面電極の縮小化により、互いに隣り合う表面電極の間のスペースを広げることができるので、そのスペースを有効利用することができる。たとえば、配線等を当該スペースに敷設することができる。

本発明の半導体装置では、前記貫通電極は、前記開口内のボトム部と、前記開口外の本体部とを含み、前記本体部は、前記開口を区画する前記絶縁膜リングの内縁部に重なるように、前記開口に対して横方向へ張り出していることが好ましい（請求項２）。

[0012] この構成によれば、貫通電極（本体部）の裏面側の端部に力が加わっても

、本体部に重なっている絶縁膜リングが緩衝材として働くので、表面電極に伝わる力を低減することができる。その結果、たとえば、半導体装置の実装時に、表面電極がダメージを受けることを防止することができる。

この構成を有する半導体装置は、たとえば、前記半導体装置の製造方法において、前記開口を区画する前記絶縁膜リングの内縁部が前記貫通孔内に露出するように、前記開口の径よりも大きいパターン径で前記半導体基板をエッチングする工程を含む、前記貫通孔を形成する工程を実行することにより製造することができる（請求項１５）。

[0013] また、本発明の半導体装置では、表面電極の大きさの自由度を広げることができることから、前記貫通電極の前記本体部は、前記表面電極の径と同じかそれ以上の径を有していてもよい（請求項３）。言い換えれば、前記表面電極は、前記貫通電極の前記本体部の径と同じかそれ以下の径を有していてもよい。

この構成を有する半導体装置は、たとえば、前記半導体装置の製造方法において、前記表面電極の径と同じかそれ以上のパターン径で前記半導体基板をエッチングする工程を含む、前記貫通孔を形成する工程を実行することにより製造することができる（請求項１６）。

[0014] また、本発明の半導体装置では、前記絶縁膜リングの前記内縁部は、前記絶縁膜リングの外形を画成する外縁部よりも薄く形成されていてもよい（請求項４）。

また、本発明の半導体装置では、前記絶縁膜リングは、前記半導体基板の前記表面に対して前記裏面側へ埋め込まれていることが好ましい（請求項５）。

この構成によれば、絶縁膜リングの厚さ分、貫通電極の表面側の端部が裏面側に後退するので、貫通電極のアスクペクト比（貫通電極の高さ／貫通電極の径）を小さくすることができる。そのため、貫通孔に電極材料を充填するときのステップカバレッジ（段差被膜性）を向上させることができる。また、半導体基板の表面と絶縁膜リングの上面との間の段差をなくすことがで

きるので、半導体基板の表面の平坦性を維持することもできる。

[0015] この構成を有する半導体装置は、たとえば、前記半導体装置の製造方法において、前記半導体基板を前記表面からエッチングすることによりシャロートレンチを形成する工程と、前記シャロートレンチに絶縁材料を充填することにより、前記絶縁膜リングを前記半導体基板の前記表面に対して前記裏面側へ埋め込むように形成する工程とを含む、前記絶縁膜リングを形成する工程を実行することにより製造することができる（請求項１７）。

[0016] この方法によれば、たとえば、ＳＴＩ（Shallow Trench Isolation：シャロートレンチアイソレーション）工程により半導体基板に複数の素子分離領域を形成する場合に、当該ＳＴＩ工程と同一工程で絶縁膜リングを形成することができるので、効率よく絶縁膜リングを形成することができる。

また、本発明の半導体装置は、互いに隣り合う複数の前記表面電極の間に敷設された配線を含んでいてもよい（請求項６）。

[0017] また、前記表面電極は、層間絶縁膜を介して積層された多層電極を含んでいてもよい（請求項７）。

また、本発明の半導体装置は、前記貫通電極との間に前記表面電極が置かれるように前記貫通電極の直上位置に配置された、外部接続用の表面バンプを含んでいてもよいし（請求項８）、前記貫通電極の前記裏面側の端部に配置された、外部接続用の裏面バンプを含んでいてもよい（請求項９）。

[0018] また、前記絶縁膜リングは、円環状に形成されていてもよい（請求項１０）。さらに、前記貫通電極は、円柱状に形成されていてもよい（請求項１１）。

また、前記半導体基板の前記表面は、複数の半導体素子が形成された素子形成面を含んでいてもよい（請求項１２）。

また、本発明の電子部品は、裏面に複数の外部端子を有するインタポーザと、前記インタポーザの表面に、前記表面が上方に向く姿勢で積層された請求項１～１２のいずれか一項に記載の半導体装置と、複数の裏面バンプを有し、当該裏面バンプが前記貫通電極に電気的に接続されるように前記半導体

装置の前記表面に積層された第２半導体装置と、前記半導体装置および前記第２半導体装置を封止する樹脂パッケージとを含む（請求項１３）。

[0019] この構成によれば、本発明の半導体装置が搭載されているので、当該半導体装置に貫通電極を高密度に設けることにより、小型化、大容量化および高機能化を実現することができる。

図面の簡単な説明

[0020] [図1]図１は、本発明の一実施形態に係る電子部品の模式的な断面図である。

[図2]図２は、図１の電子部品のシステム構成を模式的に示すブロック図である。

[図3]図３は、図１のＳｉインタポーザおよび演算チップにおける貫通電極のレイアウト図である。

[図4]図４は、図１の演算チップの構造を説明するための模式的な断面図であって、貫通電極が設けられた部分を拡大して示している。

[図5A]図５Ａは、図４の演算チップの製造工程の一部を示す図である。

[図5B]図５Ｂは、図５Ａの次の工程を示す図である。

[図5C]図５Ｃは、図５Ｂの次の工程を示す図である。

[図5D]図５Ｄは、図５Ｃの次の工程を示す図である。

[図5E]図５Ｅは、図５Ｄの次の工程を示す図である。

[図5F]図５Ｆは、図５Ｅの次の工程を示す図である。

[図5G]図５Ｇは、図５Ｆの次の工程を示す図である。

[図5H]図５Ｈは、図５Ｇの次の工程を示す図である。

[図5I]図５Ｉは、図５Ｈの次の工程を示す図である。

[図5J]図５Ｊは、図５Ｉの次の工程を示す図である。

[図5K]図５Ｋは、図５Ｊの次の工程を示す図である。

[図5L]図５Ｌは、図５Ｋの次の工程を示す図である。

[図5M]図５Ｍは、図５Ｌの次の工程を示す図である。

発明を実施するための形態

[0021] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図１は、本発明の一実施形態に係る電子部品１の模式的な断面図である。図２は、図１の電子部品１のシステム構成を模式的に示すブロック図である。

電子部品１は、樹脂インタポーザ２と、樹脂インタポーザ２の表面３から順に積層された演算チップ４、Ｓｉインタポーザ５およびメモリチップ６と、樹脂パッケージ７とを含み、内部に電源系配線８および信号系配線９が組み込まれている。なお、演算チップ４、Ｓｉインタポーザ５およびメモリチップ６は、樹脂インタポーザ２の表面３に積層された複数の半導体装置の一例であり、これに限るものではない。

[0022] 樹脂インタポーザ２は、樹脂製（たとえば、エポキシ樹脂）基板からなり、その表面３に演算チップ４等が積層され、その裏面１０に複数の外部端子１１が形成されている。樹脂インタポーザ２のサイズは、１４ｍｍ角であり、たとえば、１０ｍｍ角～１５ｍｍ角であってもよい。樹脂インタポーザ２の厚さは、０．７ｍｍであり、たとえば、０．６ｍｍ～０．７ｍｍであってもよい。

[0023] 外部端子１１は、実装基板（プリント配線板）上のランド（電極）との電気接続用の端子である。外部端子１１は、たとえば、半田などの金属材料を用いてボール状に形成されており、たとえば、互いに間隔を空けて行列状に配置されている。各外部端子１１は、樹脂インタポーザ２の表面３と裏面１０との間を貫通する導電性のビア（図示せず）を介して、演算チップ４の裏面バンプ１９（後述）に電気的に接続されている。

[0024] 演算チップ４、Ｓｉインタポーザ５およびメモリチップ６は、この実施形態では、互いに同じ大きさで形成されており、互いに側面が揃うように整って積層されている。これらのチップのサイズは、１０ｍｍ角であり、たとえば、６ｍｍ角～１０ｍｍ角であってもよい。樹脂インタポーザ２よりも小さく、チップの厚さは、０．０５ｍｍであり、たとえば、０．０４ｍｍ～０．０６ｍｍであってもよい。

[0025] これら複数の半導体チップ４～６のうち、最上層の第２半導体装置として

のメモリチップ６と樹脂インタポーザ２との間にある半導体装置としての演算チップ４には、図２に示すように、論理（Logic）・制御回路１２が組み込まれている。論理・制御回路１２には
、電子部品１の電源系配線８および信号系配線９が接続されている。また、演算チップ４には、その表面１３に当該論理・制御回路１２を構成するトランジスタ（たとえばＣＭＯ
Ｓトランジスタ）、ダイオード、抵抗、キャパシタなどの複数の半導体素子が形成されている。つまり、演算チップ４では、メモリチップ６に対向する表面１３が素子形成面であり、この素子形成面１３が上方に向く姿勢で演算チップ４が樹脂インタポーザ２に積層されている。

[0026] また、演算チップ４および半導体装置としてのＳｉインタポーザ５には、それぞれ表面１３，１５と裏面１４，１６との間を貫通する複数の貫通電極１７，１８が形成されており、各貫通電極１７，１８の裏面１４，１６側の端部に１つずつ裏面バンプ１９，２０が設けられている。裏面バンプ１９，２０は、たとえば、半田などの金属材料を用いてボール状に形成されている。また、演算チップ４の裏面バンプ１９は、表面１３上の半導体素子に電気的に接続されている。

[0027] 一方、最上層のメモリチップ６には、メモリセルアレイ２１（この実施形態では、ＳＲＡＭ：Static
Random Access Memoryのセルアレイ）および制御回路２２が組み込まれており、これらの回路２１，２２には、電子部品１の電源系配線８および信号系配線９が接続されている。具体的には、制御回路２２は電源系配線８によりメモリセルアレイ２１に接続されており、メモリセルアレイ２１は信号系配線９により演算チップ４の論理・制御回路１２に接続されている。また、メモリチップ６には、その裏面２３に当該メモリセルアレイ２１および制御回路２２を構成するトランジスタ、ダイオード、抵抗、キャパシタなどの複数の半導体素子が形成されている。つまり、メモリチップ６では、演算チップ４に対向する裏面２３が素子形成面であり、この素子形成面２３が下方に

向く姿勢でメモリチップ６が樹脂インタポーザ２に積層されている。また、メモリチップ６には、その裏面２３に複数の裏面バンプ２４が設けられている。裏面バンプ２４は、たとえば、半田などの金属材料を用いてボール状に形成されている。この裏面バンプ２４は、裏面２３上の半導体素子に電気的に接続されている。

[0028] そして、メモリチップ６の裏面バンプ２４は、Ｓｉインタポーザ５の貫通電極１８および裏面バンプ２０により中継されて、ピッチの異なる演算チップ４の貫通電極１７および裏面バンプ１９に電気的に接続されている。これにより、積層配置された複数の半導体チップが互いに電気的に接続され、樹脂インタポーザ２の外部端子１１に電気的に接続されることとなる。

[0029] なお、この実施形態では、演算チップ４とメモリチップ６との端子ピッチが互いに異なるので、これらの間に電気的な中継を担うＳｉインタポーザ５を配置しているが、当該端子ピッチが全く同じである場合には、Ｓｉインタポーザ５は省略されていてもよい。

樹脂パッケージ７（たとえば、エポキシ樹脂）は、樹脂インタポーザ２の裏面１０を露出させるように、樹脂インタポーザ２の表面３側のみを封止しており、演算チップ４、Ｓｉインタポーザ５およびメモリチップ６が露出しないようにこれらのチップの全体を覆っている。また、樹脂パッケージ７は、その側面が樹脂インタポーザ２の側面と面一に揃うように形成されている。

[0030] 図３は、図１のＳｉインタポーザ５および演算チップ４における貫通電極１７，１８のレイアウト図である。

図１で示したように、この実施形態では、積層配置された複数の半導体チップ４～６のうち、演算チップ４およびＳｉインタポーザ５それぞれに貫通電極１７，１８が設けられている。

[0031] 演算チップ４では、たとえば、複数列（この実施形態では、２列）に整列した貫通電極１７が、演算チップ４の中央部２５を取り囲む周縁部２６に沿って環状に設けられている。なお、演算チップ４の貫通電極１７は、たとえ

ば、それぞれが不規則にランダムに配置
され、全体として演算チップ４の周縁部２６に沿った環状に設けられていてもよい。

これにより、演算チップ４は、貫通電極１７を利用して、メモリチップ６に電力および電気信号を送ることができる。つまり、演算チップ４の貫通電極１７が電子部品１の電源系配線８および信号系配線９を形成し、当該配線８，９により電力および信号が送られる。

[0032] 一方、Ｓｉインタポーザ５では、たとえば、単列の貫通電極１８が、Ｓｉインタポーザ５の中央部２７を取り囲む周縁部２８に沿って環状に設けられているとともに（以下、これらの貫通電極１８を周縁部２８の貫通電極１８ということがある。）、当該周縁部２８に取り囲まれた中央部２７に、複数の貫通電極１８を１つの群として、複数の群が行列状に配置されている（以下、これらの貫通電極１８を中央部２７の貫通電極１８ということがある。）。

[0033] 周縁部２８の各貫通電極１８は、この実施形態では、それぞれ演算チップ４の各貫通電極１７と同一直線上に配置されるように、演算チップ４の各貫通電極１７の直上に配置されている。

中央部２７の貫通電極１８の各群では、行列状に配置された複数の貫通電極１８を１つのブロックとして、複数のブロックが設けられている。具体的には、この実施形態では、８つの群が２行４列（２×４）の行列状に配置されており、各群では、４行６４列（４×６４）の貫通電極１８を１ブロックとして２ブロック、つまり１つの群当たり合計５１２個の貫通電極１８が設けられている。この群が８群あるので、Ｓｉインタポーザ５全体では、４０９６個（５１２個×８群）の貫通電極１８が設けられている。

[0034] これにより、Ｓｉインタポーザ５は、たとえば、中央部２７の貫通電極１８を利用して、演算チップ４（たとえば、論理・制御回路１２）とメモリチップ６（たとえば、メモリセルアレイ２１）との間に中央部２７の貫通電極１８の数のビット数（この実施形態では、４０９６ビット）の電気信号を中

継することができる。つまり、Ｓｉインタポーザ５の中央部２７の貫通電極１８が電子部品１の信号系配線９を形成し、当該配線９により電気信号が双方向に送受信される。なお、貫通電極１８の配置や数は、本発明の一例に過ぎず、それぞれの電子部品１の設計に合わせて適宜変更することができる。たとえば、１ブロック２５６個の貫通電極１８は、８行３２列（８×３２）の行列状に配置されていてもよい。

[0035] また、Ｓｉインタポーザ５は、たとえば、周縁部２８の貫通電極１８を利用して、演算チップ４からメモリチップ６（たとえば、制御回路２２）へと送られる電力および電気信号を中継することができる。つまり、Ｓｉインタポーザ５の周縁部２８の貫通電極１８が電子部品１の電源系配線８および信号系配線９を形成し、当該配線８，９により電力および電気信号が送られる。

[0036] 図４は、図１の演算チップ４の構造を説明するための模式的な断面図であって、貫通電極１７が設けられた部分を拡大して示している。

演算チップ４は、演算チップ４の本体をなす半導体基板としてのＳｉ基板２９と、ゲート絶縁膜３０と、層間絶縁膜３１と、絶縁膜リング３２と、表面電極としての表面パッド３３と、パッド間配線３４と、貫通電極１７と、ビア絶縁膜３５と、表面バンプ３６と、裏面バンプ１９とを含む。

[0037] Ｓｉ基板２９は、たとえば、厚さ３０μｍ～５０μｍの基板であり、その表面１３（素子形成面）に、ゲート絶縁膜３０および複数（この実施形態では、２層）の層間絶縁膜３１がこの順に積層されている。ゲート絶縁膜３０は、当該表面１３に形成されたトランジスタ（図示せず）が有するゲート絶縁膜３０と一体な膜であり、当該トランジスタとの間
で共有されている。

[0038] また、Ｓｉ基板２９の表面１３には、当該表面１３に対して裏面１４側に複数の絶縁膜リング３２が選択的に埋め込まれており、当該表面１３の一部が、表面１３と面一に揃った絶縁膜リング３２の上面により形成されている。これにより、Ｓｉ基板２９の表面１３と絶縁膜リング３２の上面との間の

段差がないので、Ｓｉ基板２９の表面１３の平坦性を維持することができる。絶縁膜リング３２は、この実施形態は、酸化シリコン（SiO_2）からなり、外径R_1が１２μｍ程度、内径（絶縁膜リング３２の開口４２の径）R_2が８μｍ程度の円環状に形成されている。

[0039] 表面パッド３３は、アルミニウム（ＡＩ）からなり、ゲート絶縁膜３０、およびゲート絶縁膜３０と最上層の層間絶縁膜（第２層間絶縁膜３８）の間の層間絶縁膜（第１層間絶縁膜３７）それぞれの上に積層された多層パッド構造を有している。

この実施形態では、表面パッド３３は、２層パッド構造を有しており、ゲート絶縁膜３０上に形成された下側パッド３９と、第１層間絶縁膜３７上に形成された上側パッド４０とを含み、互いに上下に重なり合う下側パッド３９と上側パッド４０との間は、第１層間絶縁膜３７を貫通する複数の導電性のビア４１を介して電気的に接続されている。表面パッド３３の層構造は、２層構造に限らず、たとえば、３層構造、４層構造、５層構造、それ以上の層構造であってもよい。また、表面パッド３３の材料は、銅（Ｃｕ）などの他の金属材料であってもよい。

[0040] 表面パッド３３は、各絶縁膜３０，３７上において、絶縁膜リング３２の開口４２を塞ぐように当該開口４２に対向して形成されている。各表面パッド３３は、絶縁膜リング３２の外径R_1よりも小さく、内径R_2よりも大きい幅W_1（たとえば、W_1＝１０μｍ程度）を有する四角状に形成されており、Ｓｉ基板２９を裏面１４側から見た底面視において絶縁膜リング３２の外周よりも内側に収まっている。

[0041] また、第１層間絶縁膜３７上において、互いに隣り合う上側パッド４０の間には、複数のパッド間配線３４が選択的に敷設されている。パッド間配線３４は、ゲート絶縁膜３０上の下側パッド３９の間に敷設されていてもよい。

貫通電極１７は、銅（Ｃｕ）からなり、Ｓｉ基板２９の裏面１４から当該裏面１４に対して垂直に絶縁膜リング３２の開口４２を通過して表面パッド

３３（下側パッド３９）に達する円柱状に形成されている。これにより、貫通電極１７および表面パッド３３は、Ｓｉ基板２９の厚さ方向に同一直線上に並んでいる。なお、貫通電極１７および表面パッド３３は、必ずしも同一直線上に並んでいる必要はなく、たとえば、表面パッド３３は、貫通電極１７のＳｉ基板２９の表面１３側端部から再配線等を引き回すことにより、平面視において貫通電極１７から離れた位置に配置されていてもよい。

[0042] 貫通電極１７は、絶縁膜リング３２の開口４２内のボトム部４３と、当該開口４２外の本体部４４とを含み、本体部４４は、開口４２を区画する絶縁膜リング３２の内縁部４５全周に重なるように、開口４２に対して横方向（Ｓｉ基板２９の表面１３に沿う方向）へ均等に張り出している。これにより、貫通電極１７の本体部４４は、表面パッド３３の幅W_1と同じかそれ以上の径R_3を有している。この実施形態では、たとえば、R_3＝１０μｍ程度である。

[0043] また、絶縁膜リング３２において、貫通電極１７の本体部４４に重なる内縁部４５は、絶縁膜リング３２の外形を画成する外縁部４６よりも薄く形成されている。たとえば、絶縁膜リング３２の内縁部４５の厚さT_1が０．２μｍ程度であり、外縁部４６の厚さT_2が０．４μｍ程度である。

ビア絶縁膜３５は、酸化シリコン（SiO_2）からなり、貫通電極１７とＳｉ基板２９

との間およびＳｉ基板２９の裏面１４全域に設けられている。

[0044] この実施形態では、ビア絶縁膜３５は、貫通電極１７のボトム部４３の側面（周面）を覆うボトム部４７、貫通電極１７の本体部４４の側面（周面）を覆う本体部４８およびＳｉ基板２９の裏面１４を覆う裏面部４９を含む。ビア絶縁膜３５の本体部４８およびビア絶縁膜３５の裏面部４９は、互いに一体的に形成されている。一方、ビア絶縁膜３５の本体部４８とビア絶縁膜３５のボトム部４７との間には、絶縁膜リング３２の内縁部４５に沿って所定の間隔が設けられていて、これらの部分は絶縁膜リング３２の内縁部４５で互いに分断されている。

[0045] また、ビア絶縁膜３５は、本体部４８およびボトム部４７が、裏面部４９に比べて薄く形成されている。たとえば、本体部４８およびボトム部４７の厚さが、０．５μｍ程度であり、裏面部４９の厚さが１μｍ程度である。

表面バンプ３６は、第２層間絶縁膜３８上において、貫通電極１７との間に表面パッド３３が置かれるように、貫通電極１７の直上位置に１つずつ配置されている。各表面バンプ３６は、互いに上下に重なり合う上側パッド４０に対して、第２層間絶縁膜３８を貫通する導電性のビア５０を介して電気的に接続されている。また、各表面バンプ３６は、演算チップ４上にＳｉインタポーザ５を積層した状態において、たとえば、Ｓｉインタポーザ５の裏面バンプ２０（図１参照）と接続される。

[0046] 裏面バンプ１９は、前述のように、各貫通電極１７の裏面１４側の端部に１つずつ設けられている。

以上説明した絶縁膜リング３２を有する演算チップ４の構成は、この実施形態では、貫通電極１８が形成された半導体基板（Ｓｉ基板）であるＳｉインタポーザ５にも採用されている。また、絶縁膜リング３２を形成することにより本体部４４に比べて細く形成されたボトム部４３を有する貫通電極１７は、電子部品１の電源系配線８および信号系配線９のいずれにも使用する必要はなく、好ましくは、配線の低抵抗化が特に必要とされない信号系配線９を形成する貫通電極１７に用いる。

[0047] 図５Ａ～図５Ｍは、図４の演算チップ４の製造工程の一部を工程順に示す図である。

演算チップ４を製造するには、まず、図５Ａに示すように、７００μｍ以上の厚さを有するＳｉ基板２９を表面１３からエッチングすることにより、円環状のシャロートレンチ５１を選択的に形成し、当該シャロートレンチ５１にＣＶＤ法によりSiO_2（絶縁材料）を充填する。これにより、Ｓｉ基板２９に埋め込まれた絶縁膜リング３２（外径R_1＝１２μｍ、内径R_2＝８μｍ）が形成される。この絶縁膜リング３２を形成する工程は、たとえば、ＳＴＩ（Shallow Trench Isolation：シャロートレンチアイソレーション）工

程によりＳｉ基板２９に複数の素子分離領域を形成する工程と同一工程で行うことができるので、効率よく絶縁膜リング３２を形成することができる。

[0048] その後、図示は省略するが、公知の方法により、Ｓｉ基板２９の表面１３に対してイオン注入（たとえば、ｎ型イオン、ｐ型イオン）することにより、半導体素子を構成する不純物領域が形成される。

次に、図５Ｂに示すように、熱酸化法によりゲート絶縁膜３０を形成する。その後、スパッタ、フォトリソグラフィ、ＣＶＤ等の公知の半導体装置の製造技術により、ゲート絶縁膜３０上に、下側パッド３９、第１層間絶縁膜３７、ビア４１、上側パッド４０およびパッド間配線３４、第２層間絶縁膜３８、ビア５０および表面バンプ３６を順に形成する。

[0049] 次に、図５Ｃに示すように、Ｓｉ基板２９の表面１３側に、接着剤５２を介してガラス基板５３（支持体）を貼り付ける。

次に、図５Ｄに示すように、たとえば、グラインダなどを用いて、Ｓｉ基板２９を裏面１４側から研削して（バックグラインド）、Ｓｉ基板２９を薄化する。この実施形態では、７００μｍ以上のＳｉ基板２９が３０μｍ～５０μｍになるまで研削する。

[0050] 次に、図５Ｅに示すように、絶縁膜リング３２の開口４２を基準に位置合わせをして、Ｓｉ基板２９の裏面１４に、貫通電極１７を形成すべき領域に本体部４４と同じ径R_3（R_3≧表面パッド３３の幅W_1、絶縁膜リング３２の内径R_2）の開口５５を有するフォトレジスト５４（たとえば、ポリイミド等の有機レジスト）を形成する。

次に、図５Ｆに示すように、フォトレジスト５４を介してＳｉ基板２９にエッチングガス（たとえば、SF_6／O_2など）を供給して、Ｓｉ基板２９を裏面１４側からドライエッチングする。このエッチングは、絶縁膜リング３２に到達した後、絶縁膜リング３２（SiO_2）とＳｉ基板２９とのエッチングレートの差を利用して（絶縁膜リング３２をマスクとして利用して）絶縁膜リング３２の開口４２へガイドされる。そして、絶縁膜リング３２の開口４２を通過してゲート絶縁膜３０が露出するまで、エッチングガスの種類を

代えずに同一のガス種でエッチングを続ける。これにより、Ｓｉ基板２９に貫通孔５６が形成され、各貫通孔５６内には、絶縁膜リング３２の内縁部４５が露出することとなる。

[0051] 次に、図５Ｇに示すように、貫通孔５６を形成したときのフォトレジスト５４を残した状態で、貫通孔５６の底面を形成するゲート絶縁膜３０をエッチングすることにより、貫通孔５６内に表面パッド３３（下側パッド３９）を露出させる。この際、ゲート絶縁膜３０と同一材料（SiO_2）からなる絶縁膜リング３２のうち、貫通孔５６の側面よりも内側の内縁部４５もエッチングガスに晒されるので、ゲート絶縁膜３０と同時にエッチングされる。これにより、絶縁膜リング３２の内縁部４５と外縁部４６との間に段差（厚さの差）が生じる。

[0052] 次に、図５Ｈに示すように、フォトレジスト５４を除去した後、ＣＶＤ法により、貫通孔５６内に露出している表面パッド３３が覆われるように、貫通孔５６の内面およびＳｉ基板２９の裏面１４にビア絶縁膜３５を形成する。

次に、図５Ｉに示すように、エッチバックにより、ビア絶縁膜３５における貫通孔５６の開口端に臨む部分、具体的には、表面パッド３３上の部分（底面部分）および絶縁膜リング３２の内縁部４５上の部分を選択的に除去する。これにより、貫通孔５６内に表面パッド３３（下側パッド３９）が再度露出する。

[0053] 次に、図５Ｊに示すように、ビア絶縁膜３５の表面にシード膜（たとえば、Ｔｉ／Ｃｕの積層膜）をスパッタした後、電解めっきにより、当該シード膜からＣｕをめっき成長させる。これにより、貫通孔５６におけるビア絶縁膜３５の内側にＣｕ（電極材料）が充填され、表面パッド３３に電気的に接続された貫通電極１７が形成される。

次に、図５Ｋに示すように、研磨面がビア絶縁膜３５の裏面部４９と面一に揃うまで、貫通電極１７の余分な部分（貫通孔５６外の部分）をＣＭＰ（Chemical Mechanical Polishing）法により研磨して除去する。

[0054] その後、図５Ｌに示すように、各貫通電極１７に１つずつ裏面バンプ１９を形成し、図５Ｍに示すように、Ｓｉ基板２９をガラス基板５３から取り外すことにより、図４の演算チップ４が得られる。

以上、この実施形態の方法によれば、図５Ａに示すように、表面パッド３３の位置に対向する開口４２を有する絶縁膜リング３２を予め形成する。そのため、当該絶縁膜リング３２上に表面パッド３３を形成した後、Ｓｉ基板２９を裏面１４から表面パッド３３へ向かってエッチングする図５Ｆの工程において、理想のエッチング位置（絶縁膜リング３２の開口４２の位置）と実際のエッチング位置との間にギャップが生じていても、ドライエッチングが絶縁膜リング３２に到達した後は、絶縁膜リング３２（SiO_2）とＳｉ基板

２９とのエッチングレートの差を利用して（絶縁膜リング３２をマスクとして利用して）、当該エッチングを開口４２へガイドすることができる。

[0055] そのため、当該エッチングにより形成される貫通孔５６のボトム部を、絶縁膜リング３２の開口４２位置に固定するとともに、表面パッド３３の幅W_1よりも細くすることができる。すなわち、絶縁膜リング３２の開口４２に対向するように配置された表面パッド３３に対して、貫通孔５６を自己整合的に到達させることができる。その結果、貫通孔５６にＣｕをめっき成長させることにより、表面パッド３３に対して貫通電極１７を確実にコンタクトさせることができる。

[0056] 従って、貫通孔５６を形成するときのパターニングの合わせ精度を考慮して、貫通孔５６の径R_3よりも表面パッド３３を常に大きく設計していた従来とは異なり、この実施形態によれば、表面パッド３３の大きさ（幅W_1）に関わらず、表面パッド３３に到達する貫通孔５６を正確に形成することができる。よって、表面パッド３３の大きさの自由度を広げることができる。

[0057] これにより、演算チップ４では、貫通電極１７の微細化を行なう場合に、従来に比べて表面パッド３３を縮小化できる。その結果、貫通電極１７を高密度に設けることができるので、小型、大容量および高機能の半導体チップ

を実現することができる。

また、表面パッド３３の縮小化により、互いに隣り合う表面パッド３３の間のスペースを広げることができるので、そのスペースを有効利用して、パッド間配線３４を敷設することができる。

[0058] なお、この実施形態の方法では、貫通電極１７のボトム部４３を固定する絶縁膜リング３２を表面パッド３３に対して精密に位置合わせする必要があるが、絶縁膜リング３２と表面パッド３３とはゲート絶縁膜３０の厚さ程度しか離れていないので、公知の方法でも精密に位置合わせすることができる。

また、演算チップ４によれば、裏面バンプ１９を介して貫通電極１７（本体部４４）の裏面１４側の端部に力が加わっても、本体部４４に重なっている絶縁膜リング３２（内縁部４５）が緩衝材として働くので、表面パッド３３に伝わる力を低減することができる。その結果、たとえば、演算チップ４を樹脂インタポーザ２に実装する時に、表面パッド３３がダメージを受けることを防止することができる。

[0059] また、演算チップ４によれば、絶縁膜リング３２の内縁部４５の厚さT_1分、貫通電極１７（本体部４４）の表面１３側の端部が裏面１４側に後退しているので、貫通電極１７のアスクペクト比（貫通電極１７の高さ／貫通電極１７の径R_3）を小さくすることができる。そのため、貫通孔５６に電極材料を充填するときのステップカバレッジ（段差被膜性）を向上させることができる。

[0060] また、演算チップ４によれば、貫通電極１７とＳｉ基板２９との間のリーク電流も防止することができる。

すなわち、図５Ｉの工程において、表面パッド３３を露出させるためにビア絶縁膜３５の底面部分をエッチバックにより除去することになるが、貫通孔５６の内面のビア絶縁膜３５（本体部４８およびボトム部４７）をそれほど厚いものではない。そのため、エッチバックの際、貫通孔５６のボトム部の側面に形成されたビア絶縁膜３５も一緒に除去されてしまうおそれがある

。

[0061] そこで、この実施形態では、たとえ貫通孔５６のボトム部側面のビア絶縁膜３５が除去されてしまっても、その周りに絶縁膜リング３２が存在しているので、貫通電極１７とＳｉ基板２９との絶縁状態を保持することができる。その結果、貫通電極１７とＳｉ基板２９との間のリーク電流を防止することができる。

そして、図１の電子部品１によれば、上記した演算チップ４およびＳｉインタポーザ５が搭載されているので、演算チップ４およびＳｉインタポーザ５に貫通電極１７を高密度に設けることにより、小型化、大容量化および高機能化を実現することができる。

[0062] 以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、貫通電極１７は、楕円柱状、四角柱状、六角柱状、八角柱状であってもよく、絶縁膜リング３２も、楕円環状、四角環状、六角環状、八角環状であってもよい。

また、図５Ｊの工程において、貫通電極１７は、ＣＶＤ法を用いてポリシリコンを貫通孔５６に充填することにより形成することができる。ただし、その場合にはＳｉ基板２９およびガラス基板５３が高温に晒されるので、接着剤５２が溶けないように対策を施す必要がある。つまり、接着剤５２の耐熱温度が比較的低温（２００℃程度）である場合には、前述の実施形態のように、電解めっき法を採用することが好ましい。

[0063] また、図５Ａの工程において、絶縁膜リング３２を形成する工程は、Ｓｉ基板２９に素子分離領域を形成するＳＴＩ工程と同一工程で行ったが、独立して行ってもよい。また、絶縁膜リング３２を形成する工程は、Ｓｉ基板２９の表面１３に熱酸化により絶縁膜を形成する工程と、当該絶縁膜をパターニングすることにより、Ｓｉ基板２９の表面１３に対して突出するように絶縁膜リング３２を形成する工程とを含んでいてもよい。

[0064] その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施す

ことが可能である。

符号の説明

[0065] １　電子部品

２　樹脂インタポーザ

３　（樹脂インタポーザの）表面

４　演算チップ

５　Ｓｉインタポーザ

６　メモリチップ

７　樹脂パッケージ

８　電源系配線

９　信号系配線

１０　（樹脂インタポーザの）裏面

１１　外部端子

１２　論理・制御回路

１３　（演算チップの）表面

１４　（演算チップの）裏面

１５　（Ｓｉインタポーザの）表面

１６　（Ｓｉインタポーザの）裏面

１７　（演算チップの）貫通電極

１８　（Ｓｉインタポーザの）貫通電極

１９　（演算チップの）裏面バンプ

２０　（Ｓｉインタポーザの）裏面バンプ

２１　メモリセルアレイ

２２　制御回路

２３　（メモリチップの）裏面

２４　（メモリチップの）裏面バンプ

２５　（演算チップの）中央部

２６　（演算チップの）周縁部

２７　（Ｓｉインタポーザの）中央部

２８　（Ｓｉインタポーザの）周縁部

２９　Ｓｉ基板

３０　ゲート絶縁膜

３１　層間絶縁膜

３２　絶縁膜リング

３３　表面パッド

３４　パッド間配線

３５　ビア絶縁膜

３６　表面バンプ

３７　第１層間絶縁膜

３８　第２層間絶縁膜

３９　下側パッド

４０　上側パッド

４１　ビア

４２　（絶縁膜リングの）開口

４３　（貫通電極の）ボトム部

４４　（貫通電極の）本体部

４５　（絶縁膜リングの）内縁部

４６　（絶縁膜リングの）外縁部

４７　（ビア絶縁膜の）ボトム部

４８　（ビア絶縁膜の）本体部

４９　（ビア絶縁膜の）裏面部

５０　ビア

５１　シャロートレンチ

５２　接着剤

５３　ガラス基板

５４　フォトレジスト

５５　（フォトレジストの）開口

５６　貫通孔

請求の範囲

[請求項1] 半導体基板と、

前記半導体基板の表面に選択的に形成された複数の絶縁膜リングと、

前記絶縁膜リングの開口を通過して、前記半導体基板の前記表面と裏面との間を貫通する貫通電極と、

前記貫通電極と前記半導体基板との間に設けられたビア絶縁膜と、

前記半導体基板の前記表面の前記絶縁膜リングに対して前記表面側に離間して、前記開口に対向して形成され、前記貫通電極に電気的に接続された表面電極とを含む、半導体装置。

[請求項2] 前記貫通電極は、前記開口内のボトム部と、前記開口外の本体部とを含み、

前記本体部は、前記開口を区画する前記絶縁膜リングの内縁部に重なるように、前記開口に対して横方向へ張り出している、請求項１または２に記載の半導体装置。

[請求項3] 前記貫通電極の前記本体部は、前記表面電極の径と同じかそれ以上の径を有している、請求項２に記載の半導体装置。

[請求項4] 前記絶縁膜リングの前記内縁部は、前記絶縁膜リングの外形を画成する外縁部よりも薄く形成されている、請求項２または３に記載の半導体装置。

[請求項5] 前記絶縁膜リングは、前記半導体基板の前記表面に対して前記裏面側へ埋め込まれている、請求項１～４のいずれか一項に記載の半導体装置。

[請求項6] 前記半導体装置は、互いに隣り合う複数の前記表面電極の間に敷設された配線を含む、請求項１～５のいずれか一項に記載の半導体装置。

[請求項7] 前記表面電極は、層間絶縁膜を介して積層された多層電極を含む、請求項１～６のいずれか一項に記載の半導体装置。

[請求項8] 前記半導体装置は、前記貫通電極との間に前記表面電極が置かれるように前記貫通電極の直上位置に配置された、外部接続用の表面バンプを含む、請求項１～７のいずれか一項に記載の半導体装置。

[請求項9] 前記半導体装置は、前記貫通電極の前記裏面側の端部に配置された、外部接続用の裏面バンプを含む、請求項１～８のいずれか一項に記載の半導体装置。

[請求項10] 前記絶縁膜リングは、円環状に形成されている、請求項１～９のいずれか一項に記載の半導体装置。

[請求項11] 前記貫通電極は、円柱状に形成されている、請求項１～１０のいずれか一項に記載の半導体装置。

[請求項12] 前記半導体基板の前記表面は、複数の半導体素子が形成された素子形成面を含む、請求項１～１１のいずれか一項に記載の半導体装置。

[請求項13] 裏面に複数の外部端子を有するインタポーザと、

前記インタポーザの表面に、前記表面が上方に向く姿勢で積層された請求項１～１２のいずれか一項に記載の半導体装置と、

複数の裏面バンプを有し、当該裏面バンプが前記貫通電極に電気的に接続されるように

前記半導体装置の前記表面に積層された第２半導体装置と、

前記半導体装置および前記第２半導体装置を封止する樹脂パッケージとを含む、電子部品。

[請求項14] 半導体基板の表面に、複数の絶縁膜リングを選択的に形成する工程と、

前記絶縁膜リングに対して前記半導体基板の反対側に、前記開口に対向するように表面電極を形成する工程と、

前記半導体基板を裏面からエッチングすることにより、前記絶縁膜リングの前記開口を通過して前記表面電極に達する貫通孔を形成する工程と、

前記貫通孔の側面にビア絶縁膜を形成する工程と、

前記ビア絶縁膜が形成された前記貫通孔に電極材料を充填することにより、前記表面電極に電気的に接続されるように貫通電極を形成する工程とを含む、半導体装置の製造方法。

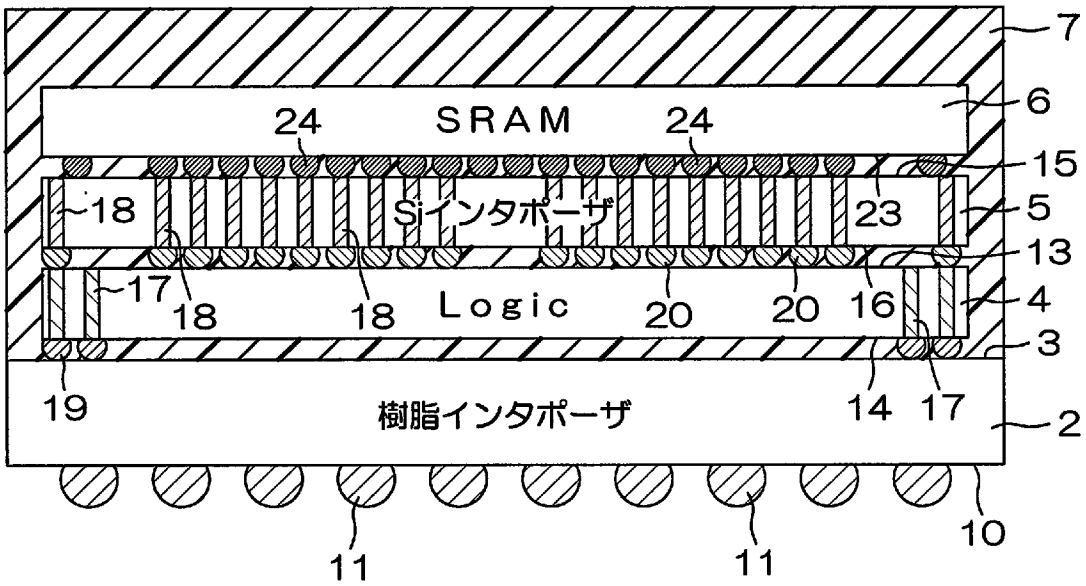
[請求項15] 前記貫通孔を形成する工程は、前記開口を区画する前記絶縁膜リングの内縁部が前記貫通孔内に露出するように、前記開口の径よりも大きいパターン径で前記半導体基板をエッチングする工程を含む、請求項１４に記載の半導体装置の製造方法。

[請求項16] 前記貫通孔を形成する工程は、前記表面電極の径と同じかそれ以上のパターン径で前記半導体基板をエッチングする工程を含む、請求項１４または１５に記載の半導体装置の製造方法。

[請求項17] 前記絶縁膜リングを形成する工程は、前記半導体基板を前記表面からエッチングすることによりシャロートレンチを形成する工程と、前記シャロートレンチに絶縁材料を充填することにより、前記絶縁膜リングを前記半導体基板の前記表面に対して前記裏面側へ埋め込むように形成する工程とを含む、請求項１４～１６のいずれか一項に記載の半導体装置の製造方法。

[図1]

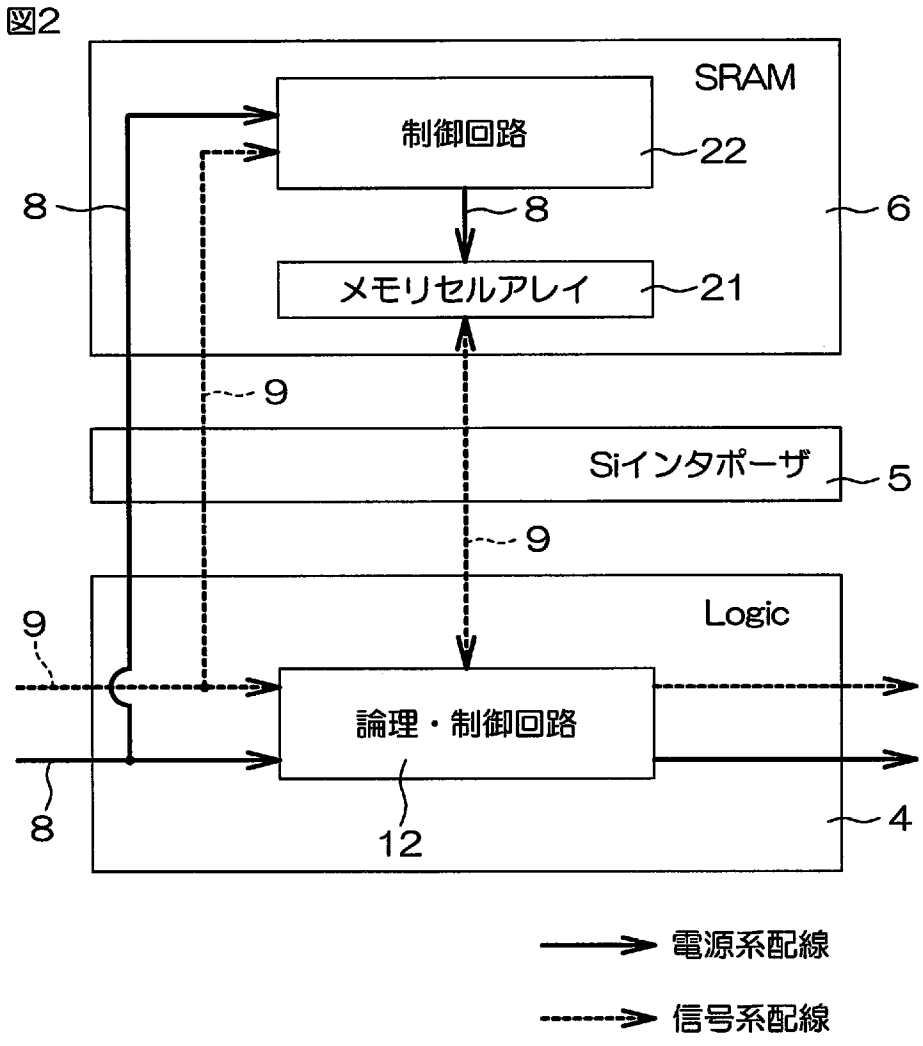
図1


7
6
24
SRAM
24
15
18
Siインタポーザ
23
5
13
17
18
18
Logic
20
20
16
4
3
19
樹脂インタポーザ
14
17
2
10
11
11

1

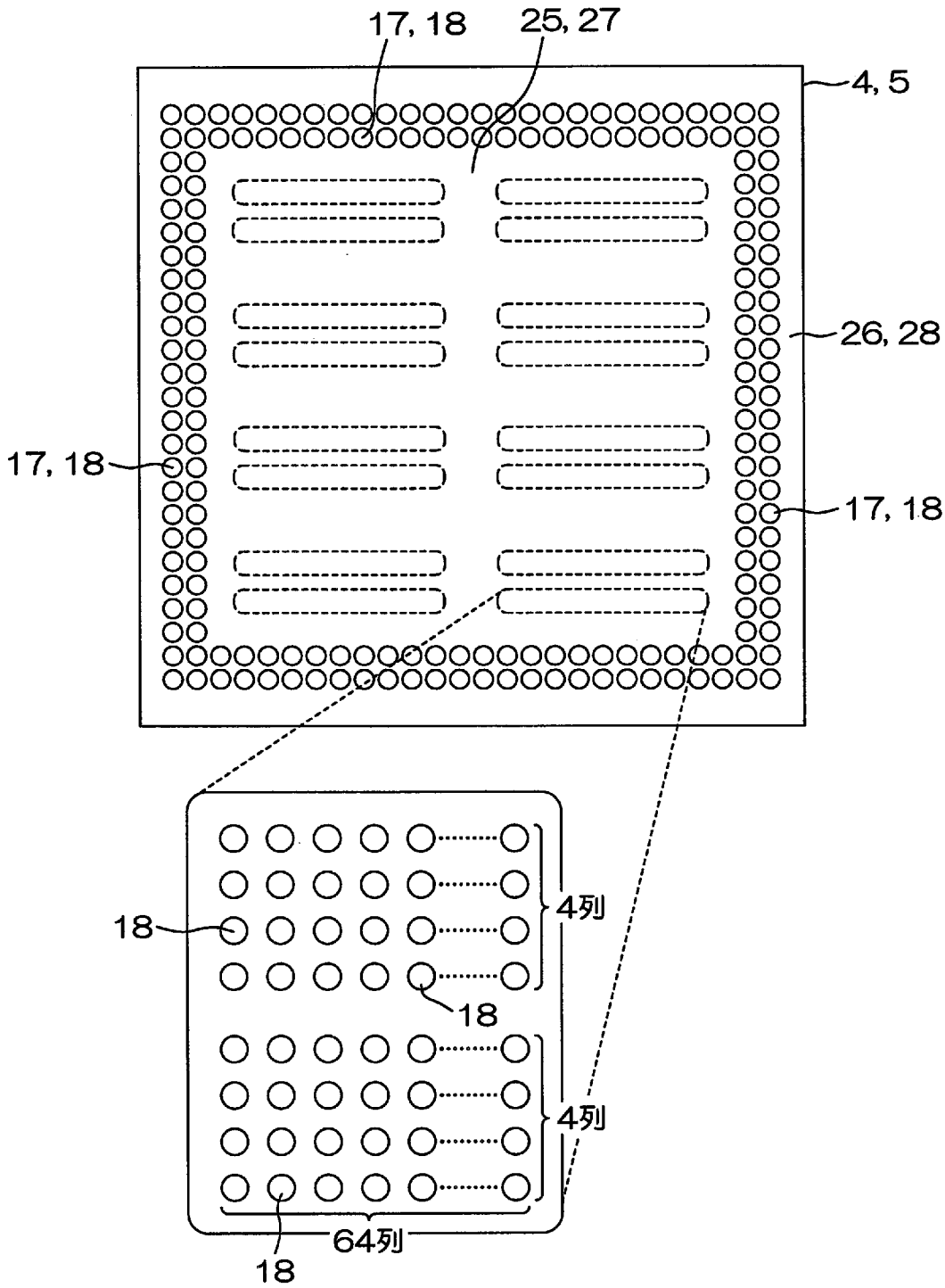
[図2]

図2


SRAM
制御回路
22
8
8
6
メモリセルアレイ
21
9
Siインタポーザ
5
9
Logic
9
論理・制御回路
8
12
4
電源系配線
信号系配線

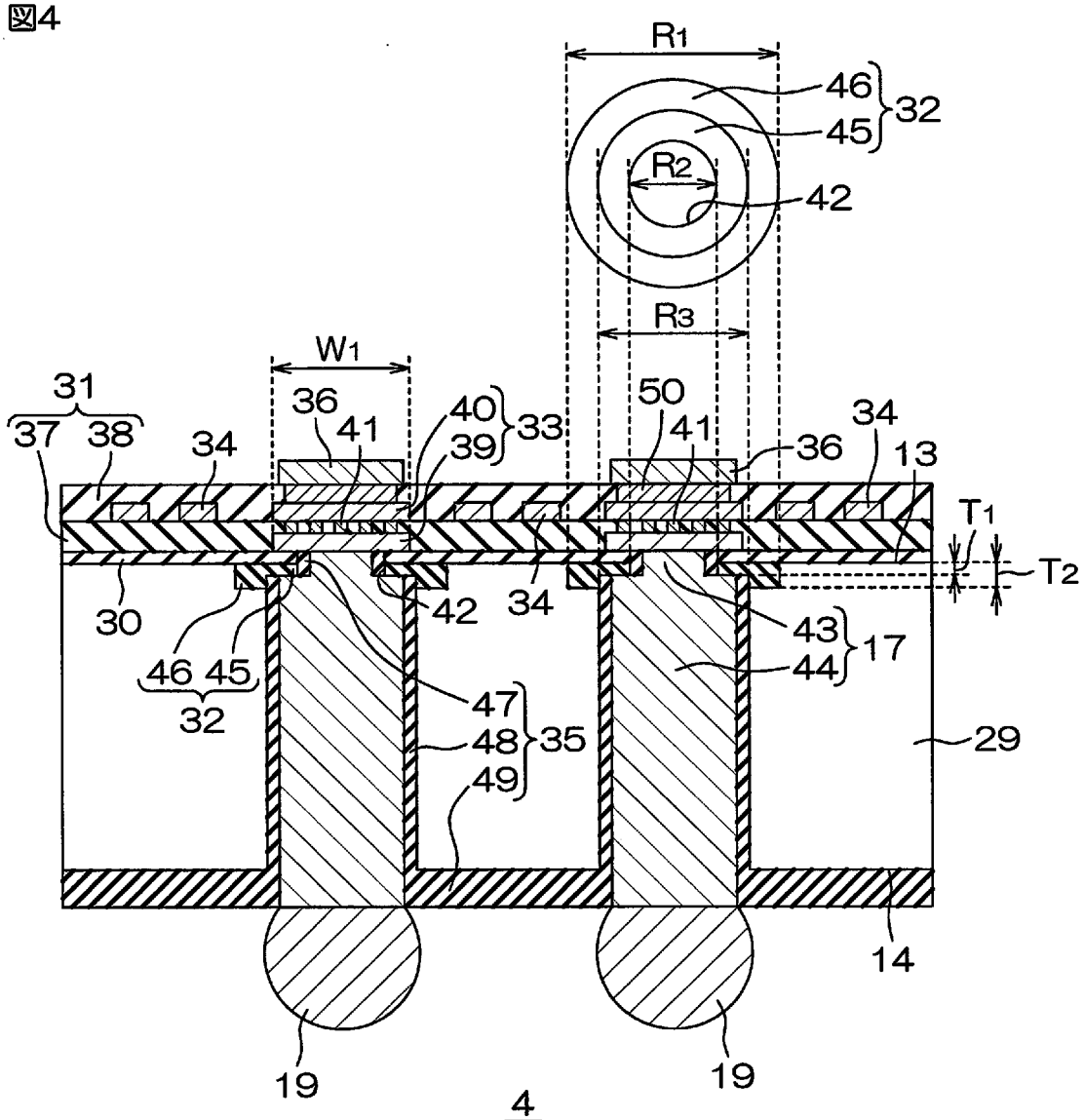
[図3]

図3



[図4]

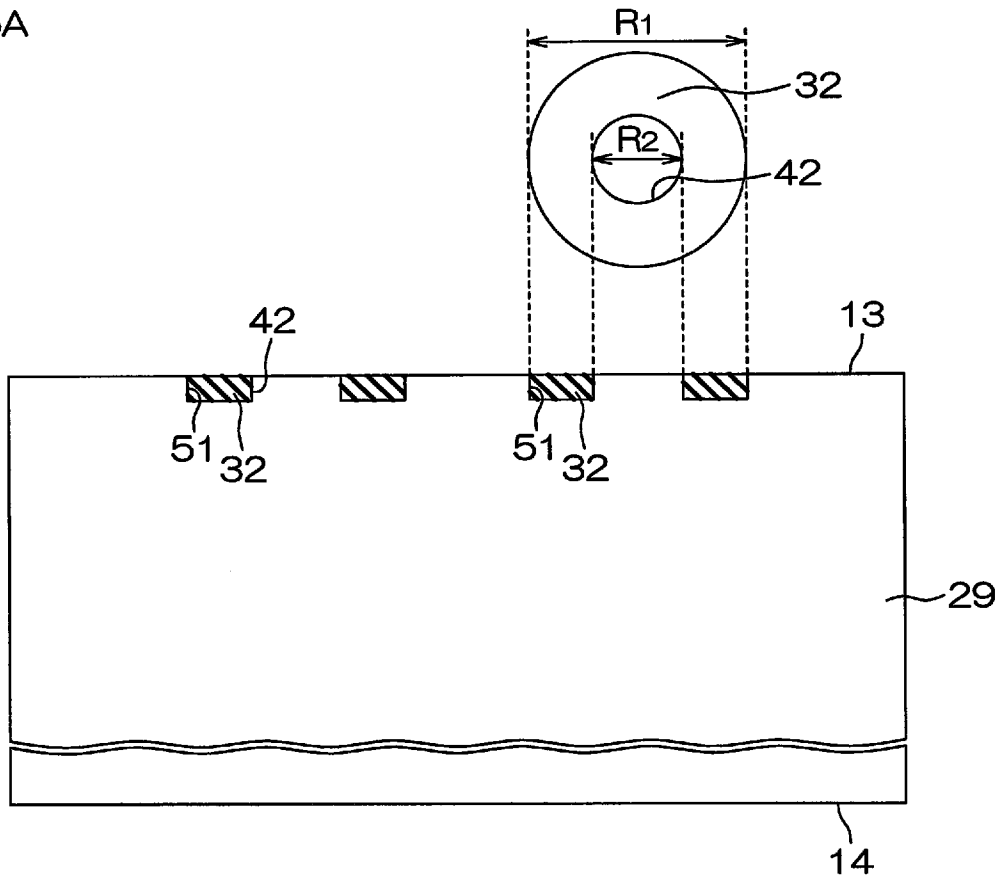
図4


R1
46
45
32
R2
42
R3
W1
31
37
38
34
36
41
40
39
33
50
41
36
34
13
T1
T2
30
42
34
43
44
17
46
45
32
47
48
49
35
29
14
19
19

4

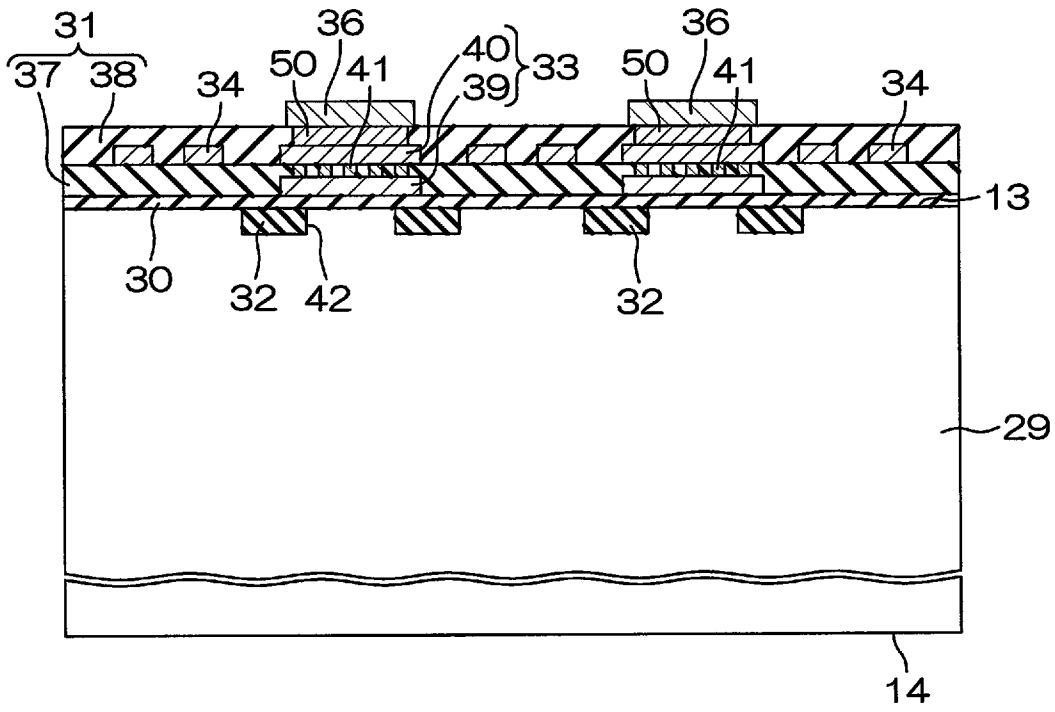
[図5A]

図5A



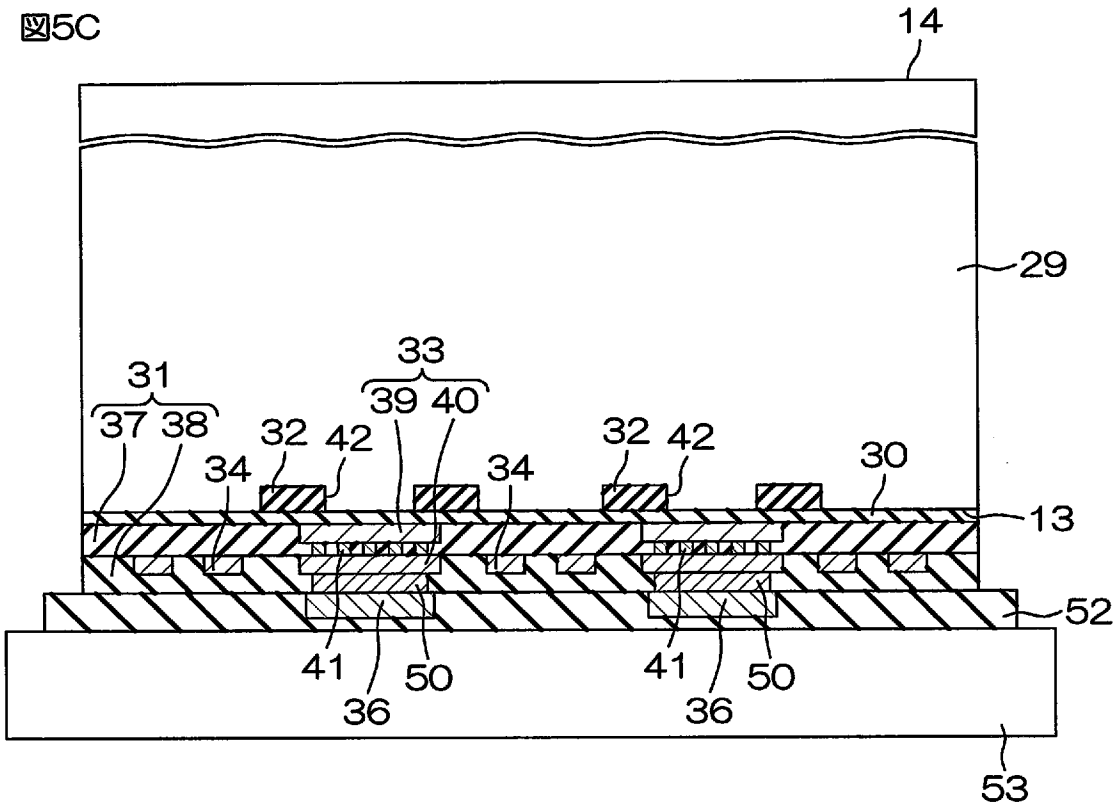
[図5B]

図5B



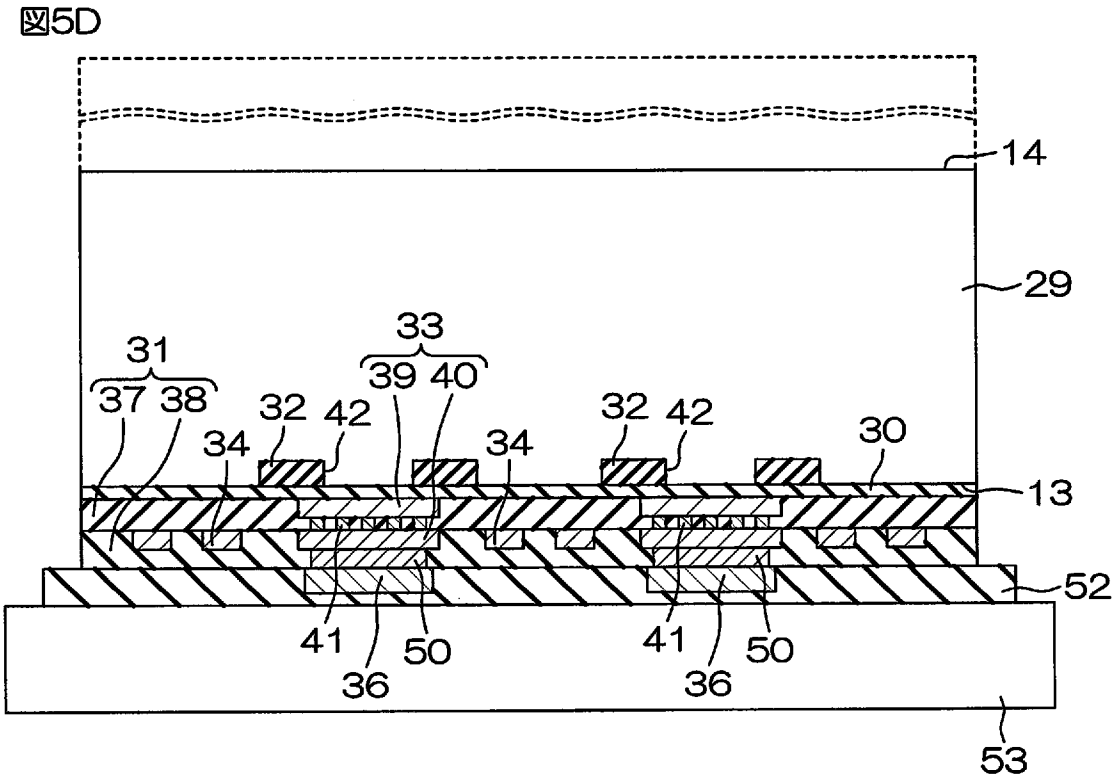
[図5C]

図5C



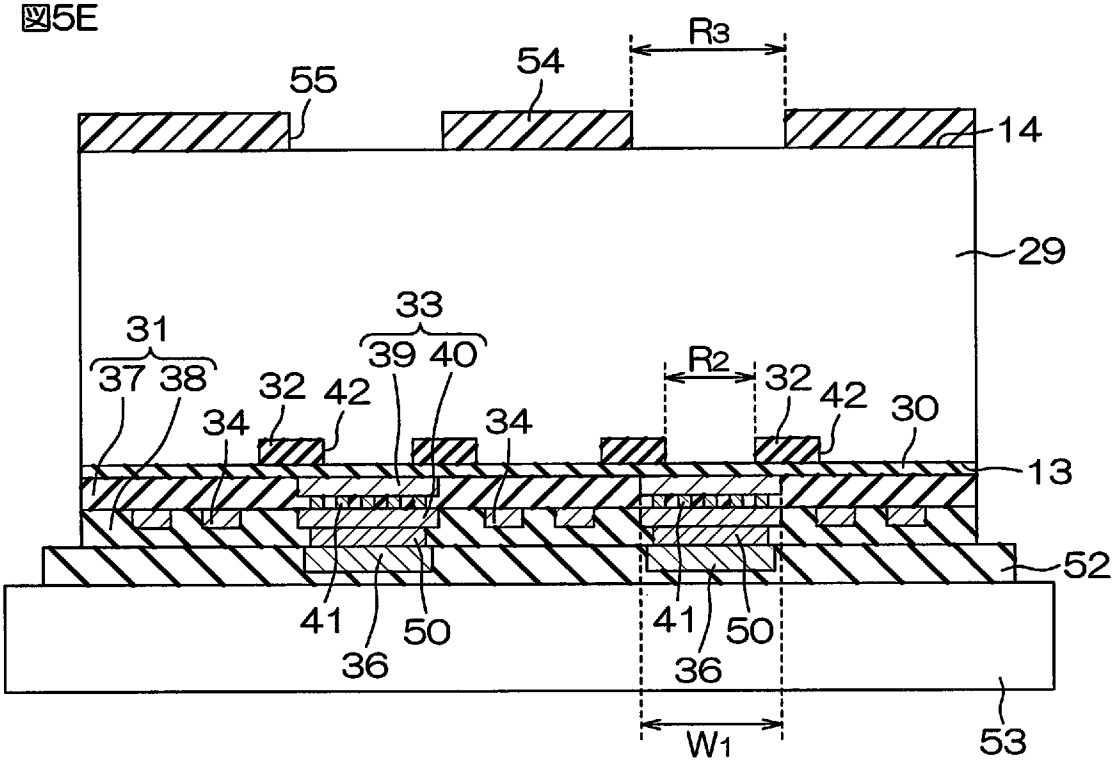
[図5D]

図5D



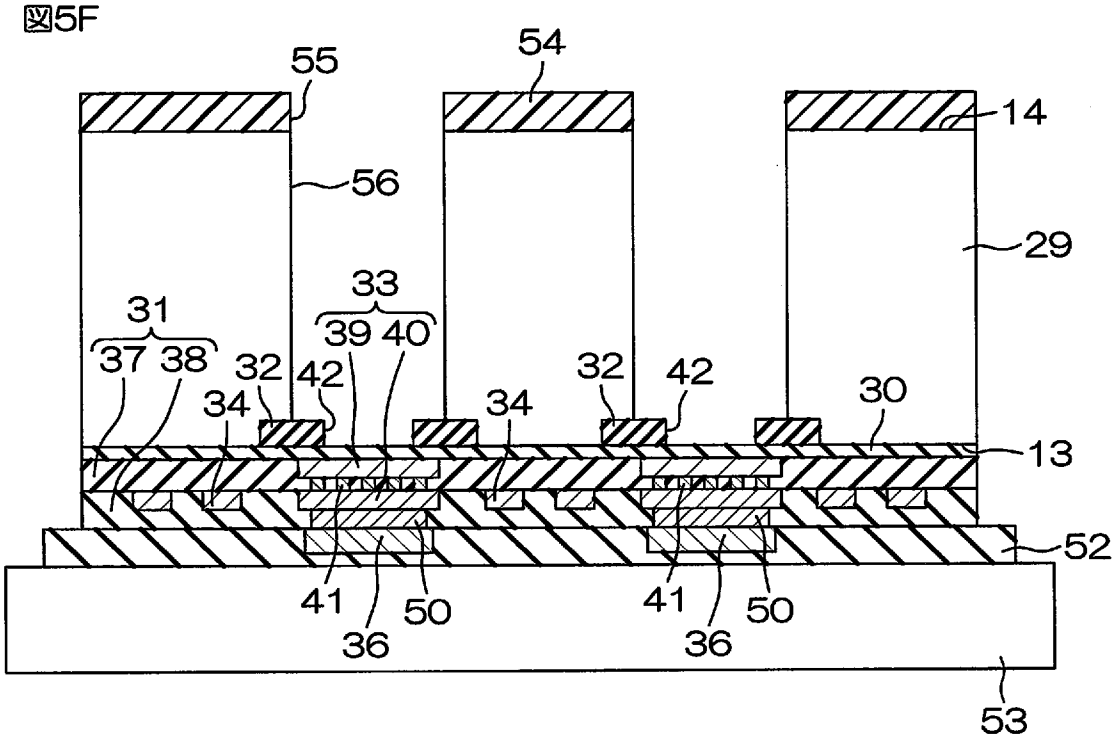
[図5E]

図5E



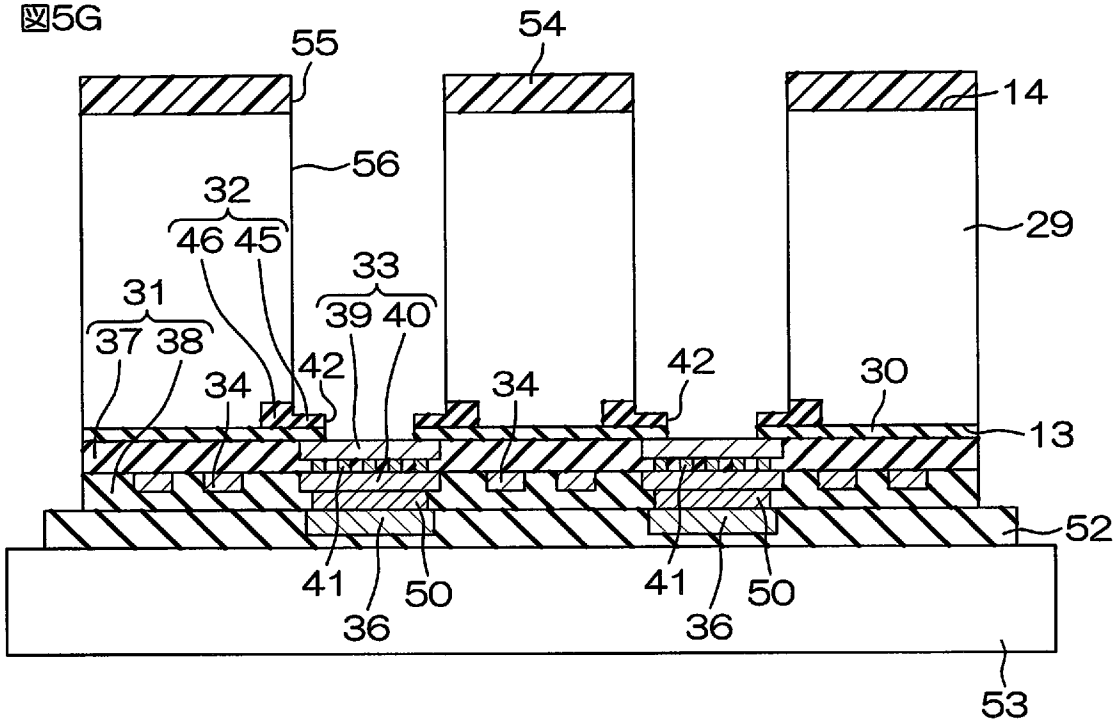
[図5F]

図5F



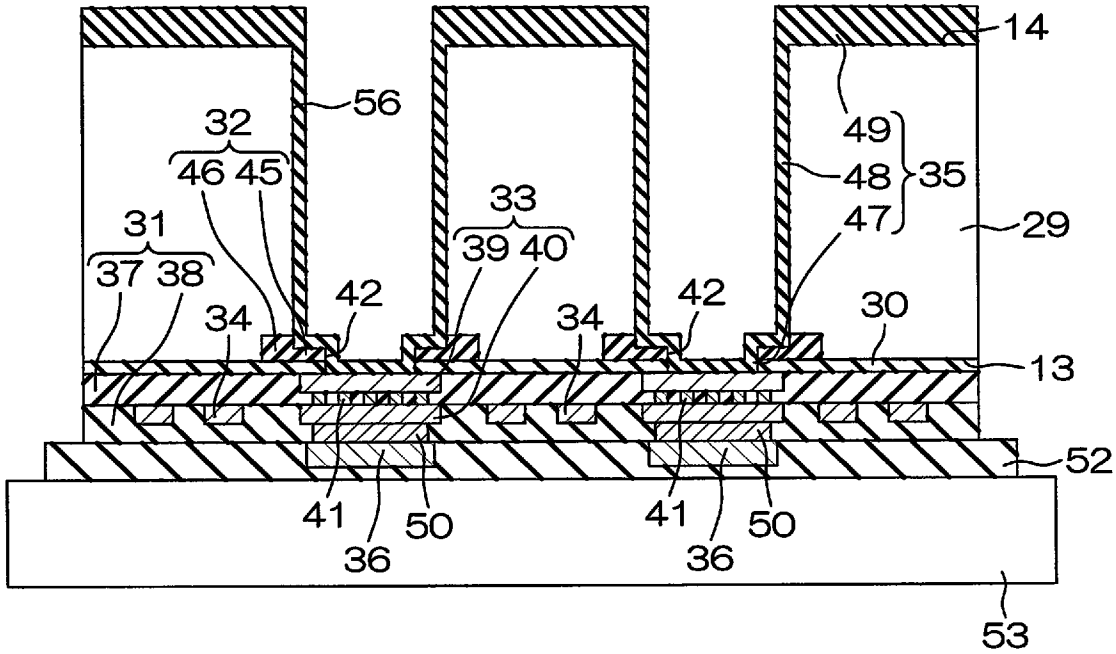
[図5G]

図5G



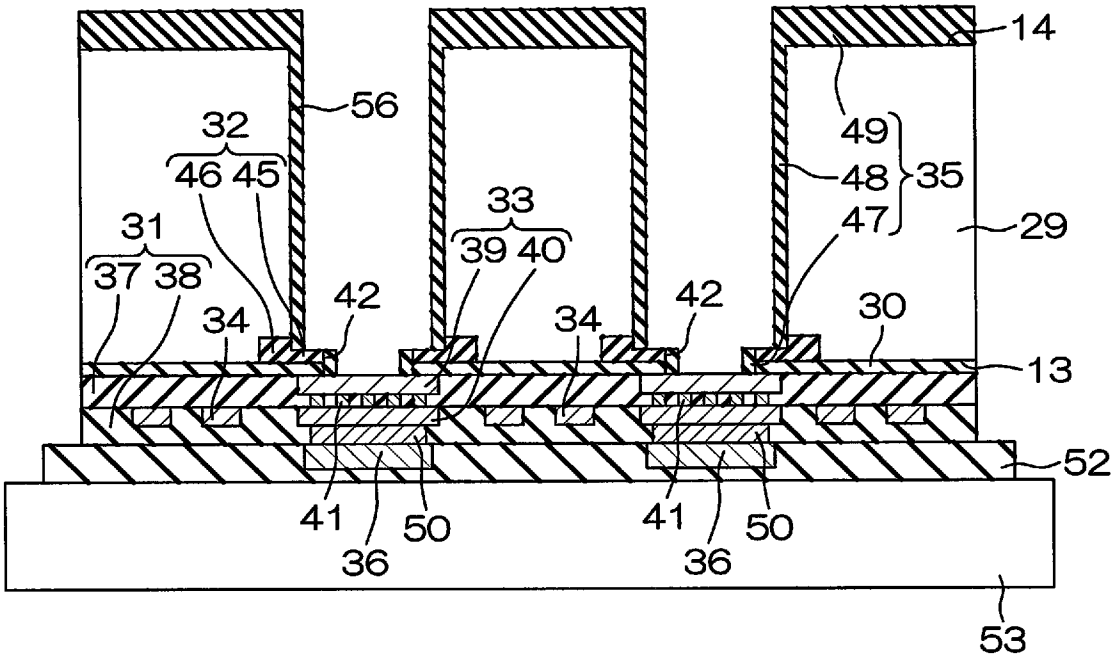
[図5H]

図5H



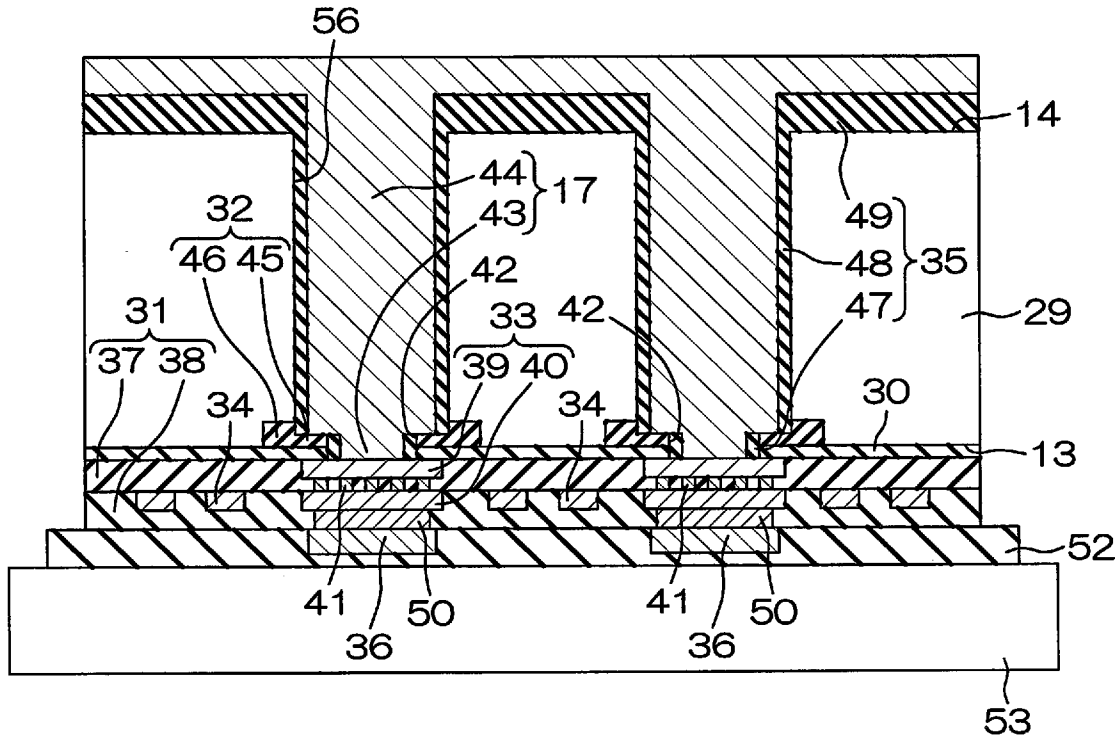
[図5I]

図5 I



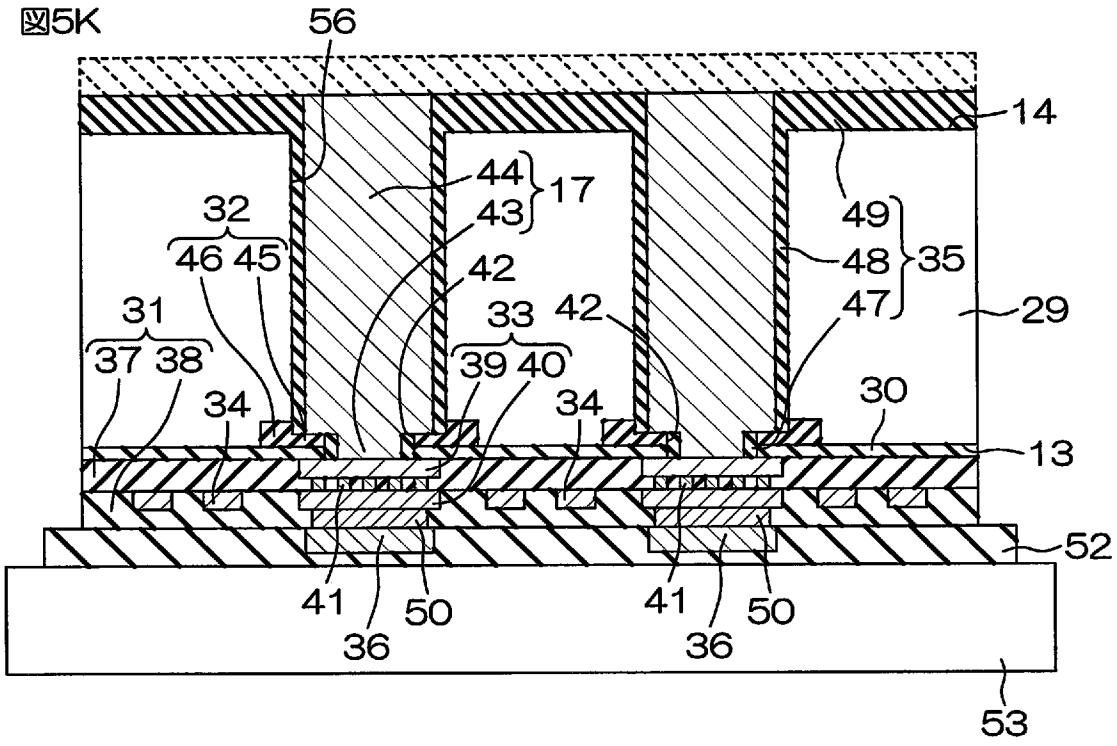
[図5J]

図5J



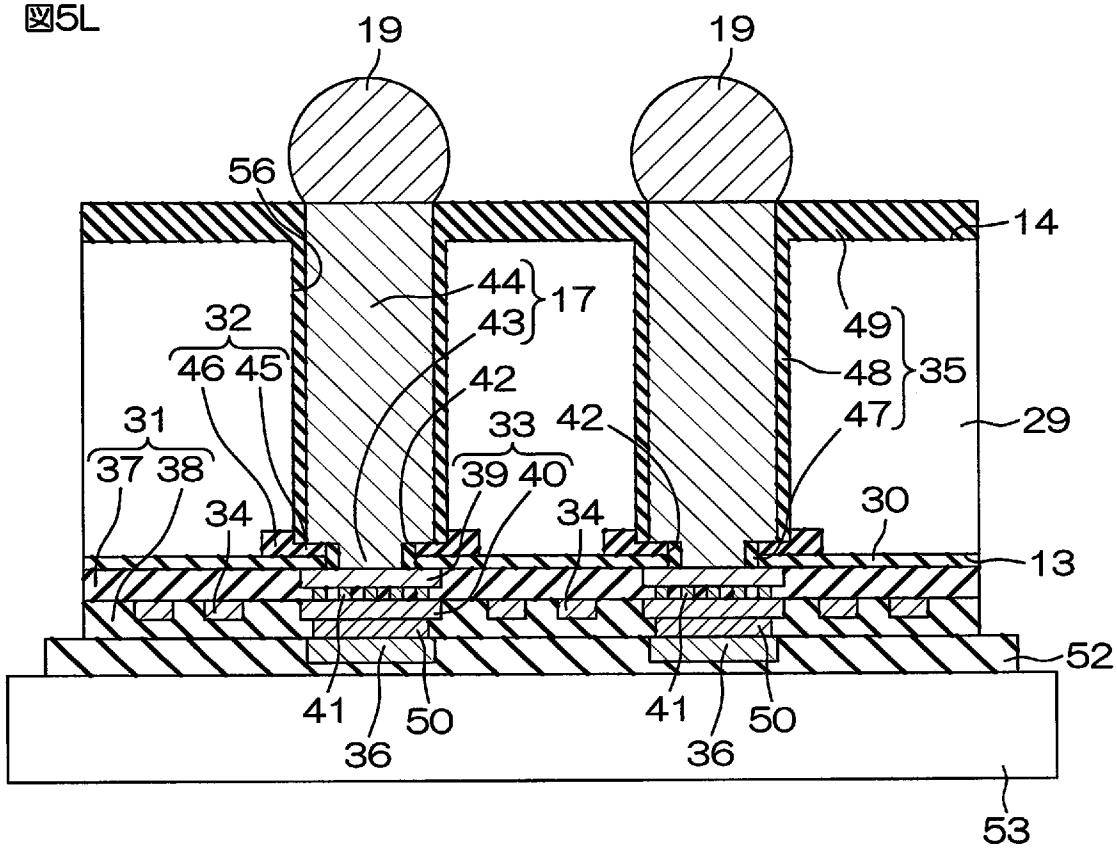
[図5K]

図5K



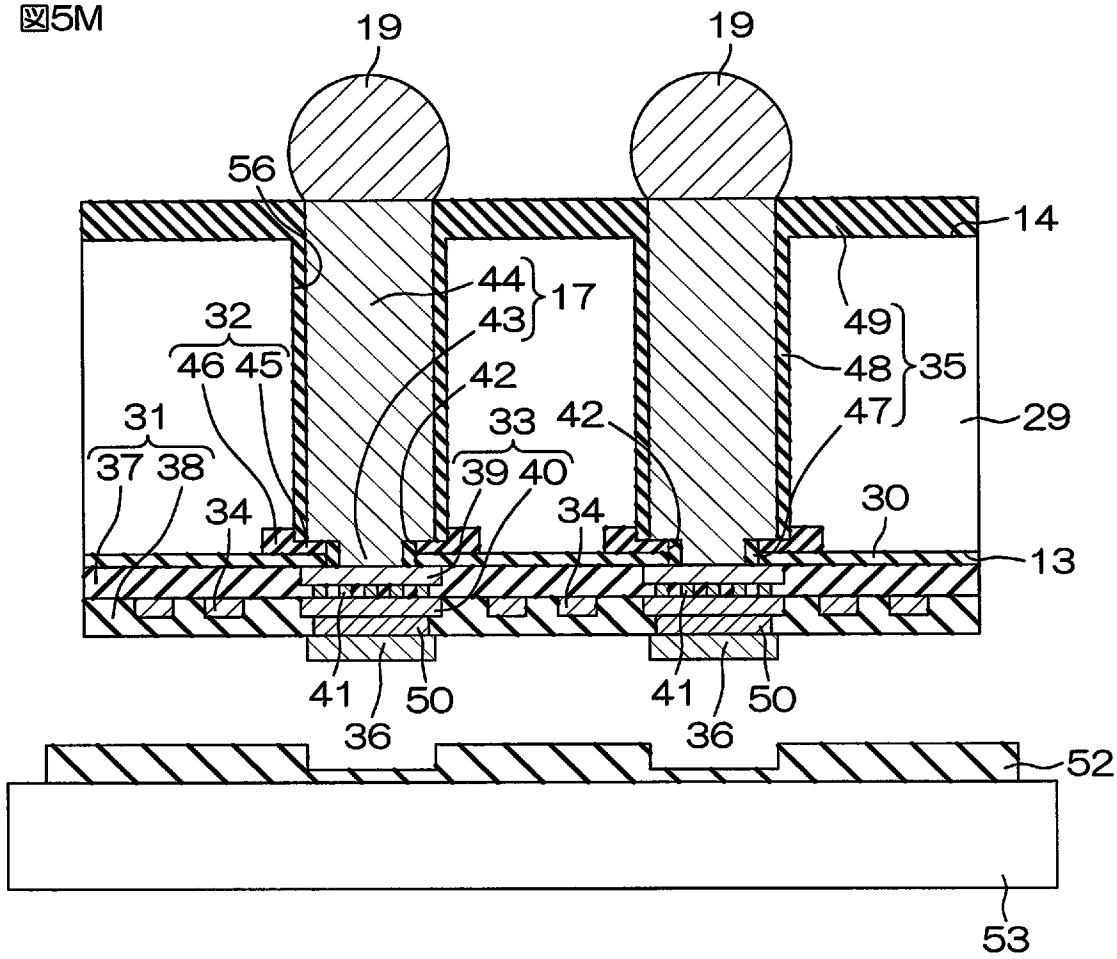
[図5L]

図5L



[図5M]

図5M


19
19
56
14
44
17
43
32
46 45
42
49
48
35
47
29
31
37 38
33
39 40
42
34
34
30
13
41
36
50
41
36
50
52
53

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/079508

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/3205(2006.01)i, *H01L21/768*(2006.01)i, *H01L23/522*(2006.01)i, *H01L25/065*(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/3205, H01L21/768, H01L23/522, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-095849 A (Fujikura Ltd.), 25 March 2004 (25.03.2004), paragraphs [0024] to [0037]; fig. 4 to 6 & US 2004/0043615 A1	1,6,8,9,11, 12 7-13
X Y	JP 2009-295851 A (NEC Electronics Corp.), 17 December 2009 (17.12.2009), paragraphs [0015] to [0050], [0056] to [0067]; fig. 1 to 7, 9 to 11 & US 2009/0302430 A1 & CN 101599477 A	1,2,4,5,8-12 7-17
X Y	JP 2011-029491 A (Toshiba Corp.), 10 February 2011 (10.02.2011), paragraphs [0012] to [0049], [0112] to [0144]; fig. 1, 2, 3A to 3C, 11, 12, 13A to 13C & US 2011/0024849 A1	1-3,5,11,12 7-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 February, 2013 (12.02.13)	19 February, 2013 (19.02.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/079508

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-100963 A (Elpida Memory, Inc.), 19 May 2011 (19.05.2011), paragraphs [0014] to [0018], [0024] to [0025]; fig. 1, 3 & US 2011/0084400 A1	7-13
Y	JP 2000-031144 A (Fujitsu Ltd.), 28 January 2000 (28.01.2000), paragraphs [0055] to [0063]; fig. 11 to 13 (Family: none)	14-17

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０７９５０８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3205, H01L21/768, H01L23/522, H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2004-095849 A (株式会社フジクラ) 2004.03.25, 段落【0024】-【0037】, 図 4-6	1, 6, 8, 9, 11, 12
Y	& US 2004/0043615 A1	7-13
X	JP 2009-295851 A (ＮＥＣエレクトロニクス株式会社) 2009.12.17, 段落【0015】-【0050】,【0056】-【0067】, 図 1-7, 9-11	1, 2, 4, 5, 8-12
Y	& US 2009/0302430 A1 & CN 101599477 A	7-17

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０２．２０１３	１９．０２．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　４５４９
長谷川　直也
電話番号　０３－３５８１－１１０１　内線　３５５９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2011-029491 A (株式会社東芝) 2011.02.10, 段落【0012】-【0049】,【0112】-【0144】, 図 1, 2, 3A-3C, 11, 12, 13A-13C & US 2011/0024849 A1	1-3, 5, 11, 12 7-17
Y	JP 2011-100963 A (エルピーダメモリ株式会社) 2011.05.19, 段落【0014】-【0018】, 【0024】-【0025】, 図 1, 3 & US 2011/0084400 A1	7-13
Y	JP 2000-031144 A (富士通株式会社) 2000.01.28, 段落【0055】-【0063】, 図 11-13 (ファミリーなし)	14-17