



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200945557 A1

(43)公開日：中華民國 98 (2009) 年 11 月 01 日

(21)申請案號：098104783

(22)申請日：中華民國 98 (2009) 年 02 月 13 日

(51)Int. Cl.：

H01L27/092 (2006.01)

H01L29/73 (2006.01)

H01L21/8248(2006.01)

H01L21/76 (2006.01)

(30)優先權：2008/02/14

美國

12/069,941

(71)申請人：先進類比科技有限公司 (美國) ADVANCED ANALOGIC TECHNOLOGIES, INC.

(US)

美國

(72)發明人：迪士尼 唐諾 R DISNEY, DONALD R. (US)；威廉斯 理查 K WILLIAMS,

RICHARD K. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：76 項 圖式數：13 共 107 頁

(54)名稱

絕緣互補金氧半導體及雙極電晶體及其絕緣結構以及其製造方法

ISOLATED CMOS AND BIPOLAR TRANSISTORS, ISOLATION STRUCTURES THEREFOR AND METHODS OF FABRICATING THE SAME

(57)摘要

在 P 型半導體基板中形成之絕緣互補金氧半導體(CMOS)電晶體包括一 N 型埋入式底部絕緣區及一自該基板之表面向下延伸至底部絕緣區之填充溝槽。該底部絕緣區與該填充溝槽一起形成基板之絕緣凹穴，該絕緣凹穴含有 N 井中之 P 通道金氧半導體場效電晶體(MOSFET)及 P 井中之 N 通道 MOSFET。基板不含有磊晶層，從而克服與磊晶層製造有關之諸多問題。

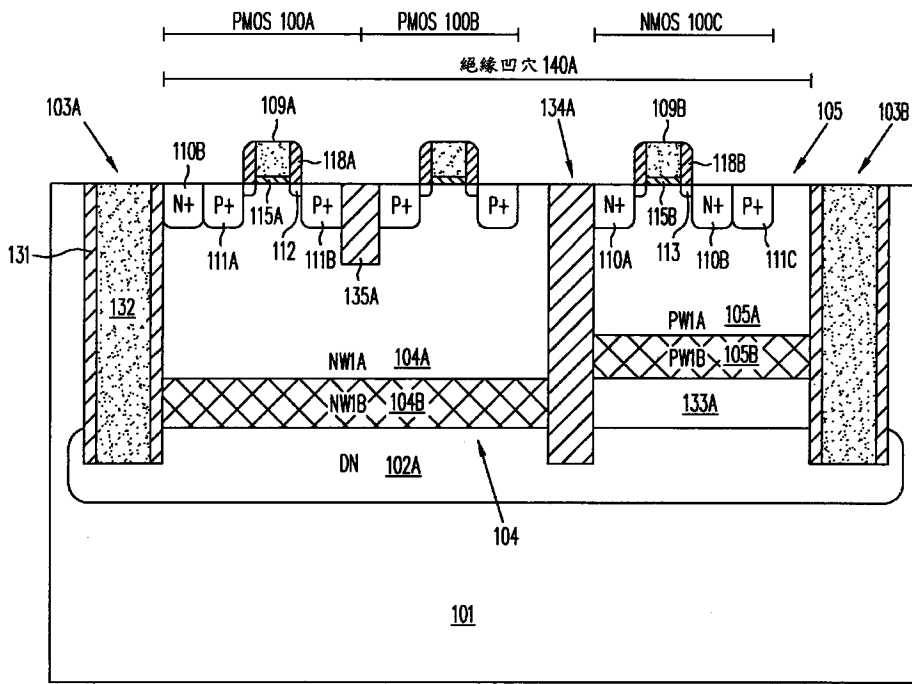


圖1A

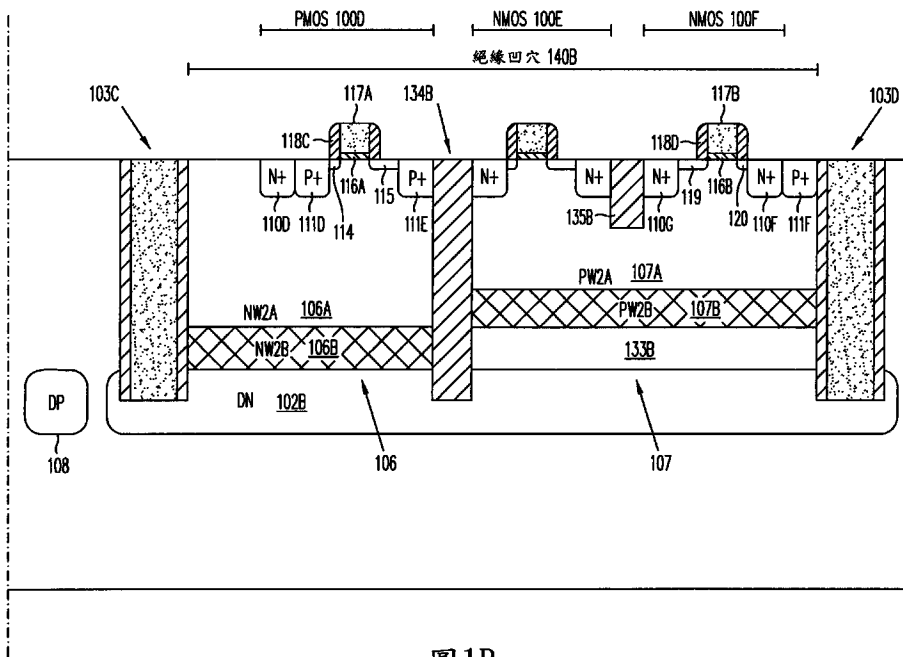


圖1B

100A : PMOS

100B : PMOS

100C : NMOS

100D : PMOS

100E : NMOS

100F : NMOS

101 : 基板

102A : DN 底部絕緣區

102B : DN 底部絕緣區

103A : 填充溝槽

103B : 填充溝槽

103C : 再填充溝槽

103D : 再填充溝槽

104 : N 型井

104A : 頂部部分

104B : 較深部分

105 : P 型井

105A : 頂部部分

105B : 較深部分

106 : N 型井

106A : 頂部部分

106B : 較深部分

107 : P 型井

107A : 頂部部分

107B : 較深部分

108 : 深 P 型區

109A : 閘極

109B : 閘極

110A : N+汲極

110B : N+源極

110F : N+源極

110G : N+汲極

111A : P+源極

111B : P+汲極

111C : P+接點區

111D : P+源極

111E：P+汲極
111F：P+接點區
112：下伏 P 型輕微摻雜汲極/LDD 漂移區
113：下伏 NLDD1/LDD 漂移區
114：源極延伸部分
115：輕微摻雜汲極延伸部分
115A：第一閘極氧化物層
115B：第一閘極氧化物層
116A：第二閘極氧化物層
116B：第二閘極氧化物層
117A：閘極
117B：閘極
118A：側壁間隔區
118B：側壁間隔區
118C：側壁間隔區
118D：側壁間隔區
119：輕微摻雜汲極延伸部分
120：源極延伸部分
131：介電材料層
132：導電材料
133A：P 型區
133B：P 型層
134A：溝槽
134B：溝槽
135A：再填充溝槽
135B：再填充溝槽
140A：絕緣凹穴
140B：絕緣凹穴



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200945557 A1

(43)公開日：中華民國 98 (2009) 年 11 月 01 日

(21)申請案號：098104783

(22)申請日：中華民國 98 (2009) 年 02 月 13 日

(51)Int. Cl.：

H01L27/092 (2006.01)

H01L29/73 (2006.01)

H01L21/8248(2006.01)

H01L21/76 (2006.01)

(30)優先權：2008/02/14

美國

12/069,941

(71)申請人：先進類比科技有限公司 (美國) ADVANCED ANALOGIC TECHNOLOGIES, INC.

(US)

美國

(72)發明人：迪士尼 唐諾 R DISNEY, DONALD R. (US)；威廉斯 理查 K WILLIAMS,

RICHARD K. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：76 項 圖式數：13 共 107 頁

(54)名稱

絕緣互補金氧半導體及雙極電晶體及其絕緣結構以及其製造方法

ISOLATED CMOS AND BIPOLAR TRANSISTORS, ISOLATION STRUCTURES THEREFOR AND METHODS OF FABRICATING THE SAME

(57)摘要

在 P 型半導體基板中形成之絕緣互補金氧半導體(CMOS)電晶體包括一 N 型埋入式底部絕緣區及一自該基板之表面向下延伸至底部絕緣區之填充溝槽。該底部絕緣區與該填充溝槽一起形成基板之絕緣凹穴，該絕緣凹穴含有 N 井中之 P 通道金氧半導體場效電晶體(MOSFET)及 P 井中之 N 通道 MOSFET。基板不含有磊晶層，從而克服與磊晶層製造有關之諸多問題。

六、發明說明：

【先前技術】

在半導體積體電路(IC)晶片之製造中，通常需要使不同設備與半導體基板電絕緣且使不同設備彼此電絕緣。一種提供設備間橫向絕緣之方法為熟知之矽局部氧化(LOCOS)方法，其中以相對硬之材料(諸如，氮化矽)來遮罩晶片之表面，且在遮罩之開口中熱成長一厚氧化物層。另一方式係在矽中蝕刻一溝槽且接著以諸如氧化矽之介電材料來填充該溝槽，亦稱為溝槽絕緣。雖然LOCOS與溝槽絕緣均可防止設備之間所不需要之表面導電，但其並未促成完全電絕緣。

完全電絕緣對於整合包括雙極接面電晶體之某些類型電晶體及包括功率雙擴散金氧半導體(DMOS)電晶體之各種金屬-氧化物-半導體(MOS)電晶體而言為必需的。完全絕緣亦需在操作期間允許CMOS控制電路浮動至充分高於基板電位之電位。完全絕緣在類比、功率及混合信號積體電路之製造中尤為重要。

雖然習知CMOS晶圓製造提供高密度電晶體整合，但並未促成其所製造設備之完全電絕緣。詳言之，在P型基板中製造之習知CMOS電晶體對中所含之N型金氧半導體(NMOS)電晶體具有短接至基板之其P井“體”或“背閘極”，且因此不會浮動至接地電位以上。此限制為實質性的，防止NMOS用作高端開關、類比傳輸型電晶體或用作雙向開關。其亦使電流感測更困難且通常避免使用使NMOS突崩

更崎嶇所需要之整體式源極-主體短接。此外，因為習知CMOS中之P型基板通常偏壓至最負性晶片上電位(定義為"接地電位")，所以每個NMOS必然經受不需要之基板雜訊。

整合式設備之完全電絕緣通常使用三重擴散、磊晶接面絕緣或介電絕緣來實現。完全電絕緣之最常見形式為接面絕緣。接面絕緣雖然不如其中氧化物環繞各設備或電路之介電絕緣理想，但在製造成本與絕緣效能之間迄今已提供最佳平衡。

對於習知接面絕緣而言，將CMOS電絕緣需要一複雜結構，其包含成長於P型基板頂上之N型磊晶層，該基板由電連接至P型基板之深P型絕緣環形圈環繞，以形成在下方及所有側面形成具有P型材料之完全絕緣N型磊晶島狀物。磊晶層成長緩慢且費時，代表半導體晶圓製造中之最昂貴單步驟。使用長持續時間(長達18小時)之高溫擴散來執行的絕緣擴散亦為昂貴的。為能夠抑制寄生設備，亦必須在磊晶成長之前將一重摻雜N型內埋層(NBL)遮罩且選擇性地引入。

為使磊晶成長及絕緣擴散期間向上擴散(up-diffusion)最小化，選擇諸如砷(As)或銻(Sb)之慢擴散體來形成N型內埋層(NBL)。然而，在磊晶成長之前，此NBL層必須擴散得足夠深以降低其表面濃度，否則將不利地影響磊晶成長之濃度控制。因為NBL包含慢擴散體，所以此磊晶前擴散程序可花費10小時以上。僅在絕緣完成後，可開始習知CMOS製造，與習知CMOS方法相比，接面絕緣方法之製

造時間及複雜性大幅增加。

接面絕緣製造方法依賴於高溫處理以形成深擴散接面且使磊晶層成長。此等高溫製程昂貴且難以執行，且其與大直徑晶圓製造不相容，呈現設備電效能之實質性變化且防礙高電晶體整合密度。接面絕緣之另一缺點為絕緣結構所浪費及另外不可用於製造主動電晶體或電路之面積。作為另一複雜因素，對於接面絕緣而言，設計規則(及所浪費面積之量)視絕緣設備之最大電壓而定。顯然，不論其電學益處，習知磊晶接面絕緣浪費太多面積而無法保持為混合信號及功率積體電路之一可行技術選項。

一種用於使積體電路設備絕緣之替代方法揭示於美國專利第6,855,985號中，該專利以引用的方式併入本文中。其中揭示之用於整合完全絕緣CMOS、雙極及DMOS(BCD)電晶體之模組方法可在不需要高溫擴散或磊晶的情況下來實現。此模組BCD方法係使用經由成形氧化物之高能(MeV)離子植入來產生自形成之絕緣結構而實質上不需要高溫處理。此低熱預算方法受益於由於未採用高溫方法而很少或不經歷再分布的"植入時(as-implanted)"摻雜物分布。

經由LOCOS場氧化物植入之摻雜物形成保形絕緣結構，該等保形絕緣結構又用以封閉多電壓CMOS、雙極電晶體及其他設備且使之與共P型基板絕緣。該方法能夠用於皆使用不同劑量及能量之保形及鏈式離子植入來特製的整合式雙極電晶體及各種雙接面DMOS功率設備。

雖然此"無磊晶(epi-less)"低熱預算技術具有優於非絕緣

及磊晶接面絕緣方法之諸多優勢，但在有些情況下其對LOCOS之依賴會對其依較小尺寸及較高電晶體密度排列之能力強加某些限制。基於LOCOS之模組BCD方法中保形離子植入之原理為，經由較厚氧化物層植入，使摻雜物原子靠近矽表面定位，且經由較薄氧化物層植入，使所植入之原子遠離表面在矽中之較深處定位。

如同所述，其中植入物依LOCOS成形之完全絕緣BCD方法雖然易使用基於0.35微米之技術實施，但依較小尺寸及較緊密線寬排列時會遇到問題。為改良CMOS電晶體整合密度，較佳可減小場氧化物層之鳥嘴錐度至更垂直結構，以使得設備可更接近地置放以獲得較高裝填密度。然而，窄LOCOS鳥嘴會導致絕緣側壁之寬度變窄且會有損於絕緣品質。

在此等問題顯著之情況下，需要具有將使用低熱預算之無磊晶積體電路方法之積體電路設備完全絕緣、但消除上述狹窄側壁問題以允許絕緣結構更緊致的新穎策略。新穎溝槽絕緣結構及方法揭示於原申請案第11/890,993號中。本揭示案描述絕緣CMOS電晶體及雙極電晶體以及用於製造絕緣結構自身之方法，該等方法與溝槽絕緣之此新穎方法相容。

【發明內容】

本發明之絕緣CMOS電晶體形成於基板之絕緣凹穴中，該絕緣凹穴由具有與基板相反導電類型之底部絕緣區及自基板表面向下至少延伸至底部絕緣區之填充溝槽限定。該

填充溝槽包含介電材料且可經該介電材料完全填充，或可具有襯有介電材料之壁且包括自基板之表面延伸至底部絕緣區之導電材料。基板不包括磊晶層，從而避免上述諸多問題。

絕緣凹穴包括含有P通道MOSFET之N井及含有N通道MOSFET之P井。N井及P井可具有非單調摻雜分布，其中井之下部具有比井之上部高的峰值摻雜濃度。MOSFET可包括輕微摻雜之汲極延伸部分。該等井可藉由填充溝槽分隔。

絕緣凹穴可包括自基板之表面向下延伸至底部絕緣區之另一井以提供與底部絕緣區之電接觸。

可提供複數個絕緣CMOS對，其中各CMOS對形成於如上所述之絕緣凹穴中。一絕緣凹穴中之CMOS對可具有比第二絕緣凹穴中之CMOS對高的電壓額定值。舉例而言，一絕緣凹穴中之MOSFET的閘極氧化物層可比另一凹穴中之第二MOSFET的閘極氧化物層厚。一凹穴中之MOSFET可形成於比另一凹穴中之相應井深的井中，或具有比另一凹穴中之相應井低的表面摻雜濃度。

為提供額外絕緣，絕緣凹穴中之P井與N井可藉由包含介電材料之額外填充溝槽分隔。

本發明之絕緣雙極電晶體形成於基板之絕緣凹穴中，該絕緣凹穴由具有與基板相反導電類型之底部絕緣區及自基板之表面向下至少延伸至底部絕緣區之填充溝槽限定。該填充溝槽包含介電材料且可經該介電材料完全填充，或可

具有襯有介電材料之壁且包括自基板之表面延伸至底部絕緣區之導電材料。基板不包括磊晶層，從而避免上述諸多問題。

在其中雙極電晶體之基極之導電類型與基板相同的一些實施例中，底部絕緣區充當雙極電晶體之集極。在其他實施例中，獨立集極區形成於絕緣凹穴中。發射極區及一或多個基極接點區可形成於絕緣凹穴內、基板之表面上且可由一或多個STI溝槽分開。發射極區及基極區可為在相同製程步驟中作為其他設備(例如，MOSFET)之區域形成的區域，或其可為設計成使雙極電晶體效能最優化之專門區域。絕緣凹穴可包括自基板之表面向下延伸至底部絕緣區之另一井以提供與底部絕緣區之電接觸。

本發明亦包含絕緣結構。在一實施例中，絕緣結構包括：一埋入基板中之底部絕緣區；一自基板之表面向下至少延伸至該底部絕緣區之填充溝槽，該填充溝槽包含介電材料，底部絕緣區與填充溝槽一起包圍基板之絕緣凹穴；一位於該絕緣凹穴中之分隔溝槽，該分隔溝槽包含介電材料且自基板之表面向下至少延伸至底部絕緣區以將絕緣凹穴分成第一部分及第二部分；及一位於絕緣凹穴之第一部分中之摻雜井，該井自基板之表面向下延伸至底部絕緣區。

在其他實施例中，絕緣結構包含：一埋入基板中之底部絕緣區；一自表面向下延伸至該底部絕緣區之填充溝槽，該填充溝槽包含導電材料，該導電材料由介電材料橫向環

繞，底部絕緣區與填充溝槽一起包圍基板之絕緣凹穴；及一位於該絕緣凹穴中之分隔溝槽，該分隔溝槽包含介電材料。

本發明亦包含用於形成絕緣結構之方法。

一種方法包含：在第一導電類型之半導體基板之表面上形成第一遮罩層；將該第一遮罩層圖案化以在第一遮罩層中形成第一開口；將第二導電類型之摻雜物經由第一遮罩層中之開口植入以便形成底部絕緣區，該底部絕緣區具有低於基板表面的上邊界；在第一遮罩層中之開口內、在基板之表面上形成第二遮罩層，該第二遮罩層之邊緣與第一遮罩層中之第一開口之邊緣分開以產生間隙；經由該間隙蝕刻基板以形成溝槽，該溝槽向下至少延伸至底部絕緣區；及將介電材料引入溝槽中以便形成基板之絕緣凹穴。

第二種方法包含：在基板中形成溝槽，該溝槽自基板之表面向下延伸；將介電材料引入溝槽中以產生填充溝槽；在介電材料引入溝槽之後，在基板之表面上形成遮罩層，該遮罩層具有開口，該開口具有位於填充溝槽頂上之邊緣；將第二導電類型之摻雜物經由遮罩層中之開口植入，以便形成具有低於基板之表面之上邊界的底部絕緣區，該底部絕緣區自溝槽延伸且包圍基板之絕緣凹穴。

第三種方法包含：在基板中形成第一溝槽，該第一溝槽自基板之表面向下延伸；在基板中形成第二溝槽，該第二溝槽自基板之表面向下延伸且比第一溝槽寬；沈積介電材料，該介電材料沈積之厚度足以使得介電材料填充第一溝

槽而不填充第二溝槽，介電材料在第二溝槽之側壁及底部上形成介電層；自第二溝槽之底部移除該介電層，同時保留位於第二溝槽之側壁上之側壁介電層；將第二導電類型之摻雜物植入基板中以形成具有低於基板表面之上邊界之底部絕緣區，第二溝槽之底部位於該底部絕緣區中，第二溝槽與底部絕緣區包圍基板之絕緣凹穴；且將導電材料引入第二溝槽中，該導電材料自溝槽之口向下延伸且與底部絕緣區電接觸。

當結合以下圖式(其中相似組件具有相同編號)閱讀以下實施方式時，本發明之原理將更明顯易懂。

【實施方式】

首先描述可根據本發明製造之各種絕緣CMOS及雙極電晶體。隨後描述用於製造絕緣結構之替代方法流程。

圖1說明在共P型基板101中製造之絕緣CMOS設備的橫截面圖。PMOS 100A、PMOS 100B及NMOS 100C形成於凹穴140A中，藉由深植入之DN底部絕緣區102A及填充溝槽103A及103B使該凹穴140A與基板101絕緣。溝槽103A及103B之側壁經介電材料層131覆蓋且溝槽之內部部分填有導電材料132。導電材料提供自表面至DN區102A之接點，且介電材料131使導電材料132與基板101及絕緣凹穴140A絕緣。溝槽103A及103B較佳為環繞凹穴140A以提供完全橫向絕緣之單一溝槽的部分。

在凹穴140A內，第一N型井104用以形成含有PMOS 100A及100B之主體區。在一較佳實施例中，N井104之摻

雜分布呈非單調性，包含至少一個頂部部分104A及一個較深部分104B且較佳使用不同能量及劑量之磷系植入物來形成。較深部分104B之峰值摻雜濃度可大於頂部部分104A之峰值摻雜濃度。因為N井104之底端重疊於DN底部絕緣區102A上，所以在N井104與DN底部絕緣區102A之間不存在介入式P型層。

此外，在凹穴140A內，第一P型井105用以形成NMOS 100C之主體。在一較佳實施例中，P井105之摻雜分布呈非單調性，包含至少一個頂部部分105A及一個較深部分105B且較佳使用不同能量及劑量之硼系植入物來形成。較深部分105B之峰值摻雜濃度可大於頂部部分105A之峰值摻雜濃度。若P型井105不重疊於DN絕緣底部層102A上，則可形成介入式P型區133A。區133A具有與基板實質上相同之摻雜濃度，且其電短接至P型井105之電位。因為區133A摻雜一般比深P井部分105B輕，所以其用以增加P井105與DN底部絕緣區102A之間的崩潰電壓。雖然N井104與P井105可接觸，但在一較佳實施例中，其藉由溝槽134A分隔，從而降低NMOS 100C及PMOS 100B對栓鎖效應(一種非需要之寄生閘流體導電)之敏感性。溝槽134A可如圖所示經介電材料完全填充，或其可以類似於溝槽103A及103B之方式用介電及導電材料填充。

在N井104內，PMOS 100A包含一P+源極111A及一P+汲極111B、一側壁間隔區118A及一下伏P型輕微摻雜汲極(PLDD1)112、一位於第一閘極氧化物層115A頂上之閘極

109A，其中該第一閘極氧化物層 115A 具有厚度 x_{ox1} 。PMOS 100B 位於同一 N 井 104 中且藉由再填充溝槽 135A 與 PMOS 100A 分隔，該再填充溝槽 135A 較佳比溝槽 103A、103B 及 134A 淺，但是此等較深溝槽亦可用於同一井內設備之橫向絕緣。

在 P 井 105 內，NMOS 100C 包含一 N+ 源極 110B 及一 N+ 汲極 110A、一側壁間隔區 118B 及下伏 NLDD1 113、一 P+ 接點區 111C 及一位於較佳摻雜 N 型之第一閘極氧化物層 115B 頂上的閘極 109B，該第一閘極氧化物層 115B 亦具有厚度 x_{ox1} 。第一閘極氧化物層 115A 及 115B 之厚度 x_{ox1} 係針對 CMOS 設備 100A、100B 及 100C 之最佳整體效能及電壓控制能力 (voltage capability) 優化。雖然為簡化起見，在 P 井 105 中僅展示一個 NMOS 100C，但實施中，多個 NMOS 設備可共用同一 P 井且較佳藉由再填充溝槽彼此橫向絕緣。

第二絕緣凹穴 140B 藉由 DN 底部絕緣區 102B 及再填充溝槽 103C 及 103D 與基板 111 絕緣。溝槽 103C 及 103D 較佳為橫向環繞絕緣凹穴 140B 之單一溝槽的部分。在凹穴 140B 內，第二 N 型井 106 用於 PMOS 100D 之主體區，該 PMOS 100D 較佳具有與 PMOS 100A 及 100B 之崩潰電壓或導電性不同的崩潰電壓或導電性。在一較佳實施例中，N 井 106 之摻雜分布呈非單調性，與第一 N 井 104 之摻雜分布不同。N 井 106 包含至少一個頂部部分 106A 及一個較深部分 106B，該等部分較佳使用不同能量及劑量之磷系植入物來形成。較深部分 106B 之峰值摻雜濃度可大於頂部部分 106A 之峰

值摻雜濃度。因為N井106之底部重疊於DN底部絕緣區102B上，所以在N井106與DN底部絕緣區102B之間不存在介入式P型層。

此外，在凹穴140B內，第二P型井107用作NMOS 100E及100F之主體區，NMOS 100E及100F具有與NMOS 100C之性質不同的性質。在一較佳實施例中，P井107之摻雜分布呈非單調性，包含至少一個頂部部分107A及一個較深部分107B且較佳使用不同能量及劑量之硼系植入物來形成。較深部分107B之峰值摻雜濃度可大於頂部部分107A之峰值摻雜濃度。若P型井107不重疊於DN底部絕緣層102B上，則形成介入式P型層133B。

在P型井107內，NMOS 100F包含一N+源極110F及一N+汲極110G、一提供與主體區P井107接觸之P+接點區111F、一側壁間隔區118D、一輕微摻雜之汲極延伸部分(NLDD2)119、一源極延伸部分(NLDS2)120及一位於第二閘極氧化物層116B頂上之閘極117B。

NMOS 100E位於同一P井107中且藉由再填充溝槽135B與NMOS 100F分隔，再填充溝槽135B較佳比溝槽103C及103D及134B淺，但此等較深溝槽亦可用於同一井內設備之橫向絕緣。雖然N型井106與P型井107可接觸，但在一較佳實施例中，溝槽134B將其分開，從而降低其對栓鎖效應之敏感性。

在N井106內，PMOS 100D包含一P+源極111D及一P+汲極111E、一側壁間隔區118C、一輕微摻雜之汲極延伸部分

(PLDD2)115及一源極延伸部分(PLDS2)114、一位於第二閘極氧化物層116A頂上之閘極109C，其中該第二閘極氧化物層116A具有與第一閘極氧化物層115A不同之厚度 X_{ox2} 。

在一較佳實施例中，凹穴140B中之CMOS設備為電壓高於凹穴140A中之CMOS設備的設備，第二閘極氧化物層116A及116B比第一閘極氧化物層115A及115B厚，亦即 $x_{ox2} > x_{ox1}$ ，且第二P井107及第二N井106具有比第一P井105及第一N井104低的表面濃度及大的厚度。閘極109A及109B與閘極117A及117B可相同或不同，且其可具有對於NMOS與PMOS電晶體而言相同之摻雜，或較佳PMOS 100A及100D之閘極109A及117A可包含P型多晶矽，而NMOS 100C及100F之閘極109B及117B使用N型多晶矽。閘極109A、109B、117A及117B中之一些或全部亦可包含矽化物。在凹穴140A之較低電壓CMOS中，側壁間隔區118A及118B決定LDD漂移區112及113之長度，且P+汲極區111B及N+汲極區110A分別鄰接溝槽135A及134A。相比之下，在凹穴140B之較高電壓CMOS中，LDD漂移區115及119之長度藉由遮罩對準而非藉由側壁間隔區118C及118D之寬度決定。N+汲極區110G及P+汲極區111E亦可藉由與LDD區相同或不同之輕微摻雜區與溝槽135B及134B分隔。

作為側壁間隔區方法之人為結果，側壁間隔區118C及118D之寬度決定源極延伸部分114及120之長度。此等源極延伸部分可與LDD1或LDD2區同時形成，或其可獨立優

化。

任意數之CMOS設備可藉由在其間及其中將類似於溝槽103A-103D之溝槽引入共底部絕緣區之頂上或具有電偏壓於不同電位之自身專用底部絕緣區的絕緣區中來整合。藉由包括額外井植入物及閘極氧化物，可針對不同電壓及設備密度下之操作整合且優化任意數之完全絕緣CMOS設備。

可選深P型(DP)區108可插入相鄰絕緣凹穴104A與104B之間以降低對凹穴之間穿通崩潰及/或漏電的敏感性。

圖2說明絕緣CMOS設備之一替代性實施例，其使用介電質填充溝槽而非圖1中所示之具有導電再填充材料的溝槽。在圖2中，PMOS 200A及NMOS 200B形成於絕緣凹穴240A中，該絕緣凹穴240A藉由DN底部絕緣區202A及溝槽203A及203D與P型基板201絕緣。溝槽203A及203D較佳為橫向環繞絕緣凹穴240A之單一溝槽的部分。在絕緣凹穴240A內，第一N型井204B用以形成PMOS 200A之主體。N型井204A重疊且用以接觸DN底部絕緣區202A。在一較佳實施例中，N型井204A及204B之摻雜分布呈非單調性，包含至少一個頂部部分NW1及一個較深部分NW1B且較佳使用不同能量及劑量之磷系植入物來形成。較深部分NW1B之峰值摻雜濃度可大於頂部部分NW1之峰值摻雜濃度。因為N型井204B之底部重疊於DN區202A上，所以不存在介入式P型層。

此外，在絕緣凹穴240A內，第一P型井205A用以形成

NMOS 200B之主體。在一較佳實施例中，P型井205A之摻雜分布呈非單調性，包含至少一個頂部部分PW1及一個較深部分PW1B且較佳使用不同能量及劑量之硼系植入物來形成。較深部分PW1B之峰值摻雜濃度可大於頂部部分PW1之峰值摻雜濃度。若P型井205A不重疊於DN層202A上，則形成介入式P型層(未圖示)。因為此層亦為P型，所以其電短接至P型井205A。N型井204B與P型井205A可彼此接觸。然而，在一較佳實施例中，溝槽203C將其分開，從而降低其對栓鎖效應(一種不需要之寄生閘流體導電)的敏感性。如圖所示，溝槽203A及203B環繞N型井204A，從而防止N型井204A與204B之間的橫向導電且進一步抑制栓鎖效應。

在N型井204B內，PMOS 200A包含一P+源極211A及一P+汲極211B、一側壁間隔區219A及一下伏LDD 212、一具有可選矽化物221之多晶矽閘極220A，其中該閘極220A位於第一閘極氧化物層218頂上，且其中該第一閘極氧化物層具有厚度 x_{ox1} 。在P型井205A內，NMOS 200B包含一N+源極210B及一N+汲極210C、一側壁間隔區219A及一下伏LDD 213、一具有可選矽化物221之多晶矽閘極220B，其中該矽化物閘極220B亦位於第一閘極氧化物層218頂上，其中第一閘極氧化物層218具有針對PMOS 200A與NMOS 200B之最佳整體效能及電壓控制能力優化的厚度 x_{ox1} 。多晶矽閘極220A與220B均可為摻雜N型，或者PMOS多晶矽閘極220A可為摻雜P型且NMOS多晶矽閘極220B可為摻雜

N型。

使用介電質填充溝槽203A及203B所環繞之N型井204A與N+接點區210A接觸DN底部絕緣區202A。

第二CMOS對形成於第二絕緣凹穴240B中，該第二絕緣凹穴240B藉由DN底部絕緣區202B及溝槽203E及203H與基板201絕緣。溝槽203E及203H較佳為橫向環繞絕緣凹穴240B之單一溝槽的部分。在凹穴240B內，第二N型井206B形成PMOS 200D之主體區，該PMOS 200D較佳具有與PMOS 200A之崩潰電壓或導電性不同的崩潰電壓或導電性。第二N型井206A亦用以接觸DN底部絕緣區202B。如圖所示，溝槽203E及203F環繞N型井206A。在一較佳實施例中，N型井206B之摻雜分布呈非單調性且不同於第一N型井204B之摻雜分布，且包含至少一個頂部部分NW2及一個較深部分NW2B且較佳使用不同能量及劑量之磷系植入物來形成。較深部分NW2B之峰值摻雜濃度可大於頂部部分NW2之峰值摻雜濃度。因為N型井206B之底部重疊於DN底部絕緣區202B上，所以該設備中不存在介入式P型層。

此外，在凹穴240B內，第二P型井207A用以形成NMOS 200C，該NMOS 200C具有與NMOS 200B不同之電學性質。在一較佳實施例中，第二P型井207A之摻雜分布呈非單調性，包含至少一個頂部部分PW2及一個較深部分PW2B且較佳使用不同能量及劑量之硼系植入物來形成。較深部分PW2B之峰值摻雜濃度可大於頂部部分PW2之峰值摻雜濃度。若P型井207A不重疊於DN底部絕緣區202B

上，則形成介入式P型層(未圖示)。因為此層亦為P型，所以其電短接至P型井207A之電位。

雖然N型井206B與P型井207A可接觸，但在一較佳實施例中，溝槽203G將其分開，從而降低其對栓鎖效應之敏感性。

在N型井206B內，PMOS 200D包含一P+源極211F及一P+汲極211G、一側壁間隔區219B、一LDD 217及一LDS 216、一具有可選矽化物221之多晶矽閘極220C，其中該矽化物閘極位於第二閘極氧化物層222頂上，且其中該第二閘極氧化物層222具有與第一閘極氧化物層218之 x_{ox1} 不同的厚度 x_{ox2} 。在P型井207A內，NMOS 200C包含一N+源極210F及一N+汲極210G、一側壁間隔區219B、一LDD 215及一LDS 214、一具有可選矽化物221之多晶矽閘極220D，其中該閘極220D亦位於第二閘極氧化物層222頂上。第二閘極氧化物層222具有針對PMOS 200D與NMOS 200C之最佳整體效能及電壓控制能力優化的厚度 x_{ox2} 。

在一較佳實施例中，NMOS 200C及PMOS 200D為電壓比NMOS 200B及PMOS 200A高的設備，第二閘極氧化物層222比第一閘極氧化物層218厚，且第二P型井207A及第二N型井206B具有分別比第一P型井205A及第一N型井204B低的表面濃度及大的厚度。用以形成閘極220A、220B、220C及220D之多晶矽材料可包含針對NMOS電晶體200B及200C與PMOS電晶體200A及200D N型摻雜之相同層，或PMOS電晶體200A及200D中之一者或兩者中之閘極氧化物

層可包含P型摻雜多晶矽。亦可使用不同多晶矽層以形成電晶體200A-200D中之一或多者的閘極。

在一較佳實施例中，NMOS 200C及PMOS 200D之輕微摻雜汲極215及217的長度分別藉由光微影術測定。

作為側壁間隔區方法之人為結果，側壁間隔區219A之寬度分別決定PMOS 200A及NMOS 200B之輕微摻雜源極延伸部分212及213的長度，而側壁間隔區219B分別決定NMOS 200C及PMOS 200D之輕微摻雜源極延伸部分214及216的長度。側壁間隔區219A及219B可同時形成或可獨立形成。或者，在對設備之汲極崩潰無不利影響的情況下可消除側壁間隔區219B。

任意數之CMOS設備可藉由在其間及其中將類似於溝槽203A、203D、203E及203H之溝槽引入共底部絕緣區之頂上或具有電偏壓於不同電位之自身專用底部絕緣區的絕緣區中來整合。藉由包括額外的井植入物及閘極氧化物，可針對不同電壓及設備密度下之操作整合且優化任意數之完全絕緣CMOS設備。

可選深P型(DP)區208可插入相鄰絕緣凹穴204A與240B之間以降低對凹穴之間穿通崩潰及/或漏電的敏感性。

圖3說明絕緣CMOS設備之一替代性實施例，其中重摻雜汲極區不與溝槽鄰接。雖然此實施例比上述實施例耗費更多表面積，但可有利地防止設備漏電。絕緣凹穴340藉由DN底部絕緣區302及溝槽303A及303C與P型基板301絕緣。溝槽303A及303C較佳為橫向環繞絕緣凹穴340之單一溝槽

的部分。在凹穴340内，N型井304形成PMOS 300A之主体区且亦提供与DN底部绝缘区302之接点。在一较佳实施例中，N型井304之掺杂分布呈非单调性，包含至少一个顶部部分NW1及一个较深部分NW1B且较佳使用不同能量及剂量之磷系植入物来形成。较深部分NW1B之峰值掺杂浓度可大于顶部部分NW1之峰值掺杂浓度。因为N型井304之底部重叠于DN底部绝缘区302上，所以不存在介入式P型层。

此外，在凹穴340内，P型井305形成NMOS 300B之主体区。在一较佳实施例中，P型井305之掺杂分布呈非单调性，包含至少一个顶部部分PW1及一个较深部分PW1B且较佳使用不同能量及剂量之硼系植入物来形成。较深部分PW1B之峰值掺杂浓度可大于顶部部分PW1之峰值掺杂浓度。若P型井305不重叠于DN底部绝缘区302上，则形成介入式P型层(未图示)。因为此层亦为P型，所以其电短接至P型井305之电位。虽然N型井304与P型井305可接触，但在一较佳实施例中，沟槽303B将其分开，从而降低其对栓锁效应之敏感性。

在N型井304内，PMOS 300A包含一P+源极306A及一P+汲极306B、一侧壁间隔区307A及一LDS 308、一具有可选矽化物310A之闸极309A，其中该闸极309A位于闸极氧化物层311A顶上。P+汲极306B由P-LDD延伸部分环绕，该等P-LDD延伸部分包含插于P+汲极306B与闸极309之间、长度为 L_{P1} 的LDD 312及插于P+汲极306B与沟槽303B之间、

長度為 L_{P2} 的 LDD 313。在此類設計中，P+汲極 306B 不與溝槽 303B 鄰接。N+接點區 314C 提供與 N 型井 304 之接觸。

在 P 型井 305 內，NMOS 300B 包含一 N+源極 314A 及一 N+汲極 314B、一側壁間隔區 307B 及一 LDS 315、一具有可選矽化物 310B 之閘極 309B，其中該閘極 309B 位於閘極氧化物層 311B 頂上。N+汲極 314B 由 N-LDD 延伸部分環繞，該等 N-LDD 延伸部分包含插於 N+汲極 314B 與閘極 309B 之間、長度為 L_{N1} 的 LDD 316 及插於 N+汲極 314B 與溝槽 303C 之間、長度為 L_{N2} 的 LDD 317。在此類設計中，N+汲極 314B 不與溝槽 303C 鄰接。P+接點區 306C 提供與 P 型井 305 之接觸。藉由伸入蝕刻至層間介電層 318 中之孔中的圖案化金屬化層 319 實現與 NMOS 300B 及 PMOS 300A 之接觸。

圖 4 說明在共 P 型基板 201 中所製造之絕緣雙極設備的橫截面圖。為簡化起見，圖 4 中未展示層間介電層及金屬化層。

NPN 電晶體 200A 藉由深 N 型 (DN) 底部絕緣區 202A 及填充溝槽 203A 與基板 201 絕緣。溝槽 203A 之側壁經介電材料層 231 覆蓋且溝槽之內部部分經導電材料 232 填充。導電材料提供自表面至底部絕緣區 202A 之接點，底部絕緣區 202A 亦充當 NPN 200A 之集極，且介電材料 231 使導電材料 232 與基板 201 絕緣。溝槽 203A 較佳橫向環繞 NPN 200A 以提供完全橫向絕緣。

N+發射極 206 可藉由習知植入及擴散法形成，或其可由多晶矽源極擴散而形成"多晶矽"發射極。P 型基極區 207 安

置於N+發射極206下方，且較佳具有專門用於NPN 200A且針對NPN 200A效能優化之摻雜分布。然而，在其他實施例中，基極區207可包含用於其他整合設備之同一P井區，諸如NMOS電晶體之P主體區。P+基極接點區204提供自基板201之表面至基極區207之接點。

安置於基極區207下方及DN底部絕緣區(集極)202A上方之介入區208可為具有實質上相同摻雜濃度的基板201之絕緣凹穴。在另一實施例中，在無介入區208的情況下，基極區207可向下進一步延伸以接觸底部絕緣區(集極)202A。在另一實施例中，可執行額外植入以提供DN底部絕緣區(集極)202A在此區域中之向上延伸。在此較佳實施例中，N型區208及DN底部絕緣區202A一起包含非單調摻雜分布，其中上部(N型區208)具有比較深部分底部絕緣區202A低的摻雜濃度。上部中之較低摻雜減少基極207中之空乏散布，從而增加NPN 200A之歐拉電壓(Early voltage)，而較深部分之較高摻雜降低集極電阻且改良NPN 200A之飽和特徵。

淺溝槽205較佳用以使N+發射極206與P+基極接點204絕緣。溝槽205較佳0.2-0.5 μm 寬，0.2-0.6 μm 深，且經介電材料完全填充。溝槽203A較佳比溝槽205寬且深，例如在0.5-1.5 μm 寬及1.5-3 μm 深的範圍內。

PNP電晶體200B藉由DN底部絕緣區202B及填充溝槽203B與基板201絕緣。溝槽203B之側壁經介電材料層241覆蓋且溝槽之內部部分經導電材料242填充。導電材料242

提供自表面至底部絕緣區202B之接點。溝槽203B及DN底部絕緣區202B環繞PNP 200B且將PNP 200B與基板201電絕緣。

P+發射極211可藉由習知植入及擴散法形成，或其可由多晶矽源極擴散而形成"多晶矽"發射極。N型基極區215安置於P+發射極211下方，且較佳具有專門用於PNP 200B且針對PNP 200B效能優化之摻雜分布。然而，在其他實施例中，基極區215可包含用於其他整合設備之同一N井區，諸如PMOS電晶體之N主體區。N+基極接點區213提供自基板201之表面至基極區215之接點。

P型集極區216安置於基極區215下方，且在一實施例中包含藉由高能植入法所形成之重摻雜區(例如，薄層電阻在500-2000歐姆/平方之範圍內)。P型集極區216可有利地用於積體電路中其他地方，例如局部增加P型基板201之摻雜以降低對栓鎖效應之敏感性。P+集極接點區214提供自基板201之表面至P型集極區216之接點。

在另一實施例中，P型集極區216具有非單調摻雜分布，其中上部具有比較深部分低的摻雜濃度。上部中之較低摻雜減少基極215中之空乏散布，從而增加PNP 200B之歐拉電壓，而較深部分之較高摻雜降低集極電阻且改良PNP 200B之飽和特徵。在一較佳實施例中，使用不同能量及劑量之硼系植入物形成集極216之摻雜分布。

淺溝槽212較佳用以使P+發射極211、N+基極接點區213及P+集極接點區214彼此絕緣。此等溝槽較佳經介電材料

填充，而溝槽203B較佳包含為DN底部絕緣區202B提供電接觸的導電材料242。用介電質填充溝槽分隔重摻雜基極區、集極區及發射極區允許減小設備尺寸、降低電容且改良開關效能。

另一填充溝槽209可橫向插入NPN 200A與PNP 200B之間以避免此等設備之間的穿通及其他寄生性相互作用，從而允許其更緊密地一起置放於共基板201中。如此實例中所示，填充溝槽209可用介電材料填充，或其亦包含如溝槽203A及203B中所示之導電材料。亦可包括與溝槽209之底部相鄰的埋入式絕緣區210。在一實施例中，絕緣區210可為P型以局部增加基板201之摻雜。在另一實施例中，絕緣區210可為N型(在一實例中，與DN底部絕緣區202A且202B同時形成)以用作可存在於基板中之虛設電子集極。

圖5說明兩個NPN雙極電晶體400A及400B，其製造於藉由DN底部絕緣區402A及402B以及填充溝槽403A、403C、403D及403F彼此絕緣且與P型基板401絕緣的絕緣凹穴中。不同於圖4之設備，圖5中之填充溝槽403A、403C、403D及403F經介電材料完全填充。因此，經由額外N井區404A及404B提供DN底部絕緣區402A及402B之接點。

在一較佳實施例中，NPN 400A及NPN 400B使用CMOS P型井區作為基極區405A及405B。NPN 400A使用所植入之N+發射極406A，而NPN 400B具有一包含N+區406C與NB區410之組合的發射極區，該NB區410具有比N+區406C深的接面。在其他實施例中，基極區405A及/或405B可包含

針對NPN 400A及/或NPN 400B之效能優化的專門區。

在NPN 400A中，DN底部絕緣區402A形成集極區，經由N型井404A及N+區域406B與表面接觸。P型井405A形成NPN 400A之基極區。在一較佳實施例中，P型井405A之摻雜分布呈非單調性，包含至少一個頂部部分PW1及一個較深部分PW1B且較佳使用不同能量及劑量之硼系植入物來形成。P型井405A之較深部分PW1B可具有比頂部部分PW1高的濃度。經由P+區407A實現表面與基極區405A之接觸。NPN 400A之發射極包含N+區406A。N型井404A可藉由填充溝槽403B與P型井405A分隔。經由金屬408實現接觸，其中可選障壁金屬經由層間介電層409中所形成之接觸窗接觸P+區407A及N+區406A及406B。

在NPN 400B中，DN底部絕緣區402B形成集極區，經由N型井404B及N+區406D與表面接觸。P型井405B形成NPN 400A之基極區。經由P+區407B實現表面與基極區405B之接觸。NPN 400B之發射極包含N+區406C及下伏NB區410。與可使用與CMOS設備共用之元件(例如，N+區406C及P型井405B)相比，NB區410設計成可改良NPN 400B之效能。舉例而言，NB區410之深度及摻雜可提供電流增益、崩潰電壓及歐拉電壓之較佳組合。

N型井404B可藉由溝槽403E與P型井405B分隔。經由金屬408實現接觸，其中可選障壁金屬經由層間介電層409中所形成之接觸窗接觸P+區407B及N+區406C及406D。埋入式絕緣區(未圖示)可存在於DN底部絕緣區402A與DN底部

絕緣區402B之間以抑制穿通。

如上所述，藉由與積體電路中其他地方所用之區域共同形成雙極電晶體區可優化本發明之絕緣雙極電晶體之成本。或者，例如可藉由添加為實現歐拉電壓 V_A 、電流增益 β 、崩潰電壓 BV_{CEO} 與頻率容量 f_t 及 f_{max} 之間的最佳整體平衡所定製的專門基極植入物來增加效能。同樣，常見植入區可用以形成雙極電晶體之發射極區，或專門發射極可使用諸如多晶矽發射極形成之技術來形成。發射極中少數載流子(例如穿過基極之彼等載流子)之穿越時間 τ_e 對設備之上操作頻率容量(通常低於10 GHz)強加某些限制。此發射極穿越時間限制可藉由使用多晶矽發射極代替擴散或植入式發射極且藉由相應調整基極深度來改良。使用該等技術可使矽雙極電晶體在10至20 GHz之間操作而無需SiGe異質界面且無與該等設備有關之製造複雜性。

在本發明中，與LOCOS絕緣有關之上述問題係藉由使用將淺度、中度及/或深度溝槽絕緣(STI、MTI、DTI)與由高能植入法所形成之底部絕緣區組合的製造方法來避免。針對側壁絕緣之STI與高能量植入之底部絕緣的新穎組合代表一種以高密度整合設備並使設備絕緣而不需要長久高溫擴散或昂貴磊晶沈積的方法及裝置。

2006年5月31日申請之申請案第11/444,102號描述若干相關絕緣結構，該案以引用的方式併入本文中。2007年12月17日申請之申請案第12/002,358號描述合併不同但相關之絕緣結構的方法及設備，該案以引用的方式併入本文中。

圖 6A-6D 之橫截面 1 說明一種根據本發明形成絕緣結構的可能製造順序。在圖 6A 中，使用高能離子植入法、經由具有可選光阻遮罩 5 之硬遮罩 4 中之開口將深 N 型 (DN) 底部絕緣區 3 引入輕微摻雜之 P 型基板 2 中。可經由預植入之薄氧化物 6 執行植入。在一較佳實施例中，藉由以高能量將磷植入來形成 DN 區 3 而無需植入後之任何顯著高溫處理。該等深 N 型區稱為 "DN" (深 N 型區之縮寫)。因為 P 型基板 2 頂上無磊晶層成長，所以 DN 區 3 與習知磊晶方法中使用高溫處理所形成之內埋層不同，儘管兩個結構外觀類似。

習知內埋層之峰值濃度及總垂直寬度受到高溫製造中發生於磊晶成長之前、期間及之後之實質性擴散之影響。由於溫度之微小變化可引起摻雜物分布之大偏離，因此發生擴散方法及磊晶方法之可變性的問題，此為擴散性對溫度之指數相依性的結果。

在本發明之低溫方法中，所植入之 DN 區之摻雜分布僅受植入劑量及能量 (或多重植入物狀況下之劑量及能量) 影響。所得分布 "如植入時"，且未經受與熱處理內在相關之可變性。在一較佳實施例中，DN 區形成可包含 1 MeV (一百萬電子伏特) 至逾 3 MeV 範圍內之最高能量植入程序。該等植入物可使用單離子化及雙離子化摻雜物質在合理時間內實現。具有高電荷狀態之三離子化摻雜物質可以較大深度、但相應地以較低射束電流植入。用於 DN 區之磷植入劑量可在 $1\text{E}12\text{ cm}^{-2}$ 至 $1\text{E}14\text{ cm}^{-2}$ 之範圍內，但通常包含在 $5\text{E}12\text{ cm}^{-2}$ 至 $5\text{E}13\text{ cm}^{-2}$ 範圍內之劑量。

圖 6B 展示遮罩層 8 為防止 DN 區 3 中之摻雜物再分布而較佳在低溫下沈積後之絕緣結構。層 8 可包含(例如)所沈積之氧化物。接著將層 8 遮罩以形成開口 9A 及 9B。在圖 6C 中，經由開口 9A 及 9B 在基板 2 中蝕刻溝槽至垂直重疊 DN 區 3 之深度。接著如圖 6D 中所示，用介電質填充溝槽且平坦化以形成電絕緣溝槽 11A 及 11B。結果形成電絕緣 P 型凹穴 10，其藉由底部之接面絕緣與沿側壁之介電質填充溝槽的組合與 P 型基板 2 電絕緣。

雖然展示兩個溝槽，但溝槽 11A 及 11B 實際上可組成橫向環繞絕緣凹穴 10 之單一溝槽，且可引入任意數之溝槽以形成皆共用共 DN 區 3 之多個絕緣 P 區。或者，亦可將多個 DN 區引入，促進可在不同電壓下偏壓或用以電整合、浮動或解耦不同類型電路之電雜訊之多個絕緣區之整合。

在圖 6D 之絕緣結構中，絕緣溝槽 11A 及 11B 並不與 DN 底部絕緣 3 之邊緣自對準。圖 7A-7E 中所說明之一替代性製造方法順序將絕緣溝槽之外緣與 DN 區自對準。圖 7A 展示經由遮罩層 23 中之開口 23A、以高能量將 DN 底部絕緣區 22 植入後的此結構。遮罩層 23 之邊緣 23B 環繞開口 23A。DN 區 22 具有外側圍緣 25，該外側圍緣 25 與遮罩層 23 之邊緣 23B 垂直緊密對準。可經由預先植入之薄氧化物層 24 執行植入。在圖 7B 中，接著形成遮罩層 27 且藉由圖案化遮罩區 28 遮罩。雖然遮罩區 28 亦可形成於遮罩層 23 頂上，但在此自對準實施例中，遮罩區 28 與遮罩層 23 之邊緣 23B 之間應存在間隙。在圖 7C 中，遮罩層 27 經蝕刻以形成如藉由遮罩 28

及藉由遮罩23所界定的窗口30A及30B。在蝕刻遮罩層27期間，遮罩層23會發生一些侵蝕，但遮罩層23之厚度足以讓其充當溝槽蝕刻期間之硬遮罩。蝕刻遮罩層27之後，較佳移除遮罩28。

在圖7D中，經由開口30A及30B在基板21中蝕刻側壁溝槽31A及31B至使得溝槽31A及31B延伸入DN底部絕緣區22中之深度。因為開口30A及30B係使用遮罩層23來界定其位置，所以溝槽31A及31B之外緣與DN底部絕緣層22之邊緣25對準。換而言之，因為遮罩層23界定側壁溝槽31A及31B之外緣及DN底部絕緣區22之邊緣25，所以底部絕緣與溝槽側壁絕緣"自對準"且不視遮罩對準而定，從而消除與此相關之任何可變性。用介電材料32填充溝槽31A及31B且將其平坦化，產生圖7E中所示之自對準絕緣結構，該絕緣結構使一或多個P型凹穴31與基板21絕緣而無需長久熱擴散或磊晶層。

在圖8A-8E中所說明之替代性自對準製造順序中，在DN底部絕緣區植入之前形成再填充溝槽。如圖8A中所示，經由遮罩42中之開口40在基板41中蝕刻溝槽43。如圖8B中所示，接著填充溝槽43且將其平坦化以形成填充溝槽。如圖8C中所示，將遮罩層44圖案化以形成開口44A，接著為延伸於相鄰溝槽43之間之DN區45之高能離子植入。

藉由將遮罩層44中之開口44A的邊緣在填充溝槽43頂上對準，使基板中具有電活性之DN區45之部分與溝槽43自對準。因此，DN區45及溝槽43係使用比遮罩對準依賴型

更小的空間、以如圖8D中所示之自對準方式使P型凹穴46與基板41絕緣。

雖然圖8D展示DN區45之底部與溝槽43之底部處於近乎相同之深度，但在其他實施例中，DN區可具有不同垂直深度。舉例而言，圖8E展示DN區45A延伸至溝槽43之底端下方的絕緣結構。雖然DN區45A可部分地穿通溝槽43，但元件實質上仍自對準。

在本文所示之任何絕緣結構中，亦可將可選P型區遮罩且以比DN區淺、深或相等之深度植入P型基板2中。舉例而言，圖9A-9D說明一種用於在絕緣凹穴內或絕緣區之間形成深P型區(DP)之方法。在圖9A中，使用上述方法之一在共P型基板51A中形成兩個絕緣P型凹穴51B及51C。藉由溝槽53A、53B、53C及53D以及DN區52A及52B將凹穴51B與51C絕緣。

圖9B說明圖案化遮罩層55，其經圖案化以在絕緣凹穴51C上形成開口55A。遮罩層55厚足以允許高能量植入物選擇性摻雜P型絕緣凹穴51C而不摻雜基板51A或絕緣凹穴51B。圖9C展示所得DP區54，其與與基板51A絕緣的P型材料共用絕緣凹穴51C。藉由將開口55A之邊緣定位於溝槽53上方，DP區54之活性部分與溝槽自對準。

DP區54可使用硼之高能植入、以任何深度形成，但一般以等於或淺於DN區52B之深度形成。硼植入給定深度需要比磷植入相同深度低的能量，例如0.8 MeV至2.0 MeV，此係因為硼原子小於且輕於磷原子。在一較佳實施例中，

DP區54植入的深度足以使得其實質上不改變P型凹穴51C之其餘部分的表面濃度。用於DP區54之硼植入劑量可在 $1\text{E}12\text{ cm}^{-2}$ 至 $1\text{E}14\text{ cm}^{-2}$ 之範圍內，但通常使用 $5\text{E}12\text{ cm}^{-2}$ 至 $5\text{E}13\text{ cm}^{-2}$ 範圍內之劑量。

圖9D展示另一實施例，其中DP區55植入在兩個絕緣凹穴之間以抑制DN區52A與52B之間發生穿通崩潰或漏電。雖然DN區52A及52B可電浮動，但其較佳偏壓至比基板更正之電位，且因此形成反向偏壓P-N接面。存在於DN區52A及52B中之每一者上的偏壓可相同或DN區52A及52B可以不同電位偏壓。此外，DN區52A及52B中之每一者可具有固定電位或隨時間而變之電位。

一般而言，每個絕緣凹穴可含有以等於或比該凹穴之DN偏壓電位更負之任何電位偏壓的設備。舉例而言，若DN偏壓至5 V，則絕緣區內之設備可在至多5 V之電壓下或在設備之崩潰機制允許之負電壓下操作，甚至可在比P型基板51A之電位更負之電壓下操作。

圖10A-10F說明包括導電溝槽再填充區所接觸之植入DN區的絕緣結構之形成。圖10A展示如上所述之DN區742形成及由氮化矽或其他合適材料所製成之可選平坦化蝕刻終止層744及遮罩層743(較佳沈積氧化物或其他合適材料之硬遮罩)沈積及圖案化之後的結構。經由遮罩743中之開口蝕刻淺溝槽745至P-基板741中。溝槽745較佳與給定CMOS技術之標準STI相容。

圖10B展示溝槽746圖案化及蝕刻之後的結構。此等溝槽

比溝槽 745 深且延伸入 DN 區 742 內。溝槽 746 亦比溝槽 745 寬，以允許如下所述形成溝槽 745 中之介電質再填物及溝槽 746 中之導電/介電質再填物。舉例而言，溝槽 745 可為約 0.5 微米寬及 0.5 微米深，而溝槽 746 可為約 1 微米寬及 1.5-2.0 微米深。

圖 10C 展示介電層 747 沈積後之結構。介電層 747 較佳具有優良保形性，例如可使用 TEOS 沈積氧化物。沈積厚度設計成不僅完全再填充窄溝槽 745，而且覆蓋較寬溝槽 746 之側壁。在此處所給之實例中，0.3 微米厚度可用於完全再填充 0.5 μm 寬淺溝槽 745 且在深溝槽 746 之每一側壁上形成 0.3 微米層，從而在深溝槽 746 中留有 0.4 微米寬的空間。

圖 10D 展示介電層 747 回蝕後之結構。較佳藉由反應性離子蝕刻技術進行之回蝕應將介電質 747 自深溝槽 746 之底部完全移除。此時，視所用材料及其相對蝕刻速率而定，介電質 747 亦可能自表面移除，且亦可能蝕刻下伏遮罩層 743。在此回蝕步驟後，側壁介電層 748B、748C、748D 及 748E 保留於深溝槽 746 中，而淺溝槽 745 被介電區 748A 完全填充，該介電區 748A 應延伸至基板 741 之原表面上方。如圖 10D 中所示，可選植入區 752A 及 752B 可引入每個寬溝槽之底部之開口中。因為基板僅曝露於此等區域中，所以無需遮罩層。此植入物較佳為高劑量低能量之 N 型植入物，例如在 30 keV 及 $1 \times 10^{15} \text{ cm}^{-2}$ 下之磷，其可改良導電填充物(下文所述)與 DN 區之接觸。

圖 10E 展示導電層 749 沈積後之結構，該導電層 749 較佳

具有高導電性及保形性，諸如原位摻雜多晶矽。層 749 之沈積厚度設計成提供深溝槽 746 之完全再填充。注意各溝槽之蝕刻寬度決定其由介電質完全填充抑或由導電材料部分填充。因此，亦可形成具有導電中心部分之寬淺溝槽，其可有利於例如形成某些設備結構中之區域的內埋式接點。同樣，可形成經介電質完全填充之狹窄深溝槽，其可用於形成相鄰 DN 區之間的橫向絕緣。

圖 10F 展示平坦化後之絕緣結構。在此實例中，結構經平坦化恢復基板 741 之原表面。此較佳藉由 CMP 及/或回蝕方法實現。最終結構包含藉由底部之 DN 區 742 及側面之再填充溝槽 746 絕緣的絕緣 P 型區 751。溝槽 746 部分地用導電材料 750A 及 750B 填充，從而提供與 DN 區 742 之電接觸。導電材料 750A 由側壁介電層 748B 及 748C 環繞，且導電材料 750B 由側壁介電層 748D 及 748E 環繞。因此，導電材料 750A 及 750B 與 P 型區 751 及基板 741 絕緣。

圖 10G 展示具有上述若干特徵之完整結構，其包括兩個獨立 DN 區 742A 及 742B。DN 區 742A 接觸填充溝槽 746A 及 746B 中之導電材料。DN 區 742B 接觸填充溝槽 746C 及 746D 中之導電材料。絕緣凹穴 753A 及 753B 藉由 DN 區 742A 及 742B 及填充溝槽 746A-746D 與基板 741 絕緣。導電填充溝槽 746E 安置於 DN 區 742A 與 742B 之間且可用作(例如)P 型基板 741 中之少數載流子之虛設集極。導電填充溝槽 746A-746E 中之每一者在底部包括一可選 N 型植入物 752。淺介電質填充溝槽 745 可包括於絕緣凹穴 753A 及 753B 內及/或絕

緣凹穴 753A 及 753B 外之基板 741 內。深介電質填充溝槽 754 亦可包括於任何區域內。亦可形成淺導電填充溝槽 755。

圖 10G 中所示之絕緣結構經由深導電填充溝槽 746A-746D 有利地提供 DN 區 742A 及 742B 之極緊致電連接。此外，溝槽 746A-746D 之形成與 STI 溝槽 745 之形成具有共同的多個步驟，包括介電質沈積及平坦化步驟，因此提供表面與 DN 區 742A 及 742B 之接觸很少增加程序複雜性。

圖 11A-11C 說明在不使用上述導電再填充技術之情況下形成與 DN 區電接觸之若干方式。在圖 11A 中，溝槽 73A、73B 及 73C 位於且垂直重疊於橫向連接的 DN 區 72A 及 72B 頂上，從而使 P 型井 74 與基板 71 絕緣。為提供與 DN 區 72A 及 72B 之表面接觸，包括 N 型井 75 及 N+ 區 76，其中 N 型井 75 垂直重疊於 DN 區 72A 上。溝槽 73A 及 73C 使整個結構與其他設備絕緣，而溝槽 73B 為將 N 型井 75 與 P 型井 74 分隔以防止此等井之間相互電作用之分隔溝槽。

圖 11B 中所示之實施例包括位於且垂直重疊於 DN 底部絕緣區 82A 及 82B 上的溝槽 83A、83B 及 83C，從而使 P 型井 84 與基板 81 絕緣。為接觸 DN 區 82A，包括 N 型井 85 及 N+ 區 86，其中 N 型井 85 垂直重疊於 DN 區 82A 上。溝槽 83A 及 83C 使整個結構與其他設備絕緣，而溝槽 83B 為將 N 型井 85 與 P 型井 84 分隔以防止該等井之間相互電作用之分隔溝槽。DN 區 82A 與 82B 當被溝槽 83B 分隔時彼此不直接接觸。在此狀況下，經由漏電流與穿通之組合，DN 區 82B 上之電偏

壓仍會受DN區82A上之偏壓影響。然而，與圖11A之結構相比，此配置不以低電阻提供表面至DN區82B之電阻。

另一實施例展示於圖11C中，其中DN底部絕緣區92及溝槽93A及93B使P型井94與基板91絕緣且其中N型井95及N+區96促成表面與DN區92之接觸。在此組態中，無溝槽分隔N型井95與P型井94。實情為，基板91之區域97將井94與95分隔。對於溝槽比DN區深之方法而言，因為N型井95與DN區92重疊大以提供優良電接觸，所以此結構可優於圖11B之結構，而對於溝槽比底部絕緣區之底部淺的方法而言，因為溝槽73B提供N型井75與P型井74之橫向絕緣，同時DN區72之一部分延伸至溝槽73B下方以提供與N型井75之優良電接觸，所以圖11A之結構可為較佳。圖12說明根據本發明形成絕緣結構的各種方法製造順序。一般而言，製造始於基板，雖然在一較佳實施例中該基板為不具有磊晶層之P型材料，但可包含不具有磊晶層之N型材料，或甚至可包含成長於P型或N型基板上的P型磊晶層或成長於N型或P型基板上的N型磊晶層。熟習此項技術者熟知若採用N型基板材料，則底部絕緣需要形成DP底部絕緣區而非DN底部絕緣區，且需要時將其他摻雜區域轉向以形成接面絕緣。

圖12說明兩種基本方法流程。在流程61中，底部絕緣區在絕緣溝槽之前形成，而在流程62中，絕緣溝槽在底部絕緣區之前形成。如上所述，所得結構可自對準或非自對準。經蝕刻之溝槽可氧化或藉由化學氣相沈積(CVD)填

充，或在一較佳實施例中首先氧化，接著藉由沈積來填充。若溝槽氧化在DN底部絕緣區植入後發生，則必須藉由將氧化溫度減至最小(通常低於 900°C)來避免DN區之向上擴散。雖然展示可選DP層在絕緣結構完成後(亦即，側壁及DN植入後)形成，但在其他實施例中，可在溝槽形成、DN形成或兩者之前形成。

雖然圖12中僅展示一次溝槽遮罩及蝕刻，但可如上所述蝕刻及接著填充第二較淺溝槽。此外，如上所述，溝槽填充物可包含介電質或介電質加上導電材料。若使用多個溝槽或使用多種再填充材料，則較佳共用共同方法，諸如平坦化步驟。

圖13說明一種製造多種完全絕緣雙極、CMOS及DMOS設備而無需高溫處理或磊晶法的模組方法。術語"模組"係指易於添加或移除各組處理步驟或"模組"的能力以僅產生製造給定電路設計所需之設備。藉由產生模組法結構，藉由僅包括必需方法步驟，可將給定電路設計之製造成本降至最低。此外，模組設計成使得排除任何模組不影響剩餘設備之效能或特性。以此方式，可針對任何模組法選項使用一組共用設備文庫及模型。

原則上，因為使用所揭示之技術實現電絕緣不需要高溫，所以可以任何次序來執行介電質填充溝槽及深N型(DN)底部絕緣區之形成而對整合設備之電絕緣無不利影響。然而，實際上，一些製造順序因其簡化晶圓處理而為較佳。形成溝槽絕緣結構之詳情詳述於上述申請案第

11/444,102號中。

在此方法中，使用包含系列植入物或高能植入物之遮罩植入物之組合來建構設備。為實現實質上如植入時之最終摻雜物分布，僅擴散及高溫處理之再分布可能最小。如植入時之摻雜物分布因其可優化成獨立地設定設備特徵而不同於標準單調遞減濃度之擴散高斯分布(diffused Gaussian profile)。

除形成絕緣結構之順序具有較大靈活性外，所揭示之低溫法結構允許以對設備效能最低的影響重新排列設備形成順序。舉例而言，雙極基極植入可先於或後於MOS閘極形成步驟。為維持自對準之MOS電晶體特徵，LDD植入後於閘極形成，但先於側壁間隔區形成，而N+及P+源極及汲極植入在側壁形成之後發生。

圖13展示一種形成本發明之較佳實施例的方法步驟順序。步驟100之基板材料較佳為P型摻雜矽，P型摻雜低足以維持待製造之最高電壓設備所需的最大崩潰，然而高足以免除可藉由過大基板電阻加劇之栓鎖效應。在一較佳實施例中，基板不包括磊晶層，此係因為添加磊晶層可顯著增加起始材料成本。然而，在其他實施例中，在基板頂上包括磊晶層可為較佳。

在步驟101中，形成淺溝槽遮罩且蝕刻淺溝槽至矽基板中。此等溝槽較佳與用於待形成之設備間之絕緣的淺溝槽絕緣(STI)相容。舉例而言，STI溝槽可為約0.1-0.5 μm 及0.1-0.5 μm 深。以第一遮罩步驟蝕刻STI溝槽亦用以在基板

中形成可見標記(溝槽圖案自身)以便隨後遮罩層對準。

在此方法之其他實施例中，可在井形成(步驟105中所示及下文所述)之後遮罩並蝕刻淺溝槽。在此替代性順序中，井摻雜分布及接面深度受淺溝槽存在的影響可更小。應注意淺溝槽絕緣不提供設備間完全絕緣。相反，STI與LOCOS場氧化物類似之處在於，將電晶體彼此橫向分隔且防止不必要之表面倒置及此等電晶體之間的漏電。然而，STI不提供設備與下伏及周圍基板區域之間的完全電絕緣。

步驟102展示深N型(DN)區之遮罩及植入，深N型區形成位於個別絕緣凹穴下方之底部絕緣區，從而在垂直方向上使此等凹穴與基板絕緣。DN遮罩可為具有足夠厚度以阻斷DN植入物之光阻劑。DN植入較佳藉由一或多個高能植入步驟形成以將相對低電阻層引入基板深處。舉例而言，磷可以約3 MeV之能量及約 $1-5 \times 10^{13} \text{ cm}^{-2}$ 之劑量植入以產生位於表面下約2 μm 且具有小於500歐姆/平方之薄層電阻的DN區。

步驟103包括施加第二溝槽植入物遮罩及蝕刻第二組溝槽至矽基板內。此等溝槽較佳比步驟101之溝槽深，從而自表面向下至少延伸至DN區以提供絕緣凹穴與基板之橫向絕緣。

在一較佳實施例中，淺溝槽具有比較深溝槽淺的深度及窄的寬度。其可以此方式插在設備之間而對晶粒面積及電晶體裝填密度具有較小的不利影響。舉例而言，在一實施

例中，深溝槽可為1.6微米深及0.4微米寬，亦即具有4倍縱橫比，而淺溝槽可為0.2至0.5微米深及僅0.2微米寬，僅1倍至2.5倍縱橫比。與高縱橫比溝槽相比，尤其在其中負載效應可影響電漿或反應性離子蝕刻速度及均一性的高密度下，較低縱橫比更易於蝕刻及再填充。在該範圍之淺端，STI溝槽之深度足以將N+及P+植入物電分隔以防重疊或接觸，但深不足以限制較深雙極基極植入物之橫向長度。舉例而言，在NPN雙極中，接著可將STI溝槽插在N+發射極與P+基極接點植入物之間，但STI溝槽不足以防止PB基極植入物橫向重疊於N+集極植入物上，此會影響設備之基極-集極崩潰額定值。反之，若STI溝槽之深度經選擇處於所述範圍之高端且比基極植入物深，則其因為會使PB基極與其P+接點斷開而不可插在N+發射極與P+基極接點之間。

淺溝槽絕緣優於LOCOS場氧化物之一關鍵益處為缺乏鳥嘴，鳥嘴為以複雜及非所要之方式干擾MOS電晶體操作且最終限制電晶體裝填密度的傾斜氧化物區。在具有小於0.4微米寬度之LOCOS場氧化物區中，鳥嘴兩側之侵佔引起鳥嘴過長、氧化物變薄、受損之電學效能及高應力。淺溝槽絕緣之更垂直剖面比LOCOS絕緣佳，尤其尺寸小於0.3微米時。

在本發明之其他實施例中，可完全省去淺溝槽及/或深溝槽且省略其處理步驟。本發明之範疇中亦包括兩種以上不同溝槽蝕刻。

在步驟103中，在深溝槽蝕刻後，將溝槽再填充。在比較佳實施例中，深溝槽及/或淺溝槽之寬度視溝槽功能而變化。以介電質完全填充之溝槽可以窄寬度蝕刻，而若其部分地以介電質填充且其餘部分以導電材料填充，則使用較寬溝槽。

為以此方式再填充溝槽，沈積具有優良保形性之介電層，例如TEOS沈積氧化物。沈積厚度設計成不僅完全再填充狹窄溝槽，而且覆蓋較寬溝槽之側壁。舉例而言，可利用0.1微米厚度完全再填充0.2 μm 寬溝槽且在0.4微米寬溝槽之每一側壁上形成0.1微米層，使寬溝槽中留有0.2微米寬的空間。接著可較佳藉由反應性離子蝕刻技術將介電層回蝕，以將寬溝槽底部之介電質完全移除。可選植入物可引入各寬溝槽底部之開口中。因為基板僅在寬溝槽之底部曝露，所以無需遮罩層。此植入物較佳為高劑量低能量之N型植入物，例如在30 keV及 $1 \times 10^{15} \text{ cm}^{-2}$ 下之磷，其可改良導電填充物(下文所述)與DN底部絕緣區之接觸。

接著沈積導電層以完成寬溝槽之再填充。此層較佳具有高導電性且保形性，諸如原位摻雜多晶矽。接著較佳藉由化學機械研磨(CMP)將結構平坦化恢復基板之原表面。

圖13中之步驟104展示在溝槽蝕刻、再填充及平坦化完成之後執行DN遮罩及植入之選項。此流程具有優於步驟102中執行DN方法之處在於，DN區未經受與溝槽蝕刻、再填充及平坦化步驟有關之額外處理及熱預算。步驟104亦展示較佳使用硼之高能植入所形成之可選深P型(DP)區之

遮罩及植入。在一較佳實施例中，DP區植入足夠深使得其實質上不改變上覆設備之表面濃度。舉例而言，用於DP區之植入劑量可在 $1\text{E}12\text{ cm}^{-2}$ 至 $1\text{E}14\text{ cm}^{-2}$ 之範圍內，但通常可在 $5\text{E}11\text{ cm}^{-2}$ 至 $5\text{E}13\text{ cm}^{-2}$ 之範圍內。

圖13中之步驟105展示高壓漂移區(HVN)之形成，高壓漂移區較佳以高達或甚至超過最深N型井植入物之能量的能量遮罩及植入，例如使用高達3 MeV之能量下的磷。可針對建構高壓電晶體優化HVN植入物劑量。總植入電荷可(例如)在 $1\text{E}12\text{ cm}^{-2}$ 至 $5\text{E}12\text{ cm}^{-2}$ 之範圍內。此步驟亦展示可選P型區(PBD)之遮罩及植入以形成高壓電晶體之主體。PBD植入物可包含在不同能量下之多種植入物以優化高壓電晶體之臨限電壓、崩潰電壓及效能。

步驟106展示互補井之形成，包含遮罩步驟及植入之順序，無隨後高溫擴散及最少摻雜物分離。預植入氧化物可在植入之前在低溫(例如 850°C 至 900°C)下熱成長至數百埃(angstrom)之厚度以將表面污染減至最少。一種預植入氧化物可用於若干井植入而無需剝離氧化物及使氧化物再成長。一種以上P型井及N型井可在不同區域中形成以促進不同電壓設備之製造。

第一P型井(PW1)可使用硼系植入物形成，從而產生非單調或非高斯摻雜濃度分布，該分布可包括至少一個頂部部分PW1A及內埋或較深部分PW1B或包含不同能量及劑量之植入物的多個區域。較深部分PW1B可用較重劑量植入物形成且具有比上部井部分PW1A高的濃度。

第二P型井(PW2)亦可使用硼系植入物形成，從而產生非單調或非高斯摻雜濃度分布，該分布可包括至少一個頂部部分PW2A及內埋或較深部分PW2B或包含不同能量及劑量之植入物的多個區域。較深部分PW2B亦可用較重劑量植入物形成且具有比上部井部分PW2A高的濃度。PW1及PW2之濃度及摻雜分布可為不同的，且可針對各種電壓設備加以優化。舉例而言，PW1可針對建構1.5V NMOS電晶體優化，而PW2可針對製造12V NMOS電晶體優化。在此類狀況下，PW1之平均濃度可比PW2之平均濃度高。

以類似方式，可使用磷系植入物形成第一N型井(NW1)，從而產生非單調或非高斯摻雜濃度分布，該分布可包括至少一個頂部部分NW1A及內埋或較深部分NW1B或包含不同能量及劑量之植入物的多個區域。較深部分NW1B可用較重劑量植入物形成且具有比上部井部分NW1A高的濃度。

同樣，可使用磷系植入物形成第二N型井(NW2)，從而產生非單調或非高斯摻雜濃度分布，其可包括至少一個頂部部分NW2A及內埋或較深部分NW2B或包含不同能量及劑量之植入物的多個區域。較深部分NW2B亦可用較重劑量植入物形成且具有比上部井部分NW2A高的濃度。NW1及NW2之濃度及摻雜分布為不同的，且可針對各種電壓設備加以優化。舉例而言，NW1可針對建構1.5V PMOS電晶體優化，而NW2可針對製造12V PMOS電晶體優化。

應用模組性之原理，可添加額外P型井及N型井而不影

響其他整合設備。在一較佳實施例中，上述井植入深度不深於DN底部絕緣層。因此，位於DN區上方之P型井不應大幅增加DN區之薄層電阻或大幅降低DN區之絕緣有效性。

步驟107展示互補雙極電晶體之基極區的形成。舉例而言，可藉由遮罩及硼之植入將NPN基極區(PB)引入。類似地，可藉由遮罩及磷之植入將PNP基極區(NB)引入。基極植入物可包含單一植入物或系列植入物。在系列植入基極區之一實例中，淺部分可受到較重摻雜且用以降低基極電阻，而較深部分可受到較輕微摻雜且分等級以優化設備之電流增益歐拉電壓。雙極電晶體可使用多晶矽或所植入之發射極形成。

步驟108展示CMOS電晶體之閘極的形成。可形成單一、雙重或多重閘極氧化物以建構針對不同操作電壓優化之設備。舉例而言，在雙重閘極氧化物製程中，第一氧化物可在低溫(例如850°C至900°C)下成長至給定厚度 x_{ox1} 。接著將氧化物遮罩且移除，一般藉由在需要較薄閘極氧化物之區域中用HF酸中蝕刻來移除。藉由在蝕刻程序中覆蓋溝槽或藉由限制蝕刻時間來確保蝕刻期間不自介電質填充溝槽移除大量氧化物。或者，可使用如2005年12月9日申請之申請案第11/298,075號中所述之覆蓋溝槽減緩溝槽氧化物侵蝕，該案以引用的方式併入本文中。

將第一閘極氧化物自選定活性區移除後，整個晶圓可經第二次氧化以在第二次氧化時不存在氧化物之區域中使第

二閘極氧化物以厚度 $X_{ox(thin)}$ 成長。在第二閘極氧化物之前剩餘氧化物的區域中，氧化物因兩次連續氧化而自其起始厚度 X_{ox1} 成長至新厚度 $X_{ox(thick)}$ 。

在此雙重氧化物方法中，較厚氧化物可用於支持較高閘極電壓之設備，例如 350Å 閘極氧化物可用於 12 V 設備。較薄氧化物可用於支持較低閘極電壓之設備；例如 125Å 氧化物可用於 5 V 設備。

在單一或多重閘極氧化物形成後，沈積單一閘極多晶矽層。在一實施例中，可沈積經原位摻雜之閘極多晶矽層。接著可用諸如鉑、鈦或鎢之難熔性金屬覆蓋閘極多晶矽以形成低電阻矽化物。接著可將閘極遮罩且蝕刻。

在另一實施例中，可沈積未經摻雜、經毯覆式植入物輕微摻雜的閘極多晶矽層，且接著遮罩且蝕刻。此層之區域可免於隨後摻雜且用以形成高值電阻器。在此實施例中，可在製程後期使用與用以形成 NMOS 或 PMOS 設備之源極區及汲極區相同的 N+ 或 P+ 植入物摻雜閘極多晶矽層。接著可藉由諸如氧化物之層保護閘極多晶矽之某些部分，且曝露之多晶矽區可用難熔性金屬覆蓋以形成自對準(與保護層自對準)之矽化物區。

在另一實施例中，較厚閘極氧化物可成長且用原位摻雜之第一多晶矽層覆蓋，且接著遮罩且蝕刻第一多晶矽層。接著可移除不需要之厚閘極氧化物區。接著薄閘極氧化物可成長且用未經摻雜之第二多晶矽層覆蓋，且接著遮罩且摻雜以形成 P 型與 N 型多晶矽區。接著第二多晶矽層可用難

熔性金屬覆蓋且反應形成矽化物，接著遮罩且蝕刻以形成低電壓閘極。在此替代性流程中，較高電壓厚閘極設備不具有矽化物且因此該等較高電壓厚閘極設備之最大開關速度可較低。此流程之一優勢在於可在第一多晶矽層與第二多晶矽層之間形成多晶矽-多晶矽電容器(poly-to-poly capacitor)。

在一替代性流程中，步驟107之基極植入物可在閘極氧化步驟後引入，此優點在於，若氧化先於基極植入，則閘極氧化程序對基極摻雜物分布無影響。在高頻率操作需要基極極淺的情況下，此流程尤其有利於多晶矽發射極雙極電晶體形成。

步驟109展示可選P型傾斜主體(PTB)之形成，其係使用大角度傾斜植入(LATID)經由遮罩引入。為形成N通道橫向DMOS之主體，例如，可將 $1\text{E}13\text{ cm}^{-2}$ 至 $5\text{E}14\text{ cm}^{-2}$ 範圍內的硼植入物以 45° 度角引入，從而滲入多晶矽閘極下之矽中。為確保所有取向閘極之均一性，應在離子植入期間機械旋轉晶圓。LATID方法允許PTB區之形成，該PTB區與多晶矽閘極邊緣自對準且具有相對大之閘極負重疊(例如0.3-0.6微米)而無需長久擴散以使閘極下之PTB擴散(實情為，其在閘極下藉由LATID植入)。步驟109亦展示依序經遮罩及植入之輕微摻雜汲極(LDD)區之形成。可形成多個LDD區且針對給定模組流程中所包括的各種CMOS設備優化。舉例而言，可針對較低電壓CMOS設備形成較重摻雜之LDD區(NLDD1及PLDD1)且針對較高電壓設備形成獨立

較輕摻雜LDD區(NLDD2及PLDD2)。

在LDD植入後，步驟110展示使用習知方法形成側壁間隔區，諸如沈積厚氧化物層或其他間隔層，接著進行各向異性蝕刻以將除沿所蝕刻之閘極多晶矽區之側壁外之所有區域的間隔層移除。步驟110亦展示N+及P+源極及汲極植入物之形成。此等植入物經個別遮罩且通常分別使用砷及BF₂植入。亦可將可選額外植入物引入以改良ESD效能。在一較佳實施例中，如上所述，亦使用N+及P+植入物摻雜NMOS及PMOS設備上所曝露之多晶矽閘極區，從而在各類型設備中提供相同摻雜類型之閘極多晶矽及源極及汲極區。亦可沈積、遮罩且蝕刻遮罩層，諸如氧化物，以使得自對準矽化物接著可形成於閘極多晶矽及/或源極區及汲極區之未遮罩區上。

步驟111展示第一層間介電層(ILD)之形成，其將基板與上覆金屬層分隔。此層較佳為厚度在0.3-1.0微米之範圍內的二氧化矽或另一合適介電質層。若給定方法流程中包括高頻率多晶矽發射極雙極電晶體，則在ILD中敞開多晶矽發射極窗口且沈積多晶矽。多晶矽可原位摻雜或未摻雜沈積，接著進行遮罩及離子植入以形成P型及N型多晶矽發射極。接著使用快速熱退火(RTA)方法將晶圓退火以活化所植入之摻雜物。除溝槽再填充、閘極氧化及多晶矽沈積程序以外，此步驟包含大部分之程序熱預算。此特徵與大部分絕緣IC方法相比獨特之處在於具有與絕緣及井形成相關之實質性高溫處理。RTA循環可包含例如1000-1100°C之溫

度，歷時數秒至數分鐘。

步驟112展示多層互連之形成。互連程序開始為接觸遮罩及蝕刻第一ILD，接著較佳使用難熔性金屬(諸如，鎢)沈積及平坦化來形成接觸插塞。使用(例如)鋁、銅或合金沈積第一金屬化層。金屬化層亦可包含一或多個下伏障壁層及一或多個上覆障壁層以改良黏附、接觸電阻或光學處理。總金屬堆疊之厚度視待蝕刻之最小線寬而定，但通常可為1.0微米或更小。遮罩且蝕刻第一金屬化層。以類似方式沈積且蝕刻ILD及金屬化之額外層以提供所需數目之互連層。

在步驟113中，沈積、遮罩且蝕刻諸如氧化矽或氮化矽之鈍化層以界定結合襯墊開口。或者，可沈積另一介電層而非鈍化層，且可蝕刻最終通道遮罩。接著可沈積可選第四層金屬且用以在跨越凸塊組件之晶片上均勻再分布襯墊位置，通常呈0.5 mm中心距規則網格陣列。因此，可稱該金屬為RDL或再分布層。接著將襯墊遮罩沈積且蝕刻於凸塊位置且沈積三層薄金屬夾層，例如包含鈦作為歐姆接觸層、接著鎳作為障壁層及最後銀作為可焊接金屬的三層薄金屬夾層。接著銀焊料凸塊鍍於晶圓上且所完成之晶圓備妥用於切割。

本文所述之實施例意欲具有說明性且非限制性。熟習此項技術者經由本文中之說明顯而易見屬於本發明之寬範疇內的許多替代性實施例。

【圖式簡單說明】

圖1說明根據本發明之一實施例製造之CMOS設備的橫截面圖。

圖2說明根據本發明之第二實施例製造之CMOS設備的橫截面圖。

圖3說明根據本發明之第三實施例製造之CMOS設備的橫截面圖。

圖4為其中溝槽含有與底部絕緣區接觸之導電材料的絕緣雙極電晶體之橫截面圖。

圖5為其中溝槽經介電材料填充之絕緣雙極電晶體之橫截面圖。

圖6A-6D說明一種用於形成非自對準之絕緣結構的方法流程，其中底部絕緣區在形成溝槽之前植入。

圖7A-7E說明一種用於形成自對準之絕緣結構的方法流程，其中溝槽在底部絕緣區植入之前形成。

圖8A-8E說明一種用於形成絕緣結構之替代方法流程，其中溝槽在底部絕緣區植入之前形成。

圖9A-9D說明一種用於在絕緣凹穴內及絕緣凹穴之間形成深植入P型區的方法流程。

圖10A-10G說明一種用於形成具有導電填充溝槽以及一或多個淺溝槽絕緣(STI)溝槽之絕緣結構的方法流程。

圖11A-11C說明使用植入井電接觸底部絕緣區之替代性方法。

圖12為說明用於形成本發明之絕緣結構之各種製造方法的流程圖。

圖 13 為一種根據本發明製造多種完全絕緣雙極、CMOS 及 DMOS 設備的模組方法之流程圖。

【主要元件符號說明】

2	P 型基板
3	深 N 型底部絕緣區
4	硬遮罩
5	光阻遮罩
6	預植入氧化物
8	遮罩層
9A	開口
9B	開口
10	P 型凹穴/絕緣凹穴
11A	電絕緣溝槽
11B	電絕緣溝槽
21	基板
22	DN 底部絕緣區
23	遮罩層/遮罩
23A	開口
23B	邊緣
24	預植入之薄氧化物層
25	外側圍緣/邊緣
27	遮罩層
28	遮罩區/遮罩
30A	窗口

30B	窗 口
31	P型凹 穴
31A	側 壁 溝 槽
31B	側 壁 溝 槽
32	介 電 材 料
40	開 口
41	基 板
42	遮 罩
43	填 充 溝 槽
44	遮 罩 層
45A	DN區
45	DN區
46	P型凹 穴
51A	基 板
51B	絕 緣 凹 穴
51C	絕 緣 凹 穴 / P型凹 穴
52A	DN區
52B	DN區
53A	溝 槽
53B	溝 槽
53C	溝 槽
53D	溝 槽
54	DP區
55	遮 罩 層 / DP區

55A	開口
61	流程
62	流程
71	基板
72A	DN區
72B	DN區
73A	溝槽
73B	溝槽
73C	溝槽
74	P型井
75	N型井
76	N+區
81	基板
82A	DN底部絕緣區
82B	DN底部絕緣區
83A	溝槽
83B	溝槽
83C	溝槽
84	P型井
85	N型井
86	N+區
91	基板
92	DN底部絕緣區
93A	溝槽

93B	溝槽
94	P型井
95	N型井
96	N+區
97	基板91之區域
100A	PMOS
100B	PMOS
100C	NMOS
100D	PMOS
100E	NMOS
100F	NMOS
101	基板
102A	DN底部絕緣區
102B	DN底部絕緣區
103A	填充溝槽
103B	填充溝槽
103C	再填充溝槽
103D	再填充溝槽
104	N型井
104A	頂部部分
104B	較深部分
105	P型井
105A	頂部部分
105B	較深部分

106	N型井
106A	頂部部分
106B	較深部分
107	P型井
107A	頂部部分
107B	較深部分
108	深P型區
109A	閘極
109B	閘極
110A	N+汲極
110B	N+源極
110F	N+源極
110G	N+汲極
111A	P+源極
111B	P+汲極
111C	P+接點區
111D	P+源極
111E	P+汲極
111F	P+接點區
112	下伏P型輕微摻雜汲極/LDD漂移區
113	下伏NLDD1/LDD漂移區
114	源極延伸部分
115	輕微摻雜汲極延伸部分
115A	第一閘極氧化物層

115B	第一閘極氧化物層
116A	第二閘極氧化物層
116B	第二閘極氧化物層
117A	閘極
117B	閘極
118A	側壁間隔區
118B	側壁間隔區
118C	側壁間隔區
118D	側壁間隔區
119	輕微摻雜汲極延伸部分
120	源極延伸部分
131	介電材料層
132	導電材料
133A	P型區
133B	P型層
134A	溝槽
134B	溝槽
135A	再填充溝槽
135B	再填充溝槽
140A	絕緣凹穴
140B	絕緣凹穴
200A	PMOS/NPN電晶體
200B	NMOS/PNP電晶體
200C	NMOS

200D	PMOS
201P	型基板
202A	DN底部絕緣
202B	DN底部絕緣區
203A	填充溝槽
203B	溝槽
203C	溝槽
203D	溝槽
203E	溝槽
203F	溝槽
203G	溝槽
203H	溝槽
204	P+基極接點區
204A	N型井
204B	N型井
205	溝槽
205A	P型井
206	N+發射極
206A	N型井
206B	N型井
207	P型基極區
207A	P型井
208	可選深P型區/N型區/介入區
209	填充溝槽

210	埋入絕緣區
210A	N+接點區
210B	N+源極
210C	N+汲極
210F	N+源極
210G	N+汲極
211	P+發射極
211A	P+源極
211B	P+汲極
211F	P+源極
211G	P+汲極
212	下伏LDD
213	下伏LDD/N+基極接點區
214	LDS/P+集極接點區
215	LDD/N型基極區/基極
216	LDS/P型集極區
217	LDD
218	第一閘極氧化物層
219A	側壁間隔區
219B	側壁間隔區
220A	多晶矽閘極
220B	多晶矽閘極
220C	多晶矽閘極
220D	多晶矽閘極

221	可選矽化物
222	第二閘極氧化物層
231	介電材料層
232	導電材料
240A	絕緣凹穴
240B	絕緣凹穴
241	介電材料層
242	導電材料
300A	PMOS
300B	NMOS
301	P型基板
302	DN底部絕緣區
303A	溝槽
303B	溝槽
303C	溝槽
304	N型井
305	P型井
306A	P+源極
306B	P+汲極
306C	P+接點區
307A	側壁間隔區
307B	側壁間隔區
308	LDS
309A	閘極

309B	閘極
310A	可選矽化物
310B	可選矽化物
311A	閘極氧化物層
311B	閘極氧化物層
312	LDD
313	LDD
314A	N+源極
314B	N+汲極
314C	N+接點區
315	LDS
316	LDD
317	LDD
318	層間介電層
319	圖案化金屬化層
340	絕緣凹穴
400A	NPN雙極電晶體
400B	NPN雙極電晶體
401	P型基板
402A	DN底部絕緣區
402B	DN底部絕緣區
403A	填充溝槽
403B	填充溝槽
403C	填充溝槽

403D	填充溝槽
403E	溝槽
403F	填充溝槽
404A	N井區
404B	N井區
405A	基極區/P型井
405B	基極區/P型井
406A	植入N+發射極/N+區
406B	N+區
406C	N+區
406D	N+區
407A	P+區
407B	P+區
408	金屬
409	層間介電層
410	NB區
741	P-基板
742	DN區
742A	DN區
742B	DN區
743	遮罩層/遮罩
744	蝕刻終止層
745	淺溝槽
746	溝槽

746A	填充溝槽
746B	填充溝槽
746C	填充溝槽
746D	填充溝槽
746E	導電填充溝槽
747	介電層
748A	介電區
748B	側壁介電層
748C	側壁介電層
748D	側壁介電層
748E	側壁介電層
749	導電層
750A	導電材料
750B	導電材料
751	絕緣P型區
752	可選N型植入物
752A	可選植入區
752B	可選植入區
753A	絕緣凹穴
753B	絕緣凹穴
754	介電質填充溝槽
755	導電填充溝槽
L_{N1}	長度
L_{N2}	長度

L _{P1}	長度
L _{P2}	長度
NW1	頂部部分
NW1B	較深部分
NW2	頂部部分
NW2B	較深部分
PW1	頂部部分
PW1B	較深部分
PW2	頂部部分
PW2B	較深部分

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98104783 H01L 27/092 (2006.01)
 ※申請日：98.2.13 ※IPC 分類：H01L 29/13 (2006.01)
 H01L 21/18248 (2006.01)
 H01L 21/76 (2006.01)

一、發明名稱：(中文/英文)

絕緣互補金氧半導體及雙極電晶體及其絕緣結構以及其製造方法

ISOLATED CMOS AND BIPOLAR TRANSISTORS, ISOLATION
 STRUCTURES THEREFOR AND METHODS OF FABRICATING THE
 SAME

二、中文發明摘要：

在P型半導體基板中形成之絕緣互補金氧半導體(CMOS)電晶體包括一N型埋入式底部絕緣區及一自該基板之表面向下延伸至底部絕緣區之填充溝槽。該底部絕緣區與該填充溝槽一起形成基板之絕緣凹穴，該絕緣凹穴含有N井中之P通道金氧半導體場效電晶體(MOSFET)及P井中之N通道MOSFET。基板不含有磊晶層，從而克服與磊晶層製造有關之諸多問題。

三、英文發明摘要：

Isolated CMOS transistors formed in a P-type semiconductor substrate include an N-type submerged floor isolation region and a filled trench extending downward from the surface of the substrate to the floor isolation region. Together the floor isolation region and the filled trench form an isolated pocket of the substrate which contains a P-channel MOSFET in an N-well and an N-channel MOSFET in a P-well. The substrate does not contain an epitaxial layer, thereby overcoming the many problems associated with fabricating the same.

七、申請專利範圍：

1. 一種絕緣互補金氧半導體(CMOS)電晶體，其形成於一具有一第一導電類型之半導體基板中，該基板不包含一磊晶層，該絕緣CMOS電晶體對包含：

一具有與該第一導電類型相反之一第二導電類型、埋入該基板中之底部絕緣區；及

一自該基板之一表面向下至少延伸至該底部絕緣區的第一填充溝槽，該第一填充溝槽包含一介電材料，

其中該底部絕緣區與該第一填充溝槽一起包圍該基板之一絕緣凹穴，該絕緣凹穴包含一N井及一P井，該N井包含一P通道金氧半導體場效電晶體(MOSFET)，該P井包含一N通道MOSFET。

2. 如請求項1之絕緣CMOS電晶體，其中該N井及該P井之每一者包含一與該基板之一表面相鄰之上部及一位於該上部之下部，該下部具有大於該上部之峰值摻雜濃度的峰值摻雜濃度。

3. 如請求項2之絕緣CMOS電晶體，其中該P通道MOSFET包含：

一P型源極區、一P型汲極區、一上覆於一閘極氧化物層上之閘極及一P型汲極延伸區，該P型汲極延伸區摻雜比該P型汲極區輕且自該P型汲極區延伸至該閘極；且

其中該N通道MOSFET包含：

一N型源極區、一N型汲極區、一上覆於一第二閘極氧化物層上之第二閘極及一N型汲極延伸區，該N型汲極延

伸區摻雜與比該N型汲極區輕且自該N型汲極區延伸至該第二閘極。

4. 如請求項3之絕緣CMOS電晶體，其中該N型汲極區與該閘極之間的橫向距離大於該N型源極區與該閘極之間的橫向距離。
5. 如請求項3之絕緣CMOS電晶體，其包含一摻雜比該N型源極區輕且比該N型汲極延伸區重之N型源極延伸區，該N型源極延伸區自該N型源極區延伸至該閘極。
6. 如請求項1之絕緣CMOS電晶體，其中該第一填充溝槽經介電材料填充。
7. 如請求項1之絕緣CMOS電晶體，其中該第一填充溝槽進一步包含一導電材料，該導電材料由該介電材料橫向環繞。
8. 如請求項7之絕緣CMOS電晶體，其中該導電材料提供該底部絕緣區至該基板之一表面的電接觸。
9. 如請求項1之絕緣CMOS電晶體，其包含一第二填充溝槽，該第二填充溝槽自該基板之一表面向下至少延伸至該底部絕緣區，該第二填充溝槽包含一介電材料且將該P井與該N井分隔。
10. 如請求項9之絕緣CMOS電晶體，其中該第二填充溝槽之寬度小於該第一填充溝槽之寬度。
11. 如請求項1之絕緣CMOS電晶體，其包含一第二填充溝槽，該第二填充溝槽自該基板之一表面向下延伸至小於該第一填充溝槽之深度的深度。

12. 如請求項11之絕緣CMOS電晶體，其中該第二填充溝槽經一介電材料填充且該第一填充溝槽包含一由該介電材料橫向環繞之導電材料。

13. 一種絕緣CMOS電晶體群，其形成於一具有一第一導電類型之半導體基板中，該基板不包含一磊晶層，該絕緣CMOS電晶體群包含：

一具有與該第一導電類型相反之一第二導電類型、埋入該基板中之第一底部絕緣區；

一自該基板之一表面向下至少延伸至該第一底部絕緣區的第一填充溝槽，該第一填充溝槽包含一介電材料，其中該第一底部絕緣區與該第一填充溝槽一起包圍該基板之一第一絕緣凹穴，該第一絕緣凹穴包含一第一N井及一第一P井，該第一N井包含一第一P通道MOSFET，該第一P井包含一第一N通道MOSFET；

一具有該第二導電類型、埋入該基板中之第二底部絕緣區；及

一自該基板之該表面向下至少延伸至該第二底部絕緣區的第二填充溝槽，該第二填充溝槽包含一介電材料，其中該第二底部絕緣區與該第二填充溝槽一起包圍該基板之一第二絕緣凹穴，該第二絕緣凹穴包含一第二N井及一第二P井，該第二N井包含一第二P通道MOSFET，該第二P井包含一第二N通道MOSFET。

14. 如請求項13之絕緣CMOS電晶體群，其中該第一N井及該第二N井之每一者及該第一P井及該第二P井之每一者包

含一與該基板之一表面相鄰之上部及一位於該上部之下部，在該等井之每一者內，該下部具有大於該上部之峰值摻雜濃度之峰值摻雜濃度。

15. 如請求項13之絕緣CMOS電晶體群，其進一步包含一具有該第一導電類型之深植入區，該深植入區埋入該基板中且橫向安置於該第一底部絕緣區與該第二底部絕緣區之間。
16. 如請求項13之絕緣CMOS電晶體群，其進一步包含一第三再填充溝槽，該第三再填充溝槽自該基板之該表面向下延伸且橫向安置於該第一絕緣凹穴與該第二絕緣凹穴之間。
17. 如請求項13之絕緣CMOS電晶體群，其中該第一填充溝槽及該第二填充溝槽進一步包含一導電材料，該導電材料由該介電材料橫向環繞。
18. 如請求項16之絕緣CMOS電晶體群，其中該第三再填充溝槽經一介電材料填充。
19. 如請求項16之絕緣CMOS電晶體群，其中該第三再填充溝槽之寬度小於該第一再填充溝槽及該第二再填充溝槽之寬度。
20. 如請求項17之絕緣CMOS電晶體群，其進一步包含一自該基板之該表面向下延伸的第三再填充溝槽，該第三再填充溝槽橫向安置於該第一絕緣凹穴與該第二絕緣凹穴之間且經該介電材料填充。
21. 如請求項13之絕緣CMOS電晶體群，其包含一第三填充

溝槽及一第四填充溝槽，該第三填充溝槽自該基板之該表面向下至少延伸至該第一底部絕緣區，該第三填充溝槽包含一介電材料且將該第一P井與該第一N井分隔，該第四填充溝槽自該基板之該表面向下至少延伸至該第二底部絕緣區，該第四填充溝槽包含一介電材料且將該第二P井與該第二N井分隔。

22. 如請求項21之絕緣CMOS電晶體群，其中：

該第一P通道MOSFET包含一第一P型源極區、一第一P型汲極區及一上覆於一第一閘極氧化物層上之第一閘極；

該第一N通道MOSFET包含一第一N型源極區、一第一N型汲極區及一上覆於一第二閘極氧化物層上之第二閘極；

該第二P通道MOSFET包含一第二P型源極區、一第二P型汲極區及一上覆於一第三閘極氧化物層上之第三閘極；及

該第二N通道MOSFET包含一第二N型源極區、一第二N型汲極區及一上覆於一第四閘極氧化物層上之第四閘極。

23. 如請求項22之絕緣CMOS電晶體群，其中該第三閘極氧化物層及該第四閘極氧化物層之每一者比該第一閘極氧化物層及該第二閘極氧化物層之每一者厚。

24. 如請求項22之絕緣CMOS電晶體群，其中該第二N井及該第二P井之每一者具有比該第一N井及該第一P井之每一

者低的表面濃度。

25. 如請求項22之絕緣CMOS電晶體群，其中該第二N井及該第二P井之每一者具有比該第一N井及該第一P井之每一者大的厚度。
26. 如請求項22之絕緣CMOS電晶體群，其中該第一絕緣凹穴包含一具有該第二導電類型之井，該井自該基板之該表面向下延伸至該底部絕緣層。
27. 如請求項13之絕緣CMOS電晶體群，其中該第一P井包含一第三P通道MOSFET及一自該基板之該表面向下延伸之第三填充溝槽，該第三填充溝槽包含一介電材料且將該第一P通道MOSFET與該第三P通道MOSFET分隔。
28. 如請求項27之絕緣CMOS電晶體群，其中該第三填充溝槽之深度小於該第一填充溝槽之深度。
29. 如請求項27之絕緣CMOS電晶體群，其中該第三填充溝槽之寬度小於該第一填充溝槽之寬度。
30. 如請求項13之絕緣CMOS電晶體群，其中該第一填充溝槽及該第二填充溝槽之每一者經該介電材料填充。
31. 如請求項13之絕緣CMOS電晶體群，其中該第一填充溝槽及該第二填充溝槽之每一者之一壁襯有該介電材料，該第一填充溝槽及該第二填充溝槽之每一者之其餘部分包含一導電材料，該導電材料自該基板之該表面延伸至該底部絕緣區。
32. 一種絕緣雙極電晶體，其形成於一具有一第一導電類型之半導體基板中，該基板不包含一磊晶層，該絕緣雙極

電晶體包含：

一具有與該第一導電類型相反之一第二導電類型、埋入該基板中之底部絕緣區；

一自該基板之一表面向下至少延伸至該底部絕緣區之第一填充溝槽，該第一填充溝槽包含一介電材料，其中該底部絕緣區及該第一填充溝槽一起包圍該基板之一絕緣凹穴，

一具有該第二導電類型之發射極區，其位於該絕緣凹穴中、與該基板之一表面相鄰；

一具有該第一導電類型之基極區，其位於該絕緣凹穴中、與該發射極區相鄰；及

一具有該第二導電類型之集極區，該集極區包含該底部絕緣區且與該基極區相鄰定位。

33. 如請求項32之絕緣雙極電晶體，其中該基極區包含一基極接點區，該基極接點具有比該基極區之其餘部分高的摻雜濃度，該絕緣雙極電晶體進一步包含一介電質填充溝槽，該介電質填充溝槽自該基板之該表面向下延伸且將該發射極區與該基極接點區分隔。
34. 如請求項33之絕緣雙極電晶體，其中該介電質填充溝槽具有小於該第一填充溝槽之垂直深度的垂直深度。
35. 如請求項33之絕緣雙極電晶體，其中該介電質填充溝槽具有小於該第一填充溝槽之橫向寬度的橫向寬度。
36. 如請求項33之絕緣雙極電晶體，其中該介電質填充溝槽橫向包圍該發射極區，該基極接點區橫向包圍該介電質

填充溝槽，且該第一填充溝槽橫向包圍該基極接點區。

37. 如請求項32之絕緣雙極電晶體，其中該填充溝槽進一步包含一導電材料，該導電材料由該介電材料橫向環繞。

38. 如請求項37之絕緣雙極電晶體，其中該導電材料提供該集極區至該基板之該表面的電接觸。

39. 如請求項32之絕緣雙極電晶體，其中該填充溝槽經該介電材料填充。

40. 如請求項32之絕緣雙極電晶體，其中該絕緣凹穴進一步包含一具有該第二導電類型之井，該井自該基板之該表面延伸至該底部絕緣區。

41. 如請求項40之絕緣雙極電晶體，其進一步包含一自該基板之該表面向下至少延伸至該底部絕緣區的第二介電質填充溝槽，該第二介電質填充溝槽位於該井與該基極區之間。

42. 如請求項32之絕緣雙極電晶體，其中該發射極區包含一發射極接點區，該發射極接點區具有比該發射極區之其餘部分高的摻雜濃度。

43. 如請求項35之絕緣雙極電晶體，其中該第一填充溝槽包含一個沿該溝槽之該壁的介電材料層及一自該溝槽之該頂部延伸至該底部絕緣區的導電材料。

44. 一種絕緣雙極電晶體，其形成於一具有一第一導電類型之半導體基板中，該基板不包含一磊晶層，該絕緣雙極電晶體包含：

一具有與該第一導電類型相反之一第二導電類型、埋

入該基板中之集極區；

一自該基板之一表面向下延伸的第一填充溝槽，該第一填充溝槽包含一導電材料，該導電材料由一介電材料橫向環繞，

一具有該第一導電類型之基極區，其位於該基板中、該集極區上方；及

一具有該第二導電類型之發射極區，其位於該基極區上方且與該基板之一表面相鄰。

45. 一種絕緣雙極電晶體，其形成於一具有一第一導電類型之半導體基板中，該基板不包含一磊晶層，該絕緣雙極電晶體包含：

一具有與該第一導電類型相反之一第二導電類型、埋入該基板中之底部絕緣區；

一自該基板之一表面向下至少延伸至該底部絕緣區之填充溝槽，該填充溝槽包含一介電材料，其中該底部絕緣區及該填充溝槽一起包圍該基板之一絕緣凹穴，

一具有該第一導電類型之發射極區，其位於該絕緣凹穴中、與該基板之一表面相鄰；

一具有該第二導電類型之基極區，其位於該絕緣凹穴中、與該發射極區相鄰；及

一具有該第一導電類型之集極區，其與該基極區相鄰定位。

46. 如請求項45之絕緣雙極電晶體，其中該基極區包含一基極接點區，該基極接點具有比該基極區之其餘部分高的

摻雜濃度，該絕緣雙極電晶體進一步包含一第一介電質填充溝槽，該第一介電質填充溝槽自該基板之該表面向下延伸且將該發射極區與該基極接點區分隔。

47. 如請求項46之絕緣雙極電晶體，其中該集極區包含一集極接點區，該集極接點區具有比該集極區之其餘部分高的摻雜濃度，該絕緣雙極電晶體進一步包含一第二介電質填充溝槽，該第二介電質填充溝槽自該基板之該表面向下延伸且將該基極接點區與該集極接點區分隔。

48. 如請求項45之絕緣雙極電晶體，其中該第一介電質填充溝槽具有小於該第一填充溝槽之垂直深度的垂直深度。

49. 如請求項45之絕緣雙極電晶體，其中該第一介電質填充溝槽具有小於該第一填充溝槽之橫向寬度的橫向寬度。

50. 如請求項47之絕緣雙極電晶體，其中該第一介電質填充溝槽橫向包圍該發射極區，該基極接點區橫向包圍該第一介電質填充溝槽，該第二介電質填充溝槽橫向包圍該基極接點區，該集極接點區橫向包圍該第二介電質填充溝槽，且該第一填充溝槽橫向包圍該集極接點區。

51. 一種存於一具有一第一導電類型之半導體基板中的絕緣結構，該絕緣結構包含：

一具有一第二導電類型、埋入該基板中之底部絕緣區；

一自該基板之一表面向下至少延伸至該底部絕緣區之填充溝槽，該填充溝槽包含一介電材料，該底部絕緣區及該填充溝槽一起包圍該基板之一絕緣凹穴；

一存於該絕緣凹穴中之分隔溝槽，該分隔溝槽包含一介電材料且自該基板之該表面向下至少延伸至該底部絕緣區以便將該絕緣凹穴分隔成第一部分及第二部分；及

一存於該絕緣凹穴之該第一部分中、具有該第二導電類型之井，該井自該基板之該表面向下延伸至該底部絕緣區。

52. 如請求項51之絕緣結構，其包含一存於該絕緣凹穴之該第二部分中、具有該第一導電類型之第二井，該第二井具有比該基板之摻雜濃度大的摻雜濃度。

53. 一種存於一具有一第一導電類型之半導體基板中的絕緣結構，該絕緣結構包含：

一具有一第二導電類型、埋入該基板中之底部絕緣區；

一自一表面向下延伸至該底部絕緣區之填充溝槽，該填充溝槽包含一導電材料，該導電材料由一介電材料橫向環繞，該底部絕緣區及該填充溝槽一起包圍該基板之一絕緣凹穴；及

一存於該絕緣凹穴中之分隔溝槽，該分隔溝槽包含一介電材料。

54. 如請求項53之絕緣結構，其中該導電材料提供該基板之該表面至該底部絕緣區之電接觸。

55. 如請求項53之絕緣結構，其中該分隔溝槽經該介電材料填充。

56. 如請求項53之絕緣結構，其中該分隔溝槽自該基板之該

表面向下延伸至該底部絕緣區以便將該絕緣凹穴分隔成第一部分及第二部分。

57. 如請求項 53 之絕緣結構，其中該分隔溝槽具有小於該填充溝槽之橫向寬度的橫向寬度。

58. 如請求項 53 之絕緣結構，其中該分隔溝槽具有小於該填充溝槽之垂直深度的垂直深度。

59. 一種形成一用於一積體電路設備之絕緣結構的方法，該方法包含：

提供一具有一第一導電類型之半導體基板，該基板不含有一磊晶層；

在該基板之一表面上方形成一第一遮罩層；

將該第一遮罩層圖案化以在該第一遮罩層中形成一第一開口；

經由該第一遮罩層中之該開口將一具有一第二導電類型之摻雜物植入以便形成一底部絕緣區，該底部絕緣區具有一低於該基板之該表面之上邊界；

在該第一遮罩層中之該開口內、在該基板之該表面上形成一第二遮罩層，該第二遮罩層之一邊緣與該第一遮罩層中之該第一開口之一邊緣隔開以產生一間隙；

經由該間隙蝕刻該基板以形成一溝槽，該溝槽向下至少延伸至該底部絕緣區；及

填充該溝槽以便形成該基板之一絕緣凹穴。

60. 如請求項 59 之方法，其包含在形成該第二遮罩層之前在該第一遮罩層中之該開口中形成一第三遮罩層，且經由

該間隙蝕刻該第三遮罩層。

61. 如請求項59之方法，其包含在該基板之該表面上形成一第三遮罩層，該第三遮罩層具有一位於該絕緣凹穴上方之開口，且經由該第三遮罩層之該開口將具有該第一導電類型之一摻雜物植入該絕緣凹穴中。
62. 如請求項61之方法，其中該第三遮罩層中之該開口具有一位於該溝槽上方之邊緣。
63. 如請求項59之方法，其中填充該溝槽包含沈積一介電材料以完全填充該溝槽。
64. 如請求項59之方法，其中填充該溝槽包含沈積一介電材料以塗佈該溝槽之側壁且沈積一導電材料以完全填充該溝槽。
65. 如請求項59之方法，其進一步包含在填充該溝槽後將該基板之該表面平坦化。
66. 一種形成一用於一積體電路設備之絕緣結構的方法，該方法包含：

提供一具有一第一導電類型之半導體基板，該基板不含有一磊晶層；

在該基板中形成一溝槽，該溝槽自該基板之一表面向下延伸；

填充該溝槽；

在該基板之該表面上形成一遮罩層，該遮罩層具有一開口，該開口具有一位於該填充溝槽頂上之邊緣；及

經由該遮罩層中之該開口將一具有一第二導電類型之

摻雜物植入，以便形成一具有一位於該基板之一表面下方之上邊界的底部絕緣區，該底部絕緣區自該溝槽延伸且包圍該基板之一絕緣凹穴。

67. 如請求項 66 之方法，其包含在填充該溝槽後將該基板之該表面平坦化。

68. 如請求項 66 之方法，其中填充該溝槽包含沈積一介電材料以完全填充該溝槽。

69. 如請求項 66 之方法，其中填充該溝槽包含沈積一介電材料以塗佈該溝槽之該等側壁且沈積一導電材料以完全填充該溝槽。

70. 一種形成一用於一積體電路設備之絕緣結構的方法，該方法包含：

提供一具有一第一導電類型之半導體基板；

在該基板中形成一第一溝槽，該第一溝槽自該基板之一表面向下延伸；

在該基板中形成一第二溝槽，該第二溝槽自該基板之一表面向下延伸且比該第一溝槽寬；

沈積一介電材料，該介電材料沈積的厚度足以使得該介電材料填充該第一溝槽但不填充該第二溝槽，該介電材料在該第二溝槽之該等側壁及該底部上形成一介電層；

自該第二溝槽之該底部移除該介電層，同時保留一位於該第二溝槽之該等側壁上的側壁介電層；

將一導電材料沈積於該第二溝槽中，該導電材料自該

溝槽之一端口向下延伸；及

將一具有一第二導電類型之摻雜物植入該基板中以形成一具有一位於該基板之該表面下方之上邊界的底部絕緣區，該第二溝槽之一底部位於該底部絕緣區中，該第二溝槽及該底部絕緣區包圍該基板之一絕緣凹穴；其中該導電材料與該底部絕緣區電接觸。

71. 如請求項 70 之方法，其中該第一溝槽比該第二溝槽淺。
72. 如請求項 70 之方法，其中該第一溝槽位於該絕緣凹穴中。
73. 如請求項 70 之方法，其包含在將該導電材料沈積於該第二溝槽內之前、經由該第二溝槽之該底部將具有該第二導電類型之摻雜物植入。
74. 如請求項 70 之方法，其中在該基板中形成該第二溝槽係在一具有一第二導電類型之摻雜物植入該基板內以形成該底部絕緣區之前執行。
75. 如請求項 70 之方法，其中將一具有一第二導電類型之摻雜物植入該基板內以形成一底部絕緣區係在該基板中形成該第二溝槽之前執行。
76. 如請求項 70 之方法，其進一步包含在填充該第一溝槽及該第二溝槽後、將該基板之該表面平坦化。



圖 1B

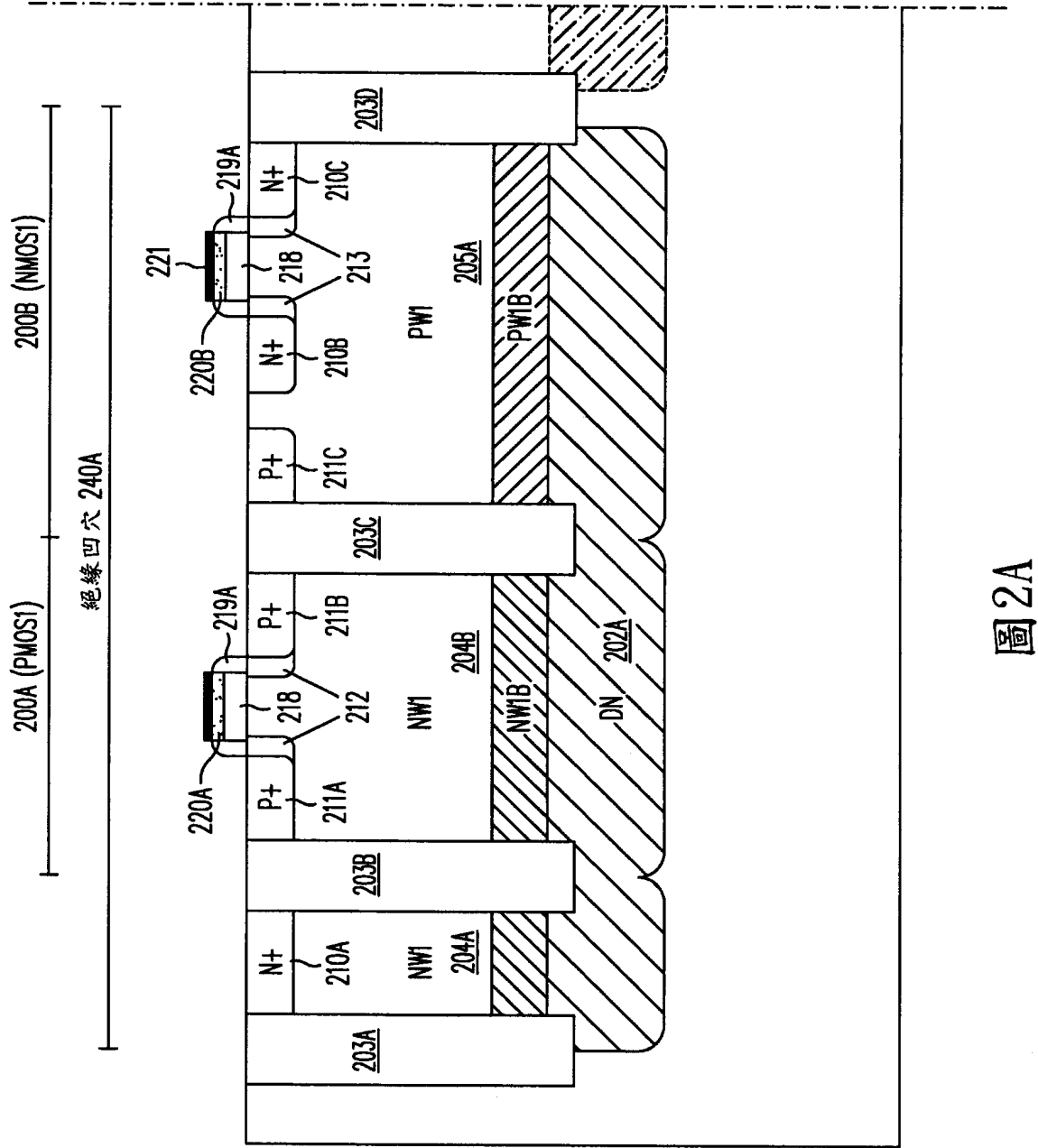


圖2A

圖2A	圖2B
-----	-----

圖例

圖2



圖 2B

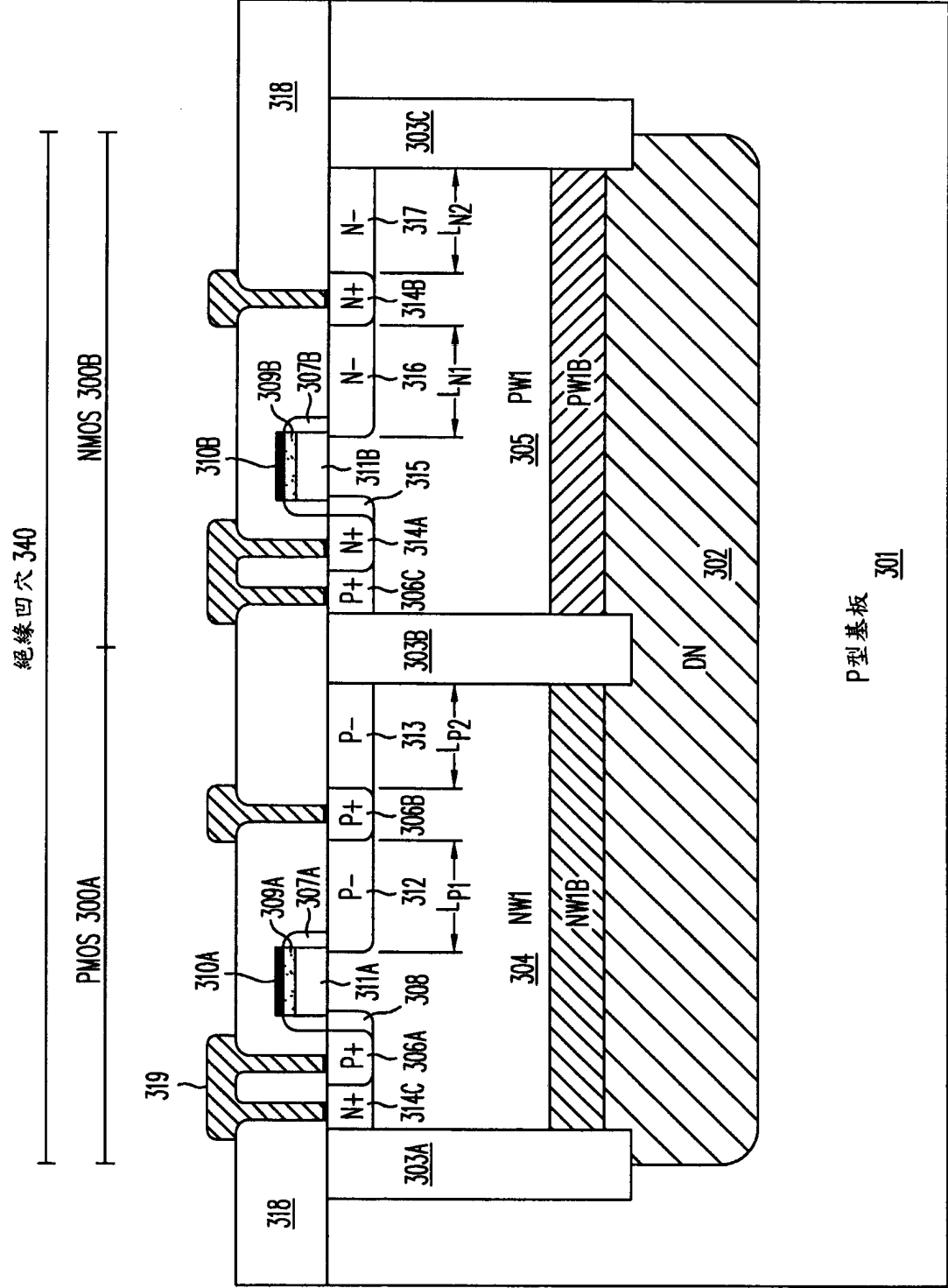


圖 3

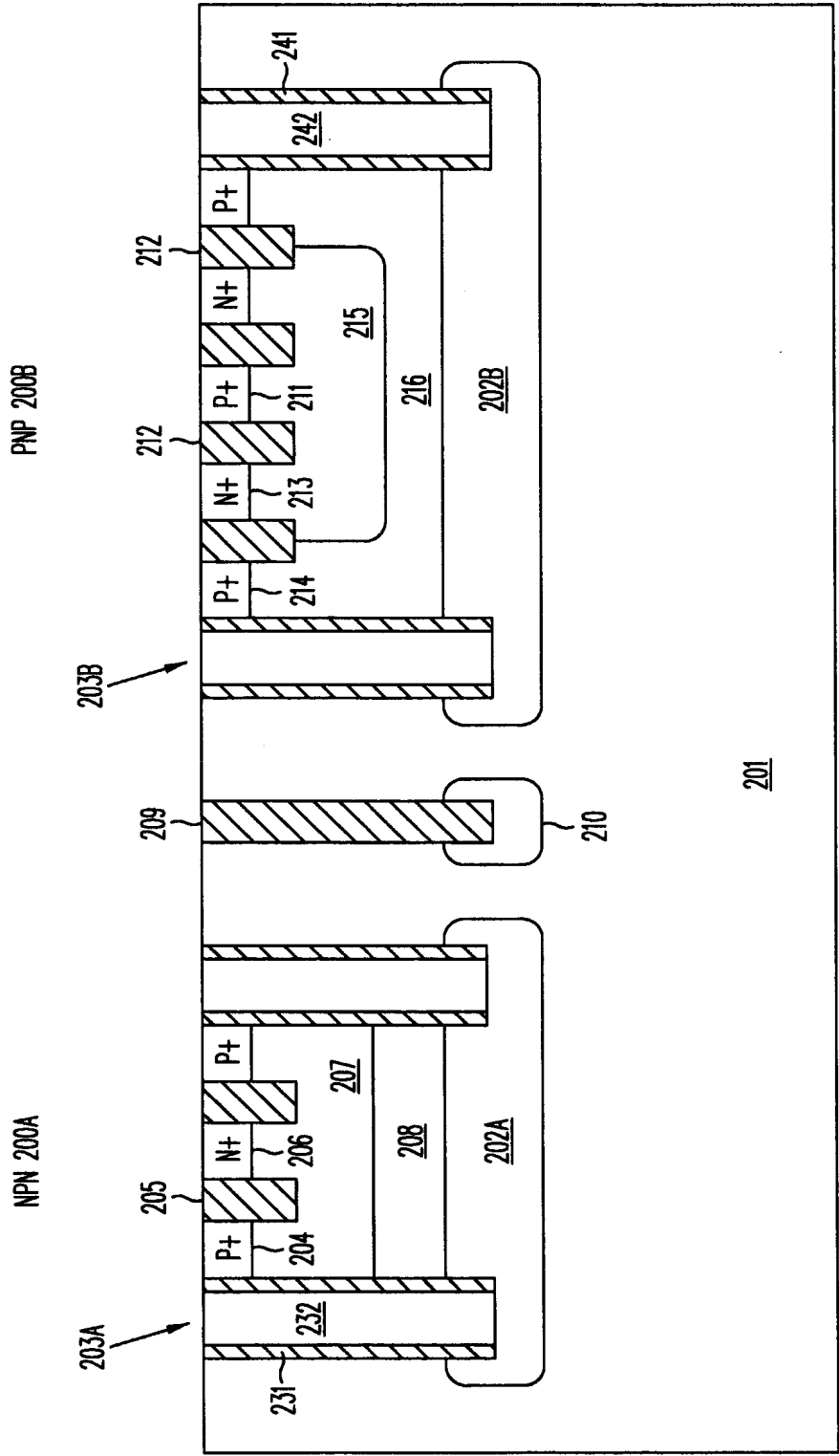


圖 4

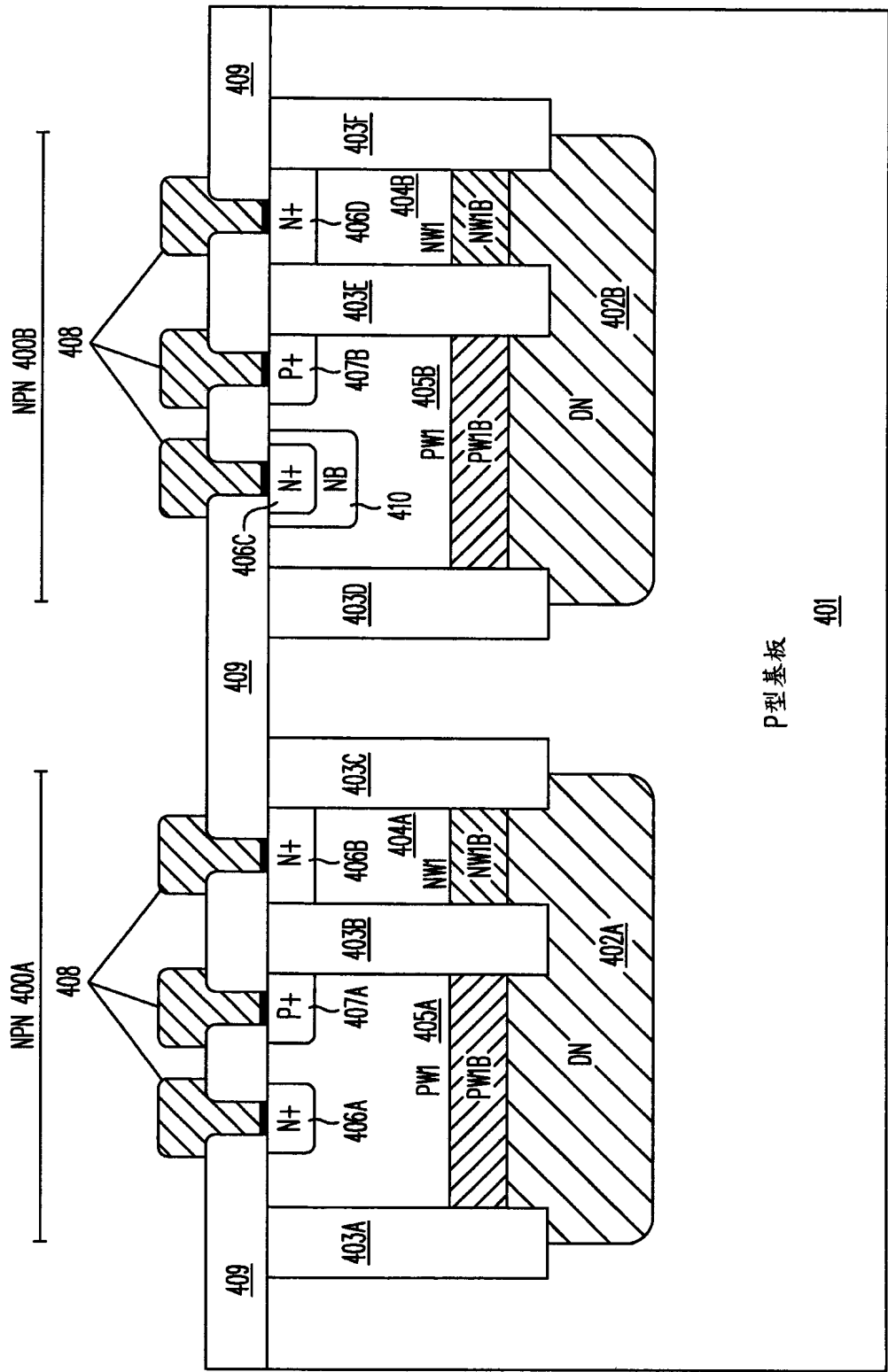


圖5

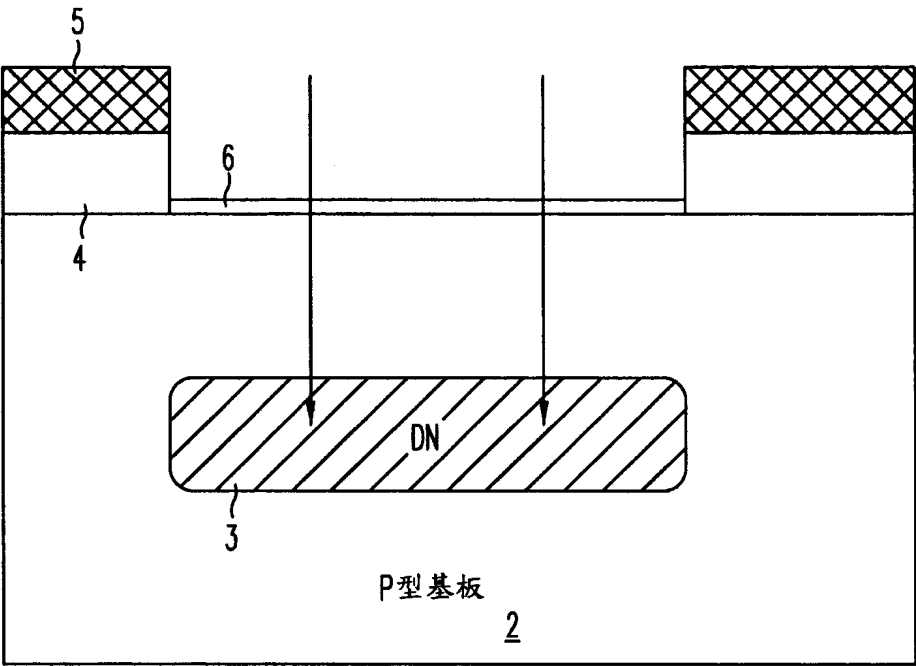


圖 6A

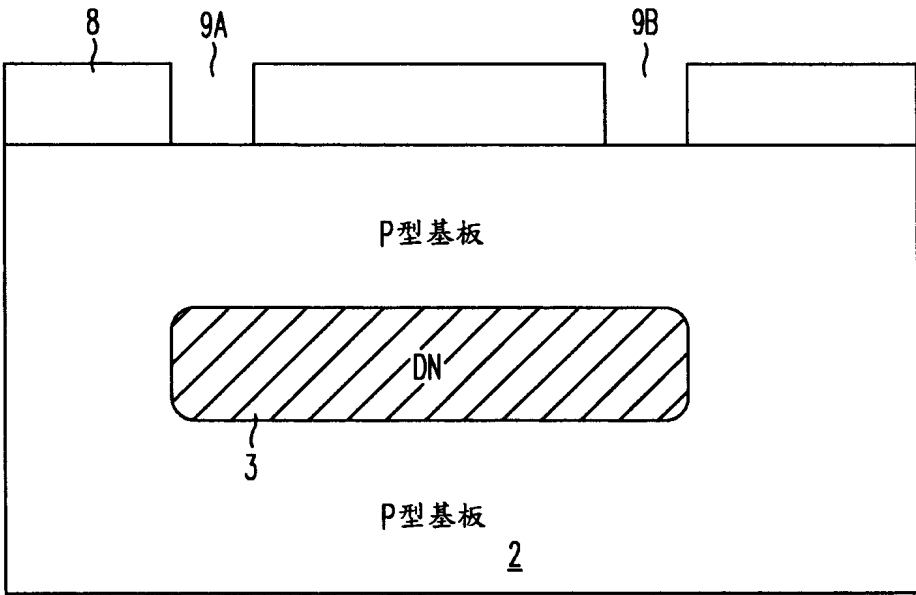


圖 6B

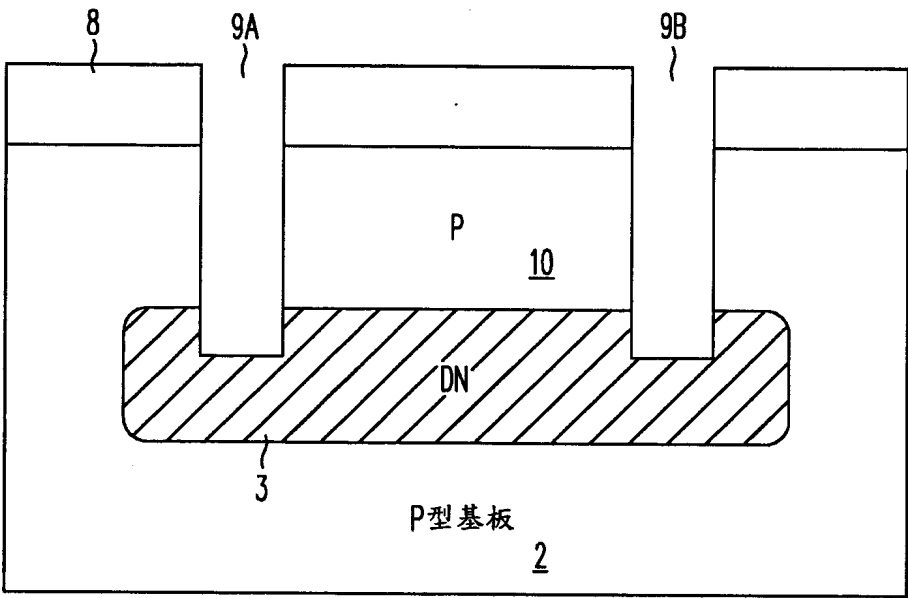


圖 6C

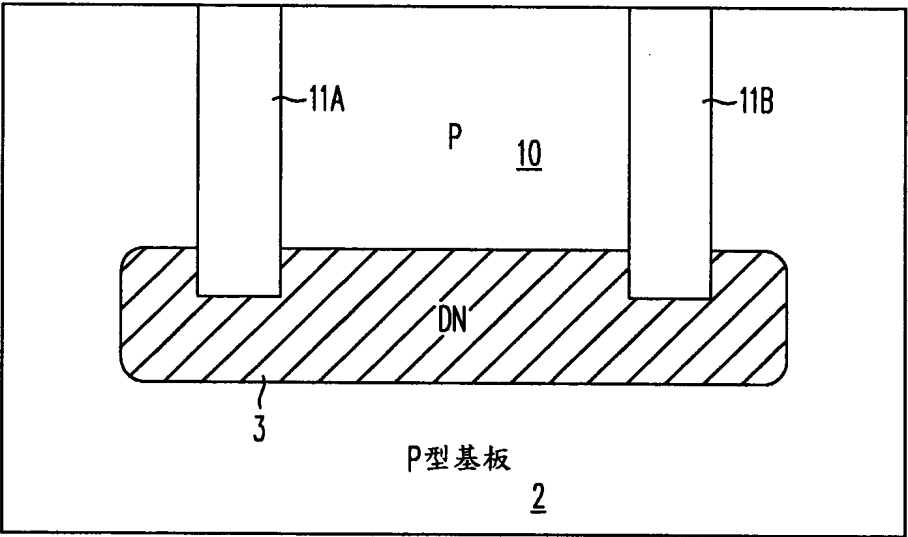


圖 6D

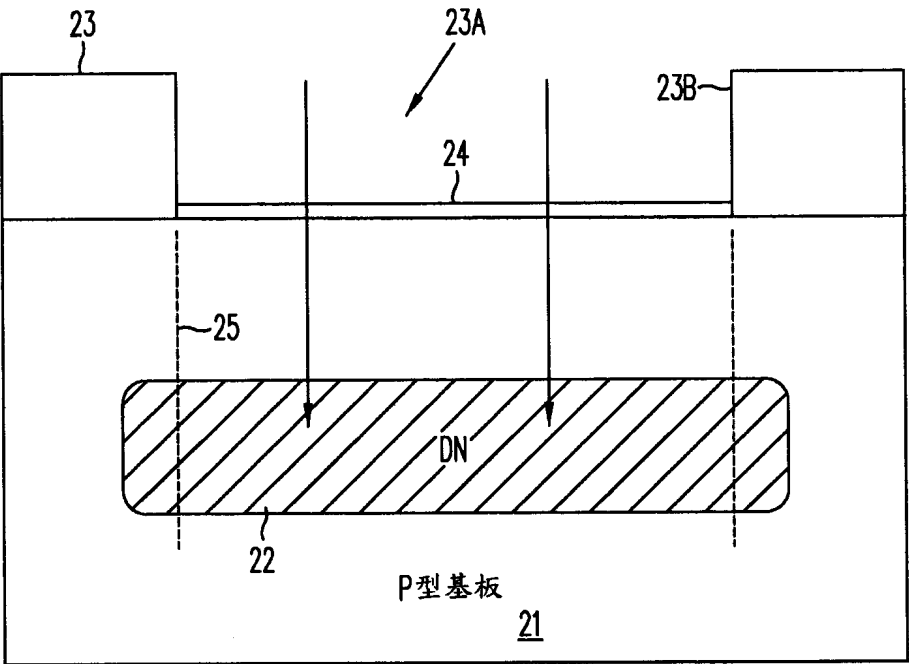


圖 7A

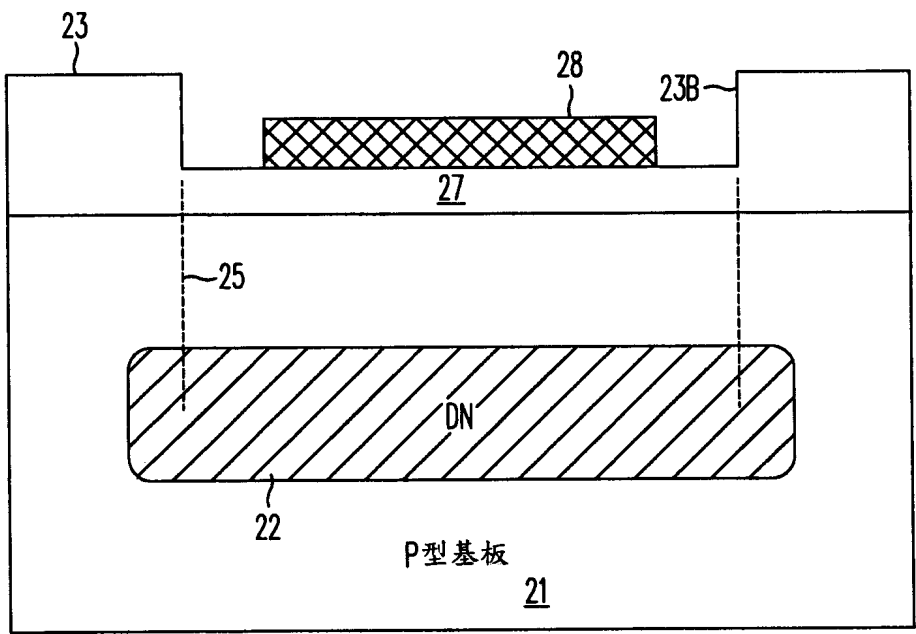


圖 7B

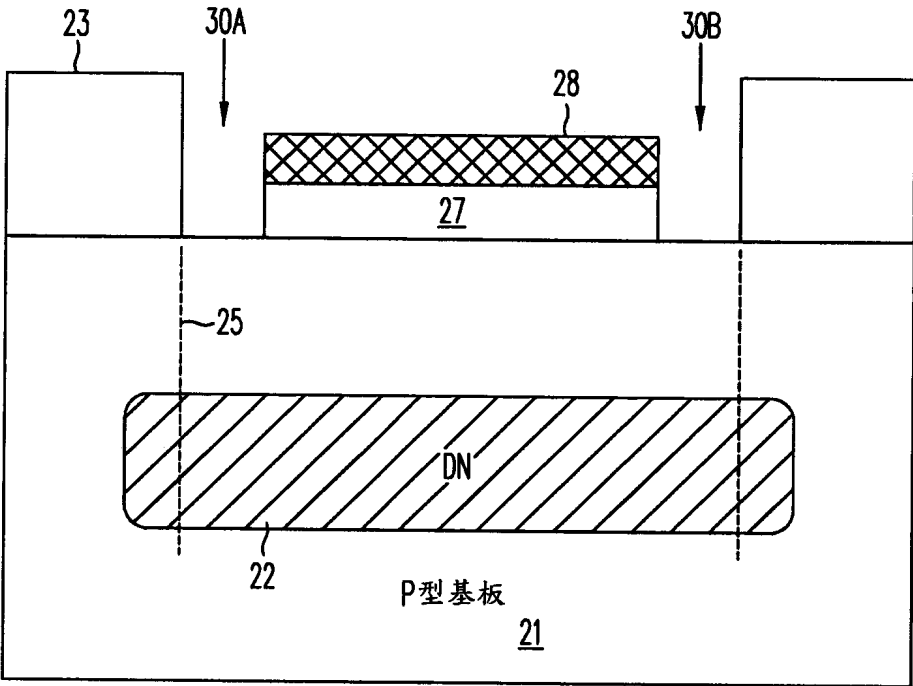


圖 7C

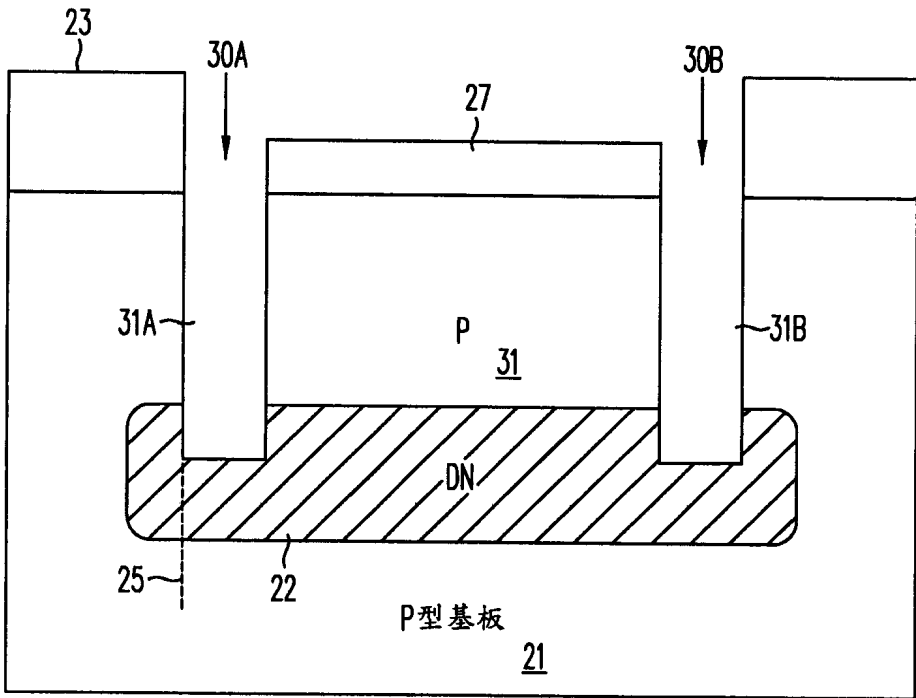


圖 7D

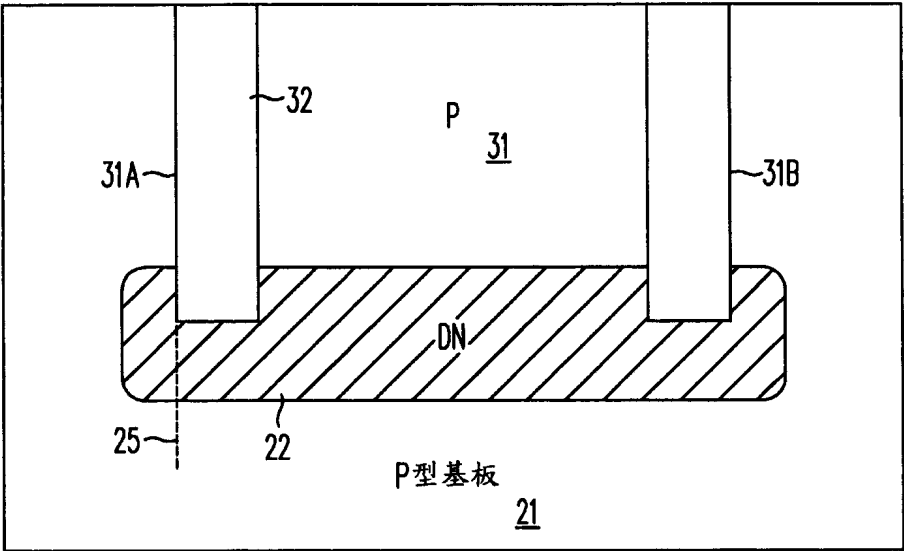


圖 7E

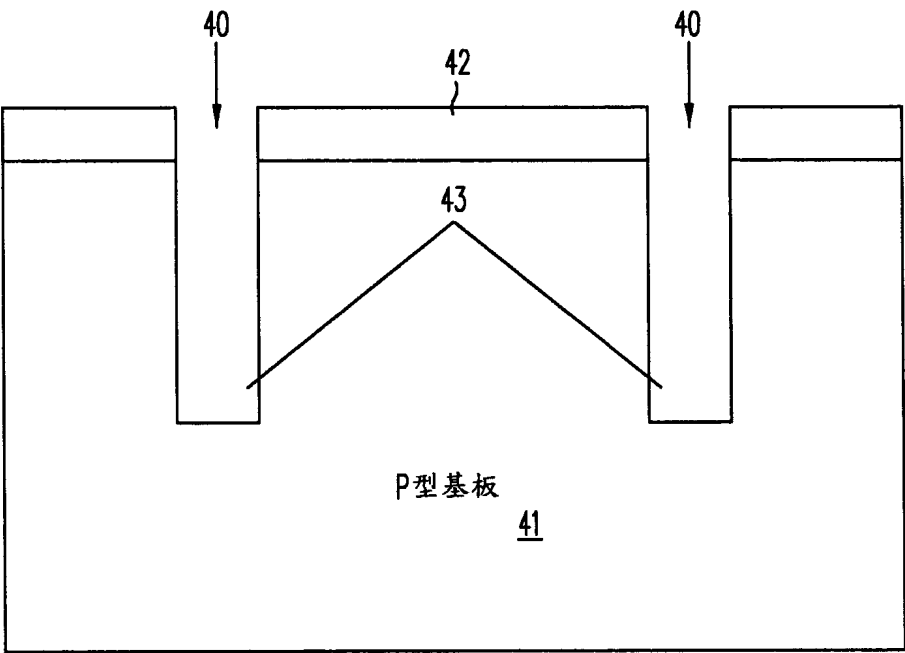


圖 8A

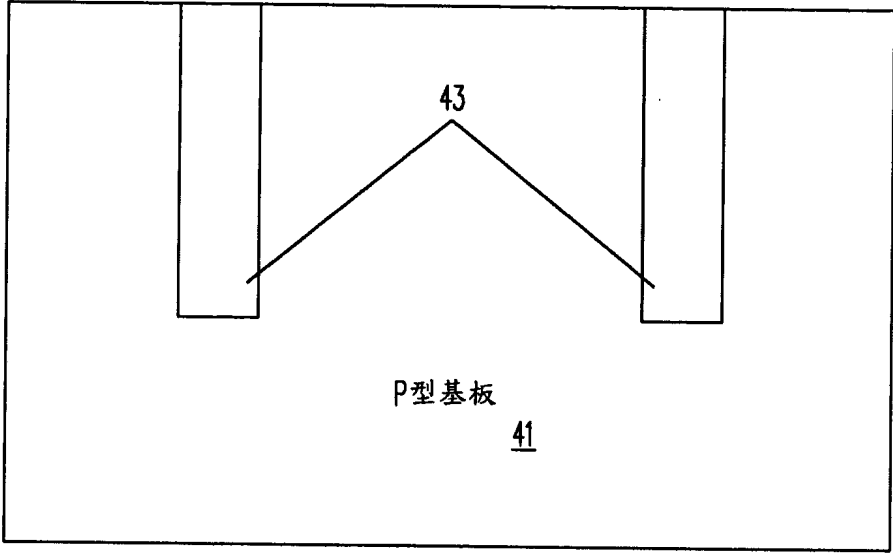


圖 8B

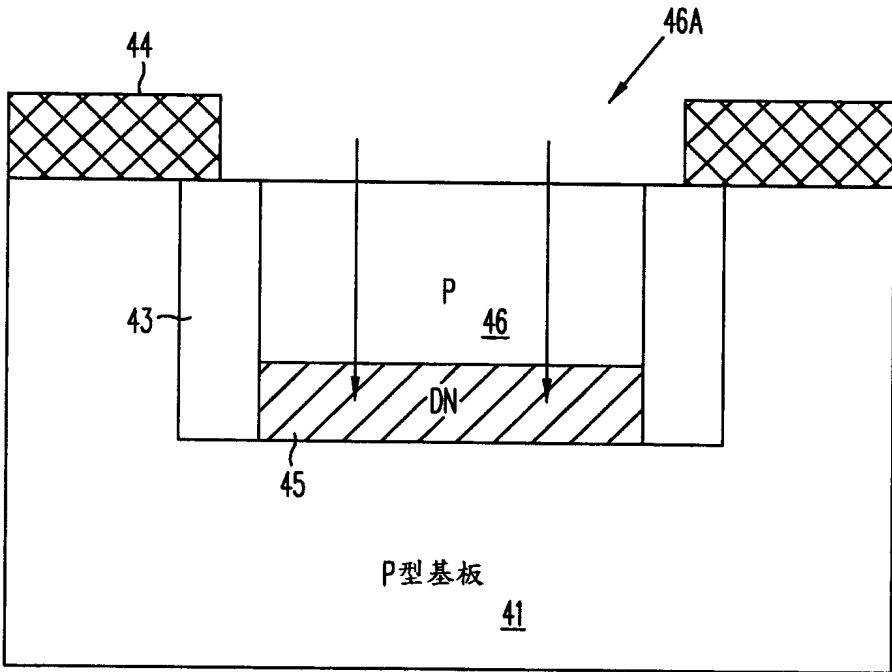


圖 8C

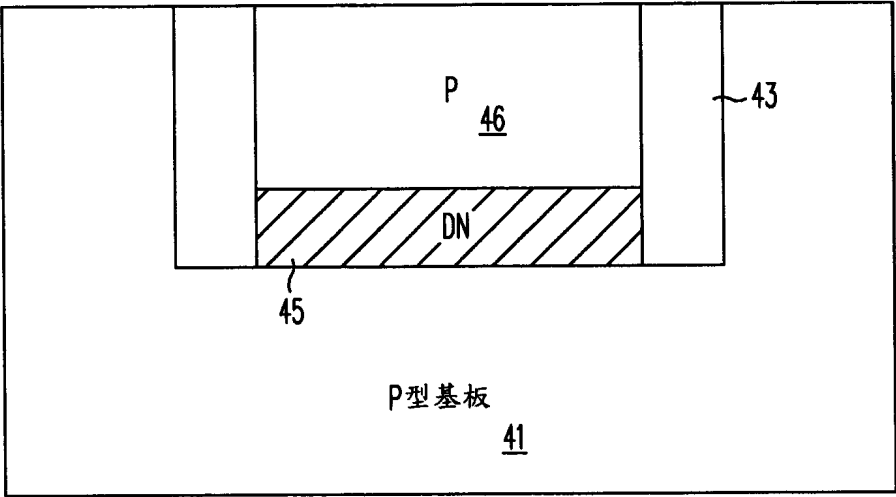


圖 8D

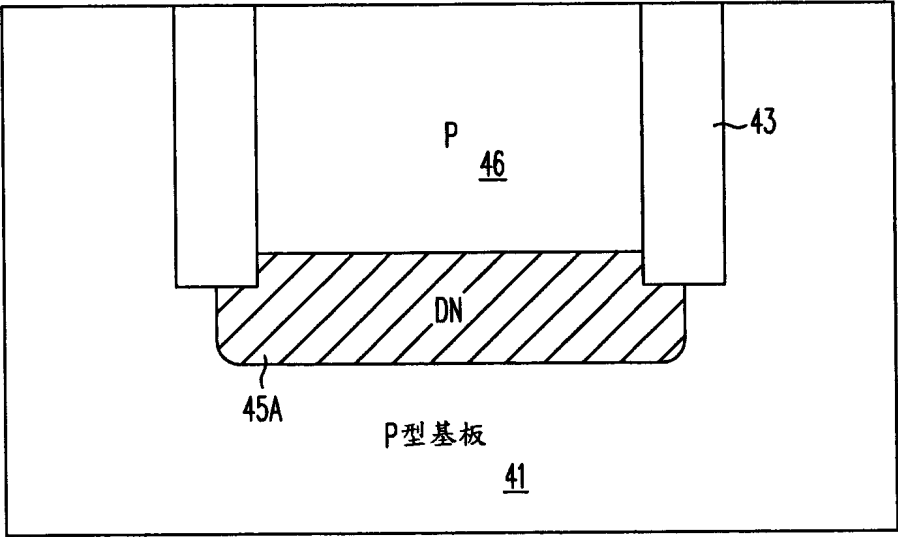


圖 8E

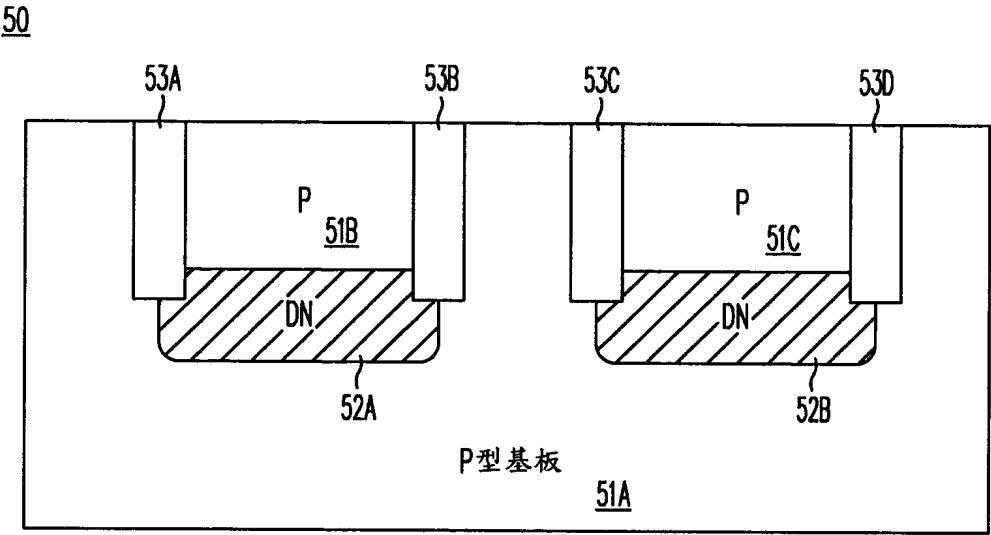


圖 9A

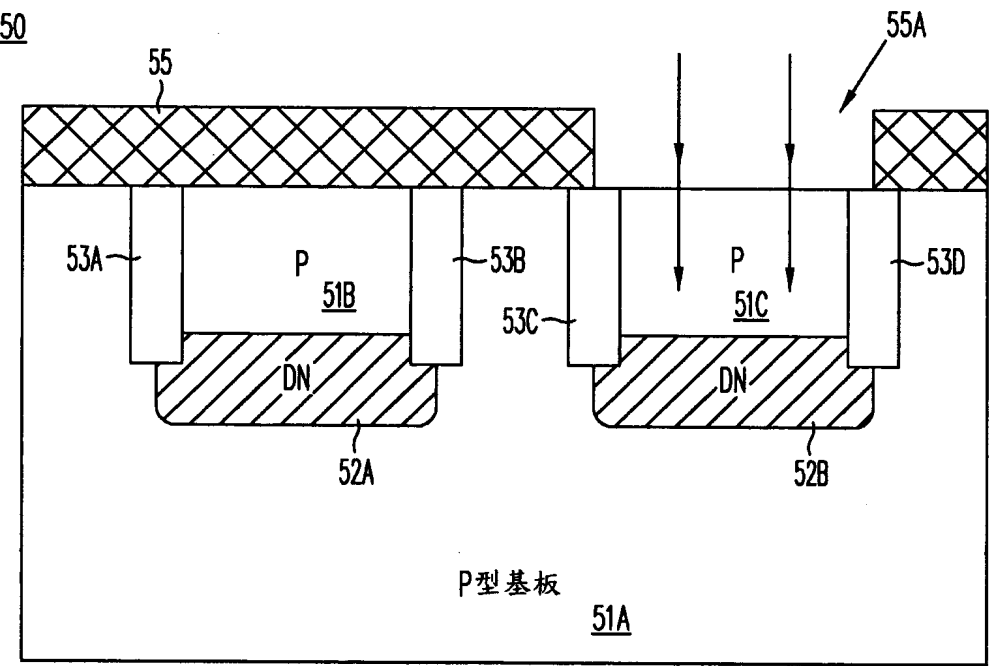


圖 9B

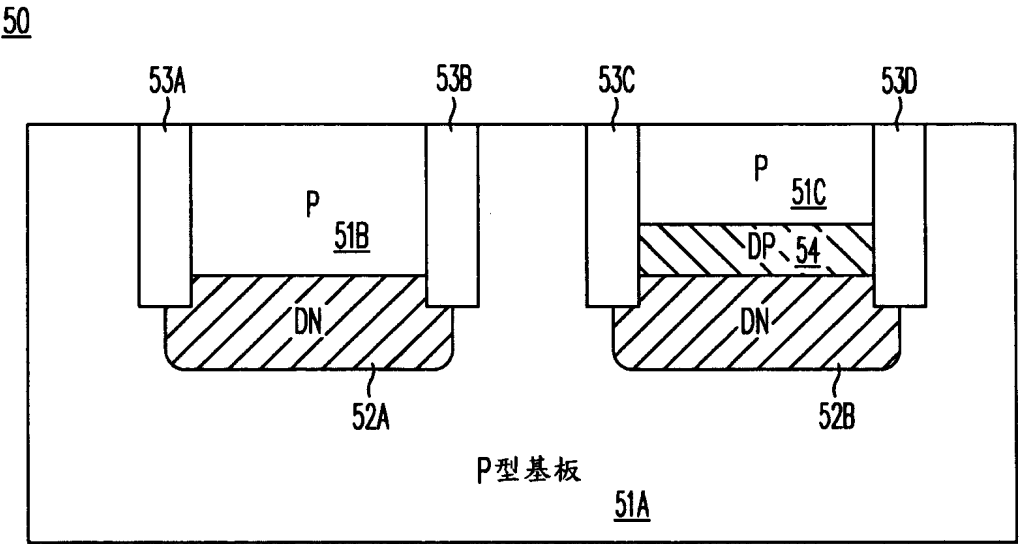


圖 9C

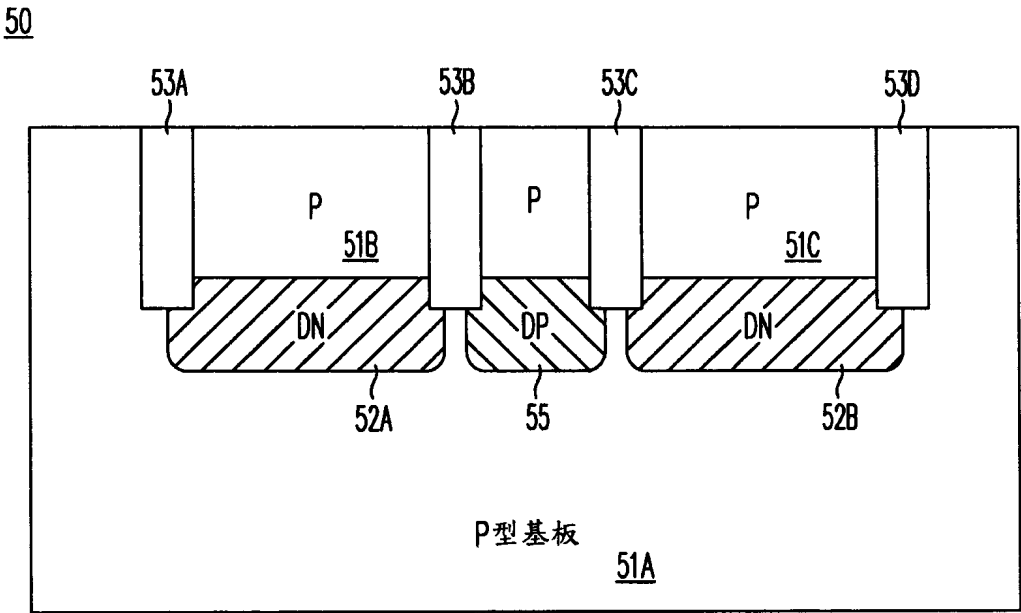


圖 9D

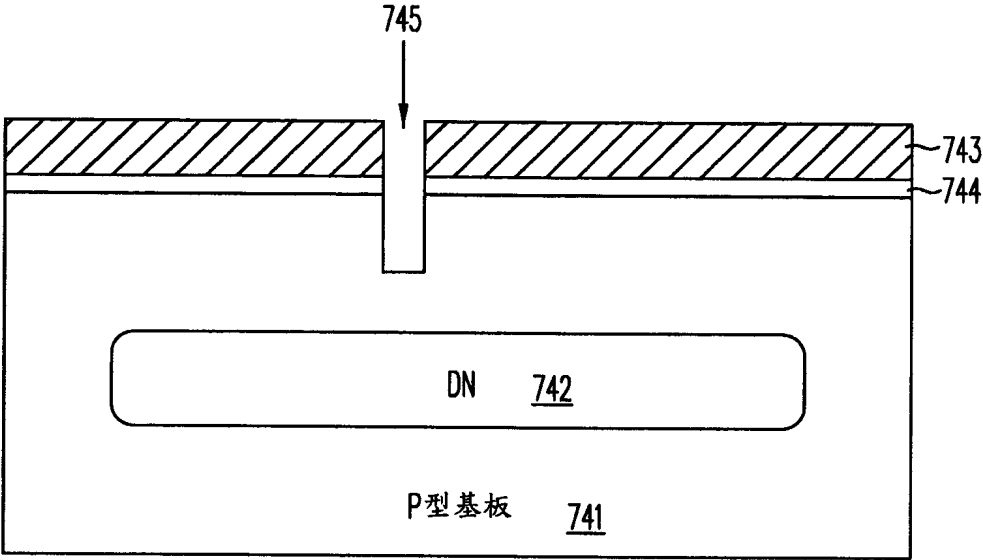


圖 10A

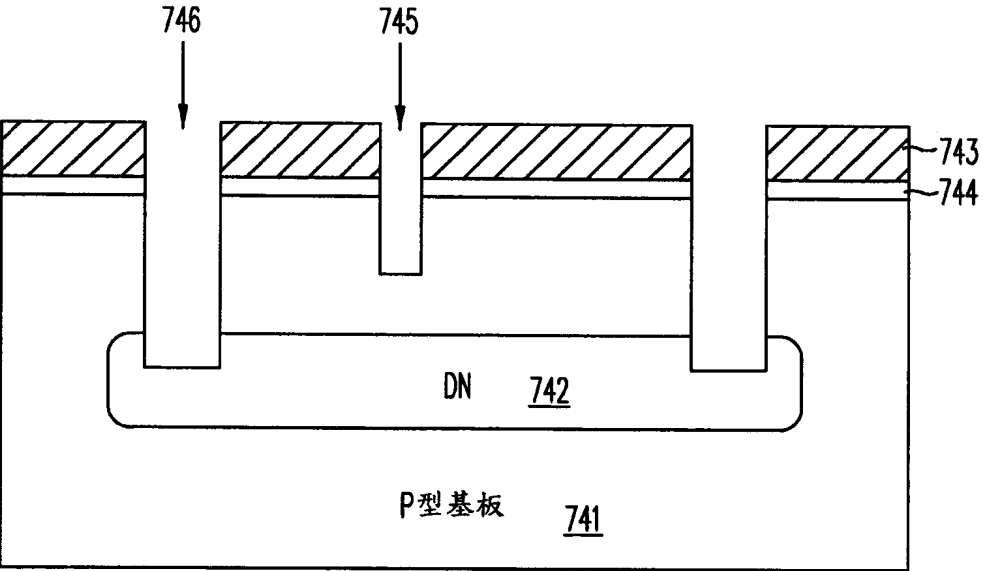


圖 10B

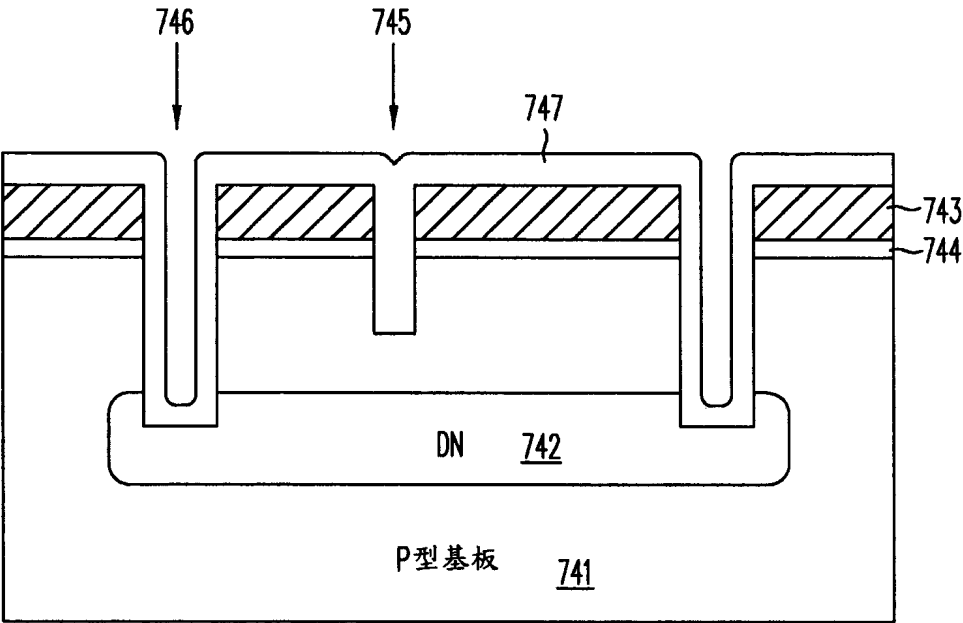


圖 10C

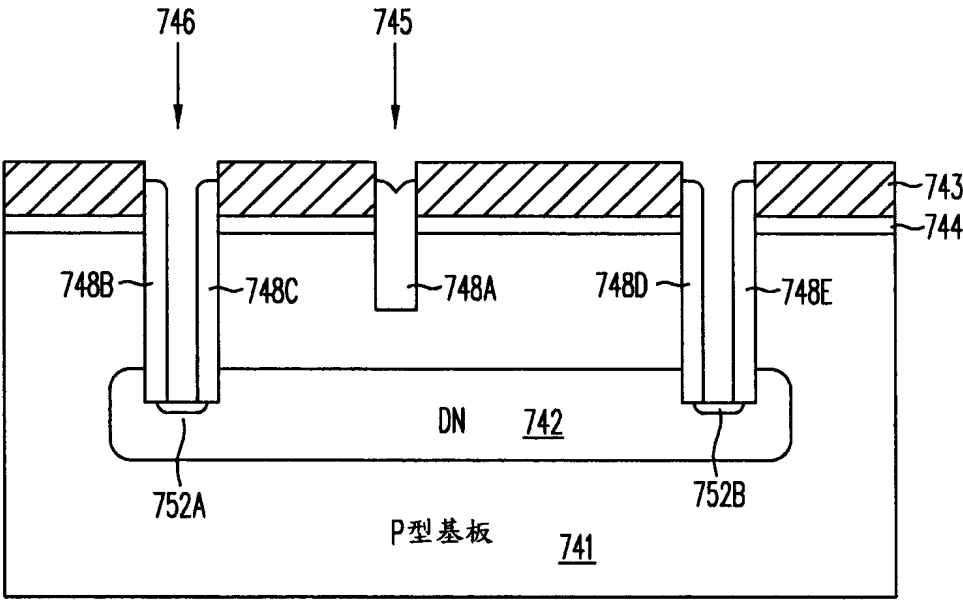


圖 10D

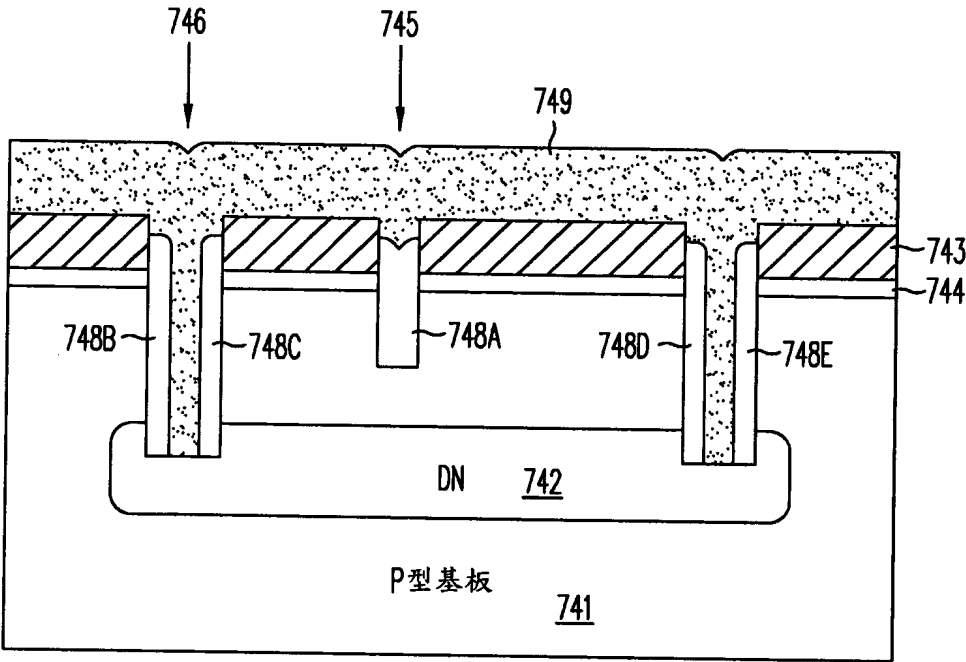


圖 10E

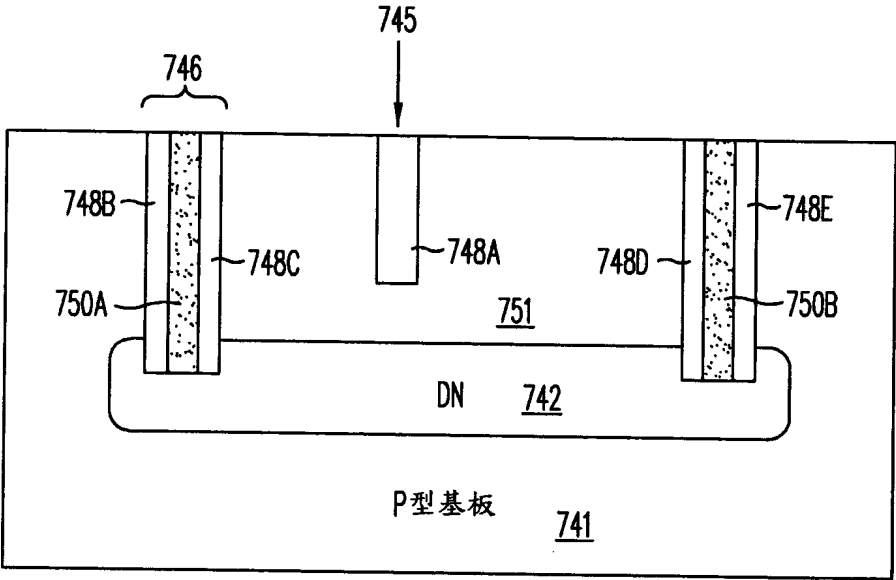


圖 10F

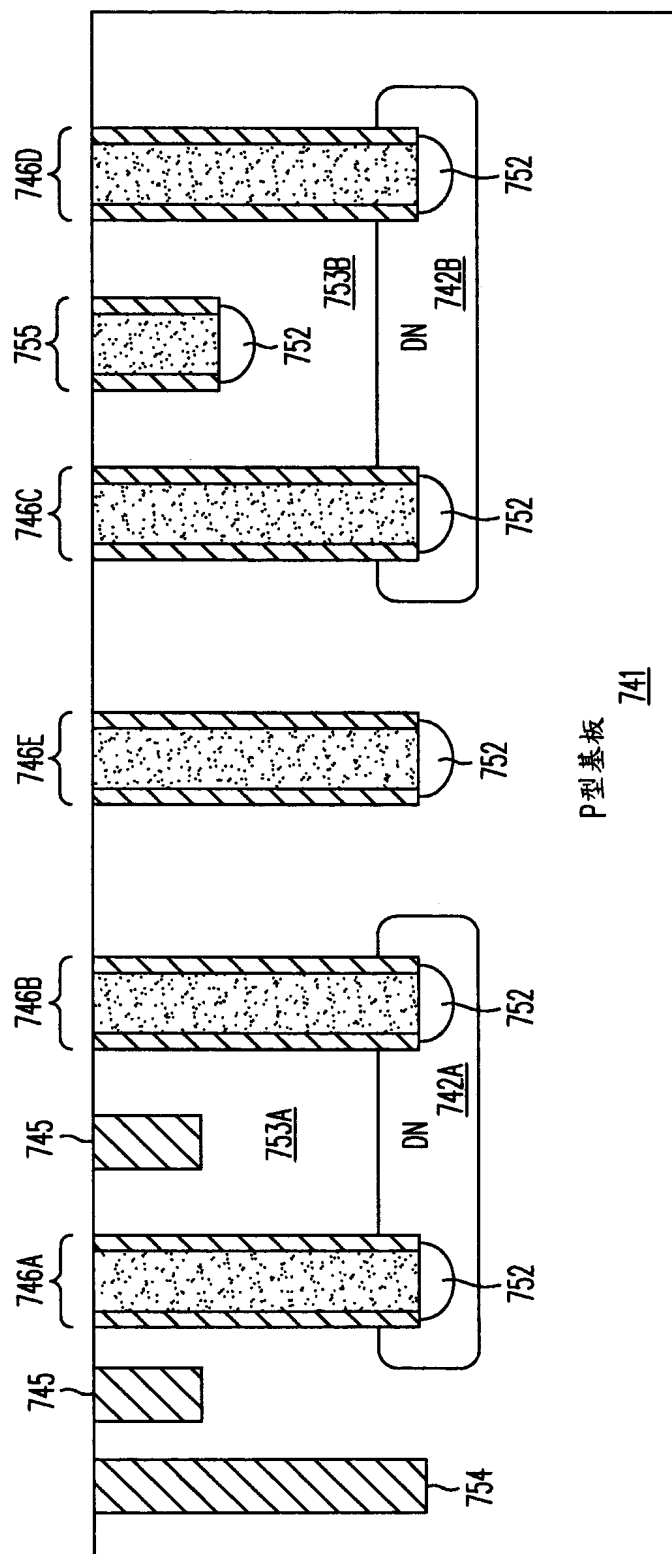


圖 10G

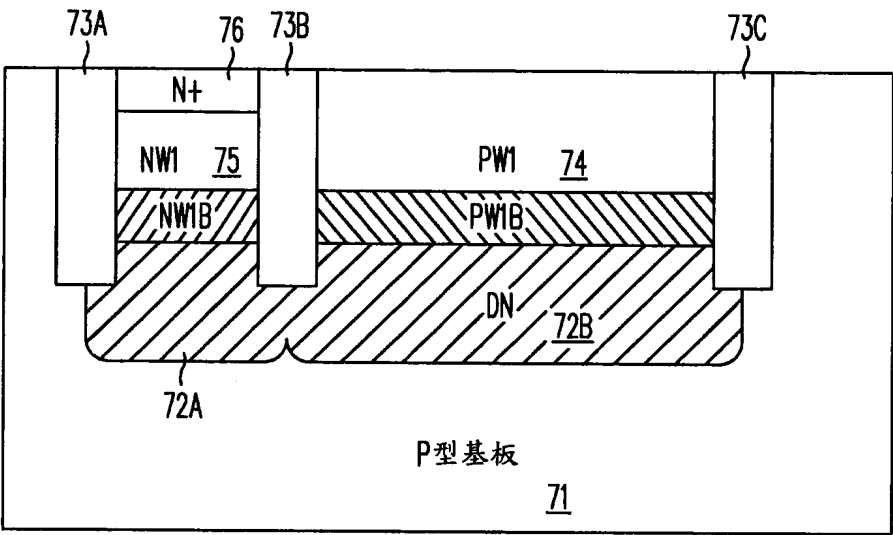


圖11A

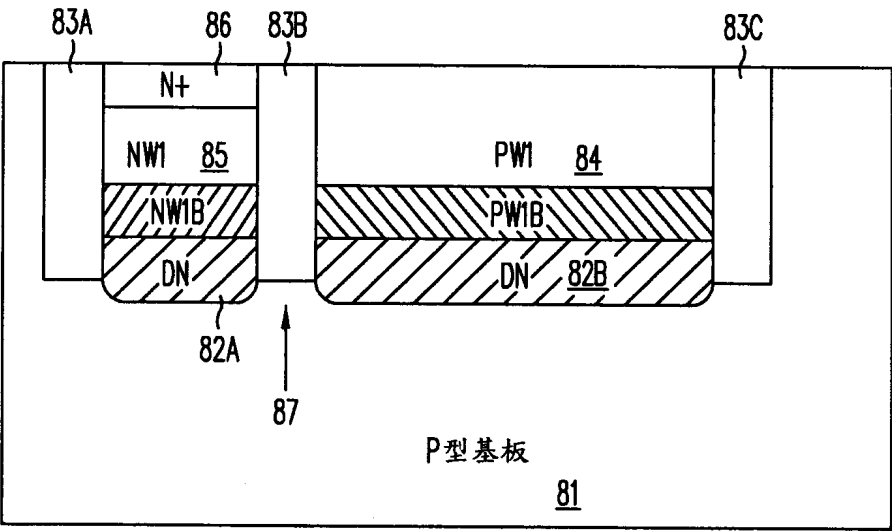


圖11B

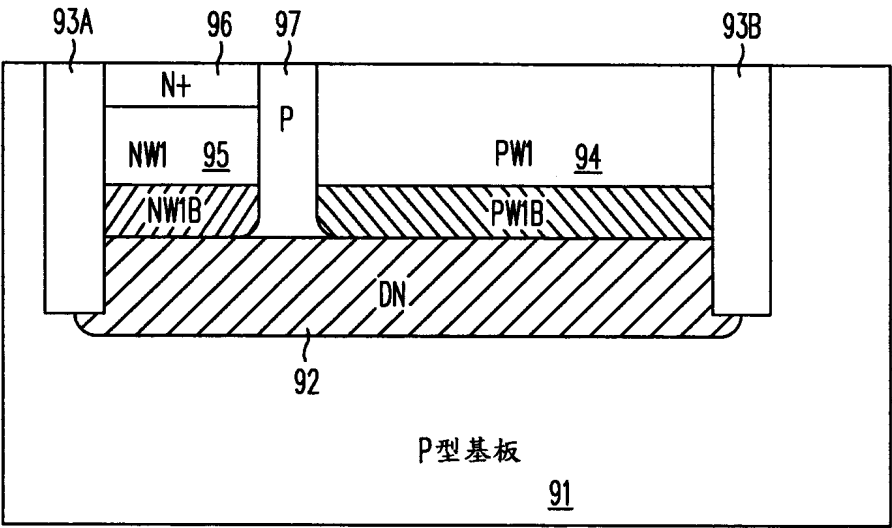


圖 11C

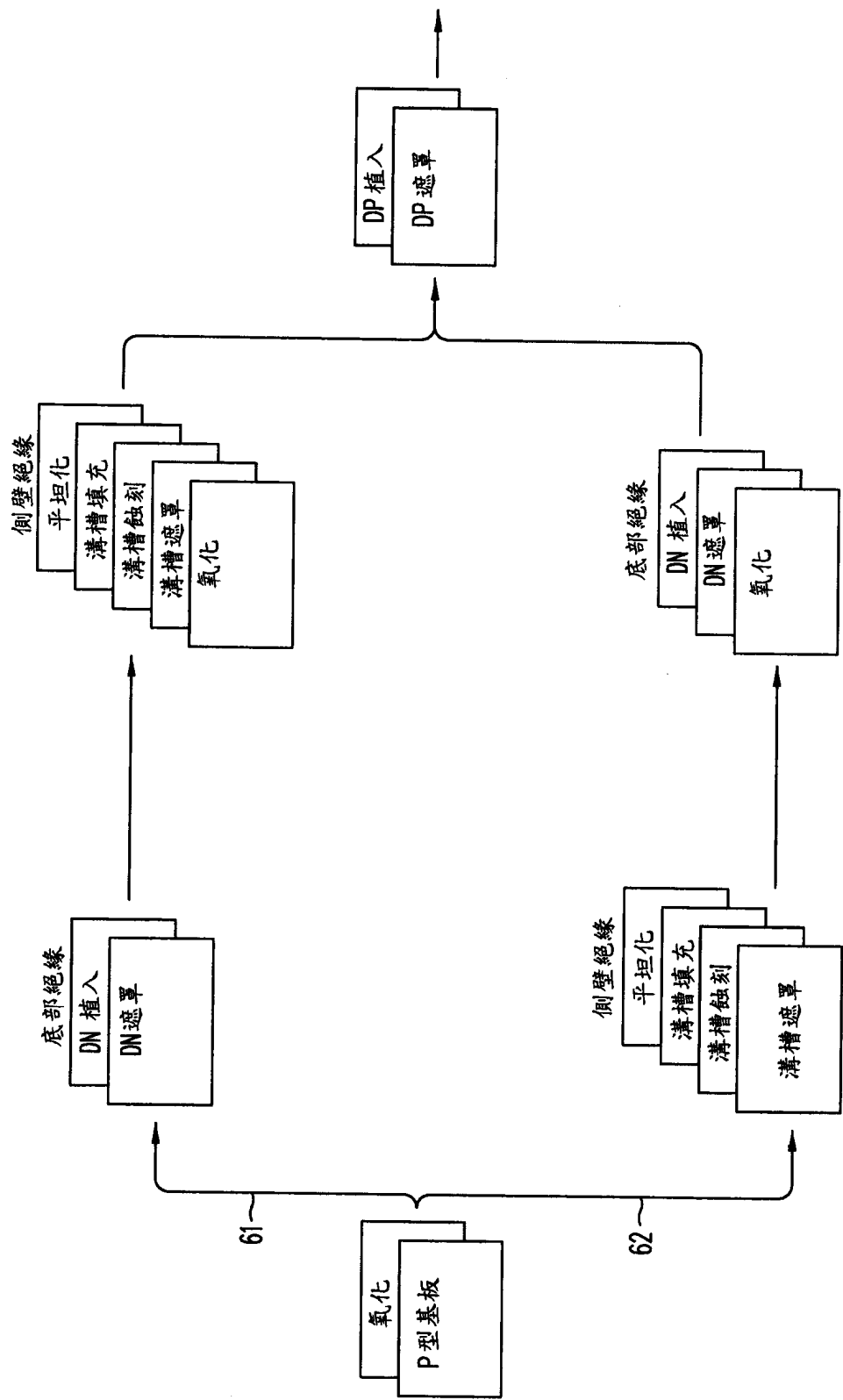


圖12

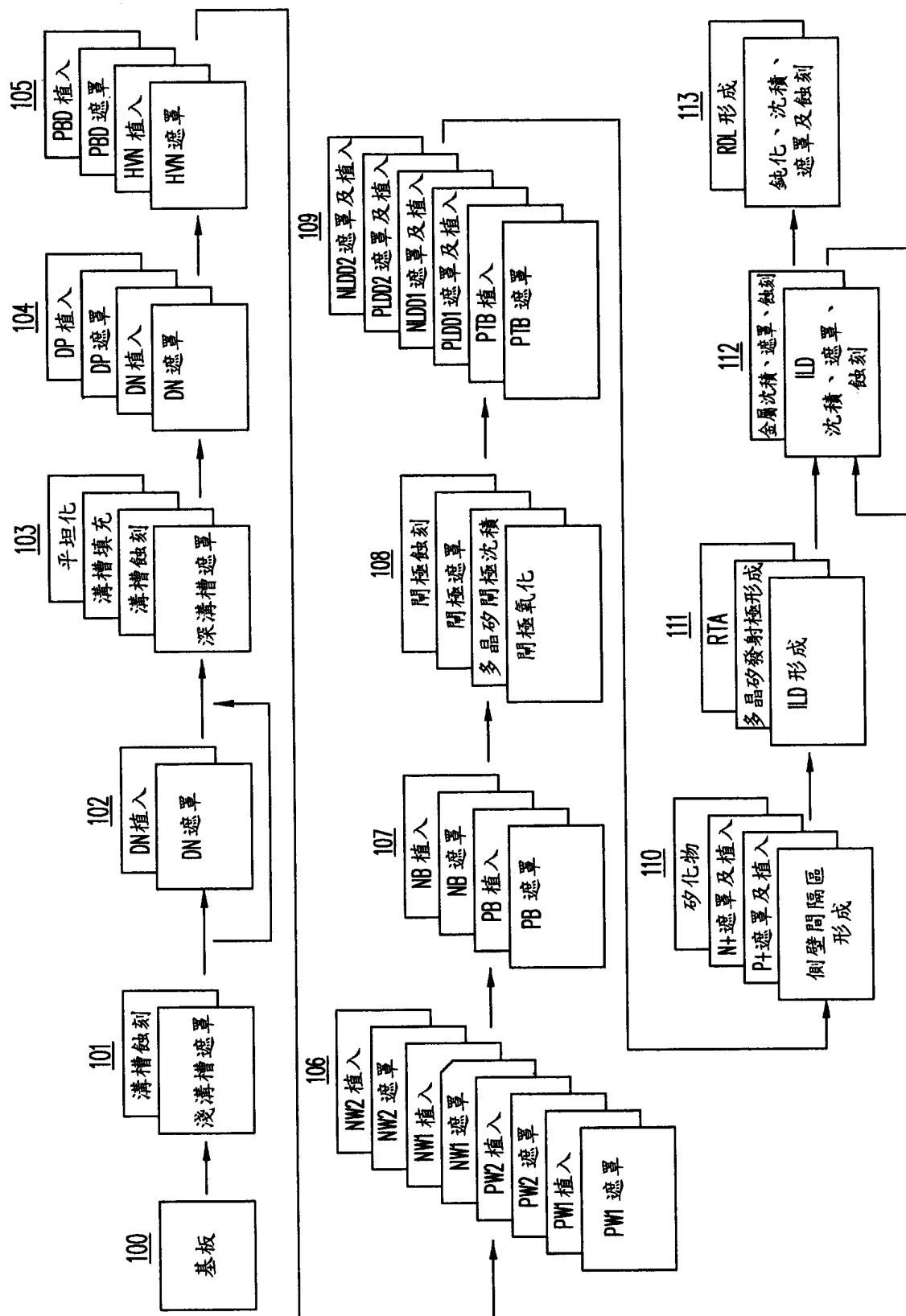


圖13

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100A	PMOS
100B	PMOS
100C	NMOS
100D	PMOS
100E	NMOS
100F	NMOS
101	基板
102A	DN底部絕緣區
102B	DN底部絕緣區
103A	填充溝槽
103B	填充溝槽
103C	再填充溝槽
103D	再填充溝槽
104	N型井
104A	頂部部分
104B	較深部分
105	P型井
105A	頂部部分
105B	較深部分
106	N型井
106A	頂部部分

106B	較深部分
107	P型井
107A	頂部部分
107B	較深部分
108	深P型區
109A	閘極
109B	閘極
110A	N+汲極
110B	N+源極
110F	N+源極
110G	N+汲極
111A	P+源極
111B	P+汲極
111C	P+接點區
111D	P+源極
111E	P+汲極
111F	P+接點區
112	下伏P型輕微摻雜汲極/LDD漂移區
113	下伏NLDD1/LDD漂移區
114	源極延伸部分
115	輕微摻雜汲極延伸部分
115A	第一閘極氧化物層
115B	第一閘極氧化物層
116A	第二閘極氧化物層

116B	第二閘極氧化物層
117A	閘極
117B	閘極
118A	側壁間隔區
118B	側壁間隔區
118C	側壁間隔區
118D	側壁間隔區
119	輕微摻雜汲極延伸部分
120	源極延伸部分
131	介電材料層
132	導電材料
133A	P型區
133B	P型層
134A	溝槽
134B	溝槽
135A	再填充溝槽
135B	再填充溝槽
140A	絕緣凹穴
140B	絕緣凹穴

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)