(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월10일
(11) 등록번호 10-0811576
(24) 등록일자 2008년03월03일

(51) Int. Cl.
*H01L 21/76* (2006.01)
(21) 출원번호 10-2001-0057992
(22) 출원일자 2001년09월19일
심사청구일자 2006년09월19일
(65) 공개번호 10-2002-0077013
(43) 공개일자 2002년10월11일
(30) 우선권주장
60/280,313 2001년03월29일 미국(US)
09/916,423 2001년07월26일 미국(US)
(56) 선행기술조사문헌
US06165853B
전체 청구항 수 : 총 7 항

(73) 특허권자
**실리콘 스토리지 테크놀로지 인크**
미국, 캘리포니아 94086, 서니베일, 소노라 코트 1171
(72) 발명자
**왕치쉰**
미국,캘리포니아95120,산호세,질리스드라이브6585
(74) 대리인
**이병호, 장훈**

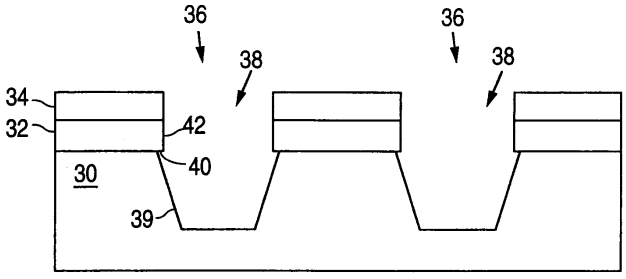
심사관 : 소재현

# (54) 플래시 E 2 P R O M 셀의 활성 영역에 자기 정렬된 플로팅 게이트 폴리를 형성하는 방법

## (57) 요 약

본 발명은 전기적으로 프로그램 가능하고 소거 가능한 메모리 디바이스에서 활성 영역들을 절연하는 방법 및 장치에 관한 것이다. 제 1 절연 물질층은 기판상에 형성된다. 도전성 물질층은 제 1 절연 물질층상에 형성된다. 복수의 이격된 트렌치들은 제 1 절연 물질층, 도전성 물질층을 통해 상기 기판에 형성된다. 제 2 절연 물질층은 트렌치들의 측벽부들상에 형성된다. 절연 물질의 블록은 트렌치들 내에 형성된다. 각 트렌치들에 대해서, 도전성 물질층의 에지 부분은 미리 결정된 거리(△)만큼 절연 물질 블록의 일부와 제 1 절연 물질층 위에 연장되어 오버랩된다. 기판과 도전층에 대한 백엔드 처리(back end processing)가 실행된 후에, 도전층의 에지 부분이 절연 트렌치의 측벽부에 정렬되도록 각 트렌치들에 대해서 미리 결정된 거리(△)가 선택된다.

*대표도* - 도2a



## *특허청구의 범위*

**청구항 1**

반도체 디바이스에서 절연 영역 및 활성 영역을 형성하는 자기 정렬 방법에 있어서:

반도체 기판상에 제 1 물질층을 형성하는 단계와;

상기 제 1 물질층을 통해 상기 기판으로 연장되는 복수의 이격된 트렌치(trench)들을 형성하는 단계와;

상기 트렌치들의 측벽부들을 따라서 제 1 절연 물질층을 형성하는 단계와;

상기 트렌치들을 절연 물질로 채우는 단계와;

상기 기판의 부분들을 노출시키기 위해서 상기 제 1 물질층을 제거하는 단계와;

상기 기판의 상기 노출된 부분들 상에 제 2 절연 물질층을 형성하는 단계와;

상기 제 2 절연 물질층 상에 도전성 물질층을 형성하는 단계를 포함하고,

상기 도전성 물질층은 상기 트렌치들의 각각에 대해서, 미리 결정된 거리(△)만큼 상기 제 1 절연 물질층 위에 연장되어 오버랩되는 에지 부분(edge portion)을 갖는, 자기 정렬 방법.

**청구항 2**

제 1 항에 있어서,

상기 제 1 절연 물질층이 상기 트렌치들의 측벽부들을 따라서 형성되는 상기 트렌치들의 측벽부들은 상기 기판 내에 위치하는, 자기 정렬 방법.

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,

상기 도전성 물질층은 상기 트렌치들의 각각에 대해서, 미리 결정된 거리(△)만큼 상기 트렌치들을 채우는 상기 절연 물질의 일부와 상기 제 1 절연 물질층 위에 연장되어 오버랩되는 에지 부분을 갖는, 자기 정렬 방법.

**청구항 5**

제 1 항에 있어서,

상기 기판과 상기 도전성 물질층에 대한 백엔드 처리(back end processing)가 실행된 후에, 상기 에지 부분이 상기 트렌치의 측벽에 정렬되도록 상기 각 트렌치들에 대해서 상기 미리 결정된 거리(△)가 선택되는, 자기 정렬 방법.

**청구항 6**

제 1 항에 있어서,

상기 트렌치들의 각각에 대해서, 상기 제 1 절연 물질층의 형성은 상기 트렌치의 하부의 폭을 증가시키기 위해서 상기 측벽부들을 상기 기판으로 더 연장시키는 것을 포함하는, 자기 정렬 방법.

**청구항 7**

전기적으로 프로그램 가능하고 소거 가능한 메모리 디바이스의 제조에 사용하는 반도체 구조에 있어서:

제 1 도전성 형태의 반도체 물질의 기판과;

상기 기판상에 형성된 제 1 절연 물질층과;

상기 제 1 절연 물질층 상에 형성된 도전성 물질층과;

상기 제 1 절연 물질층, 상기 도전성 물질층을 통해 상기 기판에 형성된 복수의 이격된 트렌치(trench)들과;

상기 트렌치들의 측벽부들 상에 형성된 제 2 절연 물질층과;

상기 트렌치들 내에 형성된 절연 물질의 블록(block)을 포함하며;

상기 트렌치들의 각각에 대해서, 상기 도전성 물질층의 에지 부분은 미리 결정된 거리(△)만큼 상기 제 2 절연 물질층 위에 연장되어 오버랩되고, 상기 기판과 상기 도전성 물질층에 대한 백엔드 처리가 실행된 후에, 상기 에지 부분이 상기 트렌치의 측벽부에 실질적으로 정렬되도록 상기 트렌치들의 각각에 대해서 상기 미리 결정된 거리(△)가 선택되는, 반도체 구조.

**청구항 8**

제 7 항에 있어서,

상기 트렌치들의 각각에 대해서, 상기 도전성 물질층의 상기 에지 부분은 상기 절연 물질의 블록의 일부 위에 더 연장되어 오버랩되는, 반도체 구조.

**청구항 9**

삭제

# *명 세 서*

## *발명의 상세한 설명*

### *발명의 목적*

#### *발명이 속하는 기술 및 그 분야의 종래기술*

<7> 기술 분야

<8> 본 발명은 플로팅 게이트(floating gate) 메모리 셀들의 반도체 메모리 어레이를 형성하는 자기 정렬(self-aligned) 방법에 관한 것으로서, 특히, 메모리 셀들이 형성되는 활성 영역(active region)들 사이에 절연 영역들을 형성하는 개선된 방법에 관한 것이다.

<9> 발명의 배경

<10> 전하(電荷)들을 저장하기 위해서 플로팅 게이트들을 이용하는 비휘발성 반도체 메모리 셀들과 반도체 기판 내에 형성된 그러한 비휘발성 메모리 셀들의 메모리 어레이들은 기술상 잘 공지되어 있다. 전형적으로, 그러한 플로팅 게이트 메모리 셀들은 스플릿 게이트 형태(split gate type), 또는 스택 게이트 형태(stacked gate type), 또는 그들의 결합으로 이루어져 있다.

<11> 반도체 플로팅 게이트 메모리 셀 어레이들의 조립성(manufacturability)에 직면하는 문제들 중 하나는 소스, 드레인, 제어 게이트, 플로팅 게이트와 같은 각종 구성요소들뿐만 아니라, 이들 구성요소들을 포함하는 활성 영역들 사이의 절연 영역들의 정렬이었다. 반도체 처리의 집적 설계 룰(rule)이 감소하면, 가장 작은 리소그래픽 특징들이 감소되어, 정확한 정렬의 필요성이 더 중요하게 된다. 각종 부분들의 정렬은 또한 반도체 제품의 제조 수율(收率)을 결정한다.

<12> 자기 정렬(self-alignment)은 기술상 잘 공지되어 있다. 자기 정렬은, 특징들이 단계 처리에서 서로에 대해 자동으로 정렬되도록 하나 이상의 물질들을 포함하는 하나 이상의 단계들을 처리하는 동작들을 말한다. 따라서, 본 발명은 플로팅 게이트 메모리 셀 형태를 갖는 반도체 메모리 어레이와 같은 반도체 메모리 어레이에 사용된 절연 영역들의 제조를 달성하기 위해 자기 정렬 기술을 사용한다.

<13> 도 1a 및 도 1b는 메모리 어레이 반도체 디바이스의 활성 영역들 사이에 절연 영역들을 형성하기 위한, 잘 공지된 얕은 트렌치 처리(STI:shallow trench process)를 도시한다. 도 1a에 도시된 바와 같이, 실리콘 이산화물("산화물") 과 같은 제 1 절연 물질층(12)은 기판(10)상에 형성된다. (플로팅 게이트를 형성하기 위해서 사용된) 폴리실리콘층(14)은 절연 물질층(12)의 상부에 침착된다. 실리콘 질화물층(16)("질화물")은 폴리실리콘층(14) 위에 침착된다. 그 다음, 적절한 포토레지스트 물질(18)이 실리콘 질화물층(16)에 도포되고, 어떤 영역들(스트라이프들(20))로부터 포토레지스트 물질을 선택적으로 제거하기 위해서 마스킹(masking) 단계가 실행된다.

포토레지스트 물질(18)이 제거되는 곳에, 표준 에칭 기술들(즉, 이방성 에칭 프로세스)을 이용하여 실리콘 질화물(16), 폴리실리콘(14), 하부 절연 물질(12)이 평행한 스트라이프들(20)로 에칭된다. 에칭은 기판(10) 아래까지 연장되는 트렌치들(22)을 형성하기 위해 계속된다. 트렌치(24)를 형성하기 위해서 실리콘 기판이 에칭되면, 산화물층(12)과 폴리층(14: poly layer)이 트렌치(22) 위에 걸쳐지는 작은 측방향 언더컷(slight lateral undercut)(26)이 형성된다. 포토레지스트(18)가 제거되지 않는 곳에, 실리콘 질화물(16), 제 1 폴리실리콘 영역(14), 및 하부 절연 영역(12)이 유지된다.

<14> 구조는 남아있는 포토레지스트(18)를 제거하기 위해서 더 처리되고, 그 후 트렌치들(22) 내에 실리콘 이산화물과 같은 절연 물질(24)을 형성한다(예를 들어, 산화물층을 침착한 다음에 CMP 에칭을 함). 그 후, 질화물층(18)은 선택적으로 제거된다. 그 결과로 생긴 구조는 도 1b에 도시된다. 남아 있는 폴리실리콘층(14)과 하부 제 1 절연 물질(12)은 메모리 셀들이 형성되는 활성 영역들을 형성한다. 따라서, 이 점에서, 기판(10)은 교대로 스트라이프된 절연 영역들과 활성 영역들을 가지며, 절연 영역은 얕은 트렌치 절연 물질(24)로 형성된다.

## *발명이 이루고자 하는 기술적 과제*

<15> 도 1b의 구조는 자기 정렬된 구조를 나타내며, 이 구조는 자기 정렬되지 않은 방법에 의해 형성된 구조보다 더 소형(compact)이다. 그러나, 절연이 완성된 후에 메모리 셀들의 형성 동안 이 구조를 이용하면 문제들이 발생할 수 있다. 도 1c는 메모리 셀 어레이 구조의 형성을 완성하기 위해서 백(back) 처리 단계들이 실행된 후의 구조를 예시한다. 폴리층 손실은 이러한 백 처리 단계들에서는 전형적이고, 그에 의해, 절연 트렌치(22) 위에 걸려 연장된 폴리층(14)의 측면 에지들은 나중에 절연 트렌치(22)로부터 뒤로 당겨진다. 이에 의해 폴리층(14)의 측면 에지들과 절연 트렌치(22)의 에지들 사이의 갭( δ )이 생기고, 기판(10)과 산화물층(12)의 일부가 노출되어, 폴리층(14)에 의해 보호받지 못한다. 몇몇의 불리한 결과들이 이 조건으로부터 발생한다. 우선, 이 구조는 활성 영역에서 실리콘에 구멍을 뚫는(pitting) 경향이 있어, 폴리층(14)에 의한 보호에 의존하는 처리 단계들이 갭 영역( δ )에서 산화물층(12)과 기판(10)에 손상을 주는 경향이 있다. 게다가, (하부 기판의 도전을 제어하는 플로팅 게이트를 형성하는) 폴리층(14)이 인접하는 절연 트렌치들 사이에서 기판(10)의 전체 폭과 더 이상 겹치지 않기 때문에, 최종 제품의 전기적 성능에 악영향을 미친다. 종래의 STI 절연의 또 다른 결점은 폴리층 리프팅이 발생한다(즉, 스마일링 효과(smiling effect))는 것이며, 이것은 폴리층(14)의 측면 에지들 부근의 산화물층(12)의 두께가 증가한다는 것을 의미한다. 폴리층 리프팅은, 절연 트렌치 산화물(24)이 형성되기 전에 폴리층(14)이 형성되기 때문에 발생한다.

<16> 이들 문제들을 처리하는 절연 프로세스가 필요하다.

## *발명의 구성 및 작용*

<17> 발명의 개요

<18> 본 발명은 폴리층을 확산 에지로 자기 정렬하여 절연 영역들과 폴리층의 측면 에지들 사이에 증가된 오버랩을 형성하는 프로세스를 이용함으로써 전술한 문제들을 해결한다. 본 발명의 프로세스는 자기 정렬 방법으로 독립적으로 최적화될 수 있다.

<19> 본 발명은 반도체 디바이스에서 절연 영역 및 활성 영역을 형성하는 자기 정렬 방법이며, 반도체 기판상에 제 1 물질층을 형성하는 단계와, 상기 제 1 물질층을 통해 상기 기판으로 연장되는 복수의 이격된 트렌치들을 형성하는 단계와, 상기 트렌치들의 측벽부들을 따라서 제 1 절연 물질층을 형성하는 단계와, 상기 트렌치들을 절연 물질로 채우는 단계와, 상기 기판의 부분들을 노출시키기 위해서 상기 제 1 물질층을 제거하는 단계와, 상기 기판의 상기 노출된 부분들에 제 2 절연 물질층을 형성하는 단계와, 상기 제 2 절연 물질층 상에 도전성 물질층을 형성하는 단계를 포함한다.

<20> 본 발명의 다른 양상에서는, 전기적으로 프로그램 가능하고 소거 가능한 메모리 디바이스의 제조에 사용하는 반도체 구조가, 제 1 도전성 형태의 반도체 물질의 기판과, 상기 기판상에 형성된 제 1 절연 물질층과, 상기 제 1 절연 물질층 상에 형성된 도전성 물질층과, 상기 제 1 절연 물질층, 상기 도전성 물질층을 통해 상기 기판에 형성된 복수의 이격된 트렌치들과, 상기 트렌치들의 측벽부들 상에 형성된 제 2 절연 물질층과, 상기 트렌치들 내에 형성된 절연 물질의 블록을 포함한다. 상기 각 트렌치들에 대해서, 상기 도전성 물질층의 에지 부분은 미리 결정된 거리(△)만큼 상기 제 2 절연 물질층 위로 연장되어 오버랩된다.

<21> 본 발명의 다른 목적들 및 특징들은 명세서, 청구범위, 및 첨부된 도면들을 검토함으로써 명료하게 될 것이다.

<22> 바람직한 실시예들의 상세한 설명

<23> 본 발명의 프로세스는 도 2a 내지 도 2d에 예시되고, 바람직하게 P형이고 기술상 잘 공지되어 있는 반도체 기판(30)에서 시작한다. 실리콘 질화물층(32)(이하, "질화물")은 바람직하게 화학증착법(CVD)에 의해 실리콘 기판(30) 위에 침착된다. 적절한 포토레지스트 물질(34: photo-resistant material)이 질화물층(32)에 도포되고, 평행한 스트라이프 영역들(36)로부터 포토레지스트 물질을 선택적으로 제거하기 위해서 마스킹(masking) 단계가 실행된다. 포토레지스트 물질(34)이 제거되는 곳에, 하부 실리콘 기판(30)의 스트라이프들을 노출시키기 위해서, 표준 에칭 기술(즉, 이방성 에칭 프로세스)을 이용하여 질화물층(32)의 노출된 스트라이프들이 에칭된다. 그 다음, 질화물층(32)을 통해 실리콘 기판(30)으로 연장되는 트렌치들(38)을 형성하기 위해서 실리콘 에칭 프로세스가 스트라이프들(36)에서 실행된다. 트렌치들은 원래 질화물 에지(42) 및 실리콘 기판(30) 내에 형성된 측벽부들(39)에 의해 규정된다. 그 결과로 생긴 구조는 도 2a에 예시되고, 질화물층의 에지들(42)이 실리콘 기판(30)에 형성된 트렌치 측벽부들(39)을 넘어서 연장되는 작은 언더컷부(40)를 포함한다.

<24> 구조는 남아 있는 포토레지스트(34)를 제거하기 위해서 더 처리된다. 그 다음, 트렌치 측벽부들(39)을 패시베이트(passivate)함으로써 기판(30) 내의 트렌치 측벽부들(39)을 따라서 산화물층(44)을 형성하기 위해서 선형 산화(linear oxidation) 프로세스가 실행된다. 이 산화 단계는 질화물층(32) 아래의 트렌치 측벽부들(39)을 횡방향으로 밀어내고, 기판(30)의 트렌치들(38)의 폭을 증가시켜, 측벽부들(39)과 질화물층(32)의 인접하는 에지(42) 사이에 자기 정렬된 오프셋(self algined offset)을 만듦으로써 언더컷부들(40)을 강화한다. 그 후, 트렌치들(38)은 종래의 산화물 침착 및 평탄화(예를 들어, CMP)에 의해 산화물 블록들(46)을 형성하기 위해서 산화물로 채워진다. 그 결과로 생긴 구조는 도 2b에 도시된다.

<25> 질화물 에칭(습식 또는 건식) 프로세스가 질화물층(32)을 제거하기 위해서 실행된다. 그 후, 절연층(48)이 기판(30)의 노출된 부분들에 형성된다. 바람직하게, 절연층(48)은 산화물 침착(예를 들어, CVD)에 의해 또는 기판(30)의 노출되는 표면을 산화시킴으로써 형성된 산화물층이다. 그 결과로 생긴 구조는 도 2c에 도시된다.

<26> 그 후, 그 상면이 트렌치 산화물(46)의 상면과 같아지도록, 도전층(50)이 절연(산화물)층(48) 위에 형성된다. 바람직한 실시예에서, 도전층은 폴리실리콘 침착 프로세스에 의해 형성되며 그 다음에 CMP 평탄화가 계속된다. 그 결과로 생긴 구조는 도 2d에 도시된다.

<27> 이제, 절연 영역들은 산화물 블록들(46)과 산화물층들(44)의 결합에 의해 규정된다. 도전층(50)의 에지들(52)이 절연 영역(즉, 산화물층(44))과 오버랩되는 커진 오버랩 거리(△)가 존재한다. 이 오버랩 거리(△)의 크기는 주로 절연 트렌치들(38)에 형성된 산화물층(44)의 제어 가능한 두께에 의해서 규정된다. 이와 같이, 일단 모든 처리 단계들이 완료되면 폴리층(50)의 에지들이 절연 영역들의 에지들에 더 양호하게 정렬되도록, 오버랩 거리(△)는 자기 정렬 방법으로 독립적으로 최적화되어, 나중의 백엔드 처리 동안 폴리층 손실(poly layer loss)을 방해하는 강화된 오버랩을 제공할 수 있다. 또한, 트렌치 산화물(46), 절연 산화물(48), 및 산화물층들(44)의 형성 후에 폴리층(50)이 형성되므로, 폴리 리프팅(poly lifting)이 회피된다.

<28> 본 발명은 전술한 그리고 본 명세서에 예시된 실시예에 한정되지 않지만, 첨부된 청구항들의 범위내에서 어떤 및 모든 변형들을 초래한다는 것은 물론이다. 예를 들어, 전술한 방법이 폴리실리콘을 도전 물질로서, 질화물 및 산화물을 절연 물질들로서 이용하는 것을 기술할지라도, 임의의 적절한 도전 물질 및 절연 물질들이 사용될 수 있다는 것은 기술 분야에서 통상의 기술을 갖는 사람들에게 자명하다. 또한, 산화물층(44)의 두께는 돌출부(overhang portion)(40)의 길이보다 더 작을 수 있고, 그에 의해 도전층(50)의 에지(52)도 또한 대응하는 산화물 블록(46)의 일부 위로 부분적으로 연장되어 오버랩될 것이다.

## 발명의 효과

<29> 본 발명에 따르면, 폴리층을 확산 에지로 자기 정렬하는 프로세스를 이용하여 전기적으로 프로그램 가능하고 소거 가능한 메모리 디바이스에서 절연 영역 및 활성 영역을 효율적으로 형성할 수 있다.

## 도면의 간단한 설명

<1> 도 1a 및 도 1b는 반도체 메모리 디바이스에서 절연 스트라이프(isolation stripe)들을 형성하는 종래의 방법의 단면도.

<2> 도 1c는 종래의 절연 기술들을 사용하여 형성된 반도체 디바이스의 단면도이지만, 이것에는 후에 추가적인 백(back) 처리 단계들이 행해진다.

<3> 도 2a 내지 도 2d는 메모리 어레이 반도체 디바이스의 절연 영역들의 형성을 위한, 반도체 디바이스의 처리에서의 다음 단계(들)을 순차적으로 도시하는 단면도.

<4> * 도면의 주요 부분에 대한 부호의 설명 *

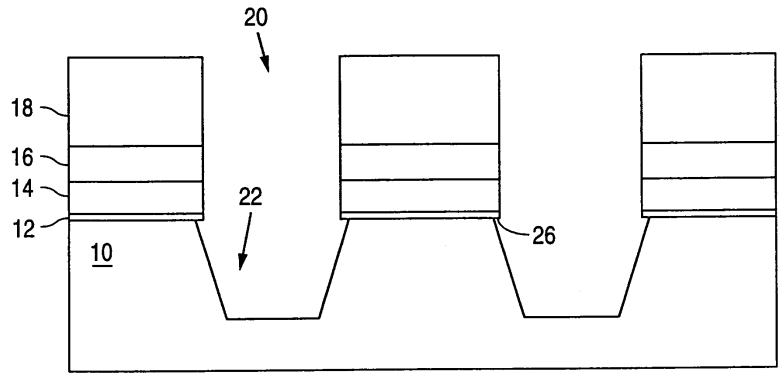
<5> 30 : 실리콘 기판 38 : 트렌치

<6> 42 : 질화물 에지 44 : 산화물층

## 도면

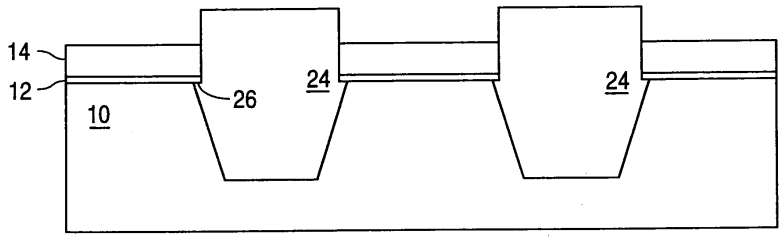
### 도면1a

종래기술



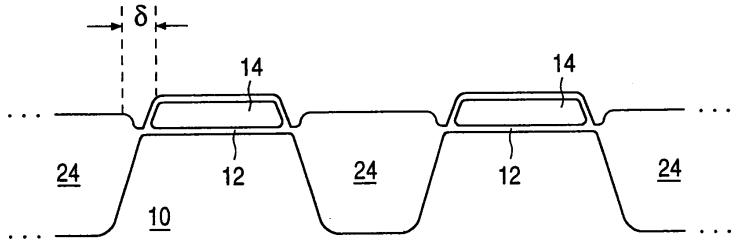

### 도면1b

종래기술

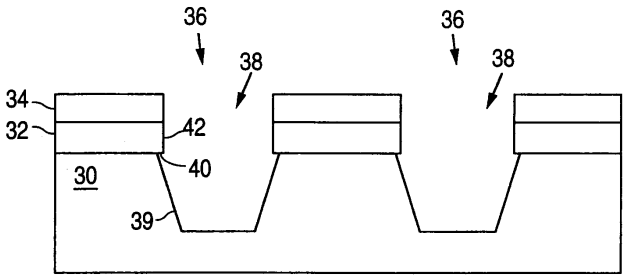



### 도면1c

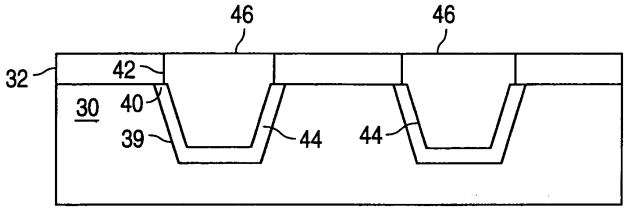
종래기술



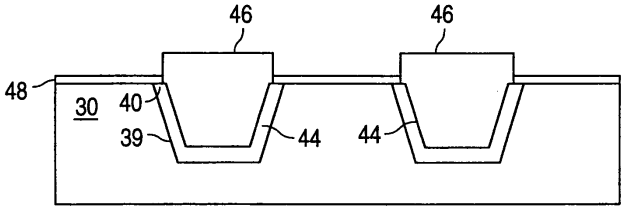
도면2a




도면2b




도면2c




도면2d

