

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3792995号
(P3792995)

(45) 発行日 平成18年7月5日(2006.7.5)

(24) 登録日 平成18年4月14日(2006.4.14)

(51) Int. Cl.	F I		
HO4N 5/335 (2006.01)	HO4N	5/335	Z
HO4N 5/243 (2006.01)	HO4N	5/243	
HO4N 9/04 (2006.01)	HO4N	9/04	B
HO4N 9/07 (2006.01)	HO4N	9/07	C

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2000-166307 (P2000-166307)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成12年6月2日(2000.6.2)	(74) 代理人	100065385 弁理士 山下 穰平
(65) 公開番号	特開2001-346106 (P2001-346106A)	(72) 発明者	橋本 誠二 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成13年12月14日(2001.12.14)	審査官	▲徳▼田 賢二
審査請求日	平成13年11月26日(2001.11.26)	(56) 参考文献	特開平11-220572 (JP, A) 特開平01-205685 (JP, A)

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項1】

光電変換部と該光電変換部からの光電変換信号が入力部に入力される増幅手段と該増幅手段の入力部をリセットするリセット手段とをそれぞれ有する複数の画素と、

前記入力部がリセット状態にある場合の前記増幅手段の第1出力と前記光電変換信号が前記入力部に入力された状態にある場合の前記増幅手段からの第2出力を出力する手段と、を備えた撮像装置であって、

前記増幅手段の出力と前記第1出力との差分出力を検出するコンパレータを有し、前記コンパレータの出力をカウントするカウンタから出力されるデジタル値を受けてデジタルアナログ変換手段から出力される信号を前記増幅手段の主電極へ出力することにより、前記増幅手段の出力を制御することで、前記コンパレータの入力レベルを前記第1出力と前記第2出力との差分出力から実質ゼロになるまで変化させ、前記コンパレータの入力レベルが変化している間、前記カウンタはカウント動作を行い、カウンタ開始から停止までに変化した前記デジタル値を出力することを特徴とする撮像装置。

【請求項2】

請求項1に記載の撮像装置において、前記デジタルアナログ変換手段のデジタルアナログ出力レンジを、AE情報に基づいて変化させることを特徴とする撮像装置。

【請求項3】

請求項1に記載の撮像装置において、前記デジタルアナログ変換手段のデジタルアナログ出力レンジを、ホワイトバランス情報に基づいて、前記第2出力の色信号ごとに変化さ

10

20

せることを特徴とする撮像装置。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載の撮像装置において、前記複数の画素から列ごとに前記第 1 及び第 2 出力が出力され、
複数の列毎に一組の前記コンパレータと前記カウンタと前記デジタルアナログ変換手段を設けたことを特徴とする撮像装置。

【請求項 5】

請求項 4 に記載の撮像装置において、色信号毎に一組の前記コンパレータと前記カウンタと前記デジタルアナログ変換手段を利用することを特徴とする撮像装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は撮像装置に係わり、特に固体撮像素子内に A D (アナログデジタル) 変換器を内蔵した固体撮像装置に好適に用いられる撮像装置に関する。

【0002】

【従来の技術】

各画素毎に A D 変換器を内蔵した撮像装置としては、特開平 6 - 2 0 5 3 0 7 号公報に開示された撮像装置がある。この撮像装置では積分された画素電圧をコンパレータと比較し A D データを得ている。

【0003】

20

また、画素列毎に A D 変換器を形成した撮像装置としては、ISSCC99 SESSION17 PAPERWA1 7.7 に A250mW、600Frames/s 1280×720pixel 9b CMOS Digital Image Sensor がある。本例では画素列毎に読み出した信号をコンパレータの基準電圧と比較し A D データを得ている。

【0004】

また ISSCC 2000 Session 6 IMAGE Sensors PAPER MP 6.4 A 60mW 10b CMOS Image Sensor with Column-to-Column FPN Reduction では画素信号をランプ信号と比較することにより A D データを得ている。

【0005】

この様に従来例では画素信号を直接 A D 変換するか、アナログゲイン回路で画素信号を増幅制御後 A D 変換していた。

30

【0006】

【発明が解決しようとする課題】

画素信号を直接 A D 変換する場合、暗い条件で撮像すると A D の定格入力電圧に対し信号レベルが小さいため S N の劣化とともに A D の量子化誤差が大きくなってしまう。

【0007】

また、信号電圧を大きくするために、アナログゲイン回路でゲインコントロールを行なうが、この場合列毎のアナログゲイン誤差が画面上では縦方向のスジ状ノイズとして、画質を著しく低下させる。

【0008】

40

また、カラー化を考えた場合、撮影時の光源により色毎のダイナミックレンジが変わり、A D 変換器の性能をフルに発揮出来ない。例えば光源の色温度が低い時は赤の画素信号が大きくなり、色温度が高い場合は青の画素信号が大きくなり、A D 入力電圧を制限する。また、撮像素子は年々画素サイズの縮小化がはかられており、列毎に画素ノイズ除去回路、アナログゲイン回路やコンパレータ、D A 変換器を設けることはチップサイズが大きくなる欠点がある。また列毎のピッチにそれらの回路を回路間の精度をそろえて設計するのは非常に困難である。これらはいずれにしても画面上は縦方向のスジ状ノイズとなる。

【0009】

(発明の目的)

本発明の目的は撮像素子内の A D 変換器の性能向上と機能向上、コスト低減にある。

50

【 0 0 1 0 】

【課題を解決するための手段】

本発明の撮像装置は、光電変換部と該光電変換部からの光電変換信号が入力部に入力される増幅手段と該増幅手段の入力部をリセットするリセット手段とをそれぞれ有する複数の画素と、

前記入力部がリセット状態にある場合の前記増幅手段の第1出力と前記光電変換信号が前記入力部に入力された状態にある場合の前記増幅手段からの第2出力を出力する手段と、を備えた撮像装置であって、

前記増幅手段の出力と前記第1出力との差分出力を検出するコンパレータを有し、前記コンパレータの出力をカウントするカウンタから出力されるデジタル値を受けてデジタルアナログ変換手段から出力される信号を前記増幅手段の主電極へ出力することにより、前記増幅手段の出力を制御することで、前記コンパレータの入力レベルを前記第1出力と前記第2出力との差分出力から実質ゼロになるまで変化させ、前記コンパレータの入力レベルが変化している間、前記カウンタはカウント動作を行い、カウンタ開始から停止までに変化した前記デジタル値を出力することを特徴とする撮像装置である。

10

【 0 0 1 2 】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

【 0 0 1 3 】

図1に本発明の撮像装置の一実施例の全体構成図を示す。図1において、100は絞りや撮像レンズからなる光学系、110は固体撮像素子である。固体撮像素子110は、光電変換部と画素アンプと制御スイッチから構成される画素がエリア状に配置された画素部111、画素部111を走査する垂直走査回路部112、画素部111からの画素信号のバラツキを補正するノイズ除去回路やゲイン制御回路やAD（アナログデジタル）変換回路からなるアナログデジタル信号処理回路部113、アナログデジタル信号処理回路部113を制御する水平走査回路部114、タイミングジェネレータ（TG）部115から構成される。

20

【 0 0 1 4 】

タイミングジェネレータ（TG）部115はカメラCPU130からのパルスにより、固体撮像素子110内の画素部や各回路部を制御するものである。固体撮像素子110からのADデータはカメラ信号処理系120に入力される。

30

【 0 0 1 5 】

カメラ信号処理系120はカメラ信号処理回路部121、AE（露光）情報検出回路部122、ホワイトバランス情報検出回路部123からなる。

【 0 0 1 6 】

カメラ信号処理回路部121ではADデータから輝度信号処理、色信号処理がなされる。また、AE（露光）情報検出回路部122ではカメラ信号処理回路部121の輝度情報から画像信号レベルを検出しAE（露光）情報を発生させる。このAE情報結果によってアナログデジタル信号処理回路部113の後述するDA（デジタルアナログ）変換回路のランプ状基準電圧の範囲を切換えて、画素信号がAD入力電圧範囲の最適値になるよう制御される。後述するように、画素信号が小さい時はランプ状基準電圧の振幅を小さくし、画素信号が大きい時はランプ状基準電圧の振幅を大きい方に切換え、AD入力電圧を極力大きくする。次にホワイトバランス（WB）情報検出回路部123はカメラ信号処理回路部121の色信号R、G、Bのレベルを比較し、その結果を前述のランプ状基準電圧を色毎に制御する。

40

【 0 0 1 7 】

この様にランプ状基準電圧をAE情報で制御するか、WB情報で制御するかは撮像装置の仕様によって決めることができる。個別に制御しても良いし、AE情報で全体レベルの制御、WB情報で色毎の信号レベルを制御しても良い。この制御によりAD変換器の入力信号レベルが大きくなるのでSNは劣化せずに、またAD変換器による量子化誤差は小さく

50

できる。

【 0 0 1 8 】

1 3 0 は固体撮像装置の特にカメラ部を制御するカメラ CPU である。1 4 0 は記録・再生系、1 5 0 は表示系である。

【 0 0 1 9 】

図 2 に画素部 1 1 1、アナログデジタル信号処理回路部 1 1 3、垂直走査回路部 1 1 2 の概略回路図を示す。図 2 において、1 1 はコンパレータ、1 0 はカウンタ、9 は D A 変換器である。

【 0 0 2 0 】

図 3 は画素部の一画素とノイズ除去・アナログデジタル変換回路部を示す等価回路ブロック図である。D A 変換器にはランプ状基準電圧の範囲を切換える D A 出力レンジ切換情報が入力される。

10

【 0 0 2 1 】

図 3 において、2 1 は光電変換素子、2 2 は光電変換素子 2 1 の信号電荷を増幅トランジスタ 2 3 のゲートに転送する転送トランジスタ、2 4 は画素選択トランジスタ、2 5 はリセットトランジスタ、2 6 は増幅トランジスタ 2 3 の出力電流をスイッチ 2 7 と保存用コンデンサ 2 8 によって電圧として保存し、その電圧を電流に変換しながら出力する電流源用トランジスタ、3 1 は電流源トランジスタ 2 6 の出力電流と、画素選択トランジスタ 2 4 を介して出力される増幅トランジスタ 2 3 の出力電流との差分を検出するコンパレータ、3 0 はコンパレータ 3 1 の出力をカウントするカウンター、2 9 はカウンター 3 0 から出力されるデジタル信号により電圧を増幅トランジスタ 2 3 のソース（主電極）端子へ出力する D A 変換器である。D A 変換器 2 9 には D A 出力レンジ切換情報が入力され、D A 変換器から出力されるランプ状基準電圧の範囲を切換えて、画素信号が A D 入力電圧範囲の最適値になるよう制御される。

20

【 0 0 2 2 】

上記の構成で、例として増幅トランジスタがリセットされた後、光電変換素子からの信号電荷による信号電圧を得る方法を図 4 のタイミングチャートを交えて説明する。ここで図 3 の各トランジスタ 2 2、2 3、2 4、2 5 は P M O S トランジスタとして、トランジスタ 2 6 は N M O S トランジスタとして以降説明する。D A 変換器 2 9 はある高電位（ V_{HD} ）を出力するように設定する。カウンター 3 0 はリセットされ、カウント動作はしていないものとする。端子 R を“ L ”レベルとして（パルス 2 0 1）リセットトランジスタ 2 5 を ON させ、増幅トランジスタ 2 3 のゲート端子を所定の電位にリセットする。その時、同時に端子 X を“ L ”レベル（パルス 2 0 2）にして選択トランジスタ 2 4 を ON させ、またスイッチ 2 7 も ON させる。増幅トランジスタ 2 3 のリセット時の出力電流は、トランジスタ 2 6 がゲート・ドレインが短絡することで発生するゲート電圧の形で保存用コンデンサ 2 8 に保存される（比較基準電圧が保存される。）。その後、トランジスタ 2 5、2 4、スイッチ 2 7 は OFF し、光電変換素子に入力した光に応じた信号電荷を、端子 T を“ L ”レベルにする（パルス 2 0 3）ことで転送トランジスタ 2 2 が ON し増幅トランジスタ 2 3 のゲート端子に転送する。この時のゲート電位はリセット時よりも低い電圧であったとすると増幅トランジスタ 2 3 の出力電流はそれに応じてリセット時よりも大きい値となる。一方、トランジスタ 2 6 は保存用コンデンサ 2 8 の電圧を受け、増幅トランジスタ 2 3 がリセットされた時の電流を出力している。端子 X を“ L ”レベルにし（パルス 2 0 4）再びトランジスタ 2 4 を ON させるとコンパレータ 3 1 の入力電位はある高電位（ V_H ）に上昇する。この後カウンター 3 0 を動作し、そのデジタル出力の値を大きくし、それを受ける D A 変換器 2 9 の出力電圧は徐々に減少（D A 変換器 2 9 はデジタル入力信号に対し負極性のアナログ出力電圧を発生すると仮定する。）する。ある時点で、増幅トランジスタ 2 3 の出力電流とトランジスタ 2 6 の出力電流が等しくなり、コンパレータ 3 1 の入力電圧は急速に減少するので、その変化を検出し、カウンター 3 0 のカウント動作を停止させる。

30

40

【 0 0 2 3 】

50

このカウンタ 30 のカウント開始から停止までに変化したデジタル値は増幅トランジスタ 23 のゲート電位の、リセットされた時の電位と信号電荷が転送された時の電位の差分に等しい値となる。このようにして差分に対応する A/D 変換が行われたことになる。

【0024】

図 2 は図 3 の構成例を、光電変換部が 3 行 3 列の 2 次元に配列された場合に適用させたものである。光電変換素子 1 (1-1-1, 1-1-2, ...)、転送トランジスタ 2 (2-1-1, 2-1-2, ...)、増幅トランジスタ 3 (3-1-1, 3-1-2, ...)、画素選択トランジスタ 4 (4-1-1, 4-1-2, ...)、リセットトランジスタ 5 (5-1-1, 5-1-2, ...)、定電流トランジスタ 6 (6-1, 6-2, ...)、増幅トランジスタ 3 の出力電流によってトランジスタ 6 のゲート - ソース間に発生する電圧を取り込み、保存するためのスイッチ 7 (7-1, 7-2, ...) と容量 8 (8-1, 8-2, ...)、垂直信号線 12 (12-1, 12-2, ...) の電位変化を検出するコンパレータ 11 (11-1, 11-2, ...)、D/A 変換器 9 (9-1, 9-2, ...) にデジタル信号を供給するカウンタ 10 (10-1, 10-2, ...) など構成は図 3 の場合と同様である。

10

【0025】

一行目の画素の出力を得る場合、垂直シフトレジスタ 15 からの駆動線 15-1 を “L” レベルにしてリセット用トランジスタ 5 (5-1-1, 5-1-2, 5-1-3) を ON させ、その後駆動線 14-1 を “L” レベルにして画素選択トランジスタ 4 (4-1-1, 4-1-2, 4-1-3) を ON させて、リセット状態の増幅トランジスタ 3 (3-1-1, 3-1-2, 3-1-3) の出力電流を垂直信号線 12 (12-1, 12-2, 12-3) へ出力し、駆動線 13 を “H” レベルにしてスイッチ 7 (7-1, 7-2, 7-3) を ON させ、容量 8 (8-1, 8-2, 8-3) にトランジスタ 6 にリセット状態の出力電流を供給した時のゲート - ソース間に発生する電圧を保持する。

20

【0026】

その後、図 3 の動作と同様にカウンタ 10 (10-1, 10-2, 10-3) のカウント動作を開始し、D/A 変換器 9 (9-1, 9-2, 9-3) の出力電圧を減少させ、垂直信号線 12 の電位変動をコンパレータ 11 で検出し、カウンタ 10 の動作を停止させて、カウント開始から停止までのデジタル値の変化分をデジタル出力として A/D 変換が完了する。図 9 は D/A 変換器 9 (9-1, 9-2) に、D/A 出力レンジ切換え情報として A/E 情報を用いた場合を示す回路図である。40 は一画素を示す。図 9 においてコンパレータは省略されている (図 11、図 12 においてもコンパレータは省略されている。)。

30

【0027】

図 5 に図 2 及び図 3 に示した D/A 変換器の一構成例の回路図を示す。

【0028】

この構成例は R - 2R ラダー方式で n ビット A/D のとき 2n 個の抵抗と n 個のスイッチで構成される。基準電圧をスイッチコントロールによりラダーの抵抗値を変化させ、その抵抗値とアンプの抵抗値 R_f との比が D/A 出力電圧となる。D/A 変換器の方式は R - 2R ラダー方式に限定されず、他に容量アレイ方式であっても良い。

【0029】

D/A 出力範囲を切換える方法として、図 6 にスイッチで複数の基準電圧 (E1, E2, E3) に切換える方法、図 7 にアンプの帰環抵抗 R_f を切換えてラダーの抵抗値と抵抗値 R_f との比を切換える方法を示す。

40

【0030】

図 8 は D/A 出力レンジを図 6 あるいは図 7 の方法により切換えた時の D/A 出力を示す特性図である。D/A 変換器の比較基準電圧に KNEE 特性あるいは 特性を持たせても良い。そうすることによって撮像装置を簡略化させることが出来る。カラー撮像装置の場合、後述のホワイトバランスと $K_n e e$ 機能を共用させると良い。

【0031】

図 14 に本発明の他の実施例の特性図を示す。被写体の映像情報によって、A/D 変換のセ

50

ンサ出力信号レベルの変換範囲あるいは変換の重み付けやデジタル化出力ビット数を用途によって変えることができる。

【0032】

図14において、(A)の場合は、センサ出力信号DA出力電圧範囲V1とV2間で直線的にAD変換する。

【0033】

(B)においては、同様にDA出力電圧範囲V3とV4間でAD変換するが、DA出力電圧範囲が小さくなっており、これは被写体の反射光量範囲が狭い場合、例えば原稿情報、バーコード情報検出などに適している。

【0034】

また(C)はDA出力電圧を非直線的に変換させた場合である。例えばDA出力電圧がV5近辺では電圧範囲を小さくし、V6近辺では大きくすることにより、センサ出力信号に変換処理を行ったAD変換ができる。センサ信号を直接的にデジタル変換しているので量子化誤差やノイズの増加がなく、高品質画質を得ることができる。

【0035】

(D)は、(A)のDA出力電圧のビット数を少なくした場合であり、原稿情報あるいはAD変換が低ビット数でよい用途に対応できる。

【0036】

図10に本発明の固体撮像装置の他の実施例を示す回路図を示す。上述した図2～図4を用いて説明した実施例は画素信号の出力レベルの可変範囲をDA出力レンジ切替情報に基づいて切り替えた実施例を示したが、本実施例は比較基準電圧の可変範囲をDA出力レンジ切替情報に基づいて切り替えた実施例を示すものである。

【0037】

図10に示すように、画素40からの画素信号はコンパレータ42で列ごとにDA変換器43からのDA出力電圧と比較され、AD変換器44でADデータに変換される。DA変換器43にはランプ状基準電圧の範囲を切替えるDA出力レンジ切替情報(AE情報)が入力される。41は負荷であり画素40のトランジスタとの間でソースフォロア回路を構成する。

【0038】

図11はカラー化の実施例を示す回路図である。本実施例は上述した図2～図4を用いて説明した実施例に適用した場合を示すものである。画素信号の出力レベルの可変範囲はホワイトバランス(WB)情報に基づいて切り替えられる。

【0039】

画素40にはR、G、Bの色フィルタがモザイク状に配置されている。画素行(...(n+1)行、n行)毎にDA変換器9(9-1、9-2、9-3)に、WB情報切替信号を各色に対応して入力し、各色に対応してDA出力レンジを切替えることで、各色信号のAD変換範囲を切替える。このWB情報は図1のカメラ信号処理系120のWB検出信号による。n行ではB信号とG信号のAD変換範囲が、(n+1)行ではG信号とR信号のAD変換範囲が順次切替えられる。

【0040】

図12に色順次出力に本発明を応用した実施例を示す。

【0041】

図11と同様に、画素40にはR、G、Bの色フィルタがモザイク状に配置されている。n行では、まず列切替制御パルスC oddによりB信号列の画素信号をAD変換し、ADデータとして出力する。次に列切替制御パルスC evenによりG信号列の画素信号をAD変換し、ADデータとして出力する。この際、DA変換器9(9-1、9-2、9-3)に、WB情報切替信号を各色に対応して入力し、各色に対応してDA出力レンジを切替えることで、各色信号のAD変換範囲を切替える。

【0042】

この様に任意の列毎にAD変換することによりアナログデジタル回路を少なくすることが

10

20

30

40

50

可能となった。このように回路規模を少なく出来ることは回路特性の向上あるいはチップ面積を小さくできる。

【0043】

なお、画素部は複数の光電変換部に対して1つの共通アンプを設けるようにしてもよい。図13は共通アンプ画素の例を示す図である。図13に示すように、a11, a12, a21, a22は各画素の光電変換部となるフォトダイオード、MSFは共通アンプとなる増幅用トランジスタ、MTX1~MTX4はフォトダイオードに蓄積された信号電荷を共通アンプの入力部に転送する転送用トランジスタ、MRESは前記共通アンプの入力部をリセットするリセット用トランジスタ、MSELは共通アンプ画素を選択する選択用トランジスタである。トランジスタMSF, MSELはソースフォロア回路を構成する。かかる共通アンプ画素は4つのフォトダイオードからの信号が共通アンプを介して出力され、4画素で一つの単位セルを構成する。1つの画素はフォトダイオード、転送用トランジスタを含み、共通アンプ、リセット用トランジスタ、選択用トランジスタからなる共通回路の一部を含んでいる。フォトダイオードa11, a22にGフィルター、フォトダイオードa21にBフィルター、フォトダイオードa12にRフィルターを配置する。

10

【0044】

【発明の効果】

以上説明したように、本発明によれば、画像信号レベルに応じてAD入力電圧範囲を設定できることにより、AD変換手段の性能をフルに引き出すことが可能となった。

【0045】

また、アナログデジタル変換回路規模を小さくできるので歩留り向上、低コスト化が可能である。画素とAD変換手段をフィードバック構成にすることでAD精度が良く、特にアナログゲイン回路を不要とする設計も可能となった。

20

【0046】

またホワイトバランスと、KNEE機能を共用することで信号処理装置を簡略化できる。

【図面の簡単な説明】

【図1】本発明の撮像装置の一実施例の全体構成図である。

【図2】図1の撮像装置の画素部、ノイズ除去・アナログデジタル変換回路部、垂直走査回路部の概略回路図である。

30

【図3】画素部の一画素とノイズ除去・アナログデジタル変換回路部を示す等価回路ブロック図である。

【図4】図3の回路の動作を説明するためのためのタイミングチャートである。

【図5】図2及び図3に示したDA変換器の一構成例の回路図である。

【図6】スイッチで複数の基準電圧(E1, E2, E3)に切換える方法を示す図である。

【図7】アンプの帰環抵抗 R_f を切換えてラダーの抵抗値と抵抗値 R_f との比を切換える方法を示す図である。

【図8】DA出力レンジを図6あるいは図7の方法により切換えた時のDA出力を示す特性図である。

【図9】DA変換器にDA出力レンジ切換え情報としてAE情報を用いた場合を示す回路図である。

40

【図10】本発明の固体撮像装置の他の実施例を示す回路図である。

【図11】カラー化の実施例を示す回路図である。

【図12】色順次出力に本発明を応用した実施例を示す回路図である。

【図13】共通アンプ画素の例を示す回路図である。

【図14】本発明の他の実施例の特性図である。

【符号の説明】

100 光学系

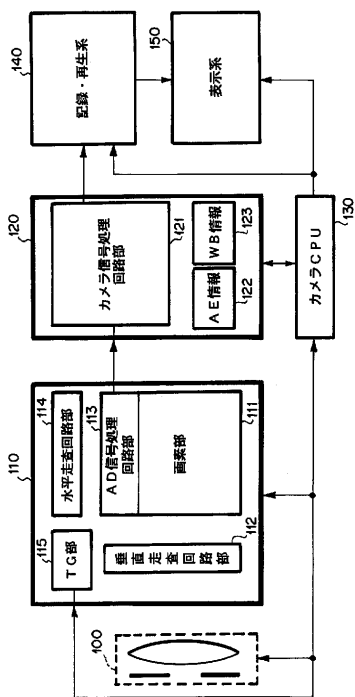
110 固体撮像素子

111 画素部

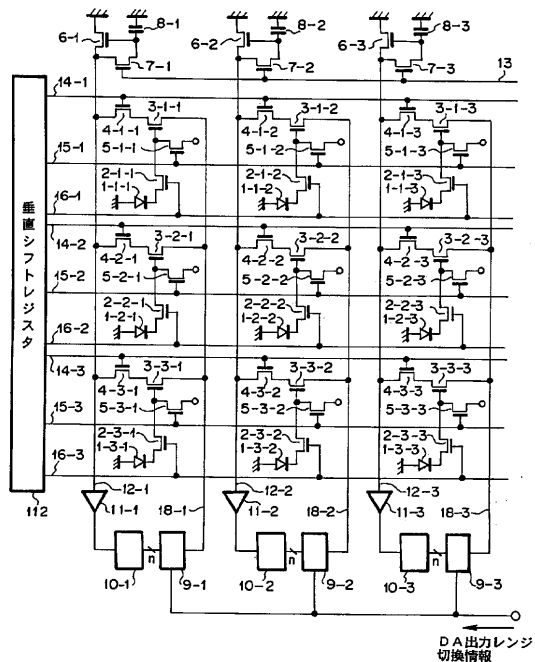
50

- 1 1 2 垂直走査回路部
- 1 1 3 アナログデジタル信号処理回路部
- 1 1 4 水平走査回路部
- 1 1 5 タイミングジェネレータ (T G) 部
- 1 2 0 カメラ信号処理系
- 1 2 1 カメラ信号処理回路部
- 1 2 2 A E (露光) 情報検出回路部
- 1 2 3 ホワイトバランス情報検出回路部
- 1 3 0 カメラ C P U
- 1 4 0 記録・再生系
- 1 5 0 表示系

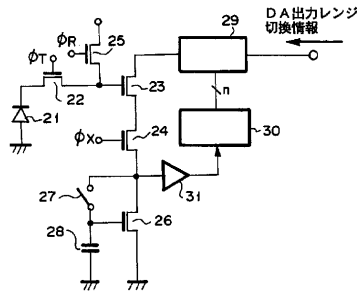
【 図 1 】



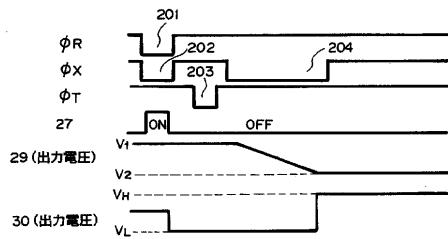
【 図 2 】



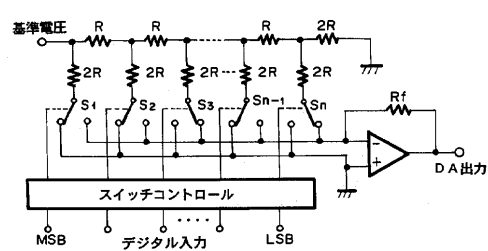
【図 3】



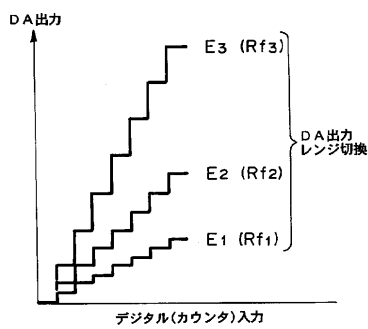
【図 4】



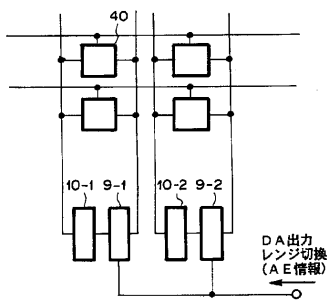
【図 5】



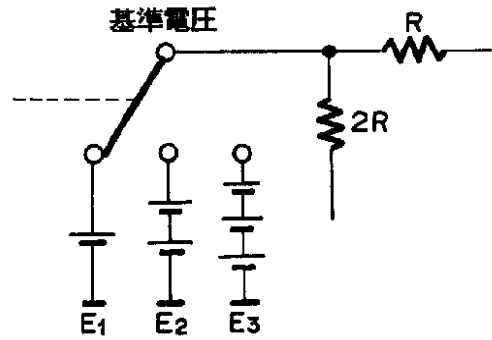
【図 8】



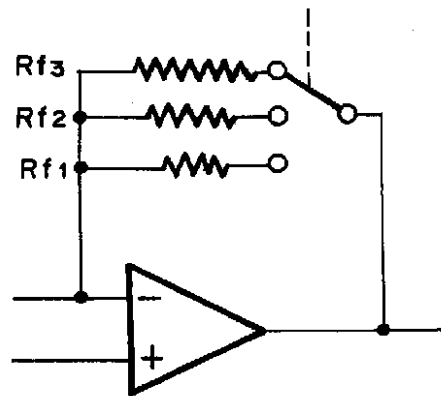
【図 9】



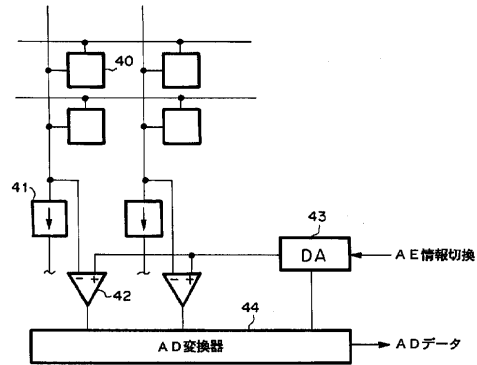
【図 6】



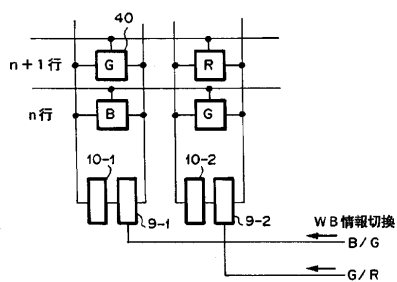
【図 7】



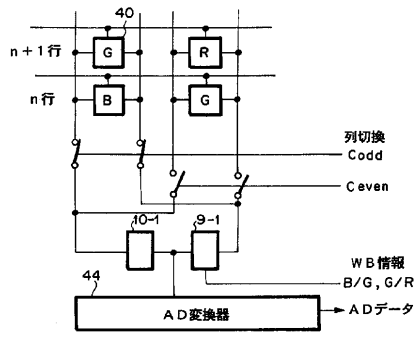
【図 10】



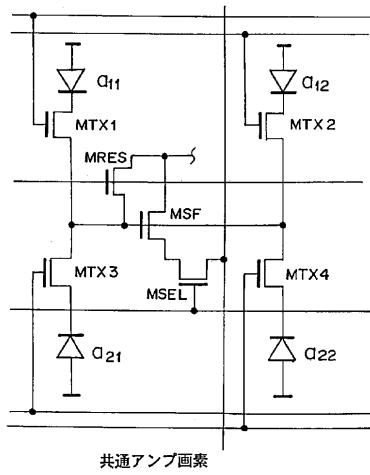
【図 11】



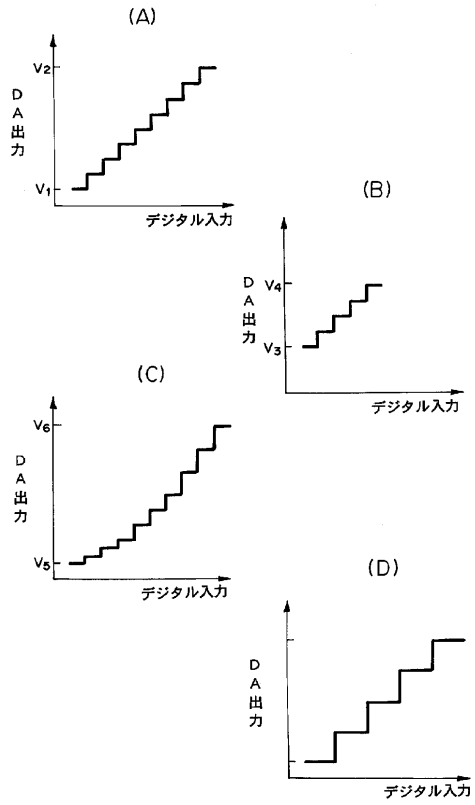
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H04N 5/30 - 5/335

H04N 5/243

H04N 9/04 - 9/11