

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/09	(11) 공개번호 특 1997-0018526	(43) 공개일자 1997년 04월 30일
(21) 출원번호 특 1996-0014856	(22) 출원일자 1996년 05월 07일	
(30) 우선권주장 (71) 출원인	95-242955 1995년 09월 21일 일본(JP) 미쓰비시 덴끼 가부시끼가이샤	기다오까 다카시 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3
(72) 발명자	사야마 히로카즈 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3 미쓰비시 덴끼 가부시끼가 이샤나이 쿠로이 타카시 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3 미쓰비시 덴끼 가부시끼가 이샤나이	
(74) 대리인	김영길	

심사청구 : 있음

(54) 상보형 MOS 전계효과 트랜지스터 및 그 제조방법

요약

소자특성을 향상시킬 수 있도록 개량된 듀얼 게이트 전극 구조를 가지는 상보형 MOS 전계효과 트랜지스터를 얻는 것이다. n채널 MOSFET의 제1의 게이트 전극(30)은 제1의 배리어막(13a)을 포함하고 p채널 MOSFET의 제1의 게이트 전극(33)은, 제2의 배리어막(13b)을 포함한다. 제1의 배리어막(13a)은 터널 현상을 이용해서 전위를 제1의 도전막(5a)에서 제1의 다결정 실리콘막(36)에 전해지는데 충분하도록 얇아진 막두께를 가지고 있다. 제2의 배리어막(13b)은 터널 현상을 이용해서 전위를 제2의 도전막(5b)에서 제2의 실리콘막(37)에 전해지는데 충분하도록 얇게 되어 있다.

대표도

도 1

명세서

[발명의 명칭]

상보형 MOS 전계효과 트랜지스터 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예 1에 관계되는 상보형 MOS 전계효과 트랜지스터의 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

반도체기판(1)과, 상기 반도체기판(1)의 표면에 형성된 n웰(41), p웰(42)과, 상기 p웰(42)내에 형성된 제1의 게이트 전극(30)을 가지는 n채널 MOSFET와, 상기 n웰(41)내에 형성된 제2의 게이트 전극(31)을 p채널 MOSFET를 구비하고, 상기 제1의 게이트 전극(30)은 게이트 절연막(3)을 개재시켜서 상기 p웰(42)의 위에 설치되고, 제1도전형 불순물이 주입된 제1의 실리콘막(36)과, 해당 제1의 실리콘막(36)의 위에 설치된 제1의 배리어막(13a)과, 해당 제1의 배리어막(13a)의 위에 설치되고, 메탈 또는 메탈실리사이드로 형성된 제1의 도전막(5a)를 포함하며, 상기 제2의 게이트 전극(31)은 게이트 절연막(3)을 개재시켜서 상기 n웰(41)의 위에 설치되고, 제2도전형 불순물이 주입된 제2의 실리콘막(37)과, 해당 제2의 실리콘막(37)의 위에 설치된 제2의 배리어막(13b)과, 해당 제2의 배리어막(13b)의 위에 설치되며 메탈 또는 메탈실리사이드로 형성된 제2의 도전막(5b)를 포함하며, 상기 제1의 배리어막(13a)은 터널 현상을 이용해서 전위를 상기 제1의 도전막(5a)에서 상기 제1의 실리콘막(36)에 전달되기에 충분하게 얇아진 막두께를 가지고, 상기 제2의 배리어막(13b)은 터널현상을 이용해서 전위를 상기 제2의 도전막(13b)에서 상기 제2의 실리콘막(37)에 전달되기에 충분하게 얇아진 막두께를 가지고 있는 상보형 MOS 전계효과 트

랜지스터.

청구항 2

제1항에 있어서, 상기 제1 및 제2의 배리어막(13a, 13b)은 실리콘 산화막 또는 실리콘 질화막을 포함하는 상보형 MOS 전계효과 트랜지스터.

청구항 3

제1항에 있어서, 상기 제1 및 제2의 배리어막(13a, 13b)은 30Å 이하인 상보형 MOS 전계효과 트랜지스터.

청구항 4

제1항에 있어서, 상기 제1 및 제2의 실리콘막(36, 37)은 비단결정 실리콘막으로 형성되어 있는 상보형 MOS 전계효과 트랜지스터.

청구항 5

제1항에 있어서, 상기 제1 및 제2의 실리콘막(36, 37)에는 질소가 주입되어 있는 상보형 MOS 전계효과 트랜지스터.

청구항 6

제1항에 있어서, 상기 질소의 함량은 $10^{18} \sim 10^{20}$ atoms/cm²인 상보형 MOS 전계효과 트랜지스터.

청구항 7

반도체기판(1)과, 상기 반도체기판(1)의 표면에 형성된 n웰(41), p웰(42)과, 상기 p웰(42)에 형성된 제1의 게이트 전극(30)을 가지는 n웰 MOSFET과, 상기 n웰에 형성된 제2의 게이트 전극(31)을 가지는 p채널 MOSFET을 구비하고, 상기 제1의 게이트 전극(30)은 게이트 절연막(3)을 개재시켜서 상기 p웰(42)의 위에 설치되고, 제1도전형 불순물이 주입된 제1의 실리콘막(36)과, 해당 제1의 실리콘막(36)의 위에 설치되고, 메탈 실리콘사이드로 이루어지는 제1의 배리어막(36)과, 해당 제1의 배리어막(15a)의 위에 설치되고, 메탈 또는 메탈 실리콘사이드로 이루어지는 제1의 도전막(5a)을 포함하며, 상기 제2의 게이트 전극(31)은 게이트 절연막(3)을 개재시켜서 상기 n웰(41)의 위에 설치되고, 제2도전형 불순물이 주입된 제2의 실리콘막(37)과, 해당 제2의 실리콘막(37)의 위에 설치된 메탈 실리콘사이드로 이루어지는 제2의 배리어막(15b)과 해당 제2의 배리어막(15b)의 위에 설치되고 메탈 또는 메탈 실리콘사이드로 형성된 제2의 도전막(5b)을 포함하는 상보형 MOS 전계효과 트랜지스터.

청구항 8

제7항에 있어서, 상기 제1 및 제2의 배리어막(15a, 15b)을 형성하는 상기 메탈 실리콘사이드는 Co, Ni, Pt 또는 Ta의 실리콘사이드막을 포함하는 상보형 MOS 전계효과 트랜지스터.

청구항 9

반도체기판(1)과, 상기 반도체기판(1)의 표면에 형성된 n웰(41), p웰(42)과 상기 p웰(42)에 형성된 제1의 게이트 전극(30)을 가지는 n채널 MOSFET과, 상기 n웰(41)에 형성된 제2의 게이트 전극(31)을 가지는 p채널 MOSFET을 구비하고, 상기 제1의 게이트 전극(30)은, 게이트 절연막(3)을 개재시켜서 상기 p웰(42)의 위에 설치되고, 제1도전형 불순물이 주입된 제1의 실리콘막(36)과, 해당 제1의 실리콘막(36)의 위에 설치된 금속질화물로 이루어지는 제1의 배리어막(16a)과, 해당 제1의 배리어막(16a)의 위에 설치되며 메탈 또는 메탈사이드로 형성된 제1의 도전막(5a)을 포함하며, 상기 제2의 게이트 전극(31)은 게이트 절연막(3)을 개재시켜서 상기 n웰(41)의 위에 설치되고, 제2도전형 불순물이 주입된 제2의 실리콘막(37)과, 해당 제2의 실리콘막(37)의 위에 설치되며 금속질화물로 이루어지는 제2의 배리어막(16b)과, 해당 제2의 배리어막(16b)의 위에 설치되며 메탈 또는 메탈 실리콘사이드로 형성된 제2의 도전막(5b)을 포함하는 상보형 MOS 전계효과 트랜지스터.

청구항 10

제9항에 있어서, 상기 금속질화물은 W, Ti, Mo 또는 Ta의 지리화물인 상보형 MOS 전계효과 트랜지스터.

청구항 11

p웰(42)내에 형성된 n채널 MOSFET과 n웰 내에 형성된 p채널 MOSFET을 가지는 상보형 MOS 전계효과 트랜지스터의 제조방법에 있어서, 반도체기판(1)의 표면에 n웰(41)과 p웰(42)을 형성하는 공정과, 상기 반도체기판(1)의 위에 게이트 절연층(3)을 형성하는 공정과, 상기 게이트 절연층(3)을 개재시켜서, 상기 반도체기판(1)의 위에 비단결정 실리콘막(4)을 형성하는 공정과, 상기 비단결정 실리콘막(4)중의 상기 p채널 MOSFET의 제1이 게이트 전극(30)을 형성하는 영역에 제1도전형 불순물을 주입하는 공정과, 상기 비단결정 실리콘막(4)중의 상기 n채널 MOSFET의 제2의 게이트 전극(31)을 형성하는 영역에 제2도전형 불순물을 주입하는 공정과, 상기 비단결정 실리콘막(4)의 위에 배리어층(13)을 형성하는 공정과, 상기 배리어층(13)의 위에 메탈 실리콘사이드 또는 메탈로 형성된 도전체층(5)을 형성하는 공정과, 상기 비단결정 실리콘막(4), 상기 배리어층(13) 및 상기 도전체층(5)을 패터닝하고, 그것에 의해서 상기 n웰(41)의 위에 상기 제1도전형 불순물이 주입된 제1의 실리콘막(36), 제1의 배리어막(13a) 및 제1의 도전막(5a)이 적층되어서 이루어지는 제1의 게이트 전극(30)을 형성하고, 상기 p웰(42)의 위에 상기 제2도전형 불순물이 주입된 제2의 실리콘막(37), 제2의 배리어막(13b) 및 제2의 도전막(5b)이 적층되어서 이루어지는 제2의 게이트 전극(31)을 형성하는 공정을 구비하고, 상기 배리어층(13)의 막두께를 터널현상을 이용해서 전위

를 상기 제1의 도전막(5a)에서 상기 제1의 실리콘막(36)에 전달되기에 충분하도록 얇아진 막두께를 택하고 있는 상보형 MOS 전계효과 트랜지스터의 제조방법.

청구항 12

제11항에 있어서, 상기 배리어층(13a, 13b)은 실리콘산화막 또는 실리콘질화막으로 형성하는 것에 의해 행하는 상보형 MOS 전계효과 트랜지스터의 제조방법.

청구항 13

제12항에 있어서, 상기 실리콘산화막은 상기 비단결정 실리콘막(4)의 표면을 열산화하는 것에 의해 형성되는 상보형 MOS 트랜지스터의 제조방법.

청구항 14

제12항에 있어서, 상기 실리콘막은 상기 비단결정 실리콘막(4)의 표면을 과산화수소로 처리하는 것에 의해 형성되는 상보형 MOS 전계효과 트랜지스터의 제조방법.

청구항 15

제12항에 있어서, 상기 실리콘 질화막은 질소원자가 포함되는 가스중에서 상기 비단결정 실리콘막(4)을 열처리하는 것에 의해 형성되는 방법.

청구항 16

p웰(42)내에 형성된 n채널 MOSFET와 n웰(41)내에 형성된 p채널 MOSFET를 가지는 상보형 MOS 전계효과 트랜지스터의 제조방법에 있어서, 반도체기판(1)의 표면에 n웰(41)과 p웰(42)을 형성하는 공정과, 상기 반도체기판(1)의 위에 게이트 절연층(3)을 형성하는 공정과, 상기 게이트 절연층(3)을 개재시켜서 상기 반도체기판(1)의 위에 비단결정 실리콘막(4)을 형성하는 공정과, 상기 비단결정 실리콘막(4)중의 상기 p채널 MOSFET의 제1의 게이트 전극(30)을 형성하는 영역에 제2도전형 불순물을 주입하는 공정과, 상기 비단결정 실리콘막(4)의 위에 메탈층(11)을 스퍼터링으로 형성하는 공정과, 상기 메탈층(11)의 위에 메탈 실리콘사이드 또는 메탈로 형성된 도전체층(5)을 형성하는 공정과, 상기 메탈층(11)을 메탈 실리콘사이드층(15)으로 바꾸는 공정과, 상기 비단결정 실리콘막(4), 상기 메탈실리콘사이드층(15) 및 상기 도전체층(5)을 패터닝하고, 그것에 의해 상기 n웰의 위에 상기 제1도전형 불순물이 주입된 제1의 실리콘막, 제1의 메탈 실리콘사이드막 및 제1의 도전막이 적층되어서 이루어지는 제1의 게이트 전극을 형성하고, 상기 p웰의 위에 상기 제2도전형 불순물이 주입된 제2의 실리콘막, 제2의 메탈실리콘사이드막 및 제2의 도전막이 적층되어서 이루어지는 제2의 게이트 전극을 형성하는 공정을 구비한 상보형 MOS 전계효과 트랜지스터의 제조방법.

청구항 17

제16항에 있어서, 상기 메탈층(11)을 상기 메탈 실리콘사이드층(15)으로 바꾸는 공정은 상기 메탈층(11)을 RTA법으로 처리하는 공정을 포함하는 방법.

청구항 18

제16항에 있어서, 상기 메탈층(11)을 상기 메탈 실리콘사이드층(15)으로 바꾸는 공정은 상기 게이트 전극(30, 31)을 형성한 후의 열처리에 의해서 행해지는 방법.

청구항 19

p웰(42)내에 형성된 n채널 MOSFET와 n웰(41)내에 형성된 p채널 MOSFET를 가지는 상보형 MOS 전계효과 트랜지스터의 제조방법에 있어서, 반도체기판(1)의 표면에 n웰(41)과 p웰(42)을 형성하는 공정과, 상기 반도체기판(1)의 위에 게이트 절연층(3)을 형성하는 공정과, 상기 게이트 절연층(3)을 개재시켜서 상기 반도체기판(1)의 위에 비단결정 실리콘막(4)을 형성하는 공정과, 상기 비단결정 실리콘막(4)중의 상기 p채널 MOSFET의 제1의 게이트 전극(30)을 형성하는 영역에 제1도전형 불순물을 주입하는 공정과, 상기 비단결정 실리콘막(4)중의 상기 n채널 MOSFET의 제2의 게이트 전극(31)을 형성하는 영역에 제2도전형 불순물을 주입하는 공정과, 상기 비단결정 실리콘막(4)의 위에 금속질화층을 스퍼터링으로 형성하는 공정과, 상기 금속질화층의 위에 메탈 실리콘사이드 또는 메탈로 형성된 도전체층(5)을 형성하는 공정과, 상기 비단결정 실리콘막(4), 상기 금속질화층 및 상기 도전체층(5)을 패터닝하고, 그것에 의해 상기 n웰의 위에 상기 제1도전형 불순물이 주입된 제1의 실리콘막, 제1의 금속질화막 및 제1의 도전막이 적층되어서 이루어지는 제1의 게이트 전극을 형성하고, 상기 p웰의 위에 상기 제2도전형 불순물이 주입된 제2의 실리콘산화막, 제2의 금속질화막 및 제2의 도전막이 적층되어서 이루어지는 제2의 게이트 전극을 형성하는 공정을 구비한 상보형 MOS 전계효과 트랜지스터의 제조방법.

청구항 20

p웰(42)내에 형성된 n채널 MOSFET와 n웰(41)내에 형성된 p채널 MOSFET를 가지는 상보형 MOS 전계효과 트랜지스터의 제조방법에 있어서, 반도체기판(1)의 표면에 n웰(41)과 p웰(42)을 형성하는 공정과, 상기 반도체기판(1)의 위에 게이트 절연층(3)을 형성하는 공정과, 상기 게이트 절연층(3)을 개재시켜서 상기 반도체기판(1)의 위에 비단결정 실리콘막을 형성하는 공정과, 상기 비단결정 실리콘막(4)중의 상기 p채널 MOSFET의 제1의 게이트 전극(30)을 형성하는 영역에 제1도전형 불순물을 주입하는 공정과, 상기 비단결정 실리콘막(4)중의 상기 n채널 MOSFET의 제2의 게이트 전극(31)을 형성하는 영역에 제2도전형 불순물을 주입하는 공정과, 상기 비단결정 실리콘막(4)의 위에 메탈층(12)을 스퍼터링으로 형성하는 공정과, 상기 메탈층(12)을 RTA법으로 처리해서 금속질화층(16)으로 바꾸는 공정과, 상기 금속질화층(16)의 위에 메탈 실리콘사이드 또는 메탈로 형성된 도전체층(5)을 형성하는 공정과, 상기 비단결정 실리콘막(4), 상기

