



(12) 发明专利申请

(10) 申请公布号 CN 102347228 A

(43) 申请公布日 2012. 02. 08

(21) 申请号 201110205778. 2

H01L 21/285 (2006. 01)

(22) 申请日 2011. 07. 21

H01L 21/336 (2006. 01)

(30) 优先权数据

61/366, 372 2010. 07. 21 US

13/168, 270 2011. 06. 24 US

(71) 申请人 飞兆半导体公司

地址 美国加利福尼亚州

(72) 发明人 罗伯特·J·普泰尔

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

(51) Int. Cl.

H01L 21/28 (2006. 01)

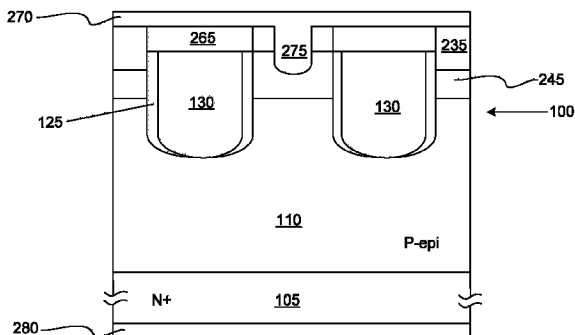
权利要求书 2 页 说明书 7 页 附图 3 页

(54) 发明名称

用于形成栅沟槽结构的方法和用于制造沟槽 MOSFET 结构的方法

(57) 摘要

一种用于形成栅沟槽结构的方法和用于制造沟槽 MOSFET 结构的方法, 尤其公开了一种半导体器件和制造该器件的方法。该半导体器件包括: 衬底, 在上部部分上具有沟槽; 栅绝缘层, 位于沟槽的侧壁和底部上; 以及非晶硅或多晶硅材料的导电栅, 位于栅氧化层上。可以已经通过微波活化的氮以及 B 和 / 或 P 掺杂剂掺杂非晶硅或多晶硅层。该器件可通过以下方法制造, 即在半导体衬底的上表面中设置沟槽, 在沟槽侧壁和底部上形成栅绝缘层, 以及在栅绝缘层上沉积掺杂的非晶硅或多晶硅层, 并且之后在低温下利用微波活化所沉积的非晶硅或多晶硅层。所形成的多晶硅或非晶硅层包含较少空隙, 而该空隙由 Si 晶粒运动而产生。还公开了其他实施例。



1. 一种用于形成栅沟槽结构的方法,包括:
在半导体衬底的上表面中设置沟槽;
在所述沟槽的侧壁和底部上形成绝缘层;以及
通过加热含 Si 气体、含 N 气体以及含 B 或 P 气体在所述绝缘层上沉积掺杂的导电 Si 层;以及
在低温下使用微波活化所沉积的 Si 层。
2. 根据权利要求 1 所述的方法,其中,所述绝缘层包括栅氧化物层。
3. 根据权利要求 1 所述的方法,其中,所述掺杂的导电 Si 层包括非晶硅或多晶硅。
4. 根据权利要求 1 所述的方法,其中,所述含 N 气体包括 N_2 、 NH_3 、 N_2H_4 、HCN 或其组合。
5. 根据权利要求 1 所述的方法,其中,所述含 B 或 P 气体包含乙硼烷、 PH_3 、 BCL_3 或其组合。
6. 根据权利要求 1 所述的方法,其中,所述活化处理的所述低温低于约 $800^{\circ}C$ 。
7. 根据权利要求 1 所述的方法,其中,所述活化处理的所述低温在约 $200^{\circ}C$ 至约 $550^{\circ}C$ 的范围内变化。
8. 根据权利要求 1 所述的方法,其中,所述沉积处理产生的氮掺杂剂的浓度在约 9×10^{20} 原子 / cm^3 至约 4×10^{21} 原子 / cm^3 的范围内变化。
9. 根据权利要求 1 所述的方法,其中,所述沉积处理产生的 B 掺杂剂的浓度在约 10×10^{18} 原子 / cm^3 至约 2×10^{20} 原子 / cm^3 的范围内变化。
10. 根据权利要求 1 所述的方法,其中,所述沉积处理产生的 P 掺杂剂的浓度在约 10×10^{18} 原子 / cm^3 至约 2×10^{20} 原子 / cm^3 的范围内变化。
11. 一种用于制造沟槽 MOSFET 结构的方法,包括:
在半导体衬底的上表面中设置沟槽;
在所述沟槽的侧壁和底部上形成栅绝缘层;以及
通过加热含 Si 气体、含 N 气体以及含 B 或 P 气体在所述栅绝缘层上形成掺杂的导电 Si 层;
在低温下使用微波活化所述导电 Si 栅;
在所述导电 Si 栅之上形成绝缘层;以及
形成源极和漏极。
12. 根据权利要求 11 所述的方法,其中,所述栅绝缘层包括栅氧化物层。
13. 根据权利要求 11 所述的方法,其中,所述掺杂的导电 Si 层包括非晶硅或多晶硅。
14. 根据权利要求 11 所述的方法,其中,所述含 N 气体包括 N_2 、 NH_3 、 N_2H_4 、HCN 或其组合。
15. 根据权利要求 11 所述的方法,其中,所述含 B 或 P 气体包括乙硼烷、 PH_3 、 BCL_3 或其组合。
16. 根据权利要求 11 所述的方法,其中,所述活化处理的所述低温低于约 $800^{\circ}C$ 。
17. 根据权利要求 11 所述的方法,其中,所述活化处理的所述低温在约 $200^{\circ}C$ 至约 $550^{\circ}C$ 的范围内变化。
18. 根据权利要求 11 所述的方法,其中,所述沉积处理产生的 N 掺杂剂的浓度在约 9×10^{20} 原子 / cm^3 至约 4×10^{21} 原子 / cm^3 的范围内变化。
19. 根据权利要求 11 所述的方法,其中,所述沉积处理产生的 B 掺杂剂的浓度在约

10×10^{18} 原子 / cm^3 至约 2×10^{20} 原子 / cm^3 的范围内变化。

20. 根据权利要求 11 所述的方法, 其中, 所述沉积处理产生的 P 掺杂剂的浓度在约 10×10^{18} 原子 / cm^3 至约 2×10^{20} 原子 / cm^3 的范围内变化。

21. 一种用于形成栅沟道结构的方法, 包括:

在 Si 衬底的上表面中设置沟槽;

在所述沟槽的侧壁和底部上形成栅氧化物层; 以及

在所述栅氧化物层上形成导电 Si 栅, 所述栅具有的 N 掺杂剂浓度在约 9×10^{20} 原子 / cm^3 至约 4×10^{21} 原子 / cm^3 的范围内变化且具有的 P 或 B 掺杂剂浓度在约 10×10^{18} 原子 / cm^3 至约 2×10^{20} 原子 / cm^3 的范围内变化; 以及

在低于约 800°C 的温度下使用微波活化所述导电 Si 栅。

22. 根据权利要求 21 所述的方法, 其中, 所述导电 Si 栅包括非晶硅或多晶硅。

23. 根据权利要求 21 所述的方法, 其中所述活化处理的所述低温在约 200°C 至约 550°C 的范围内变化。

用于形成栅沟槽结构的方法和用于制造沟槽 MOSFET 结构的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求 2010 年 7 月 21 日提交的美国临时申请序列号 No. 61/366, 372 的权益, 其全部内容通过引用结合在此。

技术领域

[0003] 本申请一般而言涉及半导体器件和制造这种器件的方法。更具体地, 本申请公开了包含栅沟道 (gate trench) 结构的半导体器件, 其中栅导体 (gate conductor) 由包含微波活化掺杂剂的导电硅层形成。

背景技术

[0004] 在多种电子设备中使用包含集成电路 (IC) 或分立器件 (discrete device) 的半导体器件。IC 器件 (或芯片, 或分立器件) 包含已制造在半导体材料的衬底表面中的小型化电子电路。该电路包括多个重叠层, 包括含有能够扩散到衬底中的掺杂剂的层 (称为扩散层) 或含有被植入到衬底中的离子的层 (植入层)。其他层为导体 (多晶硅或金属层) 或导电层之间的连接 (过孔或接触层)。可以在叠层 (layer-by-layer) 处理中制作 IC 器件或分立器件, 该叠层处理使用多个步骤的组合, 包括生长层、图像化、沉积、蚀刻、掺杂和清洁。通常使用硅晶片作为衬底, 并且使用光刻法 (photolithography) 标记衬底的待掺杂或待沉积的不同区域并限定多晶硅、绝缘体或金属层。

[0005] 一种类型的半导体器件, 金属氧化物半导体场效应晶体管 (MOSFET) 器件能够广泛地用于包括汽车电子设备、磁盘驱动器和电源的多种电子设备中。有些 MOSFET 器件能够形成在已构建在衬底中的沟槽中。使沟槽构造吸引注意的一个特征在于, 电流垂直接流过 MOSFET 的沟道。这允许比其他 MOSFET 更高的电池 (cell) 和 / 或电流沟道密度, 在这些其他 MOSFET 中电流水平地流过沟道且之后垂直地通过漏极 (drain)。沟槽 MOSFET 器件包含形成在沟槽中的栅结构, 其中该栅结构包含位于沟槽的侧壁和底部上 (即邻近衬底材料) 的栅绝缘层, 其中在栅绝缘层上已形成有导电层。

发明内容

[0006] 本申请记载半导体器件和制造这种器件的方法。该半导体器件包含在上部部分中具有沟槽的衬底、位于沟槽的侧壁和底部上的栅绝缘层以及位于栅氧化层上的非晶硅或多晶硅材料的导电栅。非晶硅或多晶硅层可掺杂有已通过微波活化 (activate, 激活) 的氮以及 B 和 / 或 P 掺杂剂。该器件可通过以下方法制造, 即在半导体衬底的上表面中设置沟槽、在沟槽侧壁和底部上形成栅绝缘层以及在栅绝缘层上沉积掺杂的非晶硅或多晶硅层, 并且之后在低温下利用微波对沉积的非晶硅或多晶硅层进行活化。由于在低温处理期间 Si 晶粒运动减少, 因而所形成的多晶硅或非晶硅层包含较少空隙 (void)。

附图说明

[0007] 根据附图能够更好地理解以下说明,其中:

[0008] 图 1 示出制造半导体结构的方法的一些实施例,该半导体结构包含衬底和外延(或“外”)层,在外延层的上表面具有掩模;

[0009] 图 2 示出用于制造半导体结构的方法的一些实施例,该半导体结构包含形成在外延层中的沟槽;

[0010] 图 3 示出用于制造半导体结构的方法的一些实施例,该半导体结构包含位于沟槽中的栅绝缘层;

[0011] 图 4 示出用于制造半导体结构的方法的一些实施例,该半导体结构包含形成在栅绝缘层上的导电 Si 栅;

[0012] 图 5 示出用于制造半导体结构的方法的一些实施例,该半导体结构包含位于栅上的绝缘帽;以及

[0013] 图 6 示出用于制造半导体结构的方法的一些实施例,该半导体结构包含沟槽 MOSFET 器件。

[0014] 附图示出了半导体器件和用于制造这种器件的方法的具体方面。与以下说明一起,附图例证并解释了这些方法的原理以及通过这些方法产生的结构。在附图中,为了清楚起见而夸大了层的厚度和区域范围。不同附图中的相同参考数字表示相同的元件,且因此将不再重复其说明。对于文中所使用的术语“在……上”、“附于”或“接合于”,一个物体(例如,材料、层、衬底等)可以是位于、附于或接合于另一物体,而无论该物体是直接位于、附于或接合于该另一物体或者是在该一个物体与该另一物体之间存在一个或多个插入的物体。同样,如果提供了方向(例如,之上、之下、顶部、底部、侧部、上、下、下面、上方、上部、下部、水平、垂直、“x”、“y”、“z”等),其为相对的方向且仅作为实例而被提供并为了便于示出和讨论,而不是为了进行限制。另外,当参考一系列元件(例如元件 a、b、c)时,该参考自身旨在包括所列出的任何元件自身、小于所有列出元件的任何组合和/或所有列出元件的组合。

具体实施方式

[0015] 以下描述提供具体的细节,以便提供全面的理解。然而,本领域技术人员应理解,半导体器件和相关的制造和使用该器件的方法能够不通过采用这些具体的细节来实施和使用。实际上,该半导体器件和相关方法可通过更改所示的器件和方法来实施,并且可与本行业通常使用的任何其他设备和技术结合使用。例如,尽管本说明涉及 U-MOS(U 形 MOSFET) 半导体器件,但其可更改以用于包含形成在沟槽中的栅结构的任何其他类型的半导体器件,诸如 CMOS 或 LDMOS。

[0016] 图 1-6 中示出了半导体器件和制造这种半导体器件的方法的一些实施例并且在本说明书中对其进行描述。在这些实施例中,如图 1 所示,该方法始于首先提供半导体衬底 105 作为半导体结构 100 的一部分。在本发明中可使用本领域已知的任何衬底。适当的衬底包括硅晶片、外延 Si 层、例如在绝缘体上硅(silicon-on-insulator)(SOI) 技术中使用的已粘接晶片(bonded wafer)和/或非晶硅层,其全部都能够掺杂或不掺杂。同样,可以使用用于电子器件的任何其他半导体材料,包括 Ge、SiGe、GaN,和/或任何纯半导体或化合

物半导体, 诸如 III-V 或 II-VI 以及其变体 (variant)。在有些实施例中, 如图 1 所示, 衬底 105 包含硅, 其可选性地重度掺杂有任何 n 型掺杂剂。

[0017] 在衬底 105 包含硅时, 其可包含有位于其上表面上一个或多个外延 (“外”) Si 层 (单独地或共同地以外延层 110 示出)。可通过使用任何本领域已知处理来提供外延层 110, 包括任何已知的外延沉积处理。在有些构造中, 如图 1 所示, 外延层可轻度掺杂有 p 型掺杂剂。

[0018] 然后, 如图 2 所示, 可在外延层 110 (并且可选地, 衬底 105) 中形成沟槽 120。沟槽 120 的底部可达到外延层 110 或衬底 105 中的任何深度。可通过任何已知的处理来形成沟槽 120。在有些实施例中, 可通过以下方法在外延层 110 的上部表面形成掩模 115, 即沉积一层期望的掩模材料且随后利用光刻法和蚀刻处理对其进行图案化, 如此形成掩模 115 的期望图案。

[0019] 然后, 通过使用本领域已知的任何蚀刻剂蚀刻外延层 110 (并且如果期望的话, 衬底 105) 的材料来形成沟槽 120。在有些实施例中, 可使用任何已知的蚀刻剂蚀刻外延层 110, 直到沟槽 120 已在外延层 110 中达到期望的深度和宽度。可控制沟槽 120 的深度和宽度以及宽度和深度的宽深比 (aspect ratio), 以便随后沉积的绝缘层适当地填充在该沟槽中并将空隙的形成减至最低程度。在有些实施例中, 沟槽的深度可在约 0.1 到约 100 μm 的范围内变化。在有些实施例中, 沟槽的宽度可在约 0.1 到约 50 μm 的范围内变化。通过这样的深度和宽度, 沟槽的宽深比可在约 1 : 1 到约 1 : 50 的范围内变化。在其他实施例中, 沟槽的宽深比可在约 1 : 5 至约 1 : 8.3 的范围内变化。在已形成沟槽后, 如图 3 所示, 可从所形成的结构中移除掩模 115。台面 (mesa) 结构 112 保持在相邻沟槽 120 之间。

[0020] 随后, 如图 3 所示, 可接着在沟槽 120 的侧壁和底部上形成栅绝缘层 125 (诸如栅氧化层)。可以任何本领域已知处理形成栅绝缘层 125。在有些实施例中, 可通过以下方法形成栅绝缘层 125, 即沉积任何已知的绝缘材料, 直到其溢出沟槽 120。可将所沉积的绝缘材料的厚度调整到任何期望的厚度。可通过使用任何已知的高质量沉积处理实施绝缘材料的沉积, 包括任何化学汽相沉积 (CVD) 处理, 诸如 SACVD, 其可在沟槽内产生高度共形的阶梯覆盖 (highly conformal step coverage)。若需要, 可使用回流 (reflow) 处理使得沉积的绝缘材料回流, 帮助降低绝缘材料内的空隙或缺陷。在沉积绝缘层之后, 可使用回蚀刻处理以去除过多的绝缘材料并形成栅绝缘层 125。

[0021] 在栅绝缘层 125 是栅氧化物层的实施例中, 可通过以下方法形成栅氧化物层 125, 即在含氧大气中氧化外延层 110, 直到在沟槽 120 的侧壁和底部中生长了期望厚度的氧化物层。在有些实施例中, 栅氧化物层 125 的厚度可在约 60 \AA 至约 500 \AA 的范围内变化。

[0022] 然后, 可在沟槽 120 中的栅绝缘层 125 上沉积导电层。该导电层可包含本领域已知的任何导电和 / 或半导体材料, 包括任何金属、金属合金、硅化物、多晶硅、非晶硅、掺杂多晶硅或其组合。在有些实施例中, 导电层包含导电 Si 材料, 其含有掺杂或非掺杂的多晶硅和 / 或非晶硅。可以任何已知的沉积处理沉积导电层, 包括化学汽相沉积处理 (例如 CVD、PECVD 或 LPCVD) 或使用期望的金属作为溅射目标的溅射处理。在导电层包含导电 Si 材料的实施例中, 可使用含 Si 气体沉积导电层, 诸如硅烷、乙硅烷、丙硅烷、锆烷或其组合。可沉积导电层, 以使其填充沟槽 120 并且在其上部溢出。

[0023] 然后, 可由该导电层利用任何本领域已知处理形成栅导体 130 (或栅 130)。在有些

实施例中,如图 4 所示,可通过利用包括任何回蚀刻处理的本领域已知处理去除导电层的上部部分而形成栅导体 130。如图 4 所示,去除处理的结果也去除沟槽侧壁的上部部分上的栅绝缘层 125,留下叠置在形成于沟槽 120 底部上的栅绝缘层 125 上并夹在留在沟槽侧壁下部部分上的栅绝缘层 125 之间的栅 130。

[0024] 在如图 4 所示半导体结构 100 的有些构造中,导电层 130 包含导电 Si 材料,诸如非晶硅 (A-Si) 和 / 或多晶硅 (P-Si)。在这些构造中,疏水性硅材料的晶粒趋向于远离栅氧化物层 125 中使用的亲水性硅氧化物材料。晶粒的该运动可引起在晶粒已移走的这些区域中形成空隙,在高于 900°C 的较高温度下尤其如此。这些空隙的形成可引起器件性能和可靠性降低,这是因为沟槽 MOSFET 中的栅材料的导电性劣化。

[0025] 已建议可通过调整晶粒的尺寸来稳定 A-Si 和 / 或 P-Si 材料中的这种不期望的晶粒运动。在形成 A-Si 或 P-Si 层期间,可通过升高 (或降低) 温度来增大 (或减小) 硅晶粒的尺寸。但是调整 Si 晶粒的晶粒尺寸的能力可能受半导体器件的器件特性限制。例如,由于使晶粒更大要求增大沟槽的斜度 (pitch),因而难以增大晶粒尺寸。而沟槽的斜度随着器件尺寸缩小而保持变小。作为另一个实例,由于使 Si 晶粒更小还会使得它们由于总自由能负值更小而更不稳定且因此由于粒子半径降低而更不稳定,因而难以减小晶粒尺寸。

[0026] 然而,向 A-Si 或 P-Si 材料添加氮掺杂剂可帮助稳定 Si 晶粒,其通过减少这些晶粒的运动而不改变晶粒尺寸实现。因而,在有些实施例中,导电层 130 可形成为掺杂氮的 A-Si 和 / 或 P-Si 层。在其他实施例中,导电层 130 可形成为掺杂氮的多晶硅层。将氮原子结合到非晶硅或多晶硅材料中可降低晶粒的自由能,由此稳定晶粒的运动并且减少空隙的形成。

[0027] 可将任意量的氮结合到 A-Si 和 / 或 P-Si 层中,其降低硅晶粒的自由能。在有些实施例中,A-Si 和 / 或 P-Si 层中的氮浓度可在约 9×10^{20} 至约 4×10^{21} 原子 / cm^3 的范围内变化。在其他的实施例中,A-Si 和 / 或 P-Si 层中的 N 浓度可在约 9×10^{20} 原子 / cm^3 至约 2.8×10^{21} 原子 / cm^3 的范围内变化。而仍在其他实施例中,该浓度可为这些量的任何适当的组合或其子区间。

[0028] 然而,添加氮可增大 A-Si 和 / 或 P-Si 材料的电阻率。为了抵消该电阻率的增加,可以含 P 和 / 或 B 的掺杂剂材料掺杂 A-Si 和 / 或 P-Si 层,这是因为 P 和 / 或 B 掺杂剂能够防止热循环期间的空隙形成和运动。在有些实施例中,A-Si 和 / 或 P-Si 层中的 P 和 / 或 B 掺杂剂的浓度可在约 1×10^{18} 原子 / cm^3 至约 3×10^{20} 原子 / cm^3 的范围内变化。在其他实施例中,A-Si 和 / 或 P-Si 层中的 P 和 / 或 B 掺杂剂的浓度可在约 1×10^{19} 原子 / cm^3 至约 2×10^{20} 原子 / cm^3 的范围内变化。而仍在其他实施例中,该浓度可为这些量的任何适当的组合或其子区间。

[0029] 可使用任何本领域已知处理形成掺杂的 A-Si 和 / 或 P-Si 层,其将赋予该层期望的掺杂剂浓度。在有些实施例中,诸如使用硅烷气体形成 A-Si 和 / 或 P-Si 栅时,可向硅烷气体添加含氮气体。可添加的含氮气体包括 N_2 、 NH_3 、 N_2H_4 、HCN 或者其组合。这些方法可沿沟槽深度提供基本一致的氮浓度,其帮助在热循环期间防止空隙形成和运动。尽管如此,在其他实施例中,可在以下过程之后将氮结合到 A-Si 和 / 或 P-Si 层中,该以下过程即通过将 A-Si 和 / 或 P-Si 材料在约 400 至约 650°C 范围内变化的较高温度下暴露于任何上述含氮气体而在沟槽 120 中沉积 A-Si 和 / 或 P-Si 材料。

[0030] 可利用将获得本说明书所描述浓度的任何已知处理来添加 P 和 / 或 B 掺杂剂。在有些实施例中, 诸如使用硅烷气体形成 A-Si 和 / 或 P-Si 层时, 可向硅烷气体添加含 P 和 / 或 B 的气体。可使用的含 P 和 / 或 B 的气体包括乙硼烷、 PH_3 、 BCL_3 或其组合。在有些实施例中, 可在形成 A-Si 和 / 或 P-Si 材料后植入 P 和 / 或 B 掺杂剂。

[0031] 在有些实施例中, 可基本在同一时间向硅烷 (或者其他含硅) 气体添加含氮气体以及含 P 和 / 或 B 的气体, 以制造掺杂的 A-Si 和 / 或 P-Si 层。在有些构造中, 在沉积掺杂的 A-Si 和 / 或 P-Si 层时, 可添加分离的含氮气体以及含 P 和 / 或 B 的气体。尽管如此, 在其他实施例中, 可将含氮气体以及含 P 和 / 或 B 的气体组合为单一混合物, 然后将其添加到硅烷气体中。

[0032] A-Si 和 / 或 P-Si 层中的掺杂剂一旦被结合到导电 Si 层, 就可在低温下使用微波将其活化。该 MW 加热处理起到掺杂剂活化以及 A-Si 层再结晶的双重作用。在有些实施例中, 该低温可小于约 800°C 。在其他实施例中, 该低温可在约 200 至约 800°C 的范围内变化。而仍在其他实施例中, 该温度可在约 200 至约 550°C 的范围内变化。还在其他实施例中, 该低温可为这些温度的任何适当组合或其子区间。在其他实施例中, MW 加热处理可以原位 (in-situ) 处理实施, 即当沉积和掺杂 A-Si 和 / 或 P-Si 时。

[0033] 微波加热处理可使用政府法规规定的行业应用可用的任何频率或波长的微波。在有些实施例中, 微波的频率可在约 2.45GHz 至约 5.8GHz 的范围内变化, 并且可具有在约 52mm 至约 123mm 的范围内变化的波长。微波加热处理可执行任何一段足以活化 N 以及 B/P 掺杂剂的时间。在有些实施例中, 该时间可长达 120 分钟, 其比传统的炉法处理所需的 5 至 6 小时短得多。在有些实施例中, 该时间可在约 1 分钟至约 120 分钟的范围内变化。在其他实施例中, 该时间可在约 2 分钟至约 60 分钟的范围内变化。而仍在其他实施例中, 该时间可在约 2 分钟至约 15 分钟的范围内变化。还在其他实施例中, 该时间可为这些数量的任何适当组合或其子区间。

[0034] 在有些实施例中, 可使用快速热处理 (RTP) 和 MW 退火的组合。在这些实施例中, RTP 可以约 900°C 至约 1100°C 的温度执行大约 30 秒至大约 2 分钟, 而 MW 退火处理可以约 200°C 至约 550°C 的温度执行大约 30 秒至大约 15 分钟。RTP 和 MW 加热的组合可用于减少或消除空隙或裂痕并且降低最终形成的沟槽填充膜的方块电阻 (sheet resistance, 片电阻)。

[0035] 在有些实施例中, 该 MW 加热处理 (单独执行或与 RTP 结合) 可提供低方块电阻且在导电层 130 中形成最少的空隙。由于晶粒运动, 在其他加热处理中使用的较高温度常常在沟槽中产生较大量的空隙。但是使用 MW 加热减少或消除了这些较大量的空隙, 这是因为空隙在较低温度下迁移的趋势减小了。

[0036] 在有些实施例中, 可使用 MW 加热处理增大 Si 晶粒尺寸而不使空隙从栅绝缘层 125 迁移, 这是因为晶体生长相对于空隙迁移加速了。例如, 如果将具有 22.5ohm/sq 的方块电阻的沉积硅膜 (as-deposited silicon film) 退火至 1000°C , 方块电阻可降至 12ohm/sq 。在 450°C 至 850°C 范围内变化的温度下的随后加热可增大方块电阻, 这是由于 P 原子沉淀析出固体晶粒并且进入晶粒边界。最大的方块电阻发生在大约 630°C 。在该温度之上, P 原子开始在 Si 晶粒中再溶解, 并且方块电阻增加, 即在 950°C 时, 方块电阻可增大至约 13.5ohm/sq 。重复的退火循环展示出与由于 P 原子蒸发而导致的方块电阻增加类似的特性。当 A-Si

和 / 或 P-Si 材料位于沟槽内时,这种附加的退火可造成空隙形成以及方块电阻的显著增加。通过以在本说明书中描述的较低温度下的 MW 处理可减少或消除空隙形成,这是因为其可活化掺杂剂并生长 Si 晶粒,而不需要在标准 RTP 或炉法处理中使用的较高温度。

[0037] MW 活化处理也可减少或消除沟槽中心的裂痕,在不使用 MW 活化处理时常常形成这样的裂缝。当在沟槽中沉积 A-Si 和 / 或 P-Si 材料时可能形成该裂痕,这是由于这些材料沉积在沟槽侧壁上并且随后在沟槽的中心生长。由于 MW 可再生长晶粒,所以可消除或减少该裂痕。

[0038] 之后可使用任何本领域已知处理来完成沟槽 MOSFET 结构。在有些实施例中,如图 5 所示,可在外延层 110 的上部部分中形成 p 区域 245。可使用本领域已知的任何处理形成 p 区域。在有些实施例中,可通过以下方法形成 p 区域 245,即在外延层 110 的上表面中植入 p 型掺杂剂,并且之后使用任何已知处理推进该掺杂剂。

[0039] 然后,可在外延层 110 的暴露的上表面上形成接触区域 235。可使用任何本领域已知处理形成接触区域 235。在有些实施例中,可通过以下方法形成接触区域 235,即使用已知的任何处理在外延层 110 的上表面中植入 n 型掺杂剂,并且之后推进该掺杂剂。在图 5 中图示了形成接触区域 235 之后所产生的结构。

[0040] 然后,以叠置绝缘层覆盖栅 130 的上表面。叠置绝缘层可以是任何本领域已知绝缘材料。在有些实施例中,叠置绝缘层包括任何包含 B 和 / 或 P 的电介质材料,包括 BPSG、PSG 或 BSG 材料。在有些实施例中,可使用任何 CVD 处理沉积叠置绝缘层,直到获得期望的厚度。CVD 处理的实例包括 PECVD、APCVD、SACVD、LPCVD、HDPCVD 或其组合。当在叠置绝缘层中使用 BPSG、PSG 或 BSG 材料时,其可回流。

[0041] 接着,去除叠置绝缘层的一部分,以留下绝缘帽 265。在图 5 所示的实施例中,可使用任何已知掩模和蚀刻工序去除叠置绝缘层,其去除了栅 130 之外的位置中的材料。因而,在栅 130 上方形成绝缘帽 265。可使用任何回蚀刻或平坦化处理去除叠置绝缘层的多余量。

[0042] 然后,如图 6 所示,可蚀刻接触区域 235 和 p 区域 245 以形成插入区域 275。可使用任何已知的掩模和蚀刻处理形成插入区域 275,直到达到期望深度(进入 p 区域 245)。然后,如图 6 所示,可在绝缘帽 265 和接触区域 235 的上部部分之上沉积源层(source layer)(或区域)270。源层 270 可包含任何本领域已知导电和 / 或半导体材料,包括任何金属、硅化物、多晶硅或其组合。可以任何已知的沉积处理沉积源层 270,包括化学汽相沉积处理(CVD、PECVD、LPCVD)或利用期望金属作为溅射目标的溅射处理。源层 260 也将填充插入区域 275。

[0043] 在形成源层 270 之后(或之前),可使用任何本领域已知处理在衬底 105 的背侧形成漏极 280。在有些实施例中,可通过使用任何本领域已知处理使衬底 105 的背侧变薄而形成漏极 280,包括磨削、抛光或蚀刻处理。然后,如图 6 所示,可以本领域已知的处理在衬底 105 的背侧上沉积导电层,直到漏极的导电层形成期望的厚度。

[0044] 这些掺杂 A-Si 和 / 或 P-Si 层以及用于形成其的相关方法具有多个理想的特征。第一,在有些实施例中,其可在窄斜度 U-MOS 半导体器件所需的沟槽结构中实现低膜阻率。该低电阻率可有益于实现低 R_g (栅电阻)和屏蔽栅电阻而不使用过多的流道(runner),对于给定的 RDS_{ON} ,过多流道会增加圆片(die)尺寸并提高晶片成本。第二,在有些构造中,可

降低形成多晶硅栅时所需的热预算,由此提高方块电阻。第三,在有些构造中,通过氮结合,可提高沟槽绝缘器件中的多晶硅栅的热稳定性。

[0045] 应理解,在本说明书中所提供的所有材料类型都仅为例示性目的。因此,虽然使用具体掺杂剂对 n 型和 p 型掺杂剂命名,但可在半导体器件中使用任何其他已知的 n 型和 p 型掺杂剂(或该掺杂剂的组合)。同样,虽然本发明的器件参考特定类型的传导性(P 或 N)描述,但该器件可配置为具有相同类型的掺杂剂组合或者通过适当的更改配置为具有相反类型的传导性(分别为 N 或 P)。

[0046] 在有些实施例中,半导体器件包含:栅极沟道结构,其包含半导体衬底,而在其上部具有沟槽;栅绝缘层,其在沟槽的侧壁和底部;以及导电栅,其在栅氧化物层上包含非晶硅或多晶硅材料,非晶硅或多晶硅包含微波活化的氮掺杂剂浓度以及微波活化的 B 或 P 掺杂剂。

[0047] 在有些实施例中,半导体器件包含这样的栅沟槽结构,该栅沟槽结构包括:半导体衬底,在上部部分中具有沟槽;栅绝缘层,位于沟槽的侧壁和底部上;以及导电栅,其包含位于栅氧化物层上的非晶硅或多晶硅材料,该非晶硅或多晶硅材料包含在约 9×10^{20} 原子/cm³ 至约 4×10^{21} 原子/cm³ 的范围内变化的氮掺杂剂浓度以及在约 10×10^{18} 原子/cm³ 至约 2×10^{20} 原子/cm³ 的范围内变化的 B 或 P 掺杂剂浓度。

[0048] 除了在前提到的任何更改之外,在不偏离本说明书的精神和范围的前提下,本领域技术人员可设计各种其他的变化和替换布置,并且所附权利要求旨在覆盖这种更改和布置。因而,尽管上面已参照目前被认为最实际且最优的方面特别且具体地描述了一些信息,但是本领域普通技术人员应明白,在不偏离本说明书提出的原理和概念的前提下,可做出各种更改,包括但不限于对形式、功能、操作方式以及使用的更改。同样,如在本说明书中所使用的,这些实例仅为例示性的并且不应以任何方式解释为限制性的。

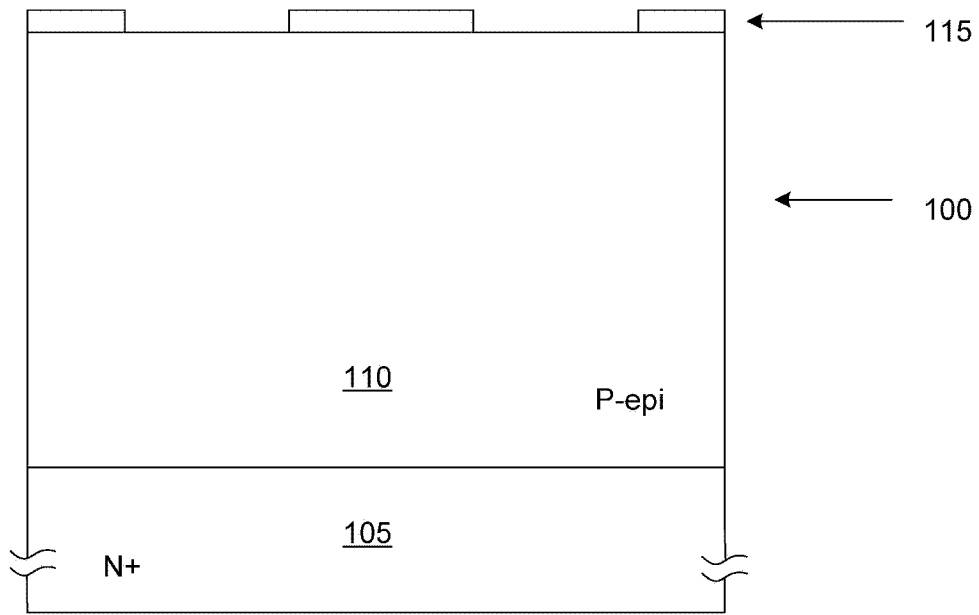


图 1

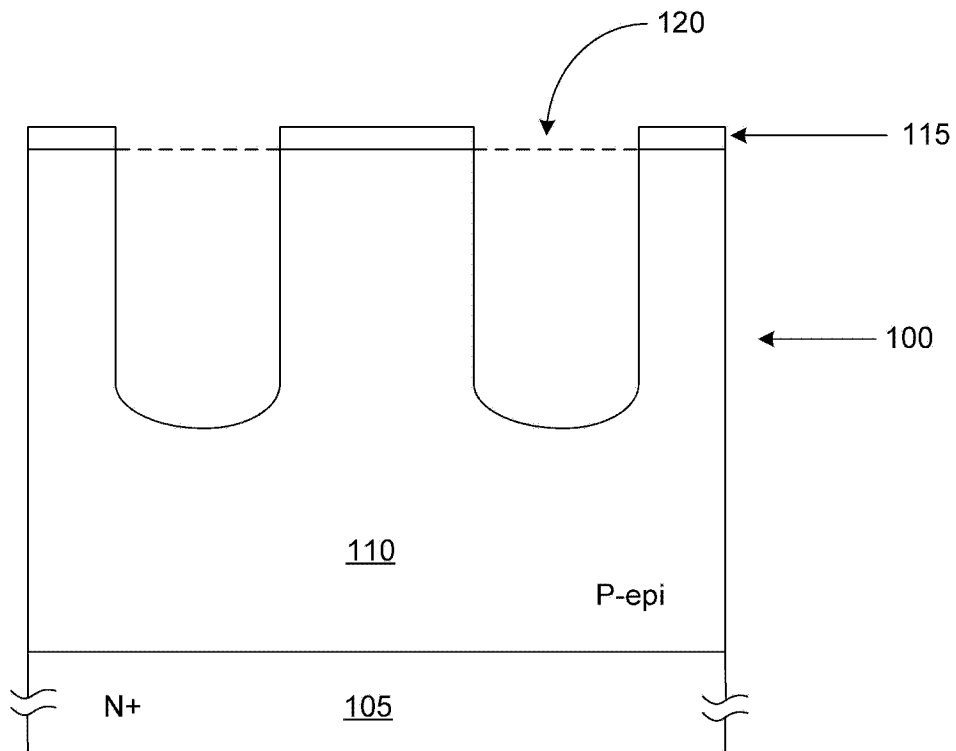


图 2

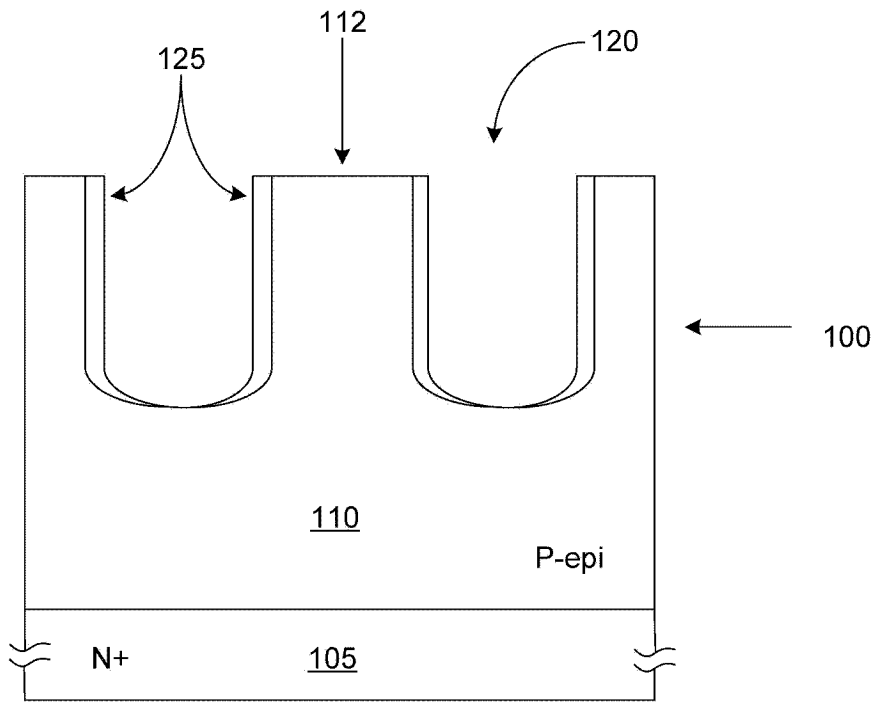


图 3

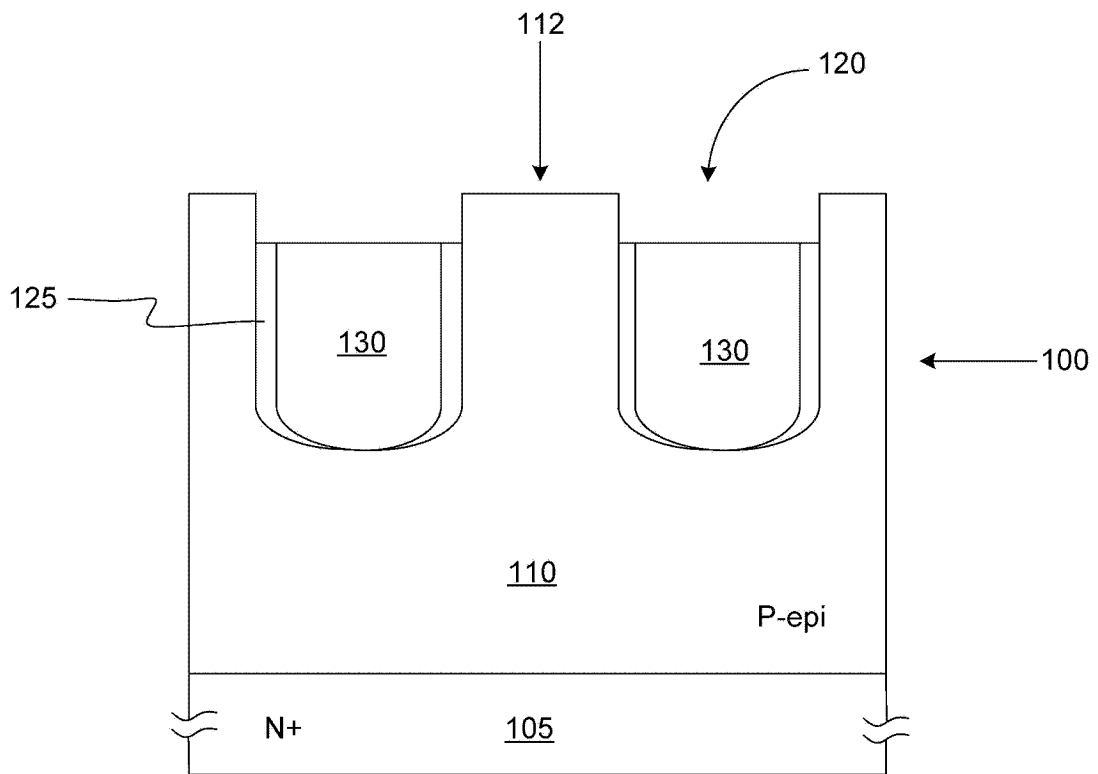


图 4

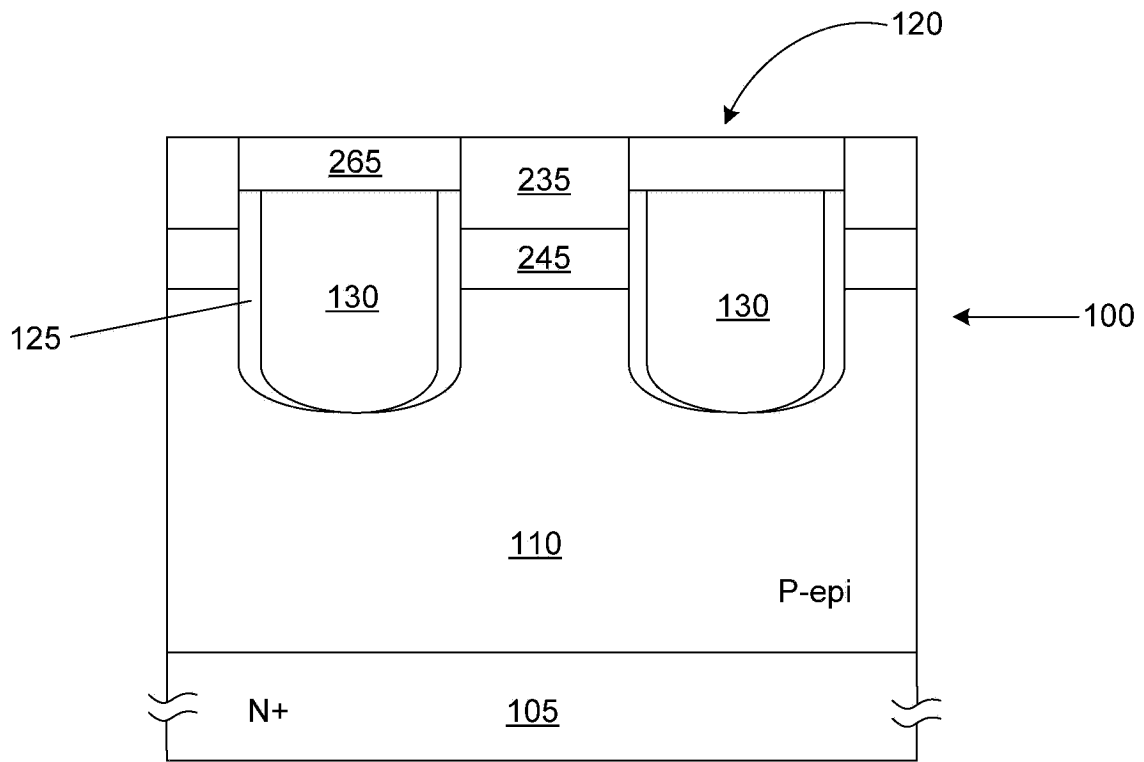


图 5

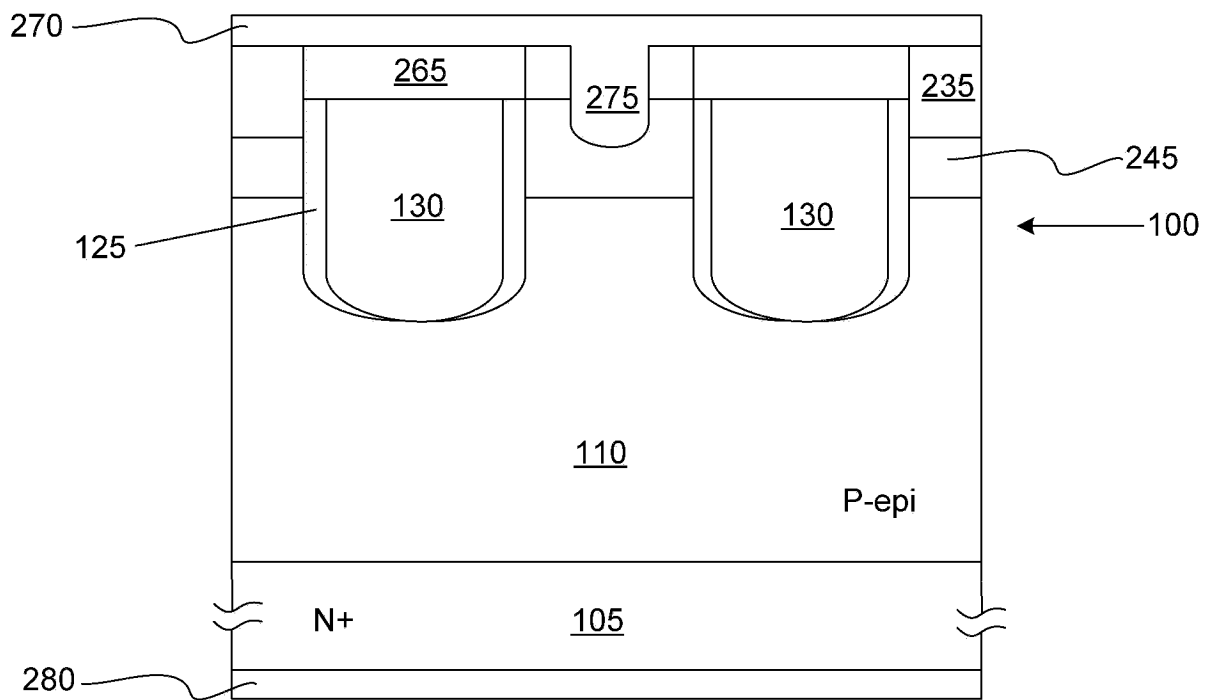


图 6