

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年11月14日(14.11.2013)



(10) 国際公開番号
WO 2013/168258 A1

- (51) 国際特許分類:
G05B 9/03 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062003
- (22) 国際出願日: 2012年5月10日(10.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社 (Mitsubishi Electric Corporation) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 野村 明裕 (NOMURA Akihiro) [-/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 村上 啓吾, 外(MURAKAMI Keigo et al.); 〒6610033 兵庫県尼崎市南武庫之荘3丁目3番8号 Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: STANDBY DUAL REDUNDANT SYSTEM

(54) 発明の名称: 待機冗長二重化装置

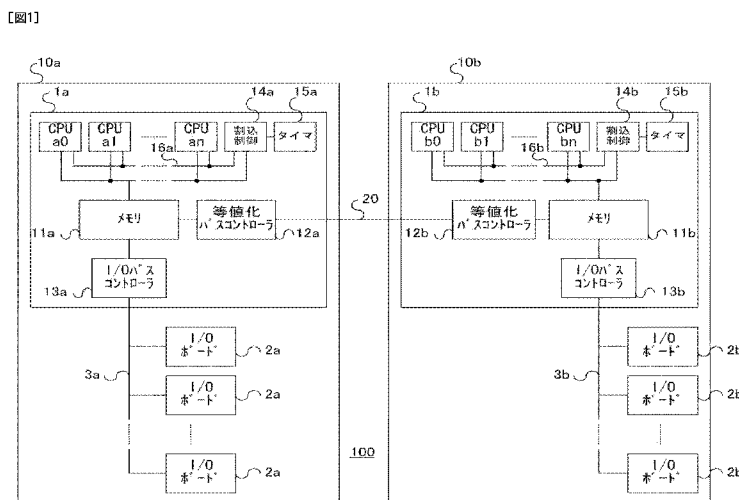


FIG. 1:
2a, 2b I/O board
11a, 11b Memory
12a, 12b Equalization bus controller
13a, 13b I/O bus controller
14a, 14b Interrupt controller
15a, 15b Timer

(57) Abstract: Provided is a standby dual redundant system (100) having two controllers (10a, 10b) provided with equalization bus controllers (12a, 12b) that are independent from input/output (I/O) bus controllers (13a, 13b), wherein equalization data, which is used to equalize the device state of the operation-side controller (10a) and the standby-side controller (10b), is transmitted to the standby-side controller (10b) via an equalization data bus (20) from the operation-side controller (10a).

(57) 要約: 稼働側コントローラ(10a)から等値化データバス(20)を介して待機側コントローラ(10b)に、稼働側コントローラ(10a)と待機側コントローラ(10b)の装置状態を等値化するために使用する等値化データを送信する、I/Oバスコントローラ(13a、13b)から独立した等値化バスコントローラ(12a、12b)を備えた2つのコントローラ(10a、10b)を有する待機冗長二重化装置(100)を提供する。

WO 2013/168258 A1

明 細 書

発明の名称：待機冗長二重化装置

技術分野

[0001] この発明は、一定周期で、CPU毎に異なる演算を行うマルチCPUを備えたコントローラを2重化した、待機冗長二重化装置に関するものである。

背景技術

[0002] 従来、マルチCPUを用いたデータの等値化コントローラとして、それぞれのCPUがシステムバスコントローラを持ち、各CPUが、システムバスコントローラを介してシステムバスに接続される構成を有するものとして、特許文献1に示すような待機冗長二重化装置が提案されている。

この装置では、システムバスコントローラを使用して、稼働側CPUから待機側CPUに等値化データを送信することで、2つのコントローラ間でのデータの等値化を実現している。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-149212号公報（段落0020-0022、図1、図3）

発明の概要

発明が解決しようとする課題

[0004] 一定周期で異なる演算を行うマルチCPUを有する待機冗長二重化装置では、稼働側CPUから待機側CPUに等値化すべきデータを転送するためのバスが存在するが、特許文献1に示す等値化コントローラでは、それぞれのCPUにデータの等値化を行うためのバスコントローラが存在しているため、CPUの数が増えると、その数と同一のバスコントローラが必要となる。

これにより、回路規模が増大するという課題があった。

また、等値化データの送受信とI/Oボードとのデータの送受信を、同一のシステムバスを使用する構成とするために、等値化データの送受信とI/O

Oボードの送受信を同時に転送できず、データ転送のレスポンスを向上できないという課題があった。

[0005] この発明は、上記の課題を解決するためになされたものであり、CPUの数が増えても、バスコントローラの数が増えず、回路規模を抑えることが可能であり、また、等値化データのコントローラ間での送受信と、I/OボードとCPUとのデータの送受信の同時実行を可能とする待機冗長二重化装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明に係る待機冗長二重化装置は、
2つのコントローラで構成し、一のコントローラが稼働側コントローラとして動作する時は、他方のコントローラは待機側コントローラとして動作する待機冗長二重化装置において、
各コントローラは、それぞれ内部に複数のCPUと、
メモリと、
I/Oボードと、
複数のCPUと、メモリと、I/Oボードとの間でデータを送受信するI/Oバスコントローラと、
稼働側コントローラから等値化データバスを介して待機側コントローラに、稼働側コントローラと待機側コントローラの装置状態を等値化するために使用する等値化データを送信する、I/Oバスコントローラから独立した等値化バスコントローラとを備えたものである。

発明の効果

[0007] 本発明に係る待機冗長二重化装置は、
各コントローラは、それぞれ内部に複数のCPUと、
メモリと、
I/Oボードと、
複数のCPUと、メモリと、I/Oボードとの間でデータを送受信するI/Oバスコントローラと、

稼働側コントローラから等値化データバスを介して待機側コントローラに、稼働側コントローラと待機側コントローラの装置状態を等値化するために使用する等値化データを送信する、I/Oバスコントローラから独立した等値化バスコントローラとを備えたものなので、

複数のCPUが処理するデータの等値化処理において、CPU毎のバスコントローラを不要とすることができる。

また、等値化データバスとI/Oバスを独立のバスとし、それぞれのバスコントローラも独立しているので、等値化データの送受信とI/Oボードの送受信の同時送信が可能となり、処理の高速化を図ることができる。

図面の簡単な説明

- [0008] [図1]本発明の実施の形態1に係る待機冗長二重化装置の構成を示す図である。
- [図2]本発明の実施の形態1に係る待機冗長二重化装置の割込制御の構成を示す図である。
- [図3]本発明の実施の形態1に係る待機冗長二重化装置のメモリの構成を示す図である。
- [図4]本発明の実施の形態1に係る待機冗長二重化装置の等値化データ送信データの構成を示す図である。
- [図5]本発明の実施の形態1に係る待機冗長二重化装置の稼働側コントローラのCPU a 0の動作を示すフローチャートである。
- [図6]本発明の実施の形態1に係る待機冗長二重化装置の稼働側コントローラのCPU a 1の動作を示すフローチャートである。
- [図7]本発明の実施の形態1に係る待機冗長二重化装置の待機側コントローラのCPU b 0の動作を示すフローチャートである。
- [図8]本発明の実施の形態1に係る待機冗長二重化装置の待機側コントローラのCPU b 1の動作を示すフローチャートである。
- [図9]本発明の実施の形態1に係る待機冗長二重化装置の動作を示すタイミング図である。

[図10]本発明の実施の形態1に係る待機冗長二重化装置の動作を示すタイミング図である。

[図11]本発明の実施の形態2に係る待機冗長二重化装置の稼働側コントローラのCPU a 0の動作を示すフローチャートである。

[図12]本発明の実施の形態2に係る待機冗長二重化装置の稼働側コントローラのCPU a 1の動作を示すフローチャートである。

[図13]本発明の実施の形態3に係る待機冗長二重化装置のメモリの構成を示す図である。

[図14]本発明の実施の形態3に係る待機冗長二重化装置の動作を示すタイミング図である。

[図15]本発明の実施の形態3に係る待機冗長二重化装置の動作を示すタイミング図である。

[図16]本発明の実施の形態4に係る待機冗長二重化装置のメモリの構成を示す図である。

[図17]本発明の実施の形態5に係る待機冗長二重化装置のメモリの構成を示す図である。

[図18]本発明の実施の形態6に係る待機冗長二重化装置の構成を示す図である。

[図19]本発明の実施の形態6に係る待機冗長二重化装置の等値化送信データの構成を示す図である。

[図20]本発明の実施の形態7に係る待機冗長二重化装置の構成を示す図である。

[図21]本発明の実施の形態7に係る待機冗長二重化装置の共通メモリの構成を示す図である。

[図22]本発明の実施の形態7に係る待機冗長二重化装置の個別メモリの構成を示す図である。

[図23]本発明の実施の形態8に係る待機冗長二重化装置の等値化データ送信データの構成を示す図である。

発明を実施するための形態

[0009] 実施の形態 1.

以下、本発明の実施の形態 1 を図を用いて説明する。

図 1 は、待機冗長二重化装置 100（以下、装置 100 と称す）の構成を示す図である。

図において、装置 100 は、稼働側コントローラ 10a と待機側コントローラ 10b と等値化データバス 20 により構成される。

稼働側コントローラ 10a の演算結果は、等値化データバス 20 を介して、待機側コントローラ 10b へ通知される。

待機側コントローラ 10b は、稼働側コントローラ 10a と同じ構成であるため、稼働側コントローラ 10a を主として各コントローラの構成を説明する。

本明細書では、2つのコントローラを稼働側コントローラ 10a、待機側コントローラ 10b として固定して説明しているが、実際の運用では、稼働側コントローラ 10a も待機側コントローラ 10b も構成は等しく、それぞれの立場が入れ替わる場合がある。

[0010] 稼働側コントローラ 10a は、CPU ボード 1a と複数の I/O ボード 2a と I/O バス 3a より構成される。CPU ボード 1a の演算ルーチンに必要な入力データは、I/O バス 3a を介して I/O ボード 2a を読み出すことによって得られる。

また、CPU ボード 1a の演算ルーチンの演算結果である出力データは、I/O バス 3a を介して I/O ボード 2a に書き込まれる。

[0011] 装置 100 により制御される機器へのデータの出力は、稼働側コントローラ 10a 上の I/O ボード 2a よりおこなわれる。

待機側コントローラ 10b の I/O ボード 2b 側に出力データの書き込みをおこなっても機器へのデータ出力は I/O ボード 2b 内で切り離されており、待機側コントローラ 10b から機器には出力データは伝わらない。

[0012] CPU ボード 1a は、CPU a0 から CPU an までの複数個の CPU と

、メモリ11aと、等値化バスコントローラ12aと、I/Oバスコントローラ13aと、特許請求の範囲における起動制御部に相当する割込制御14aと、タイマ15aを備える。

CPUa0からCPUanまでの複数個のCPUは、それぞれ異なる演算を行う。

メモリ11aには、各CPUが演算に使用するデータが配置される。

I/Oバスコントローラ13aは、各CPUが使用するデータの読み出し要求または書き込み要求に従い、I/Oバス3aを経由してメモリ11aと複数のI/Oボード2aとの間でデータの送信を行う。

[0013] 稼働側コントローラ10aの等値化バスコントローラ12aは、稼働側コントローラ10aの各CPUのおこなった演算の結果等を等値化データバス20を経由して待機側コントローラ10bの等値化バスコントローラ12bに送信する。

待機側コントローラ10bの等値化バスコントローラ12bは受信したデータを待機側コントローラ10bのメモリ11bに格納する。

[0014] また、割込制御14aは、CPUa0からCPUanまでのそれぞれのCPUに対して、割込信号バス16aを使用して割り込みを通知する。

更に、割込制御14aには、タイマ15aが接続されており、予め設定したCPUに一定間隔で割り込みを通知することができる。

[0015] 図2は、割込制御14aの構成を示す図である。

割込制御14aには、CPUa0用からCPUan用の各割込通知レジスタが用意されており、例えば、CPUa0用の割込通知レジスタにデータをセットすると、CPUa0への割込信号17a0がONとなり、CPUa0に割り込みが通知される。

この割込通知レジスタと割込信号17a0~17anがCPU毎に存在する。

[0016] CPUa0用の割込通知レジスタからCPUan用の割込通知レジスタは、相互に他のCPUからアクセス可能となっており、あるCPUから他のC

PUに割り込みを通知することができる。

[0017] 図3は、メモリ11aおよびメモリ11b内に記録するデータの構成を示す図である。

メモリ11aとメモリ11bは、同一の構成となるので、メモリ11aを用いて説明する。

入力データ11a1は、I/Oボード2aを読み出すことで得たデータである。

出力データ11a2はI/Oボード2aに書き込むデータである。

入力データ11a1と出力データ11a2は、I/Oボード2aと制御対象となる機器が送受信する際に使用する形式で記録されている。

[0018] また、メモリ11aには、CPUa0からCPUanがそれぞれ行う演算ルーチンp0から演算ルーチンpnが格納される。

演算ルーチンp0から演算ルーチンpnは、実際には、それぞれ入力データ11a1から、それぞれのCPUが演算に使用するデータを演算に適した形式に変換する処理（演算1）と、実際に演算する処理（演算2）と、演算結果をI/Oボード2aからの出力に適したデータ形式へ変換する処理（演算3）が含まれている。

[0019] また、メモリ11aには、CPUa0からCPUanがそれぞれ行う演算ルーチンp0からpnが使用する演算用のデータが、CPU毎に、演算データpd0から演算データpdnの順で配置される。

これらの演算データの具体的な内容を、CPUa0が使用する演算データpd0を用いて説明する。

[0020] 演算データpd0は、実際には複数のデータで構成される。

これらのデータは、3種類のデータに分類される。

1種類目のデータは、入力データ11a1からCPUa0用の演算ルーチンp0が使用するデータを取得して、演算ルーチンp0の演算1によって演算2に適した形式に変換したデータである。

2種類目のデータは、演算ルーチンp0の演算2の結果得たデータと、そ

の過去の蓄積データ群である。

3種類目のデータは、演算ルーチンp0の演算2による、演算結果のデータを、演算ルーチンp0の演算3によって、I/Oボード2aへの出力データ形式に変換したデータである。

[0021] 更に、メモリ11aは、等値化データ送信バッファ11a3と、等値化データ受信バッファ11a4及び等値化データ受信バッファ11a5を有する。

等値化データ送信バッファ11a3は、このコントローラが稼働側コントローラ10aとして動作する際に使用される。

稼働側コントローラ10aの等値化バスコントローラ12aは、等値化データ送信バッファ11a3の内容を待機側コントローラ10bの等値化バスコントローラ12bに送信する。

また、送信時には等値化バスコントローラ12aは送信データの妥当性を確認するためのチェックサムを付与して送信する。

[0022] 等値化データ受信バッファ11a4と等値化データ受信バッファ11a5は、各コントローラが待機側コントローラとして動作する際に使用される。

この点について、待機側コントローラ10bの動作として以下に説明する。

待機側コントローラ10bの等値化バスコントローラ12bは、稼働側コントローラ10aから受信したデータをチェックサムを用いて確認する。

そして受信データが妥当であると判断した場合は、受信データを等値化データ受信バッファ11b4又は等値化データ受信バッファ11b5に交互に格納し、不正と判断した場合は、受信データを破棄する。

[0023] この時、待機側の等値化バスコントローラ12bがデータの受信に使用していない他方の受信バッファは、待機側のCPUによってデータ処理に使用されている。

[0024] ここで説明を、稼働側コントローラ10aに戻す。

稼働側コントローラ10aのメモリ11aには、CPUa0からCPUa

nがそれぞれ行う演算ルーチン p_0 ～演算ルーチン p_n の実行回数が、実行カウント pc_0 ～実行カウント pc_n として格納される。

このカウント値はオーバーフローしても異常とはならず、0から再カウントし直す。

[0025] 図4は、等値化データ送信バッファ11a3内に格納される送信データの構成を示す図である。

CPUの識別番号と、各CPU用の演算ルーチンの結果を保存するために必要とされる演算データサイズと、その演算データの3つのデータを一組とし、CPU a_0 の演算ルーチン p_0 からCPU a_n の演算ルーチン p_n までの各組のデータが結合された構造となっている。

[0026] 次に、稼働側コントローラ10aの動作について説明する。

図5は、稼働側コントローラ10aの動作を示すフローチャートである。

稼働側コントローラ10aのタイマ15aと割込制御14aに対して、予め、周期T間隔でCPU a_0 に割り込みが通知されるように設定しておく。

まず、この割り込み通知に基づき、稼働側コントローラ10aのCPU a_0 が処理を開始する。

[0027] 最初に、ステップST1010において、タイマ15aからの周期Tに達したことを示す通知を解除する。

この解除により、次回のタイマ15aからの周期Tの通知に備える。

次に、ステップST1020において、I/Oボード2aからデータの入力を行う。

CPU a_0 は、I/Oバスコントローラ13aに対して、I/Oボード2aからの入力データの読み出し要求を行う。

I/Oバスコントローラ13aは、読み出し要求を受けて、I/Oバス3a経由で複数のI/Oボード2aよりデータを読み出し、メモリ11aに入力データ11a1として格納する。

[0028] 次に、ステップST1030において、CPU a_0 は、他の各CPUに対して処理開始を通知する。割込制御14a上のCPU a_1 からCPU a_n に

対応する各割込通知レジスタに対してそれぞれ所定の値を書き込む。

すると、割込制御14aは、割込信号17a1から割込信号17anをONにして、CPUa1からCPUanに対する割り込みの発生を通知する。

[0029] 次に、ステップST1040において、CPUa0は、演算ルーチンp0の演算を行う。

この演算ルーチンp0には、先に述べたように、CPUa0が演算に使用するデータを演算に適した形式に変換する処理（演算1）と、実際に演算する処理（演算2）と、演算結果をI/Oボード2aからの出力に適したデータ形式へ変換する処理（演算3）が含まれている。

最初に、入力データ11a1内の、CPUa0が演算に使用するデータが、演算ルーチンp0の演算に適した形式にデータを変換されて演算データpd0として格納される。（演算1）

次に、本来の演算2の処理が動作し、演算結果が演算データpd0に追加して格納される。（演算2）

更に、演算2による演算結果をI/Oボード2aに適した形式に変換する処理（演算3）が動作し、変換後のデータが出力データ11a2に格納される。

[0030] 次に、ステップST1050において、演算ルーチンp0の実行回数を示すメモリ11a上の実行カウントpc0の値を1つ増加させる。

次に、ステップST1060において、後述するCPUa1からCPUanまでの処理がすべて完了するまで待つ。

[0031] 次に、ステップST1070において、CPUa1からCPUanまでの処理がすべて完了すると、各CPUの処理完了通知を解除し、次回の周期での処理完了通知に備えておく。

次に、ステップST1080において、演算データpd0から演算データpdnまでの演算1の結果のデータと演算2の結果のデータ（以下、「p0演算データ」と表記する）を結合して、図4で示す送信データを等値化データ送信バッファ11a3に格納する。

[0032] 次に、ステップST1090において、CPU a0は、等値化バスコントローラ12aに対して、等値化データ送信バッファ11a3の送信データを、待機側コントローラ10bに送信するよう指示する。

等値化バスコントローラ12aは、CPU a0からの指示を受けて、等値化データ送信バッファ11a3のデータを待機側コントローラ10bに送信する。

[0033] 次に、CPU a0は、ステップST1090における等値化バスコントローラ12aの送信完了を待たずにステップST1100の処理を指示する。

ステップST1100においては、I/Oボード2aへのデータの出力処理を行う。

CPU a0は、I/Oバスコントローラ13aに対して、メモリ11aの出力データ11a2からI/Oボード2aへの書き込み要求を行う。

I/Oバスコントローラ13aは、この書き込み要求を受けて、I/Oバス3a経由でI/Oボード2aに対してデータを書き込む。

[0034] 図6は、稼働側コントローラ10aのCPU a1（～CPU a n）の動作を示すフローチャートである。

次に、CPU a0以外のCPU a1からCPU a nまでの動作を図6を用いて説明する。

CPU a1からCPU a nまでの各CPUの動作は同じなので、図6では、CPU a1を用いて説明する。

[0035] まず、CPU a0からの指令に基づく処理開始通知を受けてCPU a1が処理を開始すると、ステップST1110において、CPU a0からの処理開始通知を解除する。

この解除により、次の通知に備える。

[0036] 次に、ステップST1120において、CPU a1が行う演算ルーチンp1の演算を行う。この演算ルーチンp1には、先に述べたように、CPU a1が演算に使用するデータを演算に適した形式に変換する処理（演算1）と、実際に演算する処理（演算2）と、演算結果をI/Oボード2aからの出

力に適したデータ形式へ変換する処理（演算3）が含まれている。

[0037] 最初に、入力データ11a1の入力データの内の、CPUa1が演算に使用するデータが、演算ルーチンp1の演算に適した形式にデータを変換されて演算データpd1として格納される。（演算1）

次に、本来の演算2の処理が動作し、演算結果が演算データpd1に追加して格納される。

更に、演算2による演算結果をI/Oボード2aに適した形式に変換する処理（演算3）が動作し、変換後のデータが出力データ11a2に格納される。

[0038] 次に、ステップST1130において、演算ルーチンp1の実行回数を示すメモリ11a上の実行カウントpc1の値を1つ増加させる。

次に、ステップST1140において、CPUa0に対して処理完了を通知する。

処理完了は、割込制御14aを介して通知しても良いし、メモリ11aを介して通知しても良い。

[0039] 次に、待機側コントローラ10bの動作を説明する。待機側コントローラ10b上のタイマ15bと割込制御14bに対しても、稼働側コントローラ10aと同様に、予め、周期T間隔でCPUb0に割り込みが通知されるように設定しておく。

ただし、稼働側コントローラ10aと待機側コントローラ10bでタイミングが同期する仕組みはなく、非同期に動作する。

[0040] 図7は、待機側コントローラ10bのCPUb0の動作を示すフローチャートである。

割込制御14bからの割り込み通知に基づき、待機側コントローラ10bのCPUb0が行う処理を図7を用いて説明する。

ステップST2010からステップST2030については、稼働側コントローラ10aのCPUa0が、図5のステップST1010からステップST1030で行う処理と同様である。

従って、CPU b 0は、稼働側コントローラ 1 0 aのCPU a 0と同様に、I/Oボード 2 bからデータを取得し、メモリ 1 1 bに入力データ 1 1 b 1を記録し、自らデータ処理をし、他のCPUにも同様の処理を指示する。

[0041] ステップST 2 0 3 5において、CPU b 0は、等値化バスコントローラ 1 2 bが現時点で等値化データを受信しているバッファと異なる方の等値化データ受信バッファの内容を確認し、データのCPU識別番号が0の部分から、当該データサイズを取得する。

次に、そのサイズ分の演算データを取得して、メモリ 1 1 b内の演算データ p d 0に展開する。

この時、等値化データと共通の部分（上述の演算 1の結果のデータと演算 2の結果のデータに相当する部分）は、等値化データで上書きされることになる。

なお、演算 2の結果部分のデータは、更にその後のステップST 2 0 4 0の演算で上書きされることになる。

[0042] ステップST 2 0 4 0からステップST 2 0 7 0の処理及び、ステップST 2 1 0 0の処理は、図 5において稼働側コントローラ 1 0 aのCPU a 0が行うステップST 1 0 4 0からステップST 1 0 7 0及び、ステップST 1 1 0 0の処理と同様である。

但し、待機側コントローラ 1 0 bのI/Oボード 2 bは、このコントローラが待機側コントローラとして動作している間は、I/Oボード 2 b内において制御対象となる機器との接続を切り離しているため、機器に対して出力データは送信されない。

[0043] 図 8は、待機側コントローラのCPU b 1（～CPU b n）の動作を示すフローチャートである。

次に、CPU b 0以外のCPU b 1からCPU b nまでの動作を図 8を用いて説明する。

CPU b 1からCPU b nまでの各CPUの動作は同じなので、図 8では、CPU b 1を用いて説明する。

[0044] ステップST2110及び、ステップST2120からステップST2140の処理は、稼働側コントローラ10aのCPUa1が行う、図6におけるステップST1110及びステップST1120からステップST2140と同様である。

図6と異なる点は、ステップST2110の後に、ステップST2115の処理が追加されている点である。

ステップST2115においては、図7のステップST2035と同様に、CPUb1は、等値化バスコントローラ12bが現時点で等値化データを受信しているバッファと異なる方の等値化データ受信バッファの内容を確認し、データのCPU識別番号が1の部分から、当該データサイズを取得する。

そして、そのサイズ分の演算データを取得して、メモリ11b内の演算データpd1に展開する。

この時、等値化データと共通の部分（上述の演算1の結果のデータと演算2の結果のデータに相当する部分）は、等値化データで上書きされることになる。

なお、演算2の結果部分のデータは、更にその後のステップST2120の演算で上書きされることになる。

[0045] 図9、図10は、これまで説明した装置100の動作をタイミング図としてまとめたものである。

各図内のそれぞれの矢印は信号やデータの送信を示す。

図9の矢印A1、A2は、それぞれ図10の矢印A1、A2に繋がる。

2つの図を並べて見ると、稼働側コントローラ10aと、待機側コントローラ10bのタイミングを視覚的に理解できる。

本発明の実施の形態1に係る待機冗長二重化装置100によれば、複数のCPUが処理するデータの等値化処理において、CPU毎のバスコントローラを不要とすることができる。

また、等値化データバス20とI/Oバス3a、3bを独立のバスとし、

それぞれの I/O バスコントローラも独立しているので、等値化データの送受信と I/O ボードの送受信の同時送信が可能となり、処理の高速化を図ることができる。

[0046] 実施の形態 2.

以下、本発明の実施の形態 2 を図を用いて実施の形態 1 と異なる部分を中心に説明する。

実施の形態 1 では、各 CPU への処理の開始の通知として割込制御 14 a、14 b を使用していた。

本実施の形態では、割り込みを使用せず、タイマにフラグを配置し、フラグの ON/OFF を割り込みの通知信号として代用することとした。

[0047] 図 11 は、本実施の形態に係る稼働側コントローラの CPU a0 の動作を示すフローチャートである。

実施の形態 1 の CPU a0 の動作を示す図 5 と、本実施の形態の CPU a0 の動作を示す図 11 の差異は、まず、図 5 では、処理開始の割り込みが発生してから処理を開始している点である。

次に、図 11 においては、ステップ ST1005 をループさせて処理開始フラグを監視している点である。

本実施の形態では、CPU a0 がフラグの監視をするので、独立した割込制御は必要ない。

ステップ ST1005 において、CPU a0 が、処理開始を示すフラグが ON になったことを確認すると、ステップ ST1010 においてフラグを解除し、ステップ ST1020 において I/O ボードからのデータ入力処理を行う。

次に、ステップ ST1030 において、タイマ内または、メモリ領域に備えた、他の CPU に処理の開始を指示する各フラグを ON にする。

その他の処理は実施の形態 1 と同様である。

[0048] 図 12 は、本実施の形態に係る稼働側コントローラの CPU a1 (~ an) の動作を示すフローチャートである。

実施の形態 1 の CPU a 1 の動作を示す図 6 と、本実施の形態の CPU a 1 の動作を示す図 1 2 の差異は、まず、図 6 では、処理開始の割り込みが発生してから処理を開始している点である。

次に、図 1 2 においては、ステップ ST 1 1 0 5 をループさせて処理開始フラグを監視している点である。

本実施の形態では、CPU a 1 がフラグの監視をするので、独立した割込制御は必要ない。

ステップ ST 1 1 0 5 において、CPU a 1 が、処理開始を示すフラグが ON になったことを確認すると、ステップ ST 1 1 1 0 においてフラグを解除し、ステップ ST 1 1 2 0 において演算 p 1 を行う。

その他の処理は実施の形態 1 と同様である。

待機側コントローラ 1 0 b のフローチャートは明示しないが、同様にフラグを用いて処理を実現可能である。

[0049] 本発明の実施の形態 2 に係る待機冗長二重化装置によれば、装置内に配置するフラグの ON/OFF を割込通知信号の代用とすることで、特別な割込制御の必要がないシンプルな待機冗長二重化装置を提供できる。

[0050] 実施の形態 3.

以下、本発明の実施の形態 3 を図を用いて実施の形態 2 と異なる部分を中心に説明する。

図 1 3 は、本実施の形態に係る稼働側コントローラのメモリ 3 1 1 a 内に記録するデータの構成を示す図である。

本実施の形態では、CPU 数を超える演算データと演算ルーチンを準備する。

そして、各 CPU に対して複数の演算ルーチンを割り当てる。

図において、「p」の後に続く数字が、当該演算ルーチンを実行する CPU 番号であり、ハイフンに続く数字が、その番号の CPU に割り当てられた演算ルーチンの連番である。

[0051] 図 1 4、1 5 は、本実施の形態に係る待機冗長二重化装置の各コントロー

ラの動作状況を示すタイミング図である。

各図内のそれぞれの矢印は信号やデータの送信を示す。

図14の矢印A1、A2は、それぞれ図15の矢印A1、A2に繋がる。

2つの図を並べて見ると、稼働側コントローラと、待機側コントローラのタイミングを視覚的に理解できる。

[0052] メモリ311aを上記のように構成することにより、図14、図15に示すように、稼働側コントローラ上のCPUa0において演算ルーチンp0-1から演算ルーチンp0-xの複数の演算を可能とし、同様にCPUa1からCPUanにおいて演算ルーチンp1-1から演算ルーチンpn-zの複数の演算を実行できる。

[0053] 本実施の形態に係る待機冗長二重化装置によれば、メモリ311aの構成として、演算ルーチンを実行するCPU番号の属性データを設けることで、マルチCPU環境において、演算ルーチンに対して予め各CPUを振り分けて演算をさせることができる。

[0054] 実施の形態4.

以下、本発明の実施の形態4を図を用いて実施の形態3と異なる部分を中心に説明する。

図16は、稼働側コントローラのメモリ411a内に記録するデータの構成の一部分を示す図である。

各演算ルーチンに対して、属性データとして実行CPU番号、起動周期設定、起動オフセット設定、実行カウント及び送信カウントの設定項目を設けている。

[0055] 起動周期設定項目を用いることで、周期Tの倍数の周期で実行する演算ルーチンの実現を可能とする。

また、周期Tの倍数の周期で実行する演算ルーチンに対して、起動オフセット設定をすることができる。

起動オフセット設定は、演算ルーチンを実行するタイミングを周期Tを1として小数で設定する。

例えば、周期Tの4倍の周期で実行する演算ルーチンに対して、起動オフセットを0.25とすると、周期Tの4倍周期かつ、タイマに対して1/4周期分遅れて当該演算ルーチンを実行する。

[0056] 本実施の形態では、上述のように周期Tの倍数の周期で動作する演算ルーチンが存在する。演算ルーチンの中には、異なった周期で動作するものが混在することとなる。

一方、等値化データは周期Tで送信されるため、周期T単位では動作しない演算ルーチンのデータは送信する必要はない。

よって、これらの演算ルーチンのデータの再送信を避けるため、実行カウントと送信カウントをメモリ411a内に追加して利用する。

[0057] 稼働側コントローラのCPUa0が行う等値化送信データの作成時において、送信カウントと実行カウントを比較し、二つのカウントの値が異なる場合は、その演算ルーチンの演算データは等値化データとして送信すべきデータと判断して送信バッファに送信する。

もし、送信カウントと実行カウントを比較して、これらが一致する場合は、既にデータの送信は行われていて、当該演算ルーチンの新たな実行が行われていないと判断し、送信バッファへの送信はしない。

なお、送信カウントは、送信バッファへの送信処理完了後に実行カウントの値に書き換えるものとする。

[0058] 本実施の形態に係る待機冗長二重化装置によれば、メモリ411a内に起動周期設定と起動オフセット設定を設けることで、周期Tの倍数の周期で、更に必要に応じて、演算ルーチン毎に起動オフセットを設定して演算を実行できる。

また、送信カウントを設け、実行カウントと比較することで、不要な等値化データの送信が削減され、等値化データの送受信時間を短くすることができる。

[0059] 実施の形態5.

以下、本発明の実施の形態5を図を用いて実施の形態4と異なる部分を中

心に説明する。

図17は、稼働側コントローラのメモリ511a内に記録するデータの構成の一部分を示す図である。

各CPUが実行する演算ルーチンに対して、起動継続可否設定を追加する。

起動継続可否設定が可の場合、演算が設定周期Tで完了しなかった場合でも、演算処理を一時保留とし、データの入出力をおこない、次の周期で動作を再開して継続する仕組みを追加する。

[0060] 起動継続可否設定の追加により、演算処理を保留した演算ルーチンは、途中でデータの入出力が行われるが、この入出力動作が支障をきたさない場合、一定周期T内で動作する演算ルーチンと一定周期T内で動作しない演算ルーチンの共存が可能となる。

本実施の形態に係る待機冗長二重化装置によれば、処理時間が大きく異なる処理ルーチンが一部に存在する場合でも、全体の処理に影響を及ぼさない待機冗長二重化装置を提供できる。

[0061] 実施の形態6.

以下、本発明の実施の形態6を図を用いて実施の形態1と異なる部分を中心に説明する。

図18は、待機冗長二重化装置600（以下、装置600と称す）の構成を示す図である。

稼働側コントローラ610aのCPUボード601aには、2つの等値化バスコントローラ12a1、12a2を備えている。

また、待機側コントローラ610bのCPUボード601bには、2つの等値化バスコントローラ12b1、12b2を備えている。

そして、等値化バスコントローラ12a1と等値化バスコントローラ12b1を等値化データバス20で接続し、等値化バスコントローラ12a2と等値化バスコントローラ12b2を等値化データバス21で接続している。

等値化バスコントローラのセットと、等値化データバス20、21をそれ

ぞれ二重化した構成として装置600の信頼性を高めている。

[0062] 次に、装置600における、二重化された等値化データバスを使用する送信データの授受方法を説明する。

図19は、稼働側コントローラ610aから待機側コントローラ610bに送信される等値化送信データの構成の一部を示す図である。

[0063] 送信データには、各演算ルーチンに対する実行カウントpc0から実行カウントpcnを連番として有している。

稼働側コントローラのCPUa0は、図5のステップST1090での等値化データの送信開始にあたって、図19に示した送信データを、等値化バスコントローラ12a1と等値化バスコントローラ12a2の2つのコントローラに対して送信する。

待機側コントローラの各CPUは、図7のステップST2035または、図8のステップST2115における等値化受信データの展開時において、等値化バスコントローラ12a1より等値化バスコントローラ12b2が受信した等値化受信データの実行カウントと、等値化バスコントローラ12a2より等値化バスコントローラ12b2が受信した等値化受信データの実行カウントを比較し、カウントが進んでいる方の演算データをメモリ11bに展開することとする。

[0064] 本発明の実施の形態6に係る待機冗長二重化装置600によれば、等値化バスコントローラと、等値化データバスを二重化し、送受信するデータにカウントを付けることにより、いずれかのルートに故障が発生しても、もう一方のシステムを使用してデータの等値化を図ることができる。

[0065] 実施の形態7.

以下、本発明の実施の形態7を図を用いて実施の形態1と異なる部分を中心に説明する。

図20は、待機冗長二重化装置700（以下、装置700と称す）の構成を示す図である。

CPUボード701a上のCPUa0からCPUanに対して、それぞれ

個別にメモリ a 0 からメモリ a n を追加する。

同様に CPU ボード 7 0 1 b 上の CPU b 0 から CPU b n に対して、それぞれ個別にメモリ b 0 からメモリ b n を追加する。

[0066] 図 2 1 は、このときの各 CPU が共通に使用するメモリ 7 1 1 a 及びメモリ 7 1 1 b 内のデータ構成を示す図である。

メモリ 7 1 1 a には、CPU a 0 から CPU a n が共通に使用するデータを配置する。

同様に、メモリ 7 1 1 b には、CPU b 0 から CPU b n が共通に使用するデータを配置する。

図 2 2 は、CPU 単位で個別に追加するメモリ a 0 からメモリ a n、メモリ b 0 からメモリ b n の構成を示す図である。

CPU a 0 から CPU a n、CPU b 0 から CPU b n がそれぞれ個別に使用するデータをのみを配置する。

[0067] 本発明の実施の形態 7 に係る待機冗長二重化装置 7 0 0 によれば、メモリ 7 1 1 a またはメモリ 7 1 1 b は共通的に使用するデータのみの構成となり、メモリ 7 1 1 a、メモリ 7 1 1 b へのアクセス頻度を抑制できる。

これにより、他の CPU からのアクセスの集中により、演算が停止する頻度が減少するので、装置 7 0 0 の演算性能を向上することができる。

[0068] 実施の形態 8.

以下、本発明の実施の形態 8 を図を用いて実施の形態 1 と異なる部分を中心に説明する。

図 2 3 は、実施の形態 8 の等値化送信データの構成を示す図である。

送信データに各演算ルーチンの識別コードと版コードを追加する。

待機側コントローラの各 CPU は、図 7 のステップ ST 2 0 3 5 または図 8 のステップ ST 2 1 1 5 にて、等値化データを展開するときに、受信した等値化データ内の各演算ルーチンの識別コードと版コードを、待機側コントローラ側でもつ各演算ルーチンの識別コードと版コードと比較する。

これらのコードが不一致の場合は、データの展開処理を実施せず、異常を

コントローラの利用者に通知する。

[0069] 本発明の実施の形態 8 に係る待機冗長二重化装置によれば、稼働側コントローラと待機側コントローラの間で、万一演算ルーチンが異なる状態となっても、誤ったデータで装置全体が等値化することを防止することができ、待機冗長二重化装置の信頼性を向上できる。

[0070] 尚、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

請求の範囲

- [請求項1] 2つのコントローラで構成し、一の前記コントローラが稼働側コントローラとして動作する時は、他方のコントローラは待機側コントローラとして動作する待機冗長二重化装置において、各前記コントローラは、それぞれ内部に複数のCPUと、メモリと、I/Oボードと、複数の前記CPUと、前記メモリと、前記I/Oボードとの間でデータを送受信するI/Oバスコントローラと、前記稼働側コントローラから等値化データバスを介して前記待機側コントローラに、前記稼働側コントローラと前記待機側コントローラの装置状態を等値化するために使用する等値化データを送信する、前記I/Oバスコントローラから独立した等値化バスコントローラとを備えた待機冗長二重化装置。
- [請求項2] 各前記コントローラは、タイマと、前記タイマに連動して一定周期で前記CPUに処理の開始を通知をする起動制御部とを有し、前記稼働側コントローラの前記起動制御部から通知を受けた、前記稼働側コントローラの一の前記CPUは、前記稼働側コントローラの各前記CPUが演算に使用するデータを、前記I/Oボードから取得して前記メモリに、前記I/Oバスコントローラを介して入力した後、前記稼働側コントローラの各前記CPUに割り当てられた演算の実行を指示し、全ての前記CPUの演算が終了した後、全ての前記CPUの演算結果を纏めて、前記待機側コントローラに送信すべき前記等値化データを構成する請求項1に記載の待機冗長二重化装置。
- [請求項3] 前記メモリ内には、

前記 I / O ボードから入力されたデータを纏めて記録する入力データと、
いずれかの前記 CPU によって実行される演算ルーチンを記録する演算ルーチンと、
個別の前記演算ルーチンで使用する、前記入力データと、前記入力データを利用して前記演算ルーチンを実行して得た演算結果と、過去の
前記演算結果とを記録する演算データと、
前記 I / O ボードに出力するデータを纏めて保存する出力データと、
前記コントローラが前記稼働側コントローラとして動作する時に、前記待機側コントローラに送信する前記等値化データを纏めて記録する等値化データ送信バッファと、
前記コントローラが前記待機側コントローラとして動作する時に、前記稼働側コントローラからの前記等値化データを交互に受信する 2 つの等値化データ受信バッファとを有する請求項 2 に記載の待機冗長二重化装置。

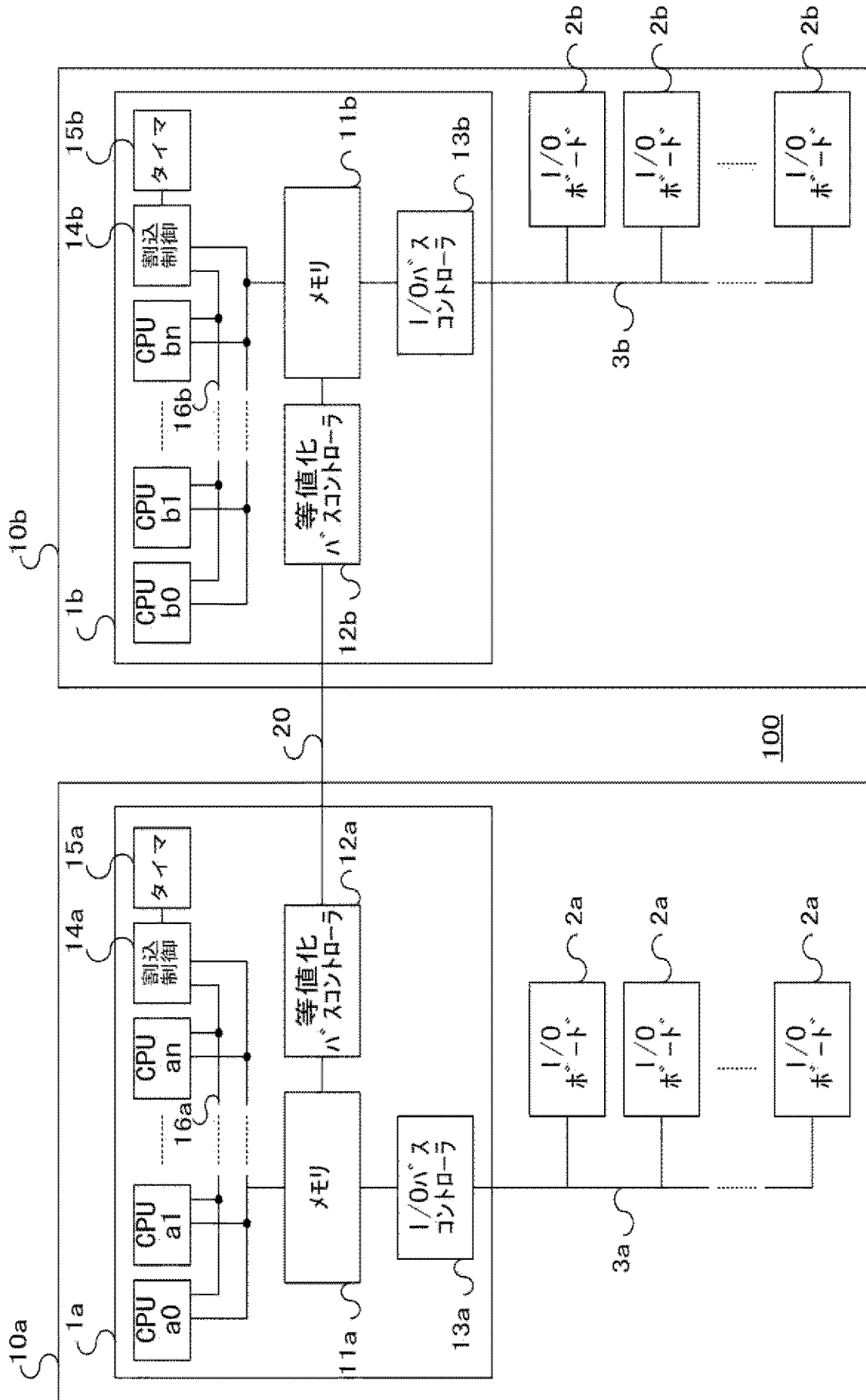
[請求項 4]

前記待機側コントローラは、前記稼働側コントローラとは非同期で、前記稼働側コントローラと同一の一定周期で動作し、
前記待機側コントローラの前記起動制御部から処理の開始の通知を受けた、前記待機側コントローラの一の前記 CPU は、前記待機側コントローラの前記 CPU が演算に使用するデータを、前記待機側コントローラの前記 I / O ボードから取得して前記待機側コントローラの前記メモリに、前記待機側コントローラの前記 I / O バスコントローラを介して入力した後、前記稼働側コントローラから受信した、前記等値化データを前記待機側コントローラの前記メモリに展開して前記待機側コントローラの前記 I / O ボードから取得したデータを上書きし、
前記待機側コントローラの前記 CPU に割り当てられた演算の実行を指示する請求項 3 に記載の待機冗長二重化装置。

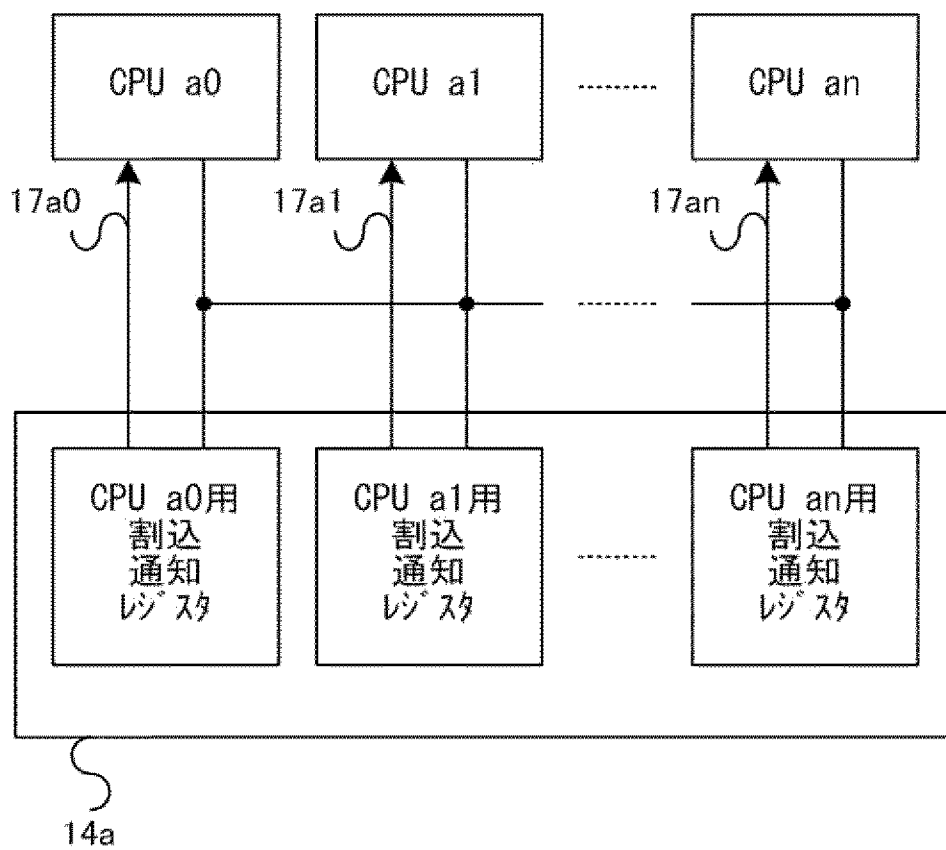
- [請求項5] 前記メモリは、各前記演算ルーチンの属性データを有し、
前記演算ルーチンの前記属性データには、
各前記演算ルーチンを実行するCPU番号を特定するCPU情報と、
各前記演算ルーチンを前記タイマの周期の倍数の周期で起動させる起動周期情報と、
各前記演算ルーチンを前記タイマの周期の倍数に対して所定のオフセットを持たせて起動させるオフセット情報と、
各前記演算ルーチンを実行した回数を示す実行回数情報と、
前記等値化データを前記待機側コントローラに送信した回数を示す送信回数情報と、
各前記演算ルーチンが前記タイマの周期内に終了しなかった場合における次回の処理方法を示す継続処理可否情報、の中の少なくとも一つの情報を有する請求項4に記載の待機冗長二重化装置。
- [請求項6] 前記稼働側コントローラの前記メモリに記録した前記属性データには、前記実行回数情報と、前記送信回数情報を有し、前記実行回数情報と、前記送信回数情報の内容を比較して、前記等値化データのデータ構成を決定する請求項5に記載の待機冗長二重化装置。
- [請求項7] 前記等値化データは、前記送信回数情報を有し、
前記待機側コントローラは、2つの前記受信バッファの中の前記等値化データの内、前記送信回数情報の進んでいる方の前記等値化データを使用して各前記CPUに割り当てられた演算を実行する請求項5に記載の待機冗長二重化装置。
- [請求項8] 前記メモリは、
各前記CPUがそれぞれ固有に扱うデータを記録するCPU用メモリと、
複数の前記CPUが、共通して使用するデータを記録する共通メモリとからなる、
請求項5に記載の待機冗長二重化装置。

- [請求項9] 前記等値化データは、各演算ルーチンの識別コードと版コードを有し、
- 前記待機側コントローラの各前記CPUは、前記識別コードと前記版コードを確認して各前記CPUに割り当てられた演算を実行する請求項1に記載の待機冗長二重化装置。
- [請求項10] 前記等値化バスコントローラと前記等値化データバスを冗長化構成とした請求項1項に記載の待機冗長二重化装置。
- [請求項11] 前記一のCPUは、割込制御、又は前記メモリに設けたフラグの状態を識別して前記各CPUに、各前記CPUに割り当てられた演算の開始を通知する請求項2乃至請求項10のいずれか1項に記載の待機冗長二重化装置。

[図1]



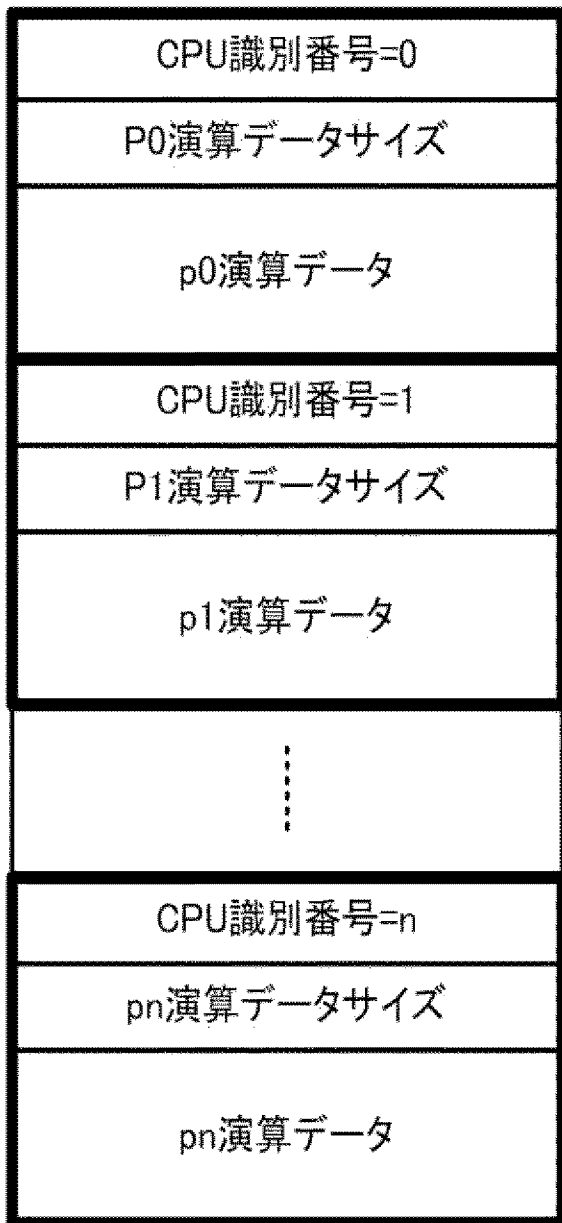
[図2]



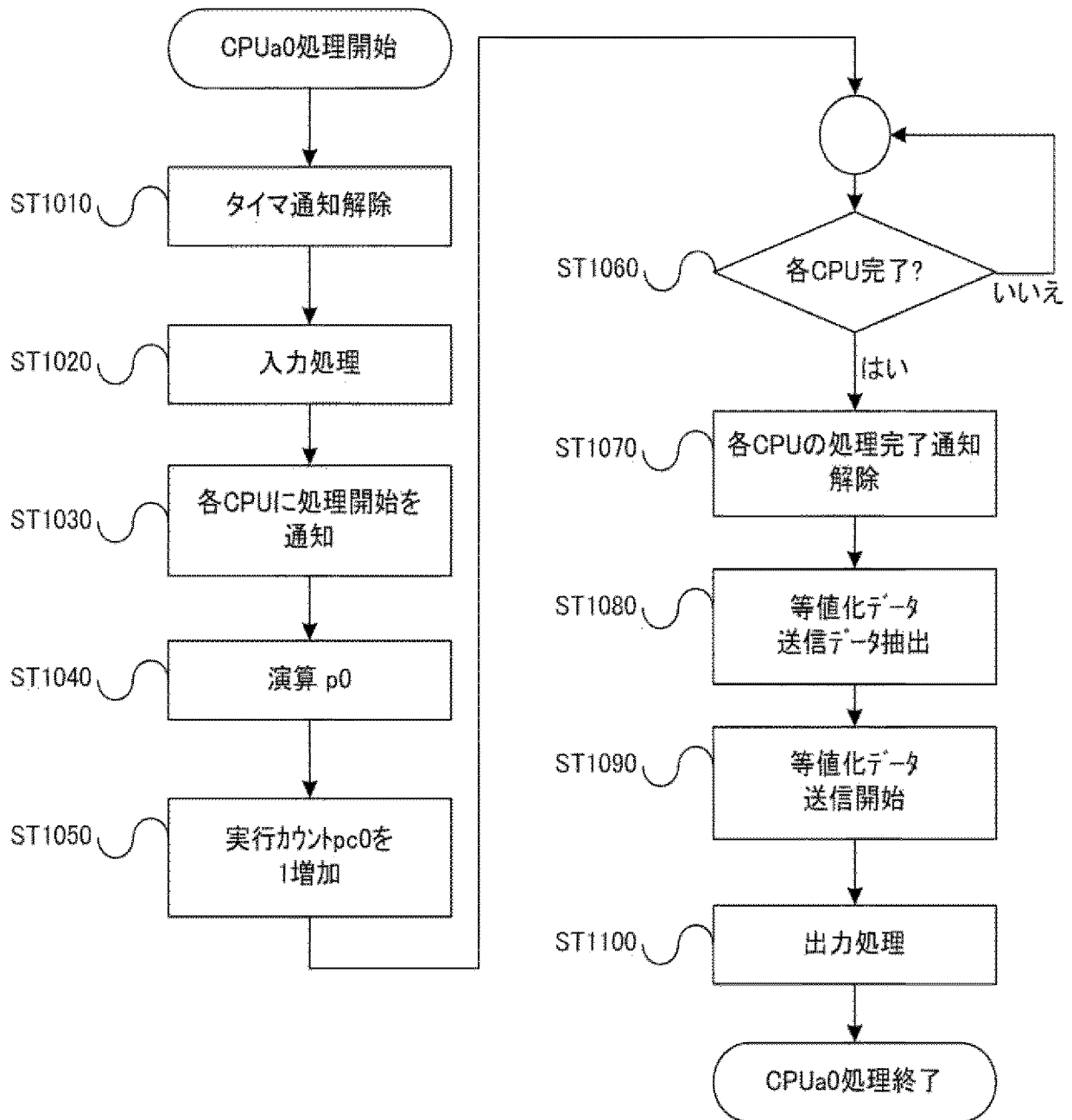
[図3]



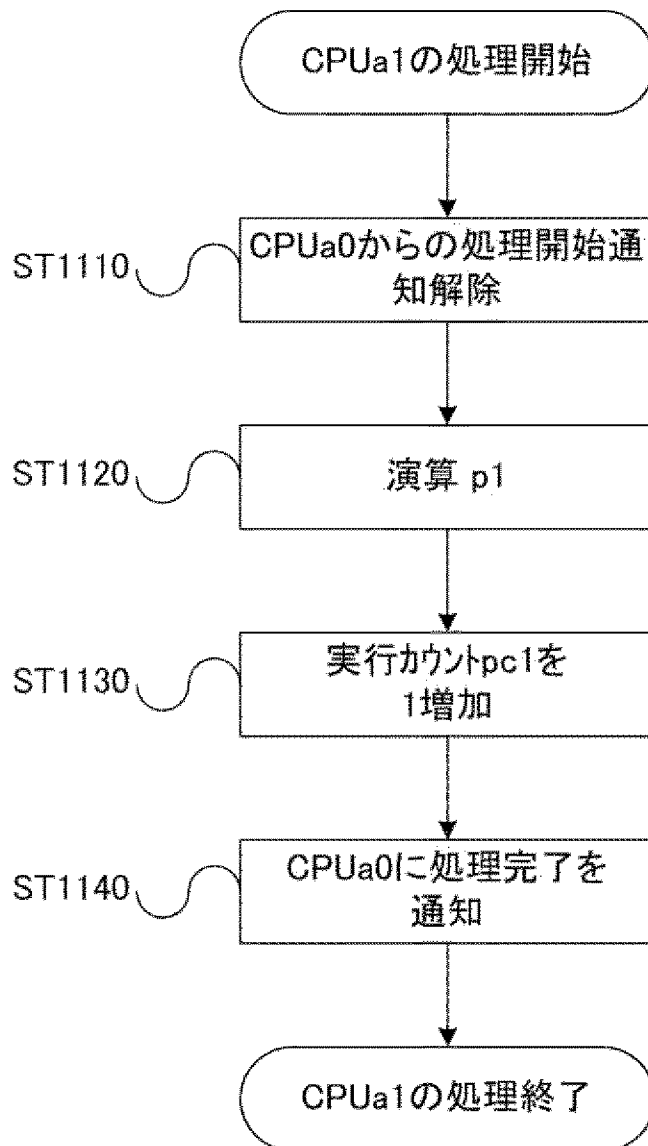
[図4]



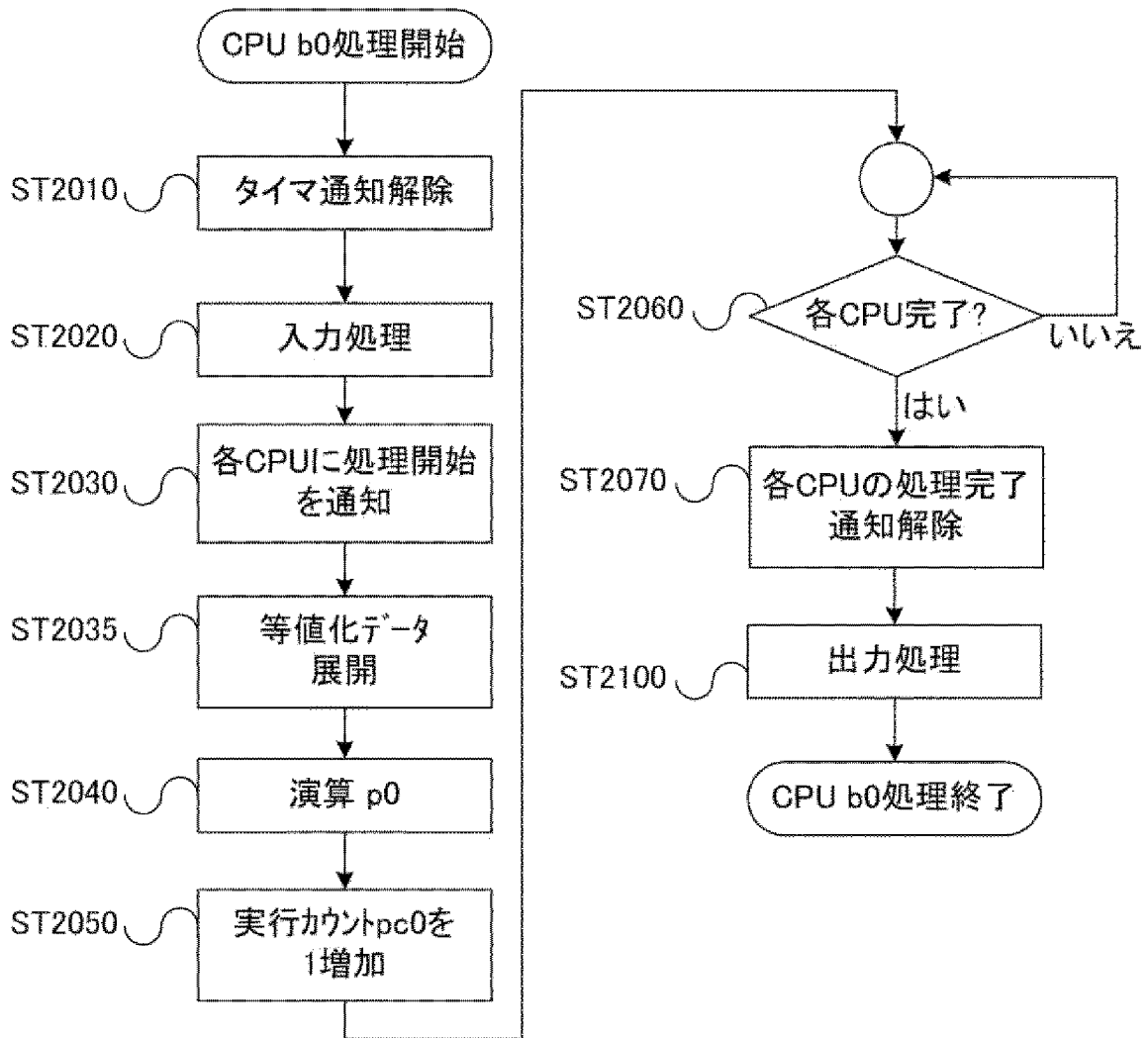
[図5]



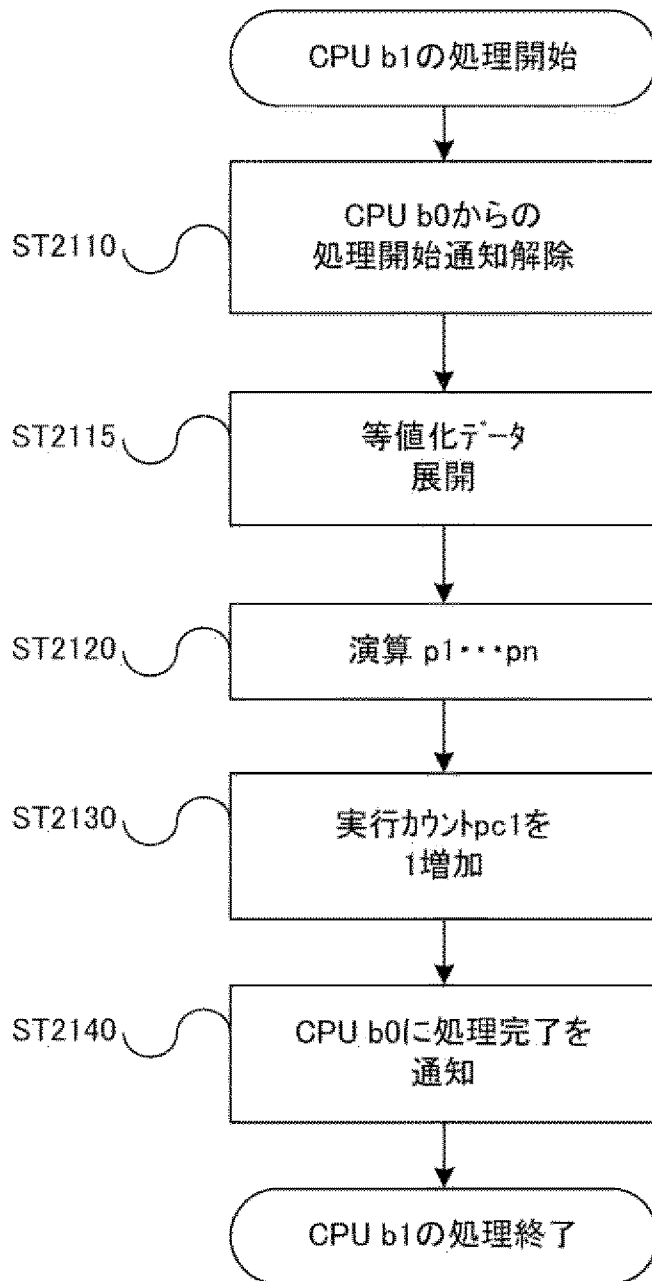
[図6]



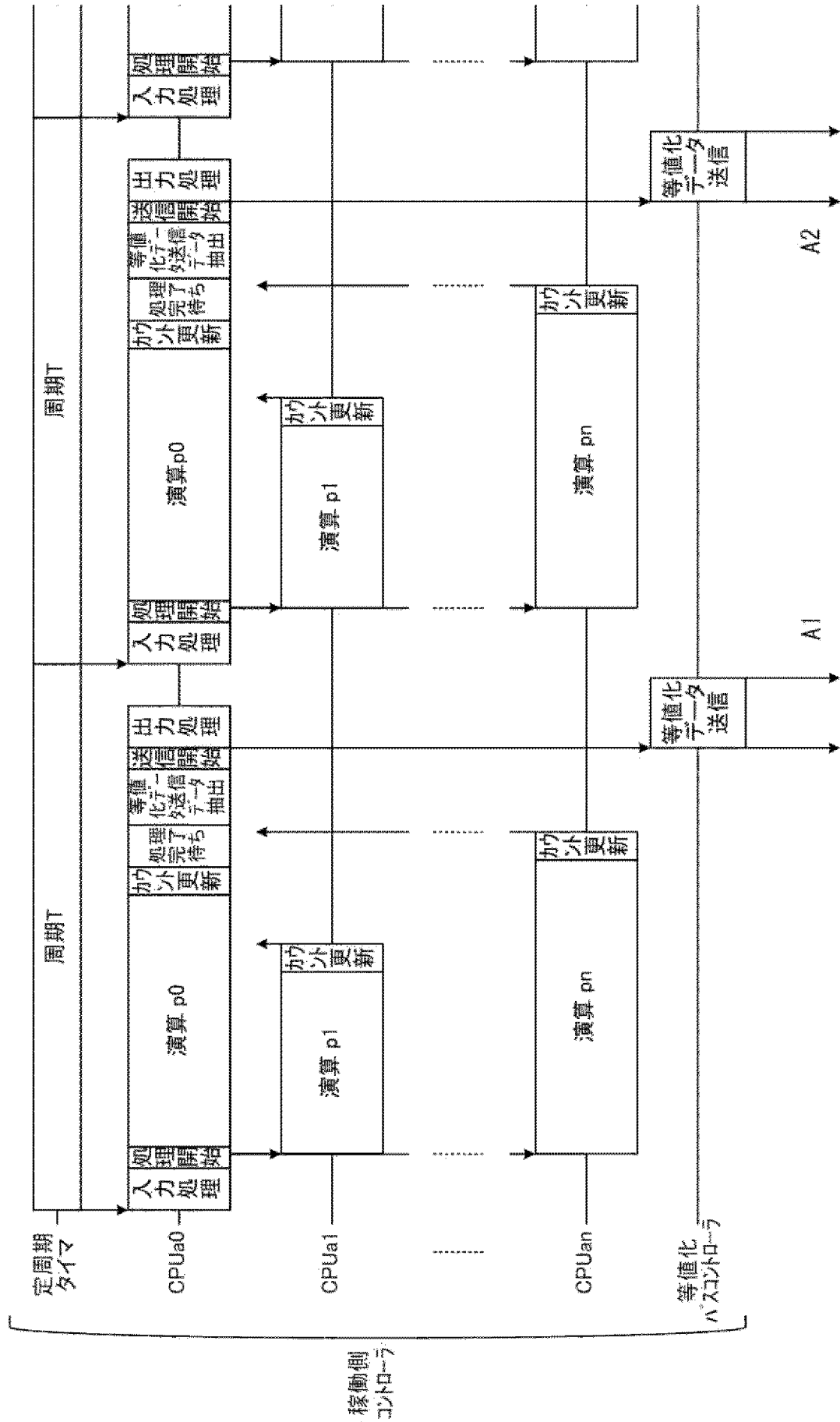
[図7]



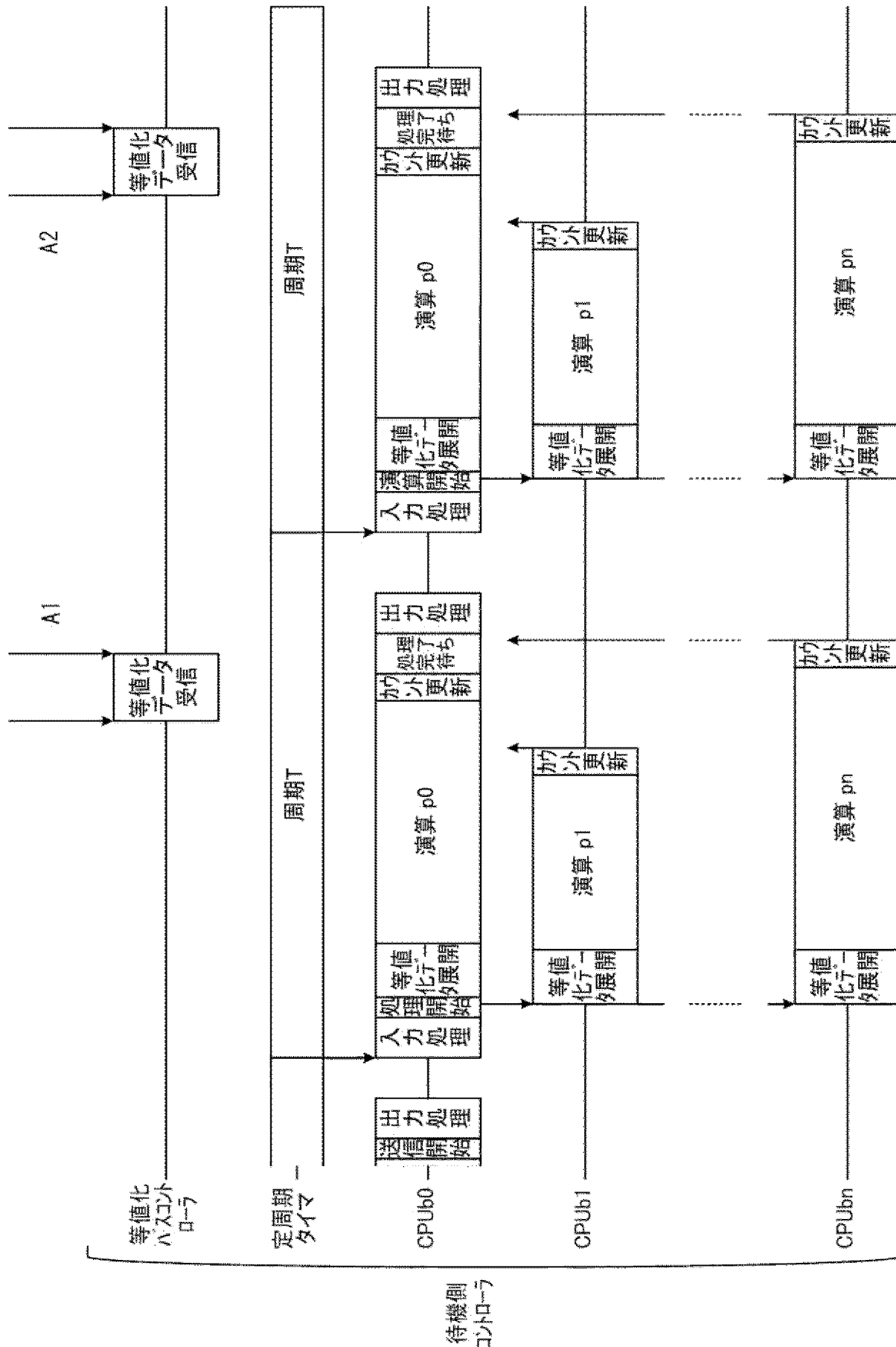
[図8]



[図9]

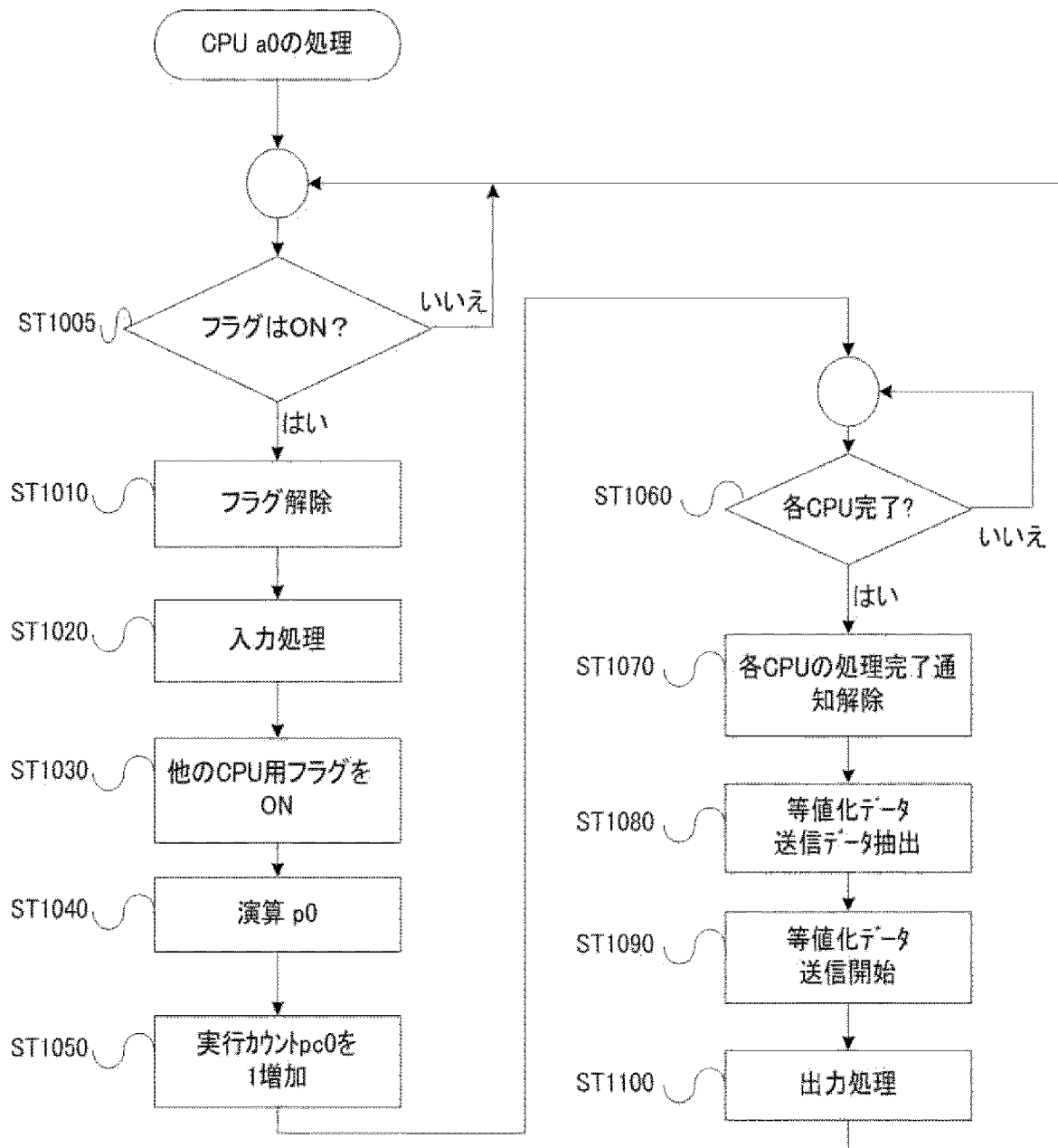


[図10]

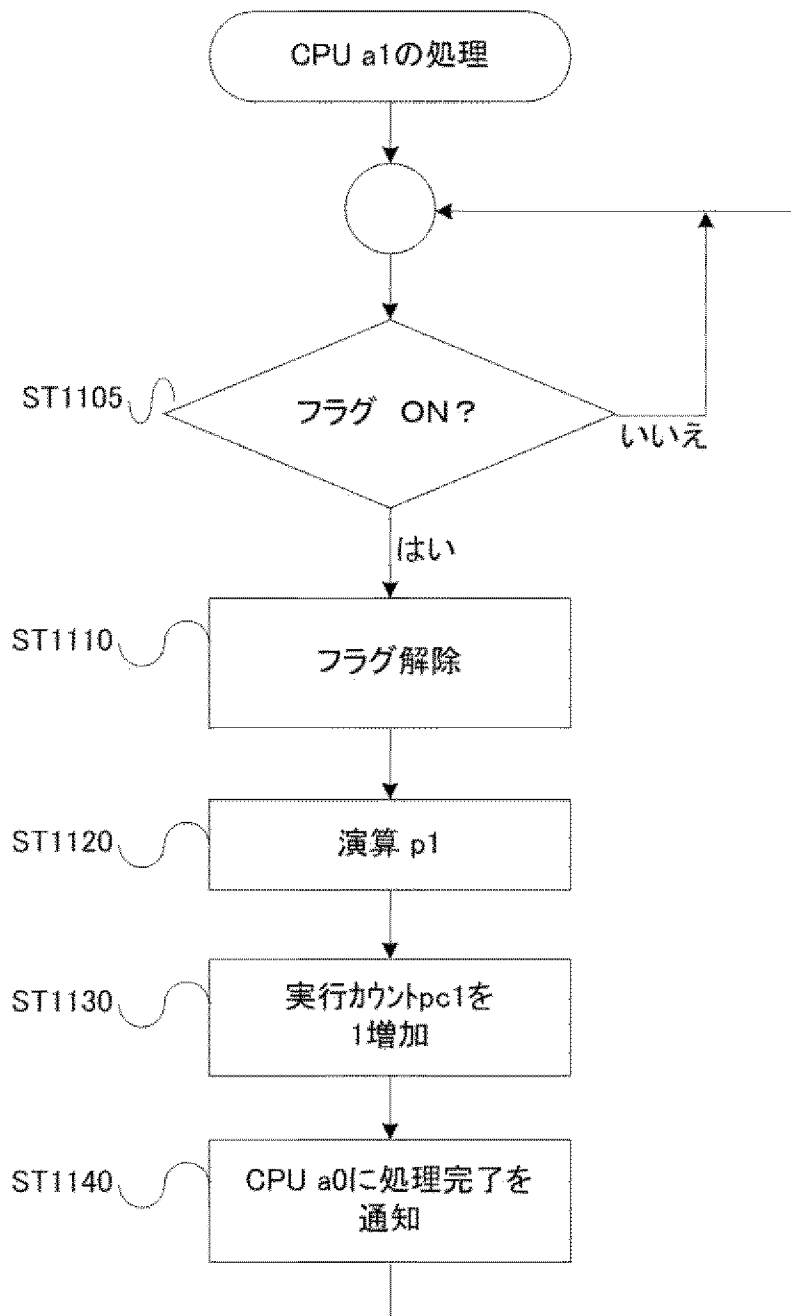


待機側
コントローラ

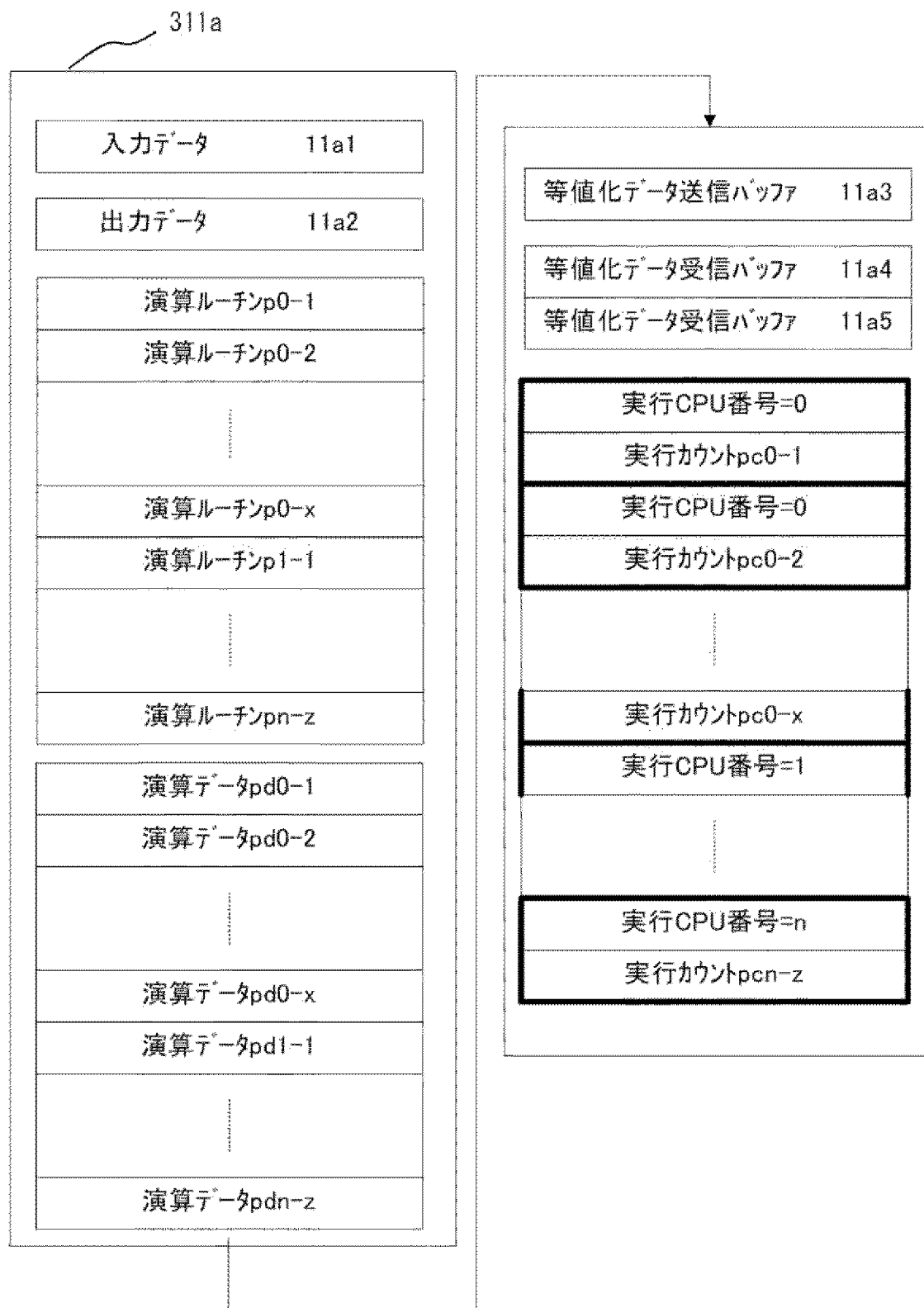
[図11]



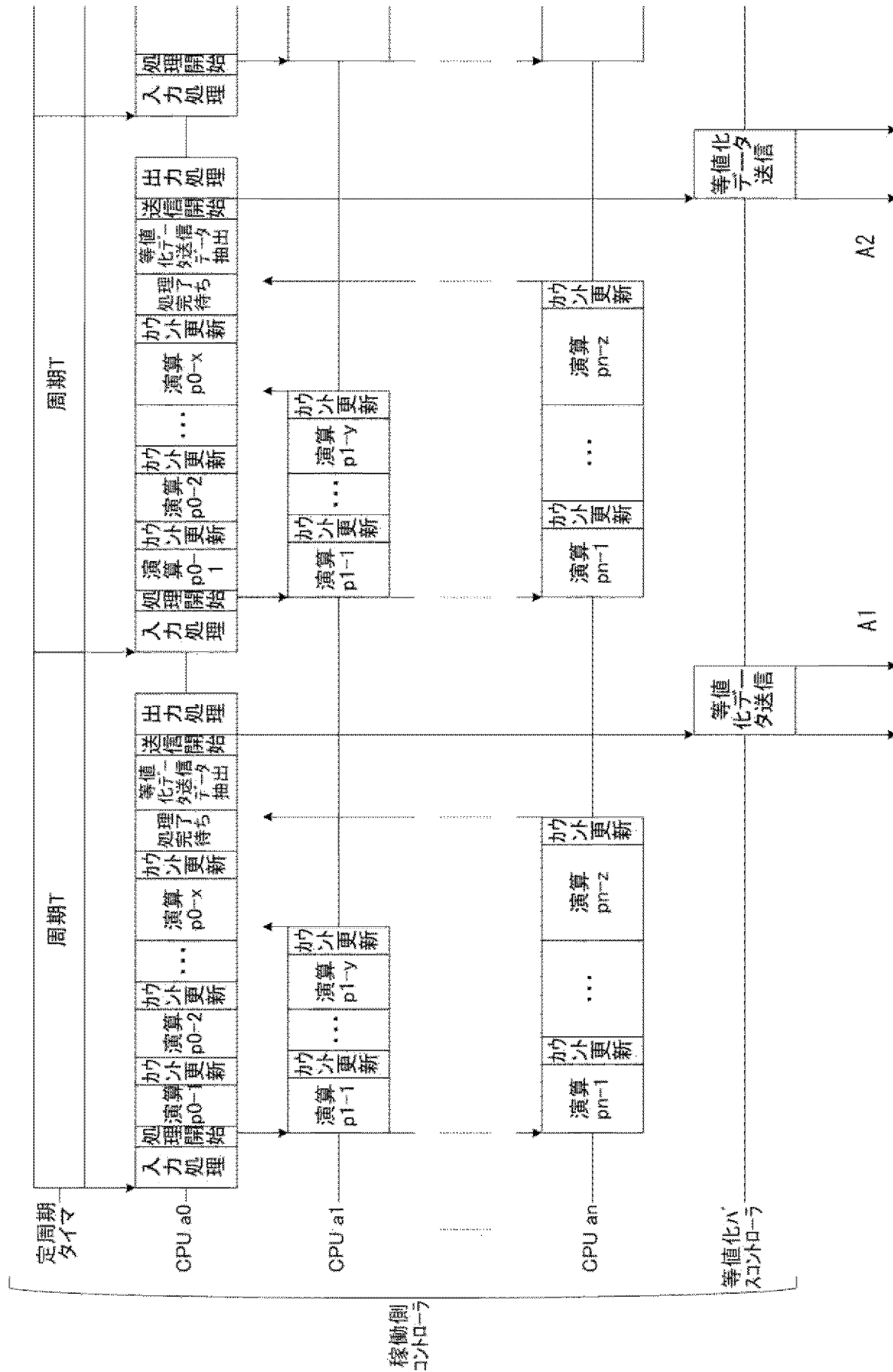
[図12]



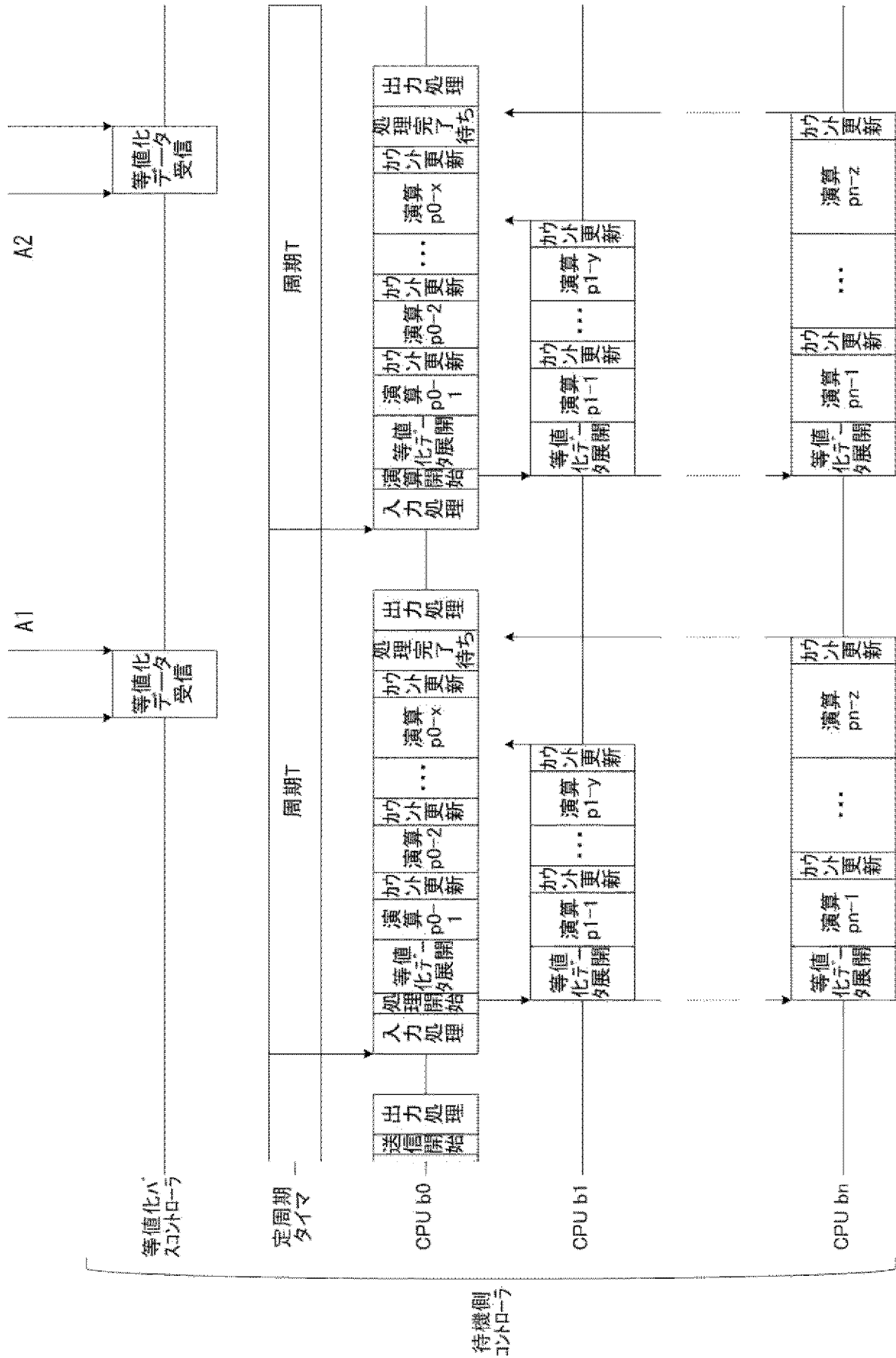
[図13]



[図14]

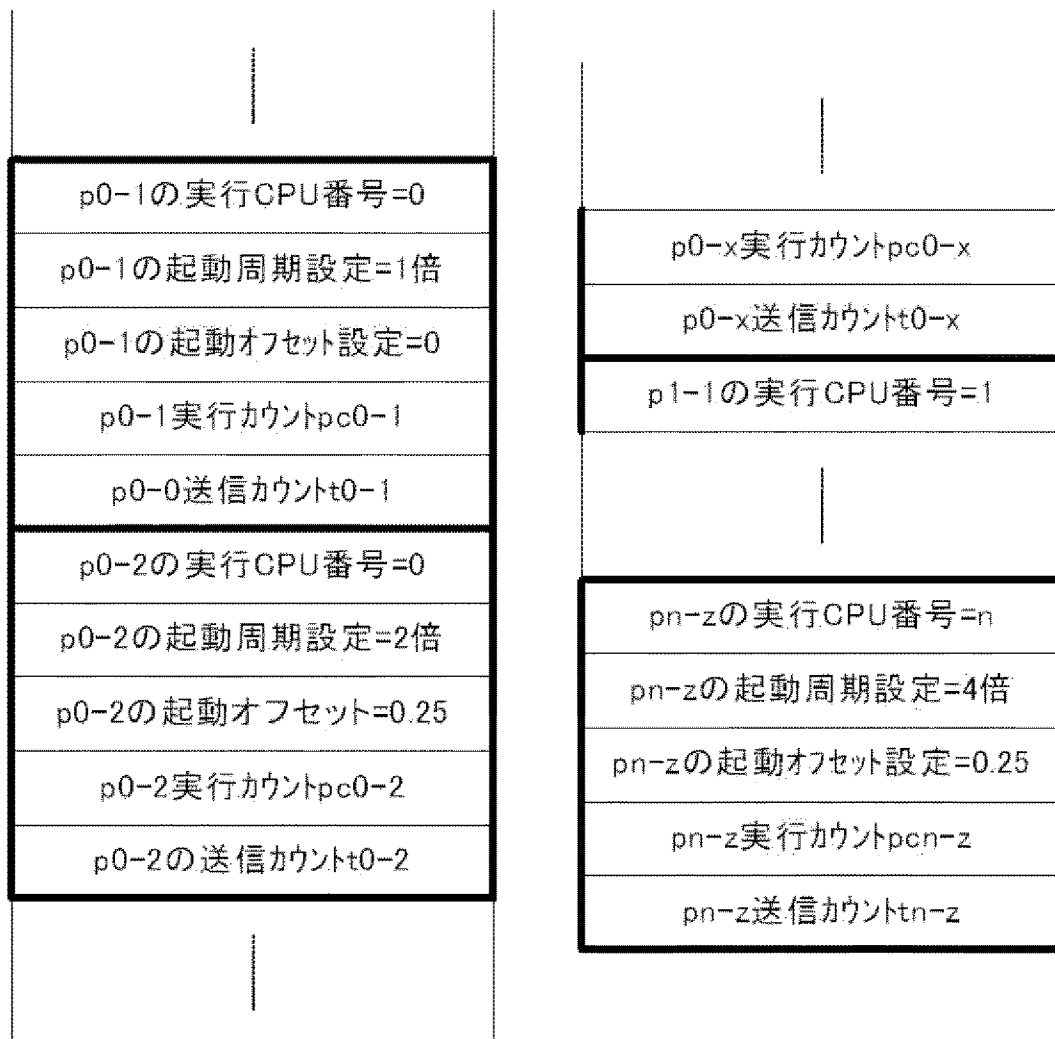


[図15]



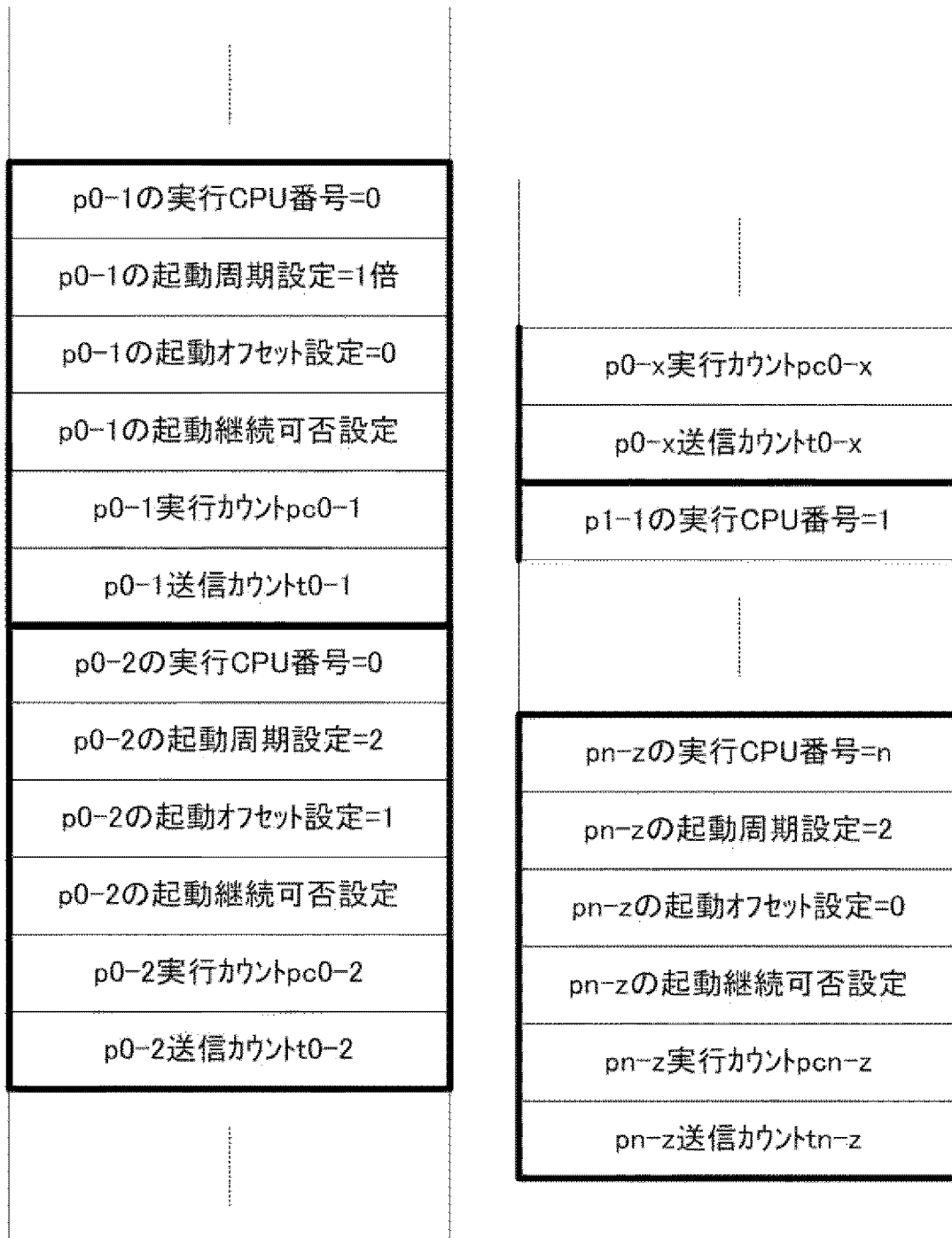
[図16]

411a

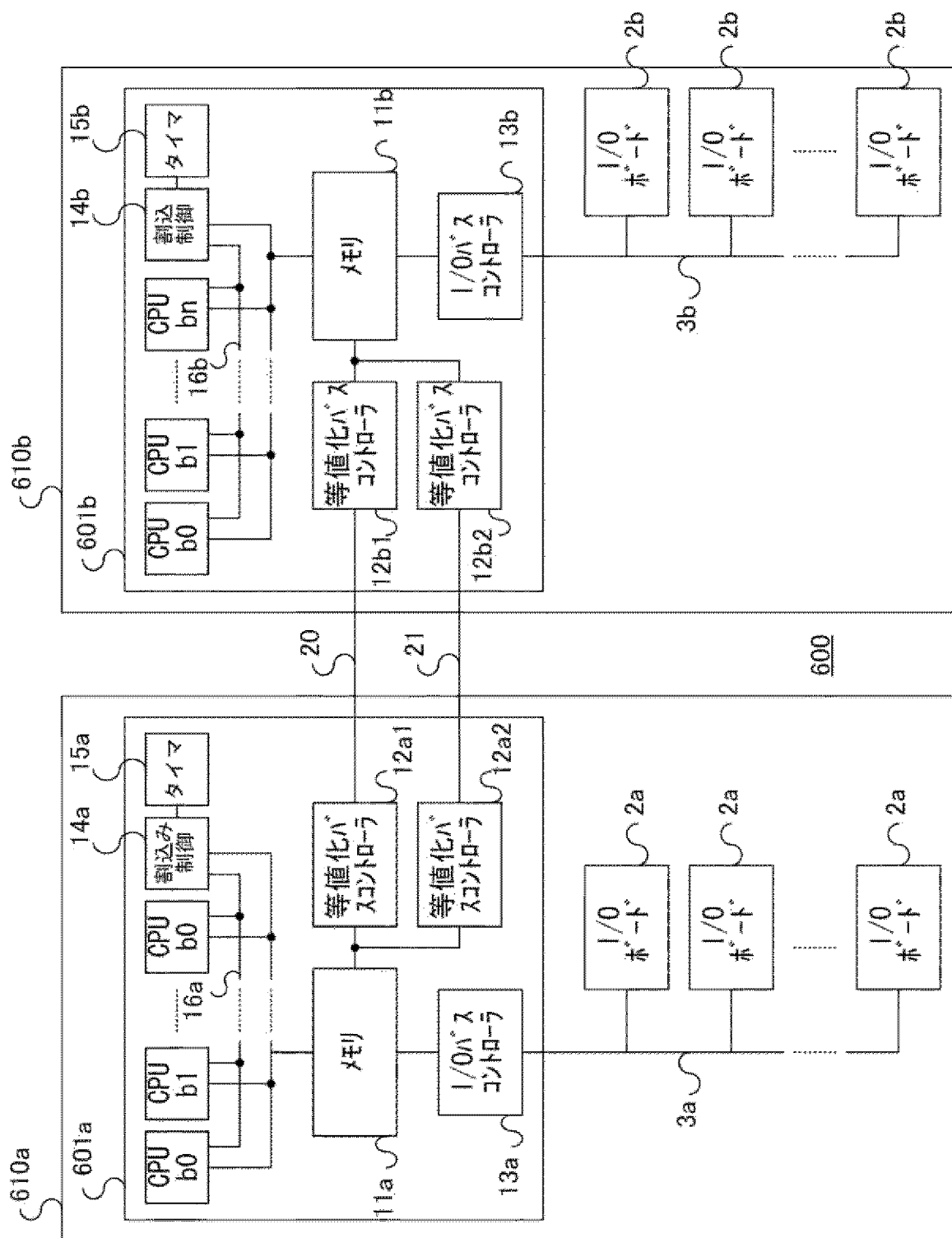


[図17]

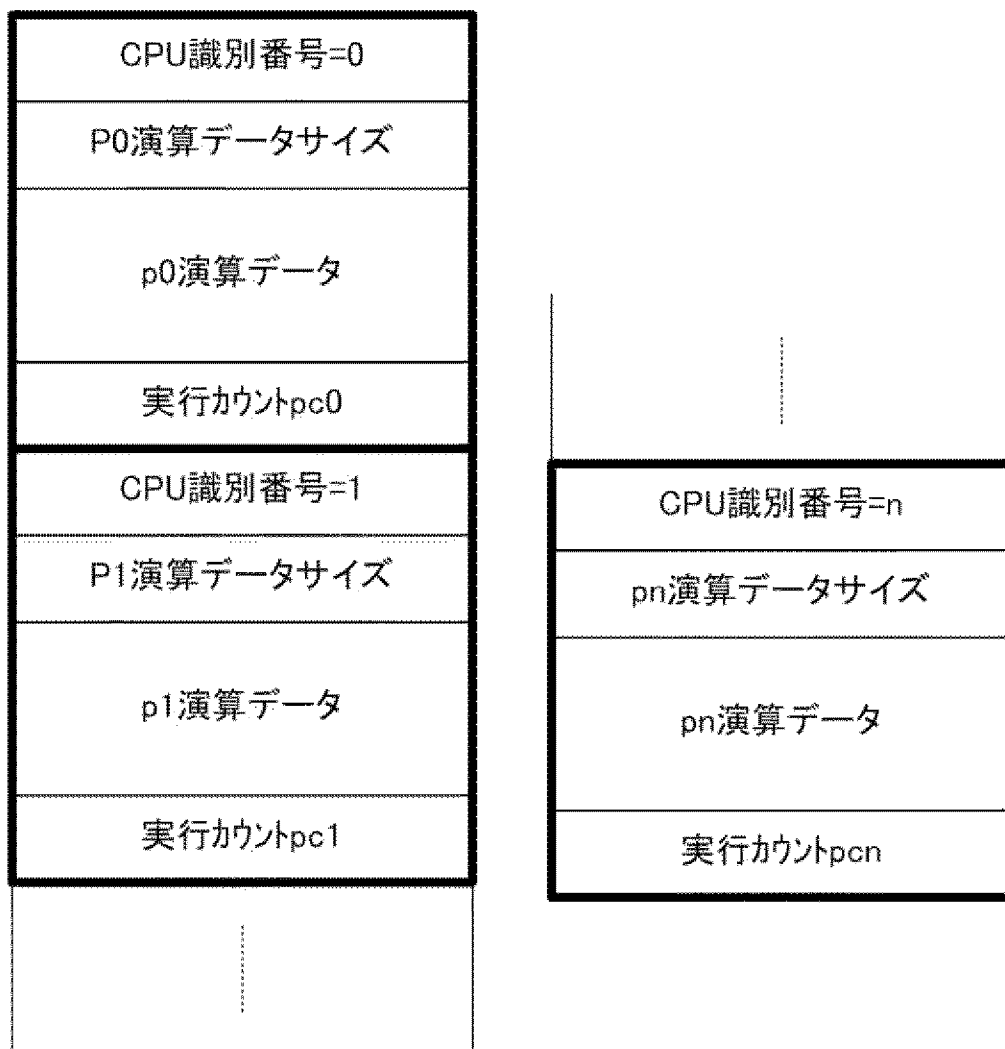
511a



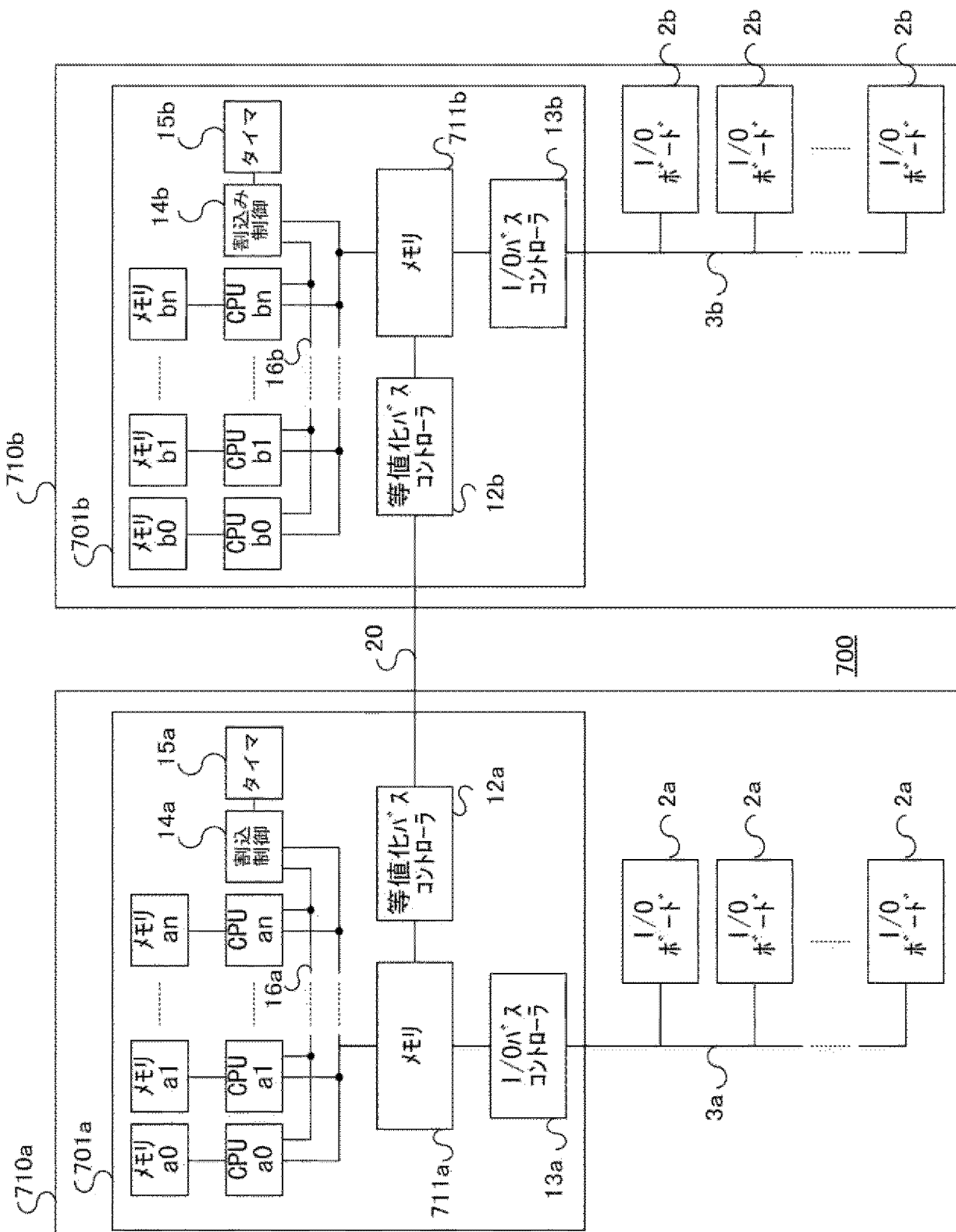
[図18]



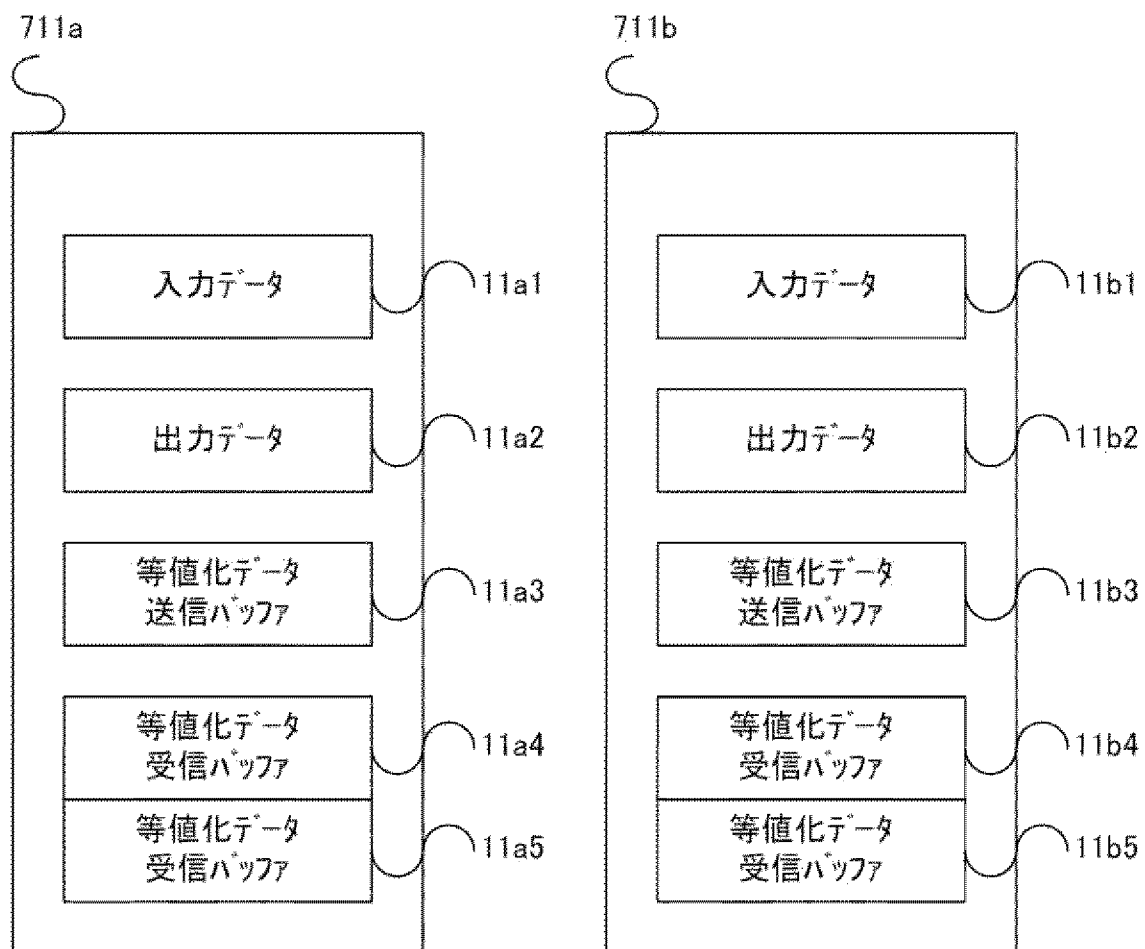
[図19]



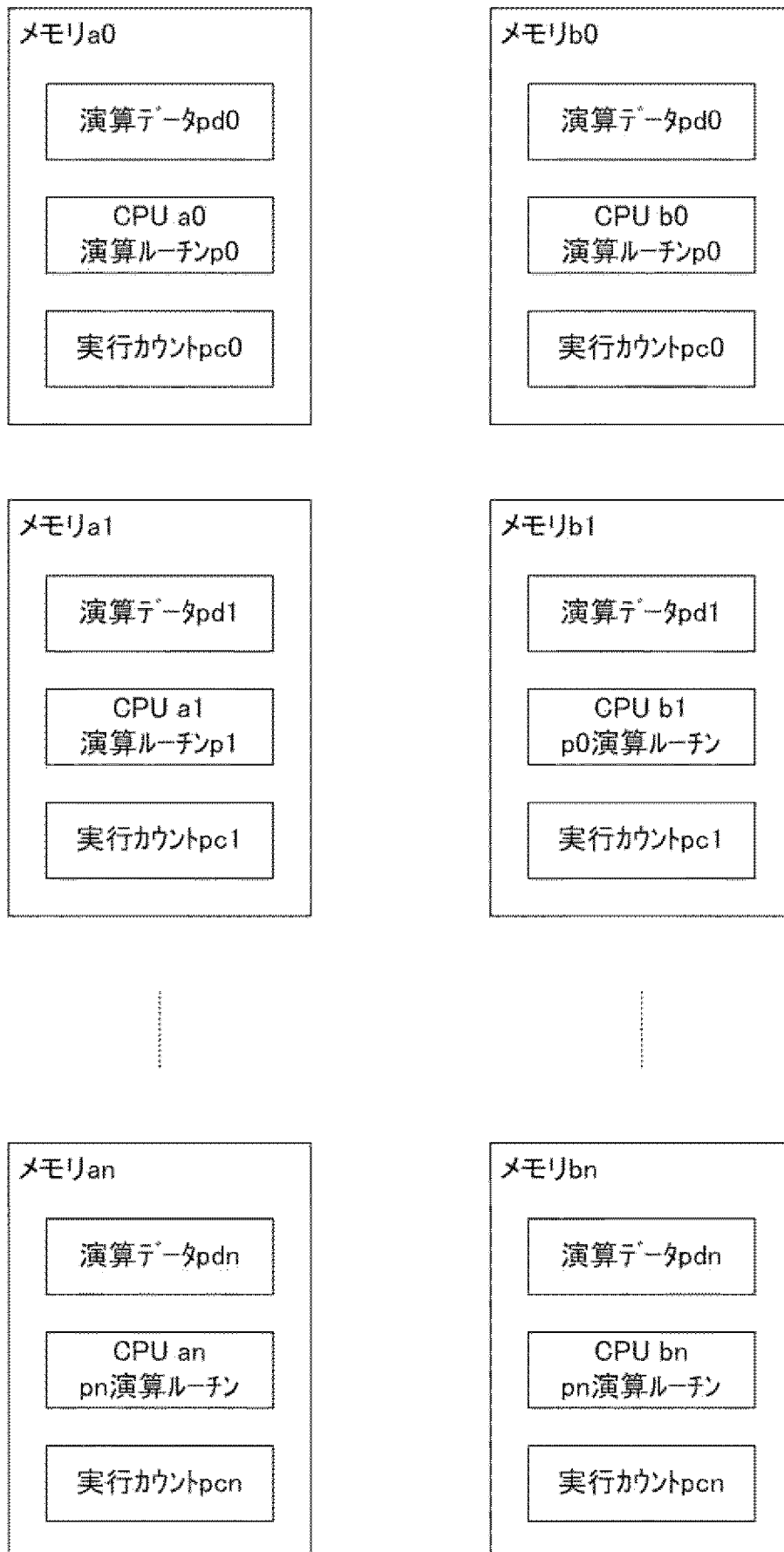
[図20]



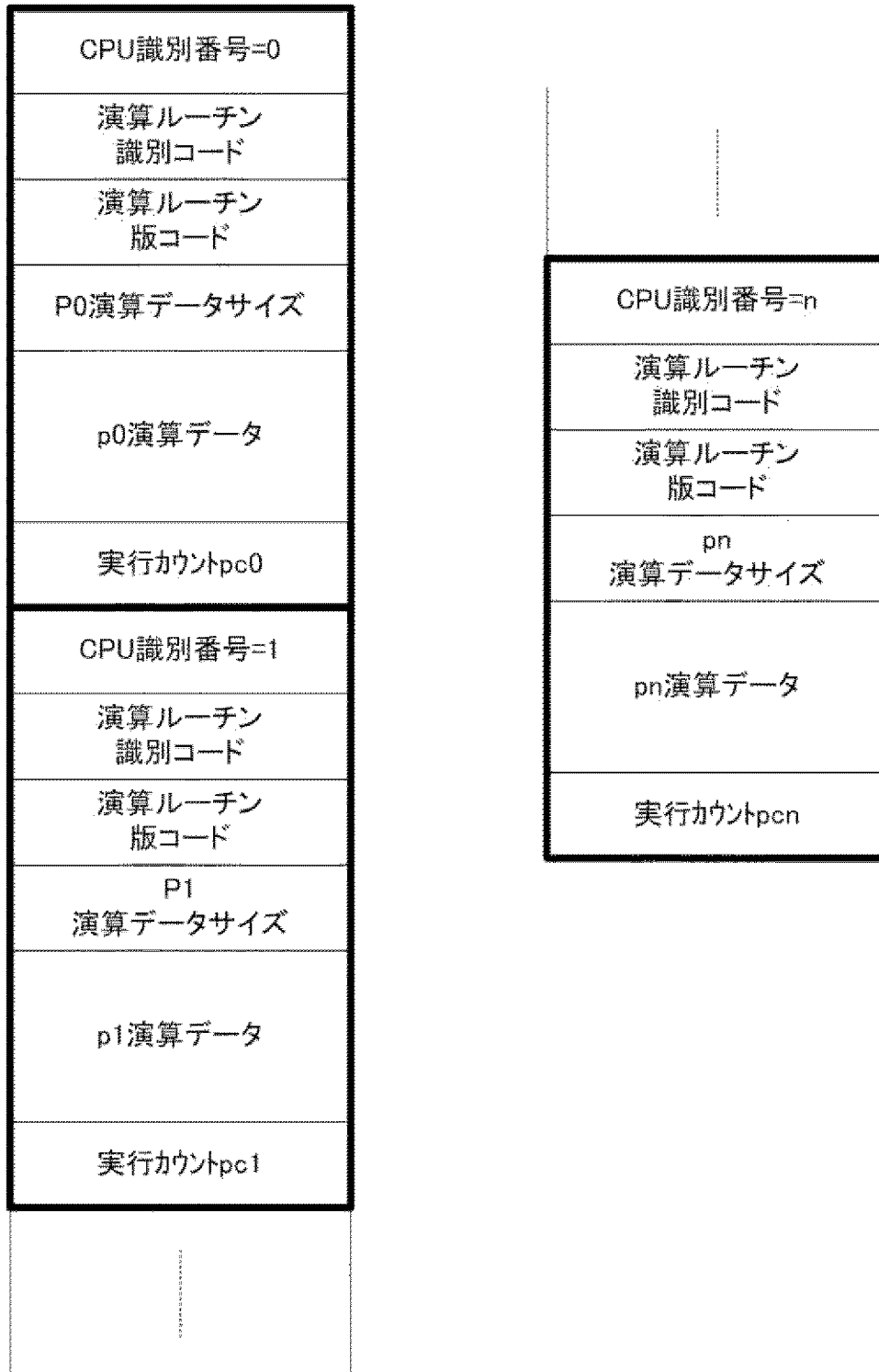
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062003

A. CLASSIFICATION OF SUBJECT MATTER

G05B9/03(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05B9/03, G05B19/05, G06F11/16-11/20, G06F15/16-15/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-187314 A (Fuji Electric Systems Co., Ltd.), 20 August 2009 (20.08.2009), paragraphs [0001], [0005] to [0009], [0011] to [0012]; fig. 5 (Family: none)	1-5, 8, 10-11 6-7, 9
Y A	JP 9-44203 A (Hitachi, Ltd.), 14 February 1997 (14.02.1997), paragraphs [0028] to [0029], [0060], [0083], [0096]; fig. 1, 4 (Family: none)	1-5, 8, 10-11 6-7, 9
Y	JP 2006-31727 A (Hitachi, Ltd.), 02 February 2006 (02.02.2006), claim 6; paragraph [0012] (Family: none)	2-5, 8, 11

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2012 (06.06.12)Date of mailing of the international search report
19 June, 2012 (19.06.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062003

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-253390 A (triTech Inc.), 15 December 2011 (15.12.2011), paragraphs [0003], [0027], [0029], [0040] to [0043], [0048]; fig. 1 & WO 2011/152118 A & WO 2011/152118 A1	2-5, 8, 11
Y	JP 2008-47052 A (Toshiba Corp.), 28 February 2008 (28.02.2008), paragraphs [0058] to [0059]; fig. 10 & US 2008/0046103 A1 & DE 102007038877 A & CN 101131575 A & KR 10-2008-0017254 A & AU 2007203661 A	3-5, 8, 11
Y	JP 2009-294961 A (Yokogawa Electric Corp.), 17 December 2009 (17.12.2009), claim 1; fig. 1 (Family: none)	4-5, 8, 11
Y	JP 8-16534 A (Mitsubishi Electric Corp.), 19 January 1996 (19.01.1996), paragraphs [0046], [0083]; fig. 1 & US 5583987 A GB 2290891 A & GB 9413089 A0 & DE 19525013 A & FR 2722017 A	5, 8, 11
Y	JP 6-348527 A (Toshiba Corp.), 22 December 1994 (22.12.1994), paragraphs [0030], [0032] (Family: none)	5, 8, 11
Y	JP 2-156363 A (Fuji Electric Co., Ltd.), 15 June 1990 (15.06.1990), page 1, right column, lines 14 to 19; fig. 1 (Family: none)	8, 11
Y	JP 7-200044 A (Hitachi, Ltd.), 04 August 1995 (04.08.1995), paragraph [0087]; fig. 32 (Family: none)	10-11
Y	JP 4-241035 A (Hitachi, Ltd.), 28 August 1992 (28.08.1992), claim 5; fig. 1 to 3 & US 5345566 A	10-11
Y	JP 2000-305919 A (Hitachi, Ltd.), 02 November 2000 (02.11.2000), claim 1 (Family: none)	11

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G05B9/03(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G05B9/03, G05B19/05, G06F11/16-11/20, G06F15/16-15/177

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-187314 A (富士電機システムズ株式会社) 2009.08.20, 段落【0001】、【0005】-【0009】、【0011】- 【0012】、第5図 (ファミリーなし)	1-5, 8, 10-11 6-7, 9
Y A	JP 9-44203 A (株式会社日立製作所) 1997.02.14, 段落【0028】-【0029】、【0060】、【0083】、 【0096】、第1, 4図 (ファミリーなし)	1-5, 8, 10-11 6-7, 9

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 06.06.2012	国際調査報告の発送日 19.06.2012
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 佐藤 彰洋 電話番号 03-3581-1101 内線 3324	3U	3936
---	--	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-31727 A (株式会社日立製作所) 2006.02.02, 【請求項6】、段落【0012】 (ファミリーなし)	2-5, 8, 11
Y	JP 2011-253390 A (株式会社トライテック) 2011.12.15, 段落【0003】、【0027】、【0029】、【0040】 - 【0043】、【0048】、第1図 & WO 2011/152118 A & WO 2011/152118 A1	2-5, 8, 11
Y	JP 2008-47052 A (株式会社東芝) 2008.02.28, 段落【0058】 - 【0059】、第10図 & US 2008/0046103 A1 & DE 102007038877 A & CN 101131575 A & KR 10-2008-0017254 A & AU 2007203661 A	3-5, 8, 11
Y	JP 2009-294961 A (横河電機株式会社) 2009.12.17, 【請求項1】、第1図 (ファミリーなし)	4-5, 8, 11
Y	JP 8-16534 A (三菱電機株式会社) 1996.01.19, 段落【0046】、 【0083】、第1図 & US 5583987 A & GB 2290891 A & GB 9413089 A0 & DE 19525013 A & FR 2722017 A	5, 8, 11
Y	JP 6-348527 A (株式会社東芝) 1994.12.22, 段落【0030】、【0032】 (ファミリーなし)	5, 8, 11
Y	JP 2-156363 A (富士電機株式会社) 1990.06.15, 第1ページ右欄第14～19行、第1図 (ファミリーなし)	8, 11
Y	JP 7-200044 A (株式会社日立製作所) 1995.08.04, 段落【0087】、 第32図 (ファミリーなし)	10-11
Y	JP 4-241035 A (株式会社日立製作所) 1992.08.28, 【請求項5】、第1 - 3図 & US 5345566 A	10-11
Y	JP 2000-305919 A (株式会社日立製作所) 2000.11.02, 【請求項1】 (ファミリーなし)	11