

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 19 年 8 月 16 日 (2007.8.16)

【公開番号】特開 2001-357670 (P2001-357670A)
 【公開日】平成 13 年 12 月 26 日 (2001.12.26)
 【出願番号】特願 2000-279456 (P2000-279456)
 【国際特許分類】

G 1 1 C 11/403 (2006.01)

G 1 1 C 11/406 (2006.01)

【F I】

G 1 1 C 11/34 3 6 3 M

G 1 1 C 11/34 3 6 3 F

G 1 1 C 11/34 3 6 3 K

G 1 1 C 11/34 3 7 1 J

【手続補正書】

【提出日】平成 19 年 6 月 28 日 (2007.6.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 1 3

【補正方法】変更

【補正の内容】

【請求項 1 3】 行および列状に配置される複数のメモリセルを含むメモリアレイと

、

前記メモリアレイに対するアクセスコマンドが与えられたことを示すコマンド検出信号と前記アクセスコマンドに対応する内部コマンド信号とを出力するコマンド検出回路と、

前記内部コマンド信号に応じて前記メモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、

前記行選択制御回路は、

与えられる行アドレスを前記コマンド検出信号に応じて取込み内部行アドレスとして保持する保持回路と、

前記行アドレスの変化を検出すると第 1 の所定時間経過後に前記行アドレスと前記内部行アドレスとを比較して前記内部行アドレスを前記メモリアレイの行選択に使用するか否かを判断する比較回路とを含む、半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 1 7

【補正方法】変更

【補正の内容】

【請求項 1 7】 前記第 2 の所定時間は、前記半導体記憶装置が前記アクセスコマンドを受けてから次のアクセスコマンドを受けられることのできるまでの時間である基本サイクル時間の半分である、請求項 1 6 に記載の半導体記憶装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【0 0 4 7】

請求項 1 3 に記載の半導体記憶装置は、行および列状に配置される複数のメモリセルを

含むメモリアレイと、メモリアレイに対するアクセスコマンドが与えられたことを示すコマンド検出信号とアクセスコマンドに対応する内部コマンド信号とを出力するコマンド検出回路と、内部コマンド信号に応じてメモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、行選択制御回路は、与えられる行アドレスをコマンド検出信号に応じて取込み内部行アドレスとして保持する保持回路と、行アドレスの変化を検出すると第1の所定時間経過後に行アドレスと内部行アドレスとを比較して内部行アドレスをメモリアレイの行選択に使用するか否かを判断する比較回路とを含む。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

請求項17に記載の半導体記憶装置は、請求項16に記載の半導体記憶装置の構成に加えて、第2の所定時間は、半導体記憶装置がアクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの時間である基本サイクル時間の半分である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0164

【補正方法】変更

【補正の内容】

【0164】

コマンド発生回路340は、図6に示したコマンド発生回路40の構成においてコマンド入力バッファ/ラッチ回路44に代えてコマンド入力バッファ/ラッチ回路344を含み、内部コマンド発生回路46に代えて内部コマンド発生回路346を含む点がコマンド発生回路40と異なっている。他の構成はコマンド発生回路40と同様であり説明は繰返さない。