

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5757355号  
(P5757355)

(45) 発行日 平成27年7月29日 (2015. 7. 29)

(24) 登録日 平成27年6月12日 (2015. 6. 12)

(51) Int. Cl.	F I				
HO 1 L 29/78 (2006. 01)	HO 1 L	29/78	6 5 2 H		
HO 1 L 21/336 (2006. 01)	HO 1 L	29/78	6 5 8 E		
HO 1 L 29/06 (2006. 01)	HO 1 L	29/78	6 5 8 A		
	HO 1 L	29/78	6 5 2 P		
	HO 1 L	29/06	3 0 1 V		
請求項の数 3 (全 15 頁) 最終頁に続く					

(21) 出願番号	特願2014-88808 (P2014-88808)	(73) 特許権者	000005234
(22) 出願日	平成26年4月23日 (2014. 4. 23)		富士電機株式会社
(62) 分割の表示	特願2010-58069 (P2010-58069) の分割		神奈川県川崎市川崎区田辺新田1番1号
原出願日	平成22年3月15日 (2010. 3. 15)	(74) 代理人	100150441
(65) 公開番号	特開2014-158045 (P2014-158045A)		弁理士 松本 洋一
(43) 公開日	平成26年8月28日 (2014. 8. 28)	(72) 発明者	大井 明彦
審査請求日	平成26年4月23日 (2014. 4. 23)		神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	岩谷 将伸
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	矢嶋 理子
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
最終頁に続く			

(54) 【発明の名称】 超接合半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

高濃度第1導電型半導体基板の主面に垂直方向に長い形状であって、主面に平行方向では交互に隣接配置される第1導電型領域と第2導電型領域からなる超接合構造部をドリフト層として形成する超接合半導体装置の製造方法において、

前記高濃度第1導電型半導体基板上に第1導電型半導体層をエピタキシャル成長する層形成工程を備え、

前記層形成工程の後に、

前記第1導電型半導体層の上面にエピタキシャル層を成長させ、該エピタキシャル層の全面に第1導電型の不純物のイオン注入を行う全面イオン注入工程と、

前記全面イオン注入工程後に前記エピタキシャル層上面にレジストマスクを形成し、第2導電型の不純物のイオン注入を選択的に行う選択的イオン注入工程と、

前記選択的イオン注入工程後に前記レジストマスクを除去する除去工程と、を複数回繰り返す積層工程を備え、

前記複数回繰り返す積層工程後に熱処理により前記第1導電型の不純物と前記第2導電型の不純物を熱拡散して前記第1導電型領域および第2導電型領域を形成する熱拡散工程と、を備え、

前記層形成工程および前記複数回繰り返す積層工程の前記全面イオン注入工程前はそれぞれ過酸化水素水とアンモニア水による基板洗浄処理した後に1100未満で水素アニールを行う清浄化工程を有し、

前記層形成工程の第1半導体層と前記複数回繰り返す積層工程の前記全面イオン注入の前記エピタキシャル層は、それぞれのエピタキシャル成長の開始温度が1100未満とすることを特徴とする超接合半導体装置の製造方法。

【請求項2】

高濃度第1導電型半導体基板の主面に垂直方向に長い形状であって、主面に平行方向では交互に隣接配置される第1導電型領域と第2導電型領域からなる超接合構造部をドリフト層として形成する超接合半導体装置の製造方法において、

前記高濃度第1導電型半導体基板上に第1導電型半導体層をエピタキシャル成長する層形成工程を備え、

前記層形成工程の後に、

前記第1導電型半導体層の上面にエピタキシャル層を成長させ、該エピタキシャル層の全面に第1導電型の不純物のイオン注入を行う全面イオン注入工程と、

前記全面イオン注入工程後に前記エピタキシャル層上面にレジストマスクを形成し、第2導電型の不純物のイオン注入を選択的に行う選択的イオン注入工程と、

前記選択的イオン注入工程後に前記レジストマスクを除去する除去工程と、を複数回繰り返す積層工程を備え、

前記複数回繰り返す積層工程後に熱処理により前記第1導電型の不純物と前記第2導電型の不純物を熱拡散して前記第1導電型領域および第2導電型領域を形成する熱拡散工程と、を備え、

前記層形成工程および前記複数回繰り返す積層工程の前記全面イオン注入工程前はそれぞれ過酸化水素水とアンモニア水による基板洗浄処理した後に希釈フッ酸処理を行う清浄化工程を有し、

前記層形成工程の第1半導体層と前記複数回繰り返す積層工程の前記洗面イオン注入の前記エピタキシャル層は、それぞれのエピタキシャル成長の開始温度が950以下とすることを特徴とする超接合半導体装置の製造方法。

【請求項3】

前記それぞれのエピタキシャル成長は、所定の厚さまで行った後に1100以上に昇温してさらにエピタキシャル成長することを特徴とする請求項1または2に記載の超接合半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドリフト層として半導体基板の主面に垂直方向に、複数配置されるn型カラムおよびp型カラムを主面に平行方向に交互に隣接させる超接合（スーパージャンクション）構造部を有する超接合半導体装置の製造方法に関する。

【背景技術】

【0002】

一般に半導体装置（以降、半導体素子または単に素子と言うこともある）は、半導体基板の片面に電極をもつ横型素子と、半導体基板の両面に電極をもつ縦型半導体装置（縦型素子）とに大別される。縦型素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層が延びる方向とが同じである。たとえば、通常のプレーナ型のnチャネル縦型MOSFETの場合、高抵抗のn-ドリフト層の部分は、MOSFETがオン状態の時は縦方向にドリフト電流を流す領域として働き、オフ状態の時は空乏化して耐圧を高める。この高抵抗のn-ドリフト層の電流経路を短くすることは、ドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗を下げる効果に繋がるものの、逆にpベース領域とn-ドリフト領域との間のpn接合から進行するドレイン-ベース間空乏層の広がる幅が狭く、シリコンの臨界電界強度に速く達するため、耐圧が低下する。逆に耐圧の高い素子では、n-ドリフト層が厚くなるため必然的にオン抵抗が大きくなり、損失が増すことになる。このようなオン抵抗と耐圧との間の関係をトレードオフ関係と言う。このトレードオフ関係は、IGBT、バイポーラトランジスタ、ダイオード等の半導体素子

10

20

30

40

50

においても同様に成立することが知られている。また、この関係は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向が異なる横型半導体素子についても共通である。

#### 【0003】

この問題に対する解決法として、図7、図8に示すように、ドリフト層を、半導体基板の主面に垂直方向では、層状またはカラム状の形状であって、通常のドリフト層よりも不純物濃度を高めた複数のn型のドリフト領域（n型カラム）4とp型の仕切領域（p型カラム）5とし、主面に平行方向では交互に繰り返し隣接するように配置した並列pn領域からなる超接合構造部10とした超接合半導体装置（超接合MOSFET）が知られている。この超接合半導体装置は、オフ状態の時は前記超接合構造部10が空乏化して耐圧を

10

#### 【0004】

前記超接合MOSFETと通常のプレーナ型のnチャネル縦型MOSFETとの構造上の大きな違いは、ドリフト層が、単一の導電型で一様な不純物濃度の層ではなく、前述のような並列pn領域からなる超接合構造部10にされていることである。この超接合構造部10では、それぞれのp型の仕切り領域（p型カラム）5とn型のドリフト領域（n型カラム）4の不純物濃度（以降、単に濃度と表記することがある）が同耐圧クラスの通常の素子よりも高くても、オフ状態では超接合構造部10内の並列pn接合から空乏層が両側に広がってドリフト層全体を低い電界強度で空乏化するため、高耐圧化を図ることができる。

20

#### 【0005】

図7に示す、前記並列pn領域からなる超接合構造部10を備える超接合MOSFETの周縁耐圧構造部200では、周縁耐圧構造部200内の超接合構造部10の基板表面側（上層）に一様な不純物濃度を有する低濃度n-エピタキシャル層3を配置する構成を必要とする。さらに、超接合半導体装置の周縁耐圧構造部200には、超接合構造部10の上層に設けられる前記低濃度n-エピタキシャル層3の表層に基板表面に沿ってp型ガードリング7が、所要の設計耐圧に応じて、所要の間隔で離間するように複数設けられる。またさらに、この周縁耐圧構造部200は、このp型ガードリング7表面と、最外周のp型ガードリング7a表面とに相互に電氣的に接続される導電性プレート9を備える。さらに、p型チャネルストッパー領域11（もしくはn型チャネルストッパー領域でもよい）

30

#### 【0006】

一方、超接合半導体装置の素子活性部100内では並列pn領域からなる超接合構造部10の上層に、通常の半導体装置と同様に、pベース領域13とこのpベース領域13内の表層にnエミッタ領域14を備え、nエミッタ領域14とnドリフト領域（n型カラム）4に挟まれる前記pベース領域13表面にゲート絶縁膜15を介してゲート電極16を備え、前記nエミッタ領域14表面とpベース領域13の高濃度表面とに接触するエミッタ電極17が設けられる。

#### 【0007】

そのような超接合構造部10を作製する方法として、エピタキシャル成長とイオン注入を多数回繰り返すことにより、一回のエピタキシャル成長とイオン注入毎に形成される厚さの薄い前記並列pn領域を順次上下に積み重ねて垂直方向に長い形状にする方法（多段エピタキシャル法）はよく知られている。

40

#### 【0008】

この多段エピタキシャル法による超接合構造部の製造工程の一例について説明する。前記エピタキシャル成長とイオン注入は、高濃度n+Si基板1上に、厚さ12 $\mu$ mの低濃度n-エピタキシャル層2を形成し、マスク合わせ用のアライメントマーカー（図示せず）を形成する。25nm厚さのスクリーン酸化膜（図示せず）形成後、全面にリンイオンを100keVの加速エネルギーによりドーズ量 $1 \times 10^{12} \text{ cm}^{-2} \sim 9 \times 10^{12} \text{ cm}^{-2}$ で、イオン注入する。フォトリソグラフィ工程後ボロンイオンを選択的にリンイオ

50

ンと同じ総不純物量となるようにイオン注入する。レジストと酸化膜除去後、水素アニールした後、ノンドープのエピタキシャル層を形成する。その後、前述のリンとボロンのイオン注入工程以降を繰り返して所要の厚さの並列 p n 領域からなる超接合構造部 10 とする。

【0009】

たとえば、前述の製造工程で作製された超接合構造部 10 を備える超接合半導体装置では、n 型カラム 4 と p 型カラム 5 とのチャージバランスが重要であり、同じであることが望ましい。また、前述の耐電荷性を備える周縁耐圧構造部 200 を形成するためには、多段エピタキシャル法で複数回のエピタキシャル層形成とイオン注入により並列 p n 領域からなる超接合構造を形成した後、該超接合構造の上層に低濃度 n - エピタキシャル層 3 を作製し、載置することにより形成される。別の言い方をすると、この低濃度 n - エピタキシャル層 3 は、素子活性部ではイオン注入することにより前記超接合構造部の上層を構成するが、周縁耐圧構造部 200 ではイオン注入をせずに低濃度 n - エピタキシャル層 3 のままとすることにより作製される。前記低濃度 n - エピタキシャル層 3 の厚さは 15 μm 前後以上必要であるので、1 回のエピタキシャル成長の厚さを 10 μm 以下とすると、必要な段数（エピタキシャル成長の回数）は 2 段以上となる。

10

【0010】

以上説明した超接合構造部の製造工程では、リンとボロンのイオン注入によって並列 p n 領域からなる超接合構造部を作製したが、ボロンのイオン注入のみにより前述と同様の超接合構造部を作製する製造方法については既に知られている（特許文献 1）。

20

【0011】

また、イオン注入飛程 R<sub>p</sub> を変えて超接合構造部を作製することにより、エピタキシャル成長とイオン注入の繰り返し回数を減らして、製造効率を改善する超接合半導体装置の製造方法についても公開されている（特許文献 2）。

【0012】

また、前述の超接合構造部のように、深さ方向に長い形状の不純物添加領域を形成するための気相エピタキシャル成長方法に関する文献が公開されている。この文献には「気相成長工程は、砒素注入層及び燐注入層からの横方向オートドープを抑制するために、まず封止用の薄いエピタキシャルシリコン層を気相成長してから第二エピタキシャル層の本成長を行う複数段階処理とすることが望ましい。」という記載のように、エピタキシャルシリコン層のソースガスを先に処理する方法が示されている（特許文献 3）。

30

【先行技術文献】

【特許文献】

【0013】

【特許文献 1】特開 2001 - 119022 号公報

【特許文献 2】特開 2007 - 12858 号公報

【特許文献 3】特許第 4016371 号公報（0096 段落）

【発明の概要】

【発明が解決しようとする課題】

【0014】

超接合半導体装置では、超接合構造部を構成する並列 p n 領域のそれぞれの総不純物量にアンバランスが生じると耐圧のばらつきが大きくなり、耐圧良品率が低下する。しかしながら、前記イオン注入した不純物は、エピタキシャル成長時に再蒸発することは避けられない。エピタキシャル成長は具体的に、昇温過程、水素アニール、エピタキシャル成長、降温過程からなるが、不純物の再蒸発は前記昇温過程や水素アニール時の熱により発生するものと考えられている。再蒸発した不純物は半導体基板やエピタキシャル成長中の膜に取り込まれるオートドーピングと呼ばれる現象を引き起こす。エピタキシャル成長プロセスにおけるウエハ内およびウエハ間に温度ばらつきが存在すると、前述のような再蒸発やオートドーピング現象によって、前記並列 p n 領域に、たとえ同ドーズ量をイオン注入したとしても、チャージアンバランスをもたらして耐圧ばらつきが大きくなり、耐圧良品率低

40

50

下の原因となる。

【0015】

本発明は前述した点に鑑みてなされたものである。本発明の目的は、n型カラムとp型カラムのチャージバランスばらつきを低減し、耐圧良品率の高い超接合半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0016】

本発明では、高濃度第1導電型半導体基板の主面に垂直方向に長い形状であって、主面に平行方向では交互に隣接配置される第1導電型領域と第2導電型領域からなる超接合構造部をドリフト層として形成する超接合半導体装置の製造方法において、前記高濃度第1導電型半導体基板上に第1導電型半導体層をエピタキシャル成長する層形成工程を備え、前記層形成工程の後に、前記第1導電型半導体層の上面にエピタキシャル層を成長させ、該エピタキシャル層の全面に第1導電型の不純物のイオン注入を行う全面イオン注入工程と、前記全面イオン注入工程後に前記エピタキシャル層上面にレジストマスクを形成し、第2導電型の不純物のイオン注入を選択的に行う選択的イオン注入工程と、前記選択的イオン注入工程後に前記レジストマスクを除去する除去工程と、を複数回繰り返す積層工程を備え、前記複数回繰り返す積層工程後に熱処理により前記第1導電型の不純物と前記第2導電型の不純物を熱拡散して前記第1導電型領域および第2導電型領域を形成する熱拡散工程と、を備え、前記層形成工程および前記複数回繰り返す積層工程の前記全面イオン注入工程前はそれぞれ過酸化水素水とアンモニア水による基板洗浄処理した後に1100 20  
未満で水素アニールを行う清浄化工程を有し、前記層形成工程の第1半導体層と前記複数回繰り返す積層工程の前記全面イオン注入の前記エピタキシャル層は、それぞれのエピタキシャル成長の開始温度が1100 未満とする超接合半導体装置の製造方法とする。

【0017】

また、本発明では、高濃度第1導電型半導体基板の主面に垂直方向に長い形状であって、主面に平行方向では交互に隣接配置される第1導電型領域と第2導電型領域からなる超接合構造部をドリフト層として形成する超接合半導体装置の製造方法において、前記高濃度第1導電型半導体基板上に第1導電型半導体層をエピタキシャル成長する層形成工程を備え、前記層形成工程の後に、前記第1導電型半導体層の上面にエピタキシャル層を成長させ、該エピタキシャル層の全面に第1導電型の不純物のイオン注入を行う全面イオン注入工程と、前記全面イオン注入工程後に前記エピタキシャル層上面にレジストマスクを形成し、第2導電型の不純物のイオン注入を選択的に行う選択的イオン注入工程と、前記選択的イオン注入工程後に前記レジストマスクを除去する除去工程と、を複数回繰り返す積層工程を備え、前記複数回繰り返す積層工程後に熱処理により前記第1導電型の不純物と前記第2導電型の不純物を熱拡散して前記第1導電型領域および第2導電型領域を形成する熱拡散工程と、を備え、前記層形成工程および前記複数回繰り返す積層工程の前記全面イオン注入工程前はそれぞれ過酸化水素水とアンモニア水による基板洗浄処理した後に希釈フッ酸処理を行う清浄化工程を有し、前記層形成工程の第1半導体層と前記複数回繰り返す積層工程の前記洗面イオン注入の前記エピタキシャル層は、それぞれのエピタキシャル成長の開始温度が950 以下とすることを特徴とする超接合半導体装置の製造方法とする。 30  
40

【発明の効果】

【0018】

本発明によれば、超接合構造部を構成するn型カラムとp型カラムのチャージバランスばらつきを低減することができ、耐圧良品率の高い超接合半導体装置の製造方法とすることができる。

【図面の簡単な説明】

【0019】

【図1】本発明の超接合半導体装置の製造方法にかかる超接合構造部の断面模式図である 50

。【図2】本発明の超接合半導体装置の製造方法にかかる製造工程を示す半導体基板の要部断面図(その1)である。

【図3】本発明の超接合半導体装置の製造方法にかかる製造工程を示す半導体基板の要部断面図(その2)である。

【図4】本発明の超接合半導体装置の製造方法にかかる製造工程を示す半導体基板の要部断面図(その3)である。

【図5】ボロンとリンの再蒸発量の不純物濃度ピーク深さ依存性を示す関係図である。

【図6】不純物濃度ピーク深さに対する再蒸発割合とばらつきとの関係図である。

【図7】本発明にかかる超接合MOSFETの要部断面図である。

10

【図8】本発明にかかる超接合MOSFETの素子活性部の模式的断面斜視図である。

【発明を実施するための形態】

【0020】

以下、本発明の超接合半導体装置の製造方法にかかる実施例について、図面を参照して詳細に説明する。本発明はその要旨を超えない限り、以下に説明する実施例の記載に限定されるものではない。以下に説明する実施例では、第1導電型をn型、第2導電型をp型として説明する。

【実施例1】

【0021】

次に、本発明の超接合半導体装置の製造方法について、特に超接合構造部の作製方法について、図面を参照して説明する。図1は本発明にかかる実施例1、2、3で説明する超接合半導体装置の超接合構造部の断面模式図である。図7は本発明の実施例1、2、3にかかる超接合MOSFETの要部断面模式図である。図8は本発明の実施例1、2、3にかかる超接合MOSFETの素子活性部の模式的断面斜視図である。

20

【0022】

本発明にかかる超接合半導体装置は図7に示すようなn+Si基板1およびn-層2上にn型カラム4およびp型カラム5が交互に配置された超接合構造部10を備える構成となっている。さらに、通常のMOSFETと同様に、素子活性部100内には、pベース領域13、nエミッタ領域14、ゲート絶縁膜15、ゲート電極16、エミッタ電極17、周縁耐圧構造部200内に、ガードリング7、フィールド絶縁膜8、チャネルストッパー領域11、チャネルストッパー電極12を備えている。またさらに、超接合半導体装置の周縁耐圧構造部200内の超接合構造部10の上層には、低濃度n-エピタキシャル層3が設けられている。

30

【0023】

図2から図4は、図1に示す超接合半導体装置の超接合構造部の製造工程を段階ごとに示す半導体基板の要部断面模式図である。図2に示すように、n+Si基板1上にn-層2をドーブドエピタキシャル成長により、たとえば12 $\mu$ m程度の厚みで形成し、その上にノンドープ層3aをエピタキシャル成長により、たとえば3 $\mu$ mの厚みで形成した後、フォトリソグラフィ工程で、各段ごとの重ね合わせの際に必要なアライメントマーカー(図示しない)を形成する。

40

【0024】

図3に示すように、n型不純物4a、たとえばリンを全面にイオン注入し、p型不純物5a、たとえばボロンを、レジストマスク6で選択的にマスクした開口部にイオン注入する。この時、後の熱拡散工程を考慮してレジストマスク6の開口幅は残し幅の1/4程度とし、それに応じてボロンイオンの注入量(ドーズ量)はリンの4倍程度とする。その後、図4に示すように、ノンドープ層3bをエピタキシャル成長により、たとえば7 $\mu$ mの厚みで形成する。再度前述と同様にn型不純物4aおよびp型不純物5aのイオン注入を行う。その後、設計耐圧に関係する所望の厚さになるまでこれらエピタキシャル成長とイオン注入を繰り返し行う。最後に、たとえば5 $\mu$ m程度の厚さのノンドープ層でキャップした後、熱処理により不純物の熱拡散を行って図1に示す超接合構造部10を形成する。

50

## 【0025】

ここで、n型カラム4およびp型カラム5を形成する際のイオン注入において、イオン注入したボロンおよびリンの再蒸発量を制御し、n型カラム4およびp型カラム5間のチャージバランスを保持することが超接合構造部10によるばらつきの小さい耐圧特性を確保する上で重要である。n型カラム4およびp型カラム5間のイオン注入による不純物量はイオン注入時に同ドーズ量に設定しても、結果的にはばらつきを生じることが多いことが分かっている。

## 【0026】

そこで、前記ばらつきの原因の一つにイオン注入した不純物の蒸発があると考え、ボロンとリンのイオン注入の際の加速エネルギーを変化させてイオン注入の飛程 $R_p$ を変え、すなわち、イオン注入による注入深さを変えたときの再蒸発量を測定した。その結果を図5に示す。図5より、飛程 $R_p$ が同じであれば、すなわち、深さ方向の不純物濃度ピーク位置が同じであれば、ボロンとリンとでドーズ量に対する再蒸発する量が同じであることがわかる。p型不純物5aとn型不純物4aの蒸発量が同じであれば、蒸発があったとしてもチャージバランスは保持できる。また、図6では、さらに不純物濃度ピーク位置が基板表面から $0.2\mu\text{m}$ より深い場合に前記蒸発のばらつきが抑制できることを示している。従って、深さ方向の不純物濃度ピーク位置は基板表面から $0.2\mu\text{m}$ より深いことが好ましい。

## 【0027】

本発明の超接合半導体装置の製造方法にかかる実施の一形態として、超接合構造部を形成するためのプロセス条件として、リンを $200\text{keV}$ で、ボロンを $80\text{keV}$ の加速エネルギーのイオン注入条件で行った、このときのイオン注入後の飛程 $R_p$ (ピーク深さ)は約 $0.25\mu\text{m}$ であった。この結果、前記超接合構造部における並列pn領域の再蒸発量を抑制することができ、さらにボロンとリンの再蒸発量を同じにすることができ、並列pn領域間のチャージアンバランスによる耐圧ばらつきは低減できることが分かった。

## 【実施例2】

## 【0028】

実施例2にかかる超接合半導体装置の超接合構造部の作製方法について説明する。実施例2では、前記図1～図4に示すような $n+\text{Si}$ 基板上へのエピタキシャル層の形成を、前処理としての水素アニール温度( $1000$ で2分間の水素アニール)とエピタキシャル成長温度とを $1100$ 未満の温度で行うことを特徴とする。しかし、この作製方法の場合、単に温度を下げただけでは、前処理温度が低く十分なシリコン表面の清浄化ができず、成長温度も低いので結晶性が低下することが懸念される。その結果、結晶性の低下によるアライメントマーカの形状崩れによりパターン合わせが不正確になり、超接合構造部の形成におけるエピタキシャル層の正確な積み重ねが困難になるという問題が発生する。そのため、実施例2では、前述の問題が起きないように製造条件を加えた上で超接合構造部を作製する。以下、そのような超接合構造部の製造条件について説明する。

## 【0029】

前記 $n+\text{Si}$ 基板上にエピタキシャル層を成長させる前処理として、水素アニール処理を行うが、その直前にさらに、過酸化水素液にアンモニア水との混合液を用いるいわゆるRCA洗浄を加える。その理由は、 $n+\text{Si}$ 基板の表面にケミカルオキไซด์を形成した直後に水素アニール処理を行うことでシリコン清浄表面が低温でも得られ易くなるからである。この表面清浄化方法によれば、結晶性の良いエピタキシャル成長が可能になる。またさらに、エピタキシャル成長も $1100$ 未満の低温で行うことにより、 $\text{Si}$ 基板からの外方拡散を抑えオートドーブを抑えやすくなる。ただし、前記 $1100$ 未満という低い温度でのエピタキシャル成長を全部行うと、アライメントマーカの形状崩れが大きくなる問題があるので、前記低温でのエピタキシャル成長はオートドーブを抑えるのに必要な最低厚みのエピタキシャル成長にとどめる。その後、所要の厚みまで、アライメントマーカの形状崩れを抑えることのできる $1100$ 以上に昇温してエピタキシャル成長を行う方法とする。このような超接合構造部の作製方法とすることにより、超接合構造部に

10

20

30

40

50

おけるエピタキシャル成長の際にオートドープを抑えることができるので、1100 未満の低温でも、結晶性のよい並列pn領域からなる超接合構造部を作製することができ、超接合半導体装置を高い耐圧良品率で製造することができる。

【実施例3】

【0030】

実施例3にかかる超接合半導体装置の超接合構造部の作製方法について説明する。実施例3では、前記図1～図4に示すようなn+Si基板上的エピタキシャル層の形成を前処理としての水素アニール温度とエピタキシャル成長温度を1000 以下の温度で行うことを特徴とする製造方法である。

【0031】

水素アニール処理無しで、エピタキシャル成長を1000 以下の温度で行うこともできる。この場合は、エピタキシャル成長のための950 までの昇温過程でシリコン表面の清浄化機能をエピタキシャル成長の前処理として利用する方法である。しかし、シリコン表面の清浄化が充分にはできなくて前記実施例2と同様に、結晶性が低下することが懸念される。その結果、結晶性の低下によるアライメントマーカの形状崩れによりパターン合わせが不正確になり、超接合構造部の形成におけるエピタキシャル層の正確な積み重ねが困難になる問題が発生する。そのため、実施例3では、前述の問題が起きないように製造条件をさらに加えた上で超接合構造部を作製する。以下、そのような超接合構造部の製造条件について説明する。

【0032】

前記n+Si基板1上にエピタキシャル層を成長させる前処理として、水素アニール処理をせずに、前述のRCA洗浄にさらに希釈フッ酸処理を加える。この希釈フッ酸処理によりSi基板表面を水素終端した状態でエピタキシャル成長を行う。エピタキシャル成長は950 以下の温度で行う。n+Si基板1表面は、950 以下の所定温度まで昇温する際に水素が脱離して清浄なシリコン表面が得られる。このことにより950 以下の低温でも結晶性の良いエピタキシャル成長が可能になる。エピタキシャル成長も前述のような低温で行うことによりSi基板からの外方拡散を抑えオートドープを抑えやすくなる。ただし、実施例2と同様に実施例3でも、アライメントマーカの形状崩れが大きくなってしまっているので、前記低温ではオートドープを抑えるのに必要な最低限の厚みのエピタキシャル成長を950 でまず行う。その後、所要の厚みまで、アライメントマーカの形状崩れを抑えることのできる1100 以上に昇温してエピタキシャル成長を行う方法とする。

【0033】

実施例3によれば、エピタキシャル成長する表面を低温で清浄化することで、低温のエピタキシャル成長の結晶性を改善することができる。オートドープを抑えるために低温でエピタキシャル成長する。しかし膜厚はオートドープを防ぐ最小限の厚み(たとえば、1μm程度)とする。このことで、マーク形状崩れを抑えることができる。その後昇温して1100 で目的の所定の厚みまで結晶性のよい条件でエピタキシャル成長を行う。このことで、オートドープを抑えつつ、結晶性を悪化させずにアライメントマーカの形状崩れを抑えることが可能になる。オートドープを抑えることで、高精度の並列pn領域からなる超接合構造部の不純物濃度のコントロールが可能になり、並列pn領域のチャージバランスを保持できるので、超接合半導体装置の耐圧良品率の向上等による低コスト化が可能になる。

【符号の説明】

【0034】

- 1 n+Si基板
- 2 n-層
- 3 低濃度n-エピタキシャル層
- 4 n型カラム
- 4a n型不純物

10

20

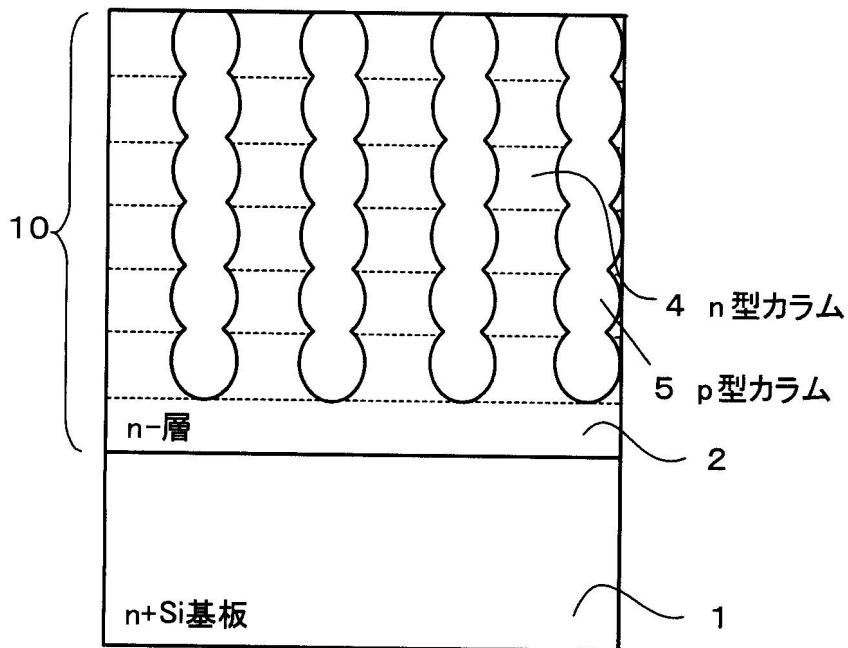
30

40

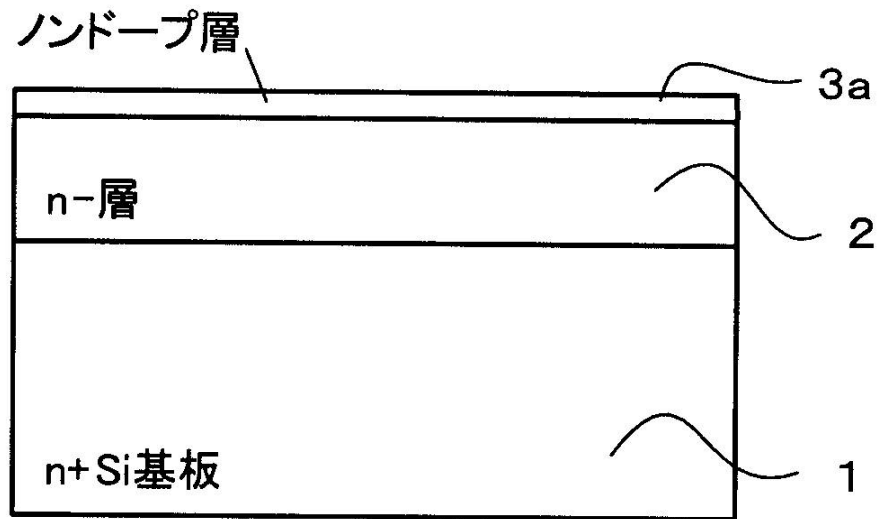
50

- 5 p型カラム
- 5 a p型不純物
- 6 レジストマスク
- 10 超接合構造部
- 100 素子活性部
- 200 周縁耐圧構造部

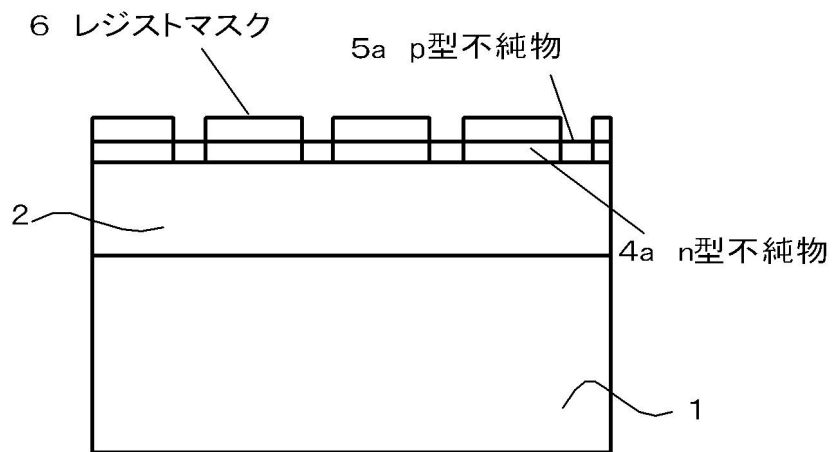
【図1】



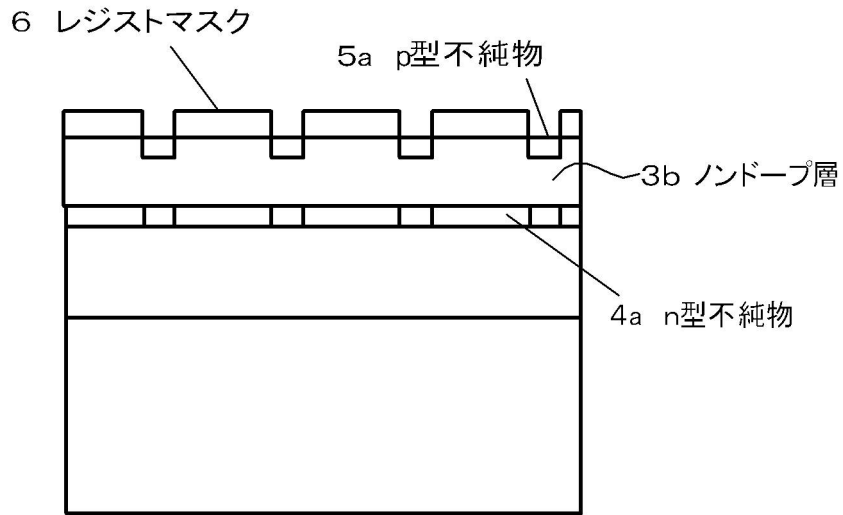
【図2】



【図3】

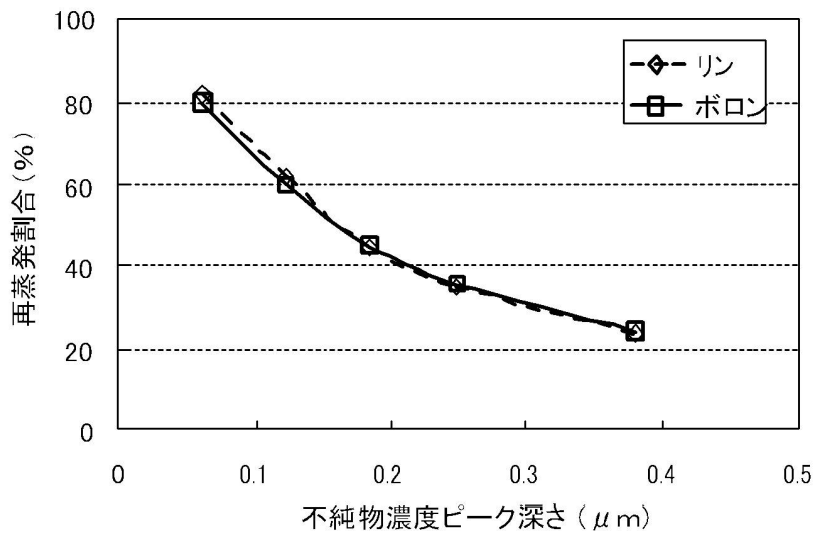


【図4】



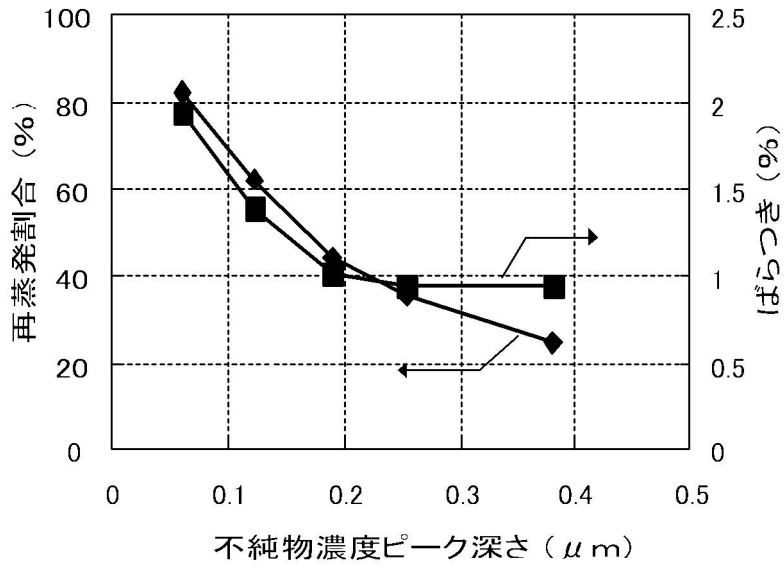
【図5】

ボロンとリンの再蒸発量の不純物濃度ピーク深さ依存性

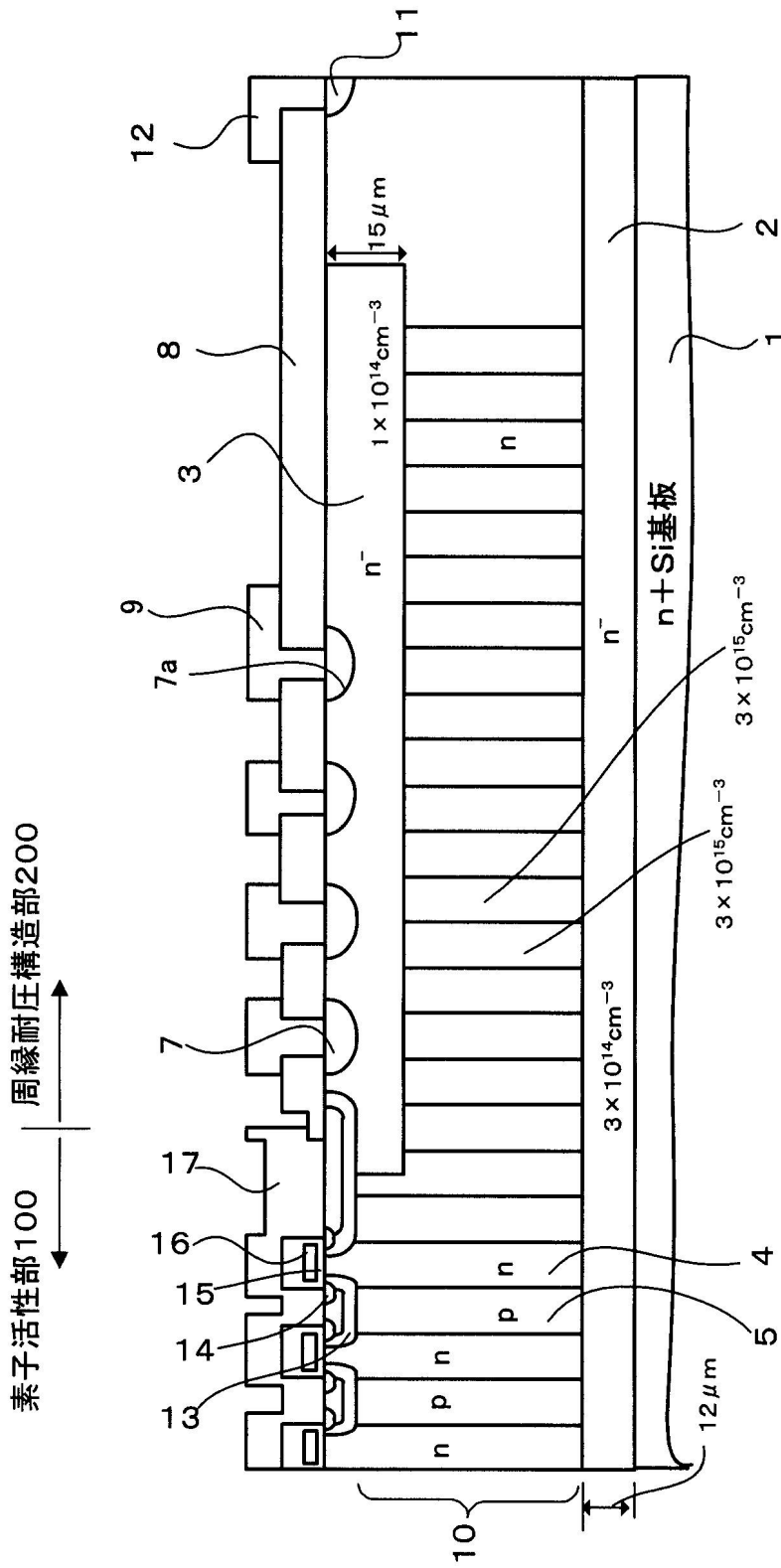


【図6】

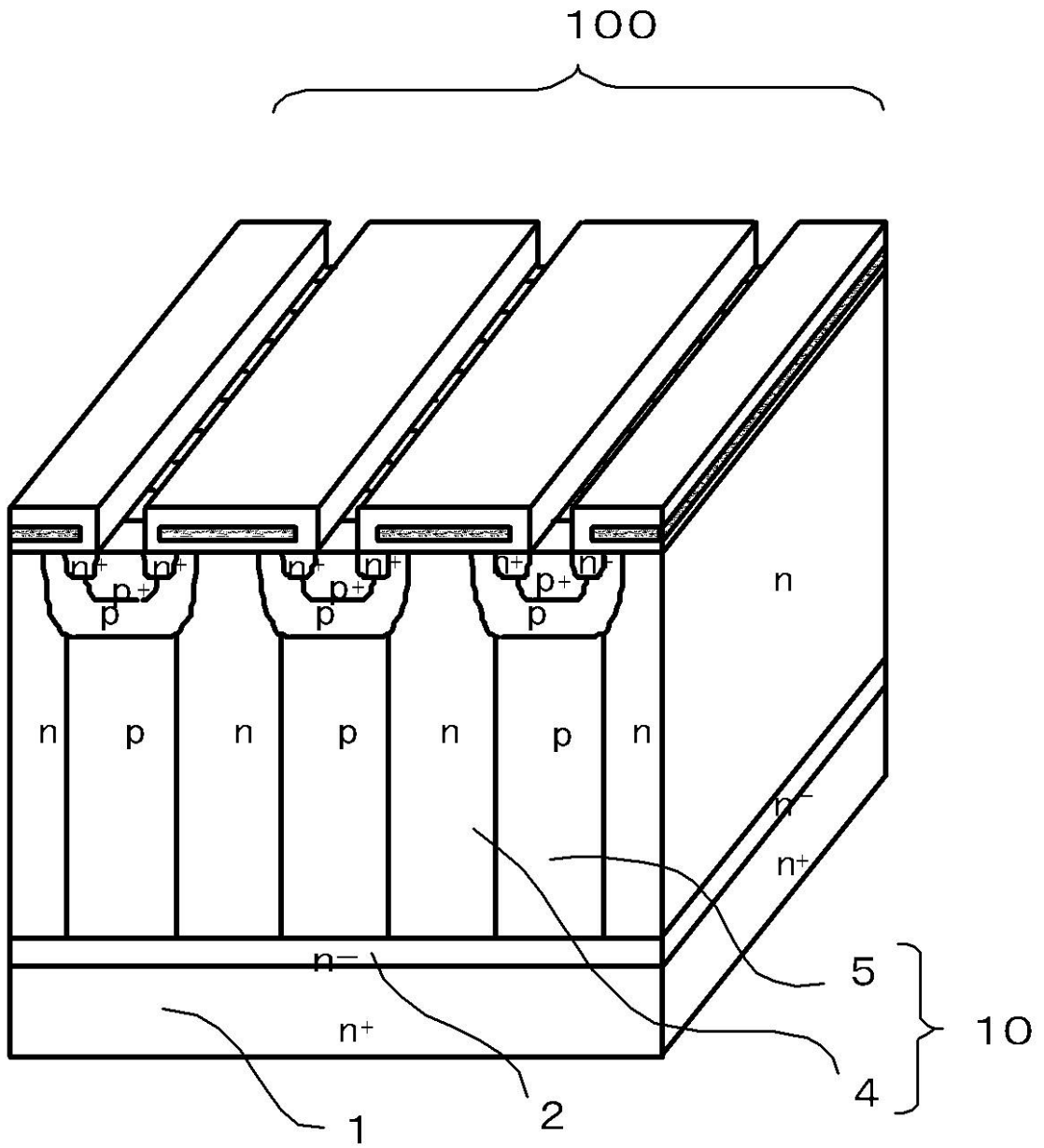
不純物濃度ピーク濃度に対する再蒸発割合とばらつきの関係



【図7】



【図8】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/06 3 0 1 D  
H 0 1 L 29/06 3 0 1 G

(72)発明者 栗林 均  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 行武 哲太郎

(56)参考文献 特開2001-119022(JP,A)  
特開2001-139399(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2  
H 0 1 L 2 9 / 0 6