



(12) 发明专利

(10) 授权公告号 CN 113169170 B

(45) 授权公告日 2024.08.13

(21) 申请号 201980080340.0

(22) 申请日 2019.12.04

(65) 同一申请的已公布的文献号  
申请公布号 CN 113169170 A

(43) 申请公布日 2021.07.23

(30) 优先权数据  
62/775,310 2018.12.04 US

(85) PCT国际申请进入国家阶段日  
2021.06.03

(86) PCT国际申请的申请数据  
PCT/US2019/064538 2019.12.04

(87) PCT国际申请的公布数据  
W02020/117978 EN 2020.06.11

(73) 专利权人 日升存储公司  
地址 美国加利福尼亚州

(72) 发明人 S.B.赫纳 W-Y.H.钱 J.周  
E.哈拉里

(74) 专利代理机构 北京市柳沈律师事务所  
11105  
专利代理师 王蕊瑞

(51) Int.Cl.  
H01L 27/10 (2006.01)  
H01L 21/00 (2006.01)  
H01L 21/02 (2006.01)  
H01L 27/02 (2006.01)  
H01L 27/04 (2006.01)

(56) 对比文件  
US 2017092371 A1, 2017.03.30  
审查员 游润

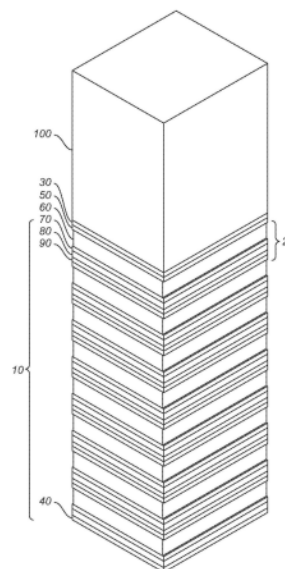
权利要求书3页 说明书9页 附图52页

(54) 发明名称

用于形成多层水平NOR型薄膜存储器串的方法

(57) 摘要

各种方法克服了局限性,并且通过以下来实现出色的缩放 (i) 用具有较低挑战性的纵横比的两个或更多个蚀刻步骤替换高度挑战性的高纵横比的单个蚀刻步骤,并且涉及更宽和机械稳定性更高的有源条带, (ii) 在高纵横比蚀刻步骤和后续处理步骤中使用电介质支柱来支撑和保持结构稳定性,或 (iii) 使用多个遮蔽步骤以提供具有较低挑战性的纵横比的两个或更多个蚀刻步骤,并且涉及更宽且机械稳定性更高的有源条带。



1. 一种高纵横比蚀刻的方法,包括:

在半导体基板的表面上方制备多个材料多层,所述多个材料多层沿着正交于所述半导体基板的表面的第一方向上下叠置,其中每个材料多层包括第一半导体层和第二半导体层;

使用第一掩模沿着所述第一方向图案化和蚀刻材料多层以形成沟槽的第一集合,所述沟槽的第一集合将所述材料多层划分成多层堆叠体的第一群组,其中所述沟槽的第一集合中的每一个沿着平行于所述半导体基板的表面的第二方向延伸;

用电介质材料填充所述沟槽的第一集合;以及

使用第二掩模沿着所述第一方向图案化和蚀刻多层堆叠体的第一群组以形成沟槽的第二集合,所述沟槽的第二集合平行于所述沟槽的第一集合且将多层堆叠体的第一群组划分成多层堆叠体的第二群组,所述沟槽的第二集合中的每个沟槽位于所述沟槽的第一集合中的两个邻近的沟槽之间,其中所述沟槽的第二集合中的每一个沿着平行于所述沟槽的第一集合的第二方向延伸。

2. 根据权利要求1所述的方法,其中,蚀刻所述材料多层和蚀刻所述多层的所述第一群组各自涉及纵横比小于40的蚀刻。

3. 根据权利要求1所述的方法,其中,所述第二掩模提供掩模结构,每个掩模结构将所述多层堆叠体的第一群组的至少两个邻近的堆叠体与其间的所述沟槽的第一集合中的一个中的电介质材料重叠。

4. 根据权利要求1所述的方法,还包括:(i) 在所述材料多层上提供中间掩模,所述中间掩模提供用于限定所述沟槽的第一集合和所述沟槽的第二集合的掩模特征,并且其中,在所述中间掩模的顶部提供所述第一掩模并且所述第一掩模提供在蚀刻所述材料多层期间保护所述沟槽的第二集合的掩模结构。

5. 根据权利要求4所述的方法,其中,通过在所述第一掩模的掩模结构之间填充所述电介质材料来形成所述第二掩模。

6. 根据权利要求1所述的方法,还包括用沿着所述第一方向延伸的多个导电柱替换所述电介质材料在所述沟槽的第一集合中的一部分。

7. 根据权利要求6所述的方法,其中,替换所述电介质材料在所述沟槽的第一集合中的一部分包括:

蚀刻所述沟槽的第一集合中的电介质材料,以提供沿着所述第一方向延伸的多个轴;

在每个轴中保形地沉积电荷存储材料;以及

用导电材料填充每个轴以形成所述导电柱。

8. 根据权利要求6所述的方法,还包括:在制备所述材料多层之前,在所述半导体基板的表面上方提供多个导体,每个导体沿着正交于所述第一方向和所述第二方向中的每一个的第三方向延伸。

9. 根据权利要求8所述的方法,还包括提供导电路径以使每个导电柱能够电连接到所述导体中的一个。

10. 根据权利要求6所述的方法,还包括在所述多层堆叠体的第二群组上方提供多个导体,每个导体沿着正交于所述第一方向和所述第二方向中的每一个的第三方向延伸。

11. 根据权利要求10所述的方法,还包括提供导电路径以使每个导电柱能够电连接到

所述导体中的一个。

12. 根据权利要求10所述的方法,还包括:

在所述半导体基板中提供电路元件;以及

将被选择的导电柱电连接到对应的电路元件,所述被选择的导电柱中的每一个位于其对应的电路元件上方。

13. 根据权利要求12所述的方法,还包括:在所述电路元件与所述导电柱之间提供隔离层,其中,将被选择的导电柱电连接到它们对应的电路元件包括创建穿过所述隔离层的导电路径。

14. 根据权利要求1所述的方法,还包括在所述多层堆叠体的第二群组中的每个多层堆叠体的一个或多个端部创建阶梯结构,其中,每个阶梯结构的台阶使所述多层堆叠体的各层沿着所述第二方向连续延伸,并且其中,每个台阶暴露所述多层堆叠体中的多层的所述第一半导体层或所述第二半导体层或另一导电层。

15. 根据权利要求14所述的方法,还包括:在所述阶梯结构之上提供电绝缘材料,以及沿着所述第一方向提供通孔连接,以电连接到所述阶梯结构的台阶的所暴露的半导体层或所述导电层。

16. 根据权利要求1所述的方法,其中,每个材料多层还包括在所述第一半导体层与所述第二半导体层之间的牺牲层,所述方法还包括用第三半导体层替换所述牺牲层的一部分。

17. 根据权利要求1所述的方法,其中,每个材料多层还包括与所述第一半导体层和所述第二半导体层中的一者或两者相邻的牺牲层,所述方法还包括用导电材料替换所述牺牲层的至少一部分。

18. 一种高纵横比蚀刻的方法,包括:

在半导体基板的表面上方制备多个材料多层,所述多个材料多层沿着正交于所述半导体基板的表面的第一方向上下叠置,其中,每个材料多层包括第一半导体层和第二半导体层;

提供沿着所述第一方向延伸穿过所述材料多层的多个电介质支柱;以及

在形成所述电介质支柱之后,使用掩模沿着所述第一方向图案化和蚀刻所述材料多层,以创建沟槽的集合,所述沟槽的集合将所述材料多层划分成多层堆叠体的群组,其中,每个沟槽沿着平行于所述半导体基板的表面的第二方向延伸,并且其中,每个电介质支柱邻接两个邻近的多层堆叠体。

19. 根据权利要求18所述的方法,还包括用电介质材料填充所述沟槽,并且用沿着所述第一方向延伸的多个导电柱替换所述电介质材料在每个沟槽中的一部分。

20. 根据权利要求19所述的方法,其中,替换所述电介质材料在每个沟槽中的一部分包括:

蚀刻所述沟槽中的电介质材料以提供沿着所述第一方向延伸的多个轴;

在每个轴中保形地沉积电荷存储材料;以及

用导电材料填充每个轴以形成所述导电柱。

21. 根据权利要求20所述的方法,还包括:在制备所述材料多层之前,在所述半导体基板的表面上方提供多个导体,每个导体沿着正交于所述第一方向和所述第二方向中的每一

个的第三方向延伸。

22. 根据权利要求21所述的方法,还包括提供导电路径以使每个导电柱能够电连接到所述导体中的一个。

23. 根据权利要求20所述的方法,还包括在所述多层堆叠体上方提供多个导体,每个导体沿着正交于所述第一方向和所述第二方向中的每一个的第三方向延伸。

24. 根据权利要求23所述的方法,还包括提供导电路径以使每个导电柱能够电连接到所述导体中的一个。

25. 根据权利要求23所述的方法,还包括:

在所述半导体基板中提供电路元件;以及

将被选择的导电柱电连接到对应的电路元件,所述被选择的导电柱中的每一个位于其对应的电路元件上方。

26. 根据权利要求25所述的方法,还包括在所述电路元件与所述导电柱之间提供隔离层,其中,将被选择的导电柱电连接到它们对应的电路元件包括创建穿过所述隔离层的导电路径。

27. 根据权利要求18所述的方法,还包括在每个多层堆叠体的一个或多个端部创建阶梯结构,其中,每个阶梯结构的台阶使所述多层堆叠体的各层沿着所述第二方向连续延伸,并且其中,每个台阶暴露所述多层堆叠体中的多层的所述第一半导体层或所述第二半导体层或另一导电层。

28. 根据权利要求27所述的方法,还包括在所述阶梯结构之上提供电绝缘材料,以及沿着所述第一方向提供通孔连接,以电连接到所述阶梯结构的台阶的所暴露的半导体层或所述导电层。

29. 根据权利要求18所述的方法,其中,每个材料多层还包括在所述第一半导体层与所述第二半导体层之间的牺牲层,所述方法还包括用第三半导体层替换所述牺牲层的一部分。

30. 根据权利要求18所述的方法,其中,每个材料多层还包括与所述第一半导体层相邻的牺牲层,所述方法还包括用导电材料替换所述牺牲层的一部分。

## 用于形成多层水平NOR型薄膜存储器串的方法

[0001] 相关申请的交叉引用

[0002] 本申请涉及并要求(i)于2018年12月4日提交的美国临时申请(“临时申请I”)的优先权,序列号62/775,310,题为“用于形成多层水平NOR型薄膜存储器串的方法(Methods for Forming Multilayer Horizontal NOR-type Thin-film Memory Strings)”。

[0003] 本发明还涉及(i)于2018年7月12日提交的美国临时申请(“临时申请II”),序列号62/697,085,题为“三维NOR存储器阵列的制造方法(Fabrication Method for a 3-Dimensional NOR Memory Array)”;(ii)于2018年10月29日提交的美国临时申请(“临时申请III”),序列号62/752,092,题为“具有非常精细节距的三维NOR存储器阵列:器件和方法(3-Dimensional NOR Memory Array with Very Fine Pitch:Device and Method)”;(iii)于2018年11月27日提交的美国临时专利申请(“临时申请IV”),序列号62/771,922,题为“用于电连接三维存储器器件的多个水平导电层的阶梯结构(Staircase Structures for Electrically Connecting Multiple Horizontal Conductive Layers of a 3-Dimensional Memory Device)”。

[0004] 本申请还涉及2018年6月19日提交的美国非临时专利申请(“非临时申请”),序列号16/012,731,题为“三维NOR存储器阵列架构及其制造方法(3-Dimensional NOR Memory Array Architecture and Methods for Fabrication Thereof)”。

[0005] 临时申请I、II、III和IV以及非临时申请的公开内容通过引用整体并入本文中。

### 发明背景

[0006] 1.技术领域

[0007] 本发明涉及形成三维存储器结构。特别地,本发明涉及在半导体基板的平坦表面上方形成实质上与其平行的NOR型薄膜存储器串的三维存储器结构。

[0008] 2.背景技术

[0009] 先前已经描述了用于形成水平NOR型(“HNOR”)薄膜存储器串的方法。参见,例如,通过以上引用并入本文的临时申请II中公开的三维水平NOR型存储器串。在此详细说明中,术语“有源条带”是指细长的材料条带,其包括半导体的各种层和其他材料,其可以促进或提供沿着其长度形成的薄膜晶体管的沟道区、源极区和漏极区。这些薄膜晶体管可以通过共享公共源极区和公共漏极区而被组织为NOR型存储器串。在一些实施例中,公共漏极区用作NOR型存储器串的位线,并且源极区是电浮置的,除非当通过NOR型存储器串中的一个或多个晶体管进行存取时。有源条带中的材料层的统称是指“有源层”。临时申请II中描述的工艺流程教导了通过首先沉积多个有源层,随后图案化和蚀刻穿过多个有源层来形成有源条带的堆叠体(“有源堆叠体”)。每个堆叠体中得到的有源条带彼此平行地延伸,并且邻近的有源堆叠体可以通过深沟槽彼此分离。可以将得到的有源堆叠体组织成块,每个块表示水平布置的NOR型存储器串的三维阵列(“HNOR存储器阵列”)。

[0010] 临时申请II的工艺通过改进其形成较窄的有源条带和较高的有源堆叠体的能力来实现大规模且较低成本的HNOR存储器阵列,这需要实行越来越具挑战的高纵横比蚀刻。

为此,非临时申请教导了沿着每个有源堆叠体的长度以适当的间隔使用撑条 (brace) 或支撑柱 (strut) 来增强结构或机械稳定性。结构不稳定性可能导致相邻有源条带之间的倾斜、回转、扭转、弯曲、带状化或短接。具有较高数目的有源层的较高堆叠体会加剧这些现象。通过将每个有源条带分割成更短的有源条带、以更短的间隔放置更多的撑条、或形成较宽的有源条带或较低的堆叠体高度,可以减轻结构不稳定性。尽管这些方法都有助于提高结构的稳健性,但它们每位需要更多的硅空间,因此增加了每位成本。

### 发明内容

[0011] 根据本发明的第一个实施例的方法通过用具有较低挑战性的纵横比的两个或更多个蚀刻步骤替换单个高挑战性的高纵横比的蚀刻步骤并且涉及更宽且机械稳定性更高的有源条带,因此实质上克服上述局限性,同时实现了出色的缩放。

[0012] 根据本发明的第二实施例的方法使用电介质支柱来支撑存储器结构并在高纵横比蚀刻步骤和后续工艺步骤期间维持结构稳定性。

[0013] 根据本发明的第三实施例的方法使用多个掩模步骤来提供具有较低挑战性的纵横比的两个或更多个蚀刻步骤,并且涉及更宽且机械稳定性更高的有源条带。

[0014] 通过考虑以下的详细公开并结合附图,更好地理解本发明。

### 附图说明

[0015] 图1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20、21、22、23和24图示了根据本发明的第一个实施例在两个或更多个蚀刻步骤中形成HNOR存储器阵列的有源堆叠体。

[0016] 图25、26、27、28、29、30、31、32、33、34、35和36图示了根据本发明的第二实施例的HNOR存储器阵列的形成,其使用单个蚀刻步骤将有源层的集合蚀刻到HNOR存储器阵列的有源堆叠体中。

[0017] 图37、38、39、40、41、42、43、44、45、46、47、48、49和50图示了根据本发明第三实施例的在两个蚀刻步骤中形成HNOR存储器阵列的有源堆叠体。

[0018] 图51A和51B示出了带状化现象。

[0019] 为了促进下面的详细描述和附图之间的元件的交叉引用,相同的元件被分配相同的附图标记。

### 具体实施方式

[0020] 详细描述阐述了根据本发明的各个实施例的工艺流程。此时,尽管出于可制造性的原因可以优选一个或多个实施例,但是出于其他原因也可以优选其他实施例。如该详细描述中所指示的,在适当的情况下,在一些实施例中采用某些特征可以基于诸如防止带状化、结构不稳定性或层到层未对准之类的制造考虑而进行折衷。例如,根据图1-24的实施例通过在多个蚀刻步骤中形成有源堆叠体来避免带状化。通过在两个或更多个蚀刻步骤中形成有源堆叠体,减少了每次蚀刻要实现的所需纵横比,这还提高了要形成的有源条带的结构稳定性。然而,通过在两个或更多个蚀刻步骤中蚀刻有源堆叠体,在同一过程中未蚀刻的有源条带之间的对准可能受到影响。

[0021] (图51A和51B图示了带状化的现象,这是应力引起的微观矩形特征的形变。图51A示出了具有预期尺寸的宽度 $X_1$ 、长度 $Y_1$ 和高度 $Z_1$ 的微观矩形特征(例如,由显影掩模材料形成的特征)。在某些制造过程中,当纵横比 $Z_1/X_1$ 超过10时,矩形特征中的应力可能导致沿着长度 $Y_1$ 的形变,从而使得到的特征“带”从预期的直线变成一系列相连的S曲线,诸如图51B所示。带状化随着宽度变小而变得更加严重,特别是当宽度 $X_1$ 缩小到近似45nm以下。)

[0022] 在下面的详细描述中,除非上下文指示或除非本文另外特别指出,否则本文讨论的不同工艺步骤可以以任何顺序或同时实行。此外,除非上下文指示或除非本文另外特别指出,否则可以在本文所讨论的任何工艺步骤之前或之后,或者在本文所讨论的任何两个工艺步骤之间实行一个或多个附加步骤。例如,尽管用其中一个或多个金属层包覆有保护性半导体膜阻挡层的步骤描述的一个实施例没有结合其他实施例描述,但是这样的包覆步骤也可以结合其他实施例中的每一个来使用。

[0023] 图1-24图示了根据本发明的第一个实施例的在两个蚀刻步骤中形成HNOR存储器阵列的有源堆叠体。如图1所示,存储器结构10包括在硬掩模层30与蚀刻停止层40之间的不同材料的八个连续沉积的有源层(例如,有源层20)。(尽管图1示出了八个有源层,但提供此数目的有源层仅出于说明目的。可以提供任何合适数目的有源层,诸如一层、两层、四层、六层、十六层、三十二层或更多层。每个有源层(例如,有源层20)可以包括:(i)第一半导体层(“源极层”)50,(ii)第一牺牲层(“SAC1”)层60,(iii)第二半导体层(“漏极层”)70,(iv)第二牺牲层(“SAC4”)80和(v)层间电介质层(“ILD层”)90。源极层50和漏极层70可以包括任何合适的半导体材料(例如,硅、硅锗,通过一种或多种合适的掺杂物(诸如用于p型半导体的硼或铟或者用于n型半导体的砷、磷或锑)掺杂成n型或p型。硬掩模层30、蚀刻停止层40、SAC1层60、SAC4层80和ILD层90可以包括任何合适的材料,例如 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiON}$ 、 $\text{SiC}$ 、硅锗或 $\text{SiCOH}$ 。例如,在一种实施方式中,SAC1层60可以包括 $\text{SiO}_2$ ,SAC4层80可以包括 $\text{SiN}$ ,并且ILD层90可以是 $\text{SiCOH}$ 。有源层20中的每个材料层可以使用任何合适的技术来沉积,诸如低压化学气相沉积(LPCVD)、等离子体增强CVD(PECVD)、原子层沉积(ALD,这是CVD的另一种形式)、溅射或蒸发,优选通过PECVD来沉积。

[0024] 掩模层100可以沉积在存储器结构10的顶部。掩模层100可以包括例如碳基层和光致抗蚀剂层两者。图2示出了在图案化掩模层100之后的图1的存储器结构10。如图2所示,将掩模层100图案化成掩模结构115,每个掩模结构具有宽度 $L_2$ 并且都通过宽度为 $L_1$ 的沟槽与邻域分开,宽度为 $L_2$ 优选不小于期望宽度 $L_1$ 的两倍。宽 $L_1$ 限定要形成的有源条带之间的沟槽的期望宽度。

[0025] 图3示出了在存储器结构10中创建沟槽110的蚀刻步骤。在图3的蚀刻步骤之后,如图4所示,移除掩模层100。此后,选择性地蚀刻暴露于沟槽110的每个有源层中的SAC1层60,以形成预先确定的深度(例如,在5至10纳米之间)的凹陷腔体,而实质上不蚀刻其他层。选择性蚀刻可以使用任何合适的技术来完成,诸如通过腐蚀性气体、湿化学酸或碱,优选通过腐蚀性气体。图4示出了通过选择性蚀刻从沟槽110的相对侧上的SAC1层的每个暴露面中移除SAC1层60的小部分。

[0026] 参考图5,然后使用任何合适的技术(例如LPCVD或ALD)用半导体层120填充沟槽110,半导体层120可以包括任何合适的材料(例如,原位掺杂的p型或n型硅或硅锗)。半导体层120可以保形地沉积至一厚度,使得沟槽110没有被完全填充,从而留下窄的沟槽135。图6

示出了在各向异性且部分侧向蚀刻之后,从沟槽110中移除半导体层120,除了在SAC1层60中的凹陷腔体中。保留在凹陷腔体中的半导体层120最终将用作要形成的薄膜NOR晶体管的p型或n型沟道区。

[0027] 参考图7,然后用一种或多种电介质材料(例如, $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiON}$ 、 $\text{SiC}$ 、多孔 $\text{SiO}_2$ 或 $\text{SiCOH}$ )填充沟槽110,该填充使用任何合适的技术,诸如LPCVD、PECVD或ALD),并注意避免形成空隙。可以通过控制的蚀刻或通过CMP(化学机械抛光)来移除沉积在存储器结构10的顶部的任何电介质材料。在一个实施例中,沟槽110可以用两层电介质材料填充:(i)保形超薄壁保护层130(例如 $\text{SiN}$ ),以及(ii)较厚层140(例如 $\text{SiO}_2$ ),沉积在壁保护层130上。电介质层130和140完全填充沟槽110。

[0028] 参考图8,沉积和图案化硬掩模层以形成硬掩模结构155,以用于蚀刻与已经形成的沟槽110平行的沟槽的第二集合。如在图2的掩模结构115中一样,每个硬掩模结构155具有宽度 $L_2$ 并且都通过宽度 $L_1$ 的沟槽与邻域分开。硬掩模结构155各自相对于掩模结构115的位置移位,以便完全保护沟槽110。硬掩模结构155还各自在紧挨其下方的沟槽的两侧的有源堆叠体之上延伸,从而使每个堆叠体重叠不小于宽度 $L_1$ (即每个有源条带的所期望的宽度)。实际上,由于现有光刻工具的限制,可能发生一些未对准的情况,使得每个硬掩模结构155在其下方的左堆叠体和右堆叠体之上的重叠并不恰好相等。例如,如果目标宽度 $L_1$ 为50纳米并且最坏情况下的未对准为 $\pm 5$ 纳米,则左侧重叠可能多达55纳米宽,而右侧重叠可能窄至45纳米宽。可以在芯片设计内吸收这种制造可变性,例如,这通过将每个堆叠体的左侧和右侧薄膜晶体管视为两个分开的群组,其中每个群组配备有其专用的由它们相应群组内构成的参考晶体管或参考存储器串。

[0029] 图9示出了被蚀刻穿过以提供沟槽的第二集合160的存储器结构10,从而形成有源堆叠体170。每个有源堆叠体的标称宽度 $L_1$ 远小于掩模结构155的宽度 $L_2$ 。掩模结构155的相对较大宽度 $L_2$ 防止带状化。参考图10,通过从沟槽160的暴露的侧壁开始的选择性蚀刻步骤移除SAC4层80(现在在图10中由附图标记80'表示先前由SAC480占据的每个有源条带中的空间)。可以使用任何适当的技术(例如,通过腐蚀性气体、湿化学酸或碱进行的蚀刻)来完成这样的蚀刻。例如,可以通过在加热到 $180^\circ\text{C}$ 的磷酸中的湿法蚀刻来移除适合于实现SAC4层80的 $\text{SiN}$ 层。当将SAC4层80一直蚀刻到沟槽110中的填充材料130和140时,蚀刻停止。由于不蚀刻电介质材料层130和140,因此它们的支撑允许有源堆叠体170维持其预期的结构形式(即,各自沿着整个长度的窄、长和高),即使每个有源条带中的构成SAC4层80被移除,从而在有源堆叠170中创建腔体或不连续性。注意到,在现有技术水平下,不需要以适当的间隔放置撑条来支撑窄的有源堆叠体170。但是,将来当 $L_2$ 宽度变得更窄时,或者当有源堆叠体太高(例如,有源条带的数目太大)时,高度缩放的三维HNOR存储器阵列可能需要使用这种撑条,使得谨慎地以适当的间隔支撑非常长的有源堆叠体。

[0030] 图11示出了沟槽160的侧壁和有源条带中的选择性蚀刻的腔体都用金属填充,从而实际上由金属层175替换了通过选择性蚀刻移除的SAC4层80。(注意到,沟槽160优选不完全填充)。金属层175可以包括任何合适的材料(例如, $\text{TiN}$ 、 $\text{TaN}$ 、 $\text{Ta}$ 、 $\text{W}$ 、 $\text{Mo}$ 或其任何组合)。例如,图11示出了金属层175是 $\text{TiN}$ 薄层和相对较厚的钨(W)的组合。然后通过适当的蚀刻从沟槽160的侧壁移除金属层175,从而在有源条带中留下金属层175,如图12所示。在一些实施例中,金属层175通过选择性地蚀刻至离开沟槽160的侧壁多达近似6纳米而被进一步凹陷,

以便容纳将要放置其中的氧化物覆盖层或硅阻挡覆盖层,如本领域普通技术已知的那样。氧化物覆盖层或硅阻挡覆盖层将金属层175与直接接触尚未形成的电荷捕获层分开。在非临时申请中公开了相似金属替换方案。

[0031] 注意到,在沟槽160中暴露的有源条带的侧壁包括SAC1层60的表面。图13示出了在第二选择性蚀刻SAC1层60之后,在每个有源条带中形成SAC1层60的凹陷部分,该部分类似于面向先前结合图4讨论的沟槽110的SAC1层60的凹陷部分。参考图14,然后沉积半导体层180以填充沟槽160和SAC1层60的凹陷部分。半导体层180仅需要部分地填充沟槽160。图15示出了在蚀刻半导体层180之后,仅在有源条带中的SAC1层60的凹陷部分以及金属层175中的任何凹陷部分中留下半导体层180。

[0032] 之后,如图16所示,沟槽160以与上述沟槽110的填充相同的方式用电介质材料130和140填充,注意避免形成空隙。

[0033] 在此阶段,八个有源层形成到窄的有源条带的堆叠体中,每个有源条带具有源极层,与替换的金属层(即,位线)接触的漏极以及位于源极层与漏极层之间并与源极层和漏极层接触的有源条带的相对侧上的凹陷半导体条带。提供这些层以用于分别形成公共源极区、公共漏极区和沟道区,用于沿着有源条带的两侧边缘要形成的晶体管。(当然,通过仅在一侧形成具有凹陷沟道的有源条带可以简化上述工艺流程。这样的有源条带仅提供沿着有源条带的可能晶体管数目的一半)。为了完成三维HNOR存储器阵列,接下来的工艺步骤提供电荷捕获层,用作控制栅极的局部字线以及在存储器结构10上方和下方的全局字线,以将局部字线连接到半导体基板中的电路。此外,为导体形成阶梯结构,以将HNOR存储器阵列中的存储器串的位线与半导体基板中的CMOS逻辑器件(例如,感测放大器、解码器以及控制和输入或输出逻辑器件)互连。接下来讨论这些工艺步骤。

[0034] 图17示出了对沟槽160中的电介质层130和140的部分进行图案化和蚀刻(例如,使用掩模层(未示出)),以形成延伸到存储器结构10的底部的轴的第一集合(图17中由附图标记190标记)。电介质层140可以包括 $\text{SiO}_2$ ,例如,其可以使用具有高功率偏置等离子体的腐蚀性气体各向异性蚀刻或另一种适当的蚀刻来移除。电介质层130可以包括例如 $\text{SiN}$ ,例如,在高功率偏置等离子体蚀刻期间保护暴露的部分的半导体层(即,源极层50、漏极层70以及沉积的半导体层120和180)免受损坏。随后可以使用湿化学蚀刻(例如,热磷酸)移除电介质层130,这不会损坏半导体层。在另一个实施例中,轴的第二集合190(图17中未示出)也同时形成在沟槽110的电介质层130和140中。

[0035] 参考图18的插图,然后将隧穿氧化物层200、电荷存储层210和阻挡电介质层220依次并保形地沉积到沟槽160的轴190中。隧道氧化物层200可以包括 $\text{SiO}_2$ 、电荷存储层210可以包括 $\text{SiN}$ 或富硅 $\text{SiN}$ ,并且阻挡电介质层220可以包括 $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、另一种电介质材料或这些电介质材料中的两个或更多个的任意组合。可以使用任何合适的方法(例如,CVD或ALD)来沉积层200、210和220。在一些实施例中,为了确保这些层中的良好材料质量,可以在它们的沉积之后执行退火步骤。

[0036] 此后,各向异性蚀刻穿透并打开通孔穿过隧穿氧化物层200、电荷存储层210和位于沟槽160中的每个轴的底部的阻挡电介质层、以及存储器结构10的底部与全局字线230(以插图示出)或其他着陆垫(未示出)之间的绝缘层,以便连接到存储器结构10下方的电路(例如,在半导体基板中)。可以首先在阻挡电介质层220的侧壁之上沉积硅的薄层(未示出)

以在通孔蚀刻期间对其进行保护。然后沉积栅极层240以填充要形成“局部字线”的每个轴。每个局部字线沿着垂直于半导体基板的表面的方向延伸。如图18的左插图所示,每个局部字线与在存储器结构10的有源层的沉积之前形成的全局字线230中的一个接触。全局字线230将局部字线连接到半导体基板或其他地方中的电路。栅极层240可以包括任何合适的导电材料,诸如(i)n型或p型重掺杂硅、硅锗或其他半导体,或(ii)金属(例如TiN、TaN、Ti、Ta、Mo或W,或两个或更多个这样的金属的任意组合),优选地是使用任何合适的技术(诸如CVD或ALD)沉积的具有高金属功函数的金属。可以使用平坦化技术(例如,CMP或回蚀刻)来平坦化隧穿层200、电荷存储层210、阻挡电介质层220和栅极层240的顶表面,以提供实质上与下卧的半导体基板(未示出)的平坦表面平行的表面250。

[0037] 重复图17和18的步骤(其在沟槽160的电介质层130和140,沉积层200、210和220中图案化和蚀刻轴190,通过栅极层240填充其余的轴以形成局部字线,并将局部字线连接到全局字线230)以在沟槽160中形成第二组局部字线。(在另一个实施例中,在沟槽110和沟槽160中同时蚀刻相似的轴;此外,沟槽110和160中的轴可以相对于彼此交错。)此后,在沟槽110中也重复图17-19的步骤,以形成局部字线的另一个集合270。在一个实施例中,沟槽160中的局部字线相对于沟槽110中的局部字线交错,以在相邻行中的局部字线之间提供附加的空间间隔。在一个实施例中,不使沟槽110中的该局部字线的第二集合270连接到全局字线230(例如,通过跳过在轴的底部处的通孔开口步骤)。替代地,将局部字线的集合270连接到将要形成的全局字线的另一集合。图20示出了在存储器结构10上方形成的全局字线280,提供该全局字线280以将半导体基板和其他地方中的电路连接到局部字线的集合270。上文通过引用并入的临时申请III中还公开了以非常精细的节距形成用于HNOR存储器阵列的局部字线。

[0038] 在一些实施例中,出于裸芯尺寸的考虑,在半导体基板的直接在存储器结构10下方的部分中放置通过全局字线230或全局字线280电连接的一些电路(例如,解码电路以及一些读取、写入和擦除供应电压源)可以是有利的。(这些解码电路和电压源未在图20中示出。)全局字线230与半导体基板中的这些电路之间的电连接是容易获得的。为了将半导体基板中的这些电路电连接到存储器结构10上方的全局字线280,可能需要提供配备在存储器结构10的一侧或多侧的垂直连接件以及放置在全局字线230与半导体基板中的电路之间的水平连接件。在一个实施例中,可以通过提供了直接通过密集封装的存储器结构10和密集间隔的全局字线230将全局字线280连接到半导体基板中的电路的垂直导体来避免迂回路径。这些垂直导体可以通过已经选择局部字线270(图19)中的一些来实现,以还用作用于连接到半导体基板中的电路的导体。为了使用这些垂直导体建立电路路径,可以需要额外的掩模和蚀刻步骤,以使穿通通孔开口位于其相应轴底部、直接位于放置在半导体基板中的这些电路上方或附近的位置处。

[0039] 在一些实施例中,当局部字线240全部连接到形成在存储器结构10上方的全局字线280时,不需要在存储器结构10下方形成全局字线230。这样的布置消除了轴190的底部形成通孔所需的穿通掩模和蚀刻步骤。相反,局部字线240可以全部通过穿通通孔与存储器结构10的底部处的全局字线230接触。在任一种情况下,如果全局字线的节距为全局字线230或全局字线280的节距的近似一半,则可以消除全局字线的两个集合中的一个集合,这可能需要两次曝光或更先进的光刻技术。

[0040] 到位线的连接是通过“阶梯”方法进行的。在阶梯结构中,将有源堆叠体中的有源条带切割成连续更大的长度,以允许垂直导体在台阶处接触连续的有源条带的漏极层。这样的方法的示例在例如以上通过引用并入本文的临时申请IV中公开。图21示出了沉积和图案化的掩模层300,其配备在存储器结构10上,其中有源层的一部分(由附图标记310指示)沿着其长度的一端或两端被移除。(图21还示出了通过切割有源堆叠体170的顶部有源条带形成台阶;注意到,图21中的存储器结构10是从图20的视图以90°观看的,并且仅示出了沿着有源条带长度的端部部分)。使用例如在临时申请IV中讨论的光致抗蚀剂凹陷技术,掩模层300从一端或两端凹陷,而无需附加的光刻步骤以暴露有源层310和320的部分以用于随后的蚀刻步骤。由蚀刻步骤产生的结构如图22所示。可以重复光致抗蚀剂凹陷和蚀刻步骤,直到除了最低的有源层以外的所有有源层都已被蚀刻以形成阶梯结构为止;从重复步骤产生的结构如图23所示。阶梯结构在每个连续的有源层中暴露源极层60或漏极层70。然后,将电介质材料沉积在阶梯结构之上,并通过CMP进行平坦化。图24示出了对得到的电介质材料进行图案化和蚀刻以用于通孔开口,然后将其用导电材料(例如,诸如钨的难熔金属)400填充以在由阶梯结构暴露的每个有源层中提供与源极层60或漏极层70的端部的接触(即位线)。以这种方式,每个位线连接到半导体基板中或分开的配套集成电路上的选择电路(例如,解码器和感测放大器)。可以使用本领域中已知的倒装晶片技术(例如,通过连接的晶片之间的多个微型铜焊柱)将这种集成电路连接到半导体基板中的电路。

[0041] 根据本发明的第二实施例,如图25-36所示,使用单个蚀刻步骤将有源层蚀刻到HNOR存储器阵列的有源堆叠体中,以避免未对准。为了提供机械支撑,在蚀刻有源层之前形成电介质支柱以创建有源堆叠体。这些支柱通过维持其结构稳定性为随后形成的有源堆叠体提供支撑。合适的特征纵横比的选择避免了在高纵横比蚀刻步骤期间的带状化。

[0042] 图25示出了包括在硬掩模层30与蚀刻停止层40之间的八个有源层(例如,有源层20)的存储器结构10,如图1所示。每个有源层的构成层可以与结合图1讨论的那些有源层相同。掩模结构500允许将存储器结构10图案化并蚀刻到蚀刻停止层40以提供通孔的集合505(未示出)。在移除掩模结构500之后,用电介质材料填充通孔505,从而形成如图26所示的电介质支柱510。电介质支柱510可以包括任何合适的电介质材料(例如, $\text{SiO}_2$ 、SiN、SiON、SiCOH),其可以使用诸如LPCVD、ALD或高密度等离子体CVD(“HDP CVD”)的任何合适的方法来沉积。在沉积之后,可以使用诸如CMP或回蚀刻的任何合适的平坦化技术来移除存储器结构10的顶表面520上的电介质材料。

[0043] 此后,如图27所示,将存储器结构10图案化并蚀刻到有源堆叠体530中,从而在有源台阶之间切割沟槽540。蚀刻步骤使电介质支柱510保留完好,以允许这些支柱向形成的有源堆叠体530提供结构完整性和机械强度。然后,可以将电介质材料层550和560(如上面讨论的沟槽110和160中的电介质层130和140)沉积到沟槽540中,以填充沟槽540。然后施加掩模层(未示出)并对其进行图案化,以保护有源堆叠体530和一半的填充沟槽540。然后蚀刻沟槽540中暴露的沟槽,以移除电介质材料层550和560,但是不蚀刻电介质支柱510。得到的结构在图29中示出。

[0044] 参考图29,然后可以通过选择性蚀刻来移除有源堆叠体530的每个有源层中的SAC4层80。沉积金属层570以部分地填充所挖出的沟槽540,并替换移除的SAC4层80,如图30所示。参考图31,然后通过选择性各向异性蚀刻从沟槽540中移除金属层570的部分,从而留

下金属层570的替换每个有源条带的SAC4层80的部分。

[0045] 此后,通过选择性蚀刻从各个地方的填充沟槽540中移除剩余的电介质层550和560,从而留下有源堆叠体530和电介质支柱510,如图32所示。参考图33,然后通过选择性蚀刻使每个有源条带的SAC1层60的部分凹陷。这种选择性蚀刻不需要掩模层。此外,如图34所示,每个有源层的金属层570的部分也通过选择性蚀刻而凹陷,也没有掩模层,以将每个有源条带的金属层570成形为具有向沟槽540的凹陷面的细长金属条带。

[0046] 然后沉积半导体层580。如图35所示,半导体层580部分地填充沟槽540并且填充凹陷腔体580A和580B,其中分别已经移除每个有源条带的SAC1层60的部分和金属层570的部分。然后通过选择性各向异性蚀刻移除半导体层580的部分,如图36所示。半导体层580A形成了薄膜晶体管要形成的沟道区,而半导体层580B包覆金属层570,该金属层570形成要从存储器结构10形成的HNOR存储器阵列的位线。半导体层580B使后续结构的金属污染最小化,并且消除了金属层570与要形成的电荷捕获层之间的直接接触。

[0047] 图36的存储器结构10的其余制造可以以与以上图17至24所示相同的方式进行,其中电介质支柱510完好。

[0048] 根据本发明的第三实施例,如图37-50所示,提供了用于在两个蚀刻步骤中形成HNOR存储器阵列的有源堆叠体的方法,该方法最小化带状化的机会并且维持结构稳定性。根据该第三实施例的方法使用具有不同特性的三个掩模来形成有源条带:(i)第一掩模,其同时限定所有有源条带,从而避免有源条带之间的未对准;(ii)第二掩模,其放置在第一掩模的顶部且限定了有源条带的第一半;以及(iii)第三掩模,其限定在已经移除第一掩模和第二掩模之后提供的有源条带的剩余一半。

[0049] 如图37所示,存储器结构10以在硬掩模层30与蚀刻停止层40之间的八个有源层(例如,有源层20)开始。在图37中,已经沉积和图案化第一掩模层以具有掩模结构600,每个掩模结构的宽度 $L_1$ 表示有源堆叠体中每个有源条带的期望宽度(例如,参见上面的图9)。此后,如图38所示,沉积和图案化具有掩模结构610的第二掩模层以与掩模结构600重叠,使得掩模结构610占据并保护将掩模结构600分开的所有其他空间,并逐层考虑未对准。第一掩模层和第二掩模层具有不同的蚀刻特性并且可以包括不同材料。

[0050] 参考图39,然后蚀刻穿过存储器结构10的沟槽620。参考图40,在掩模结构600和610完好的情况下,通过选择性蚀刻将每个有源层的SAC1层60暴露于沟槽620的部分凹陷至预先确定的深度(例如,在5至10纳米之间)。此后,如图41所示,然后以实质上与上面结合图5中讨论的半导体层120相同的方式,沉积半导体层630,部分地填充沟槽620和从每个有源条带中的SAC1层60的部分的移除所得到的凹陷的腔体。然后,如图42所示,半导体层630沿着沟槽620的侧壁上的部分被移除,从而留下半导体层630在凹陷腔体中的部分。

[0051] 此后,如图43所示,以与上面结合图7讨论的电介质层130和140基本相同的方式,用电介质层640和650填充沟槽620,随后通过蚀刻移除第二掩模的掩模结构610。图44示出了然后在存储器结构10中蚀刻沟槽625。参考图45,然后通过选择性蚀刻从沟槽625中的暴露的表面来移除SAC4层80,然后沉积金属层660,该金属层部分地填充沟槽625和从移除每个有源条带的SAC4层80而产生的腔体,如图46所示。参考图47,然后通过选择性各向异性蚀刻和侧向各向同性蚀刻移除金属层660在沟槽625的侧壁上的部分。

[0052] 参考图48,然后通过选择性蚀刻使每个有源层的SAC1层60在沟槽625中暴露的部

分凹陷。此后,沉积半导体层670,部分填充沟槽625和每个有源层的SAC1层60的凹陷腔体,如图49所示。然后移除存储器结构10上方的电介质层620和640的部分以及第一掩模层的掩模结构600。然后,如图50所示,然后通过选择性各向异性蚀刻移除沟槽625的侧壁上的半导体层670的部分,并以实质上与上面结合图45所讨论的相同的方式用电介质层640和650替换。

[0053] 存储器结构10的其余制造可以以与上面图17至24所示的相同方式继续进行。

[0054] 如上所述,根据第一实施例的在两个蚀刻步骤中形成有源堆叠体的方法遭受高达约±5纳米的光刻未对准,这会影响相邻的有源堆叠体的宽度。例如,这样的未对准可能导致替代有源堆叠体具有不同的宽度(例如,一个有源堆叠体的宽度可以为 $L_1+5$ 纳米,而其相邻的有源条带的宽度可能为 $L_1-5$ 纳米)。除了高度缩放的尺寸外,这样的未对准可以很容易地在存储器芯片设计中得到解决。另一方面,在每个蚀刻步骤中宽得多的特征提供了更稳健的稳定性,而无需以预先确定的间隔放置消耗面积的支撑支柱,诸如以与根据第二实施例的方法结合使用的那些支撑支柱。

[0055] 在根据本发明的HNOR存储器阵列中,有源条带的典型标称最小宽度 $L_1$ 为50纳米,而分离的相邻有源堆叠体的沟槽110(图3)的标称最小宽度可以为80纳米,并且具有八个有源层的有源堆叠体的高度可以为近似2,000纳米(2微米)。因此,具有50纳米宽度的独立有源堆叠体的纵横比将为 $2000/50$ 或 $40:1$ ,这对于在蚀刻期间保持直立状态将是严重挑战,更不用说通过将不利地影响良率和成本的连续工艺步骤。然而,使用根据本发明的第一实施例或第三实施例的方法,图3的每个掩模结构115的宽度 $L_2$ 为 $50+80+50=180$ 纳米,因此使用掩模结构115的蚀刻的纵横比为 $2,000/180$ 或 $11:1$ 。

[0056] 利用根据第二实施例的方法,在一个蚀刻步骤中形成有源堆叠体,从而避免了在有源堆叠体之间可能发生的±5纳米的未对准。这样的方法在有源堆叠体形成之前形成电介质支柱,以为随后形成的有源堆叠体提供支撑并维持其结构稳定性。然而,第二实施例的方法可能会遭受由于在蚀刻步骤期间的高纵横比而引起带状化以及由于电介质支柱所占据的面积而引起的有用存储器阵列面积的数量减少。

[0057] 利用根据本发明的第三实施例的方法,要求第一掩模经受至少两个有源堆叠体蚀刻步骤,该有源堆叠蚀刻步骤相对于用于提供第二掩模和第三掩模的材料对于第一掩模是选择性的。此外,用于提供第一掩模和第二掩模的硬掩模材料需要与某些电介质沉积(例如,LPCVD  $\text{SiO}_2$ )兼容。一些硬掩模材料(例如碳)与需要氧气的 $\text{SiO}_2$ 沉积不兼容。这样的硬掩模材料可能与氧反应并被氧蚀刻。

[0058] 提供以上详细描述以说明本发明的特定实施例,但不旨于限制本发明。在本发明范围内的许多改变和修改是可能的。本发明在所附权利要求中被阐述。

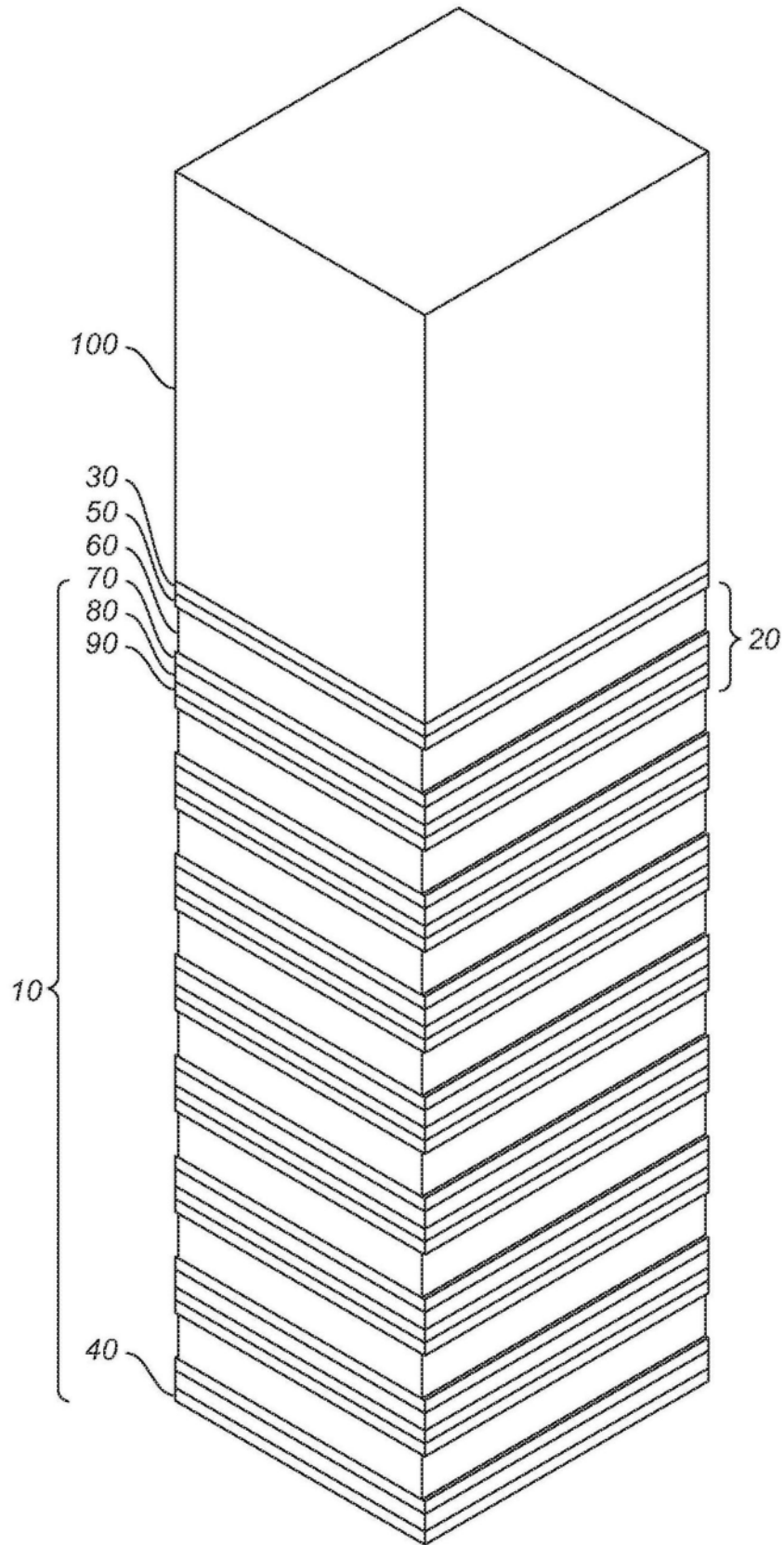


图1

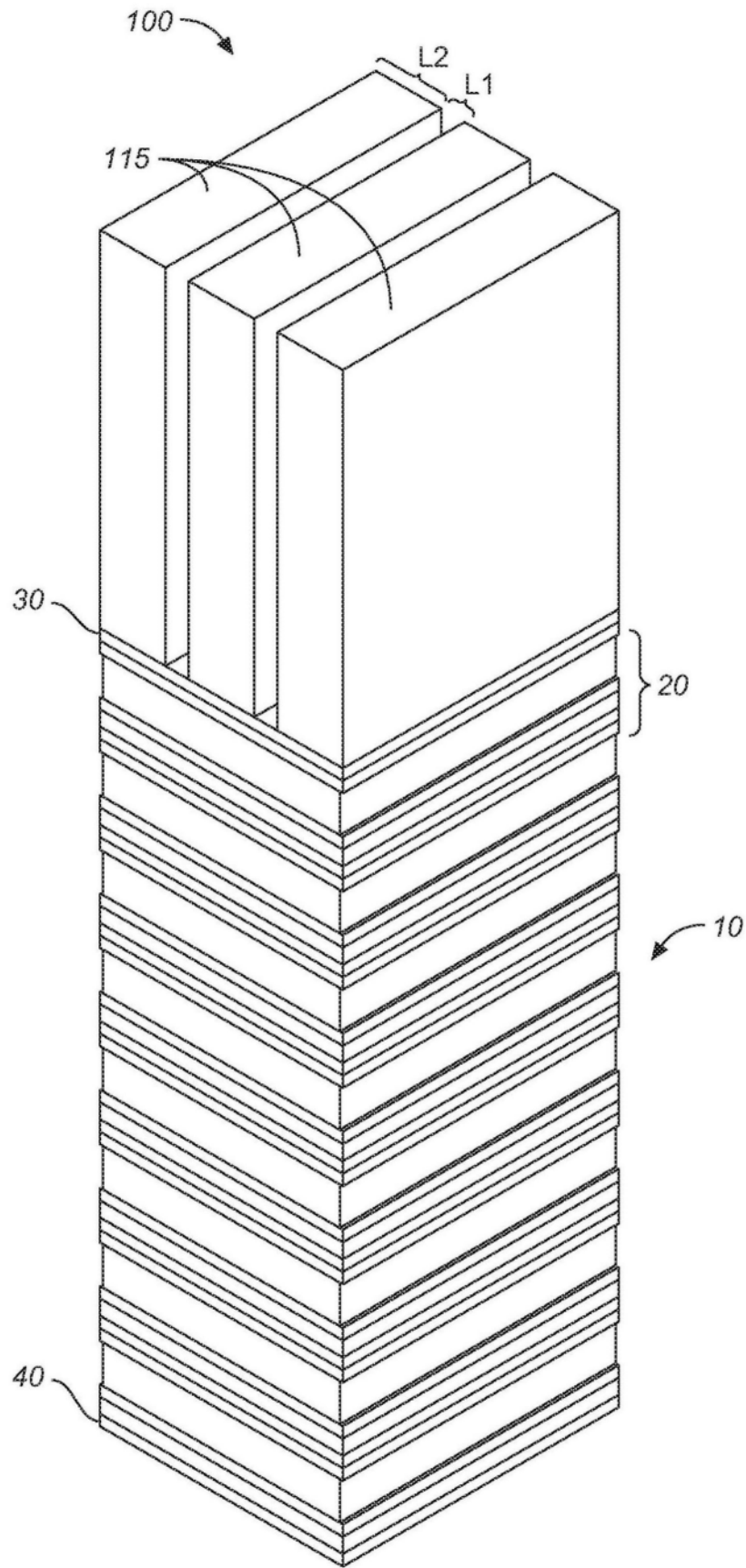


图2

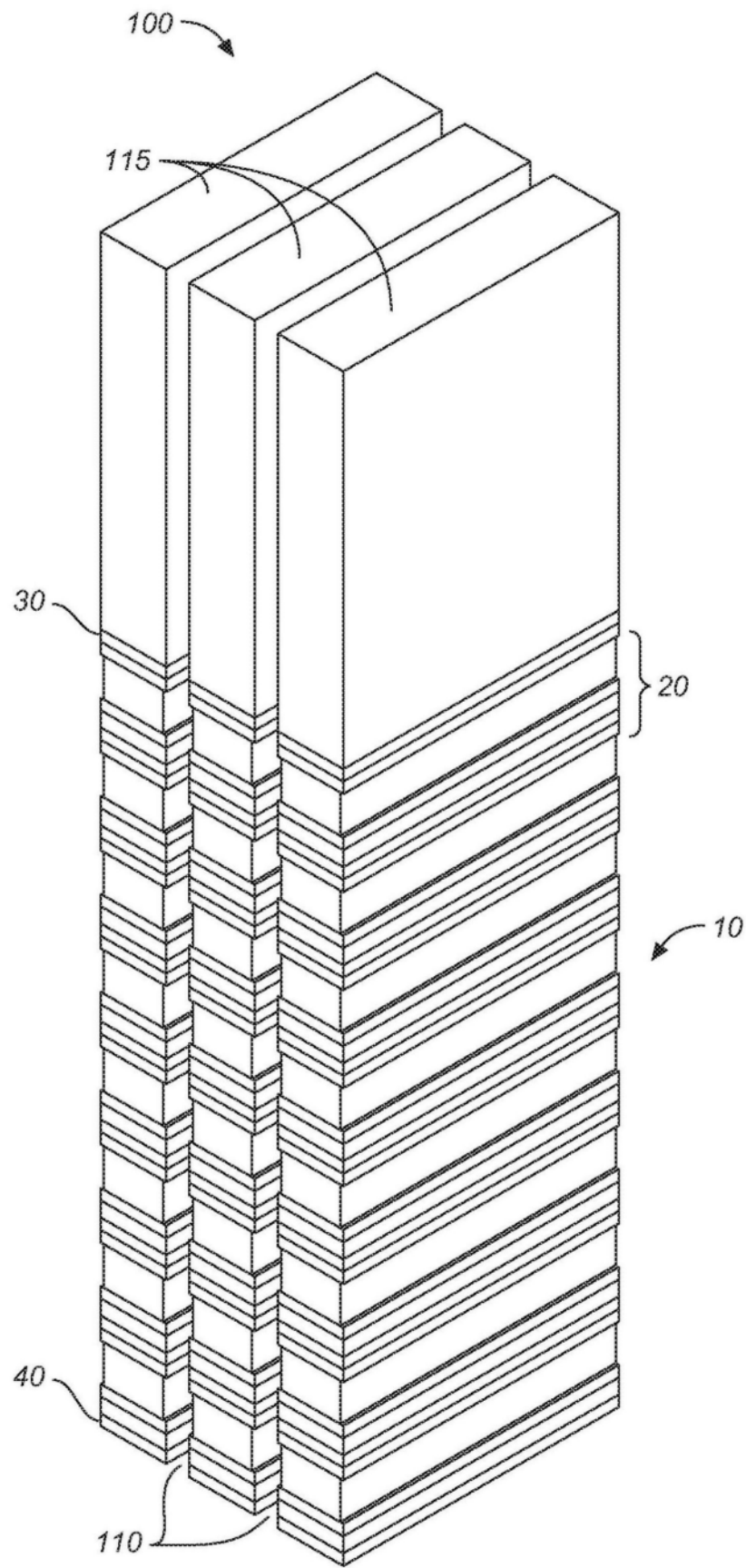


图3

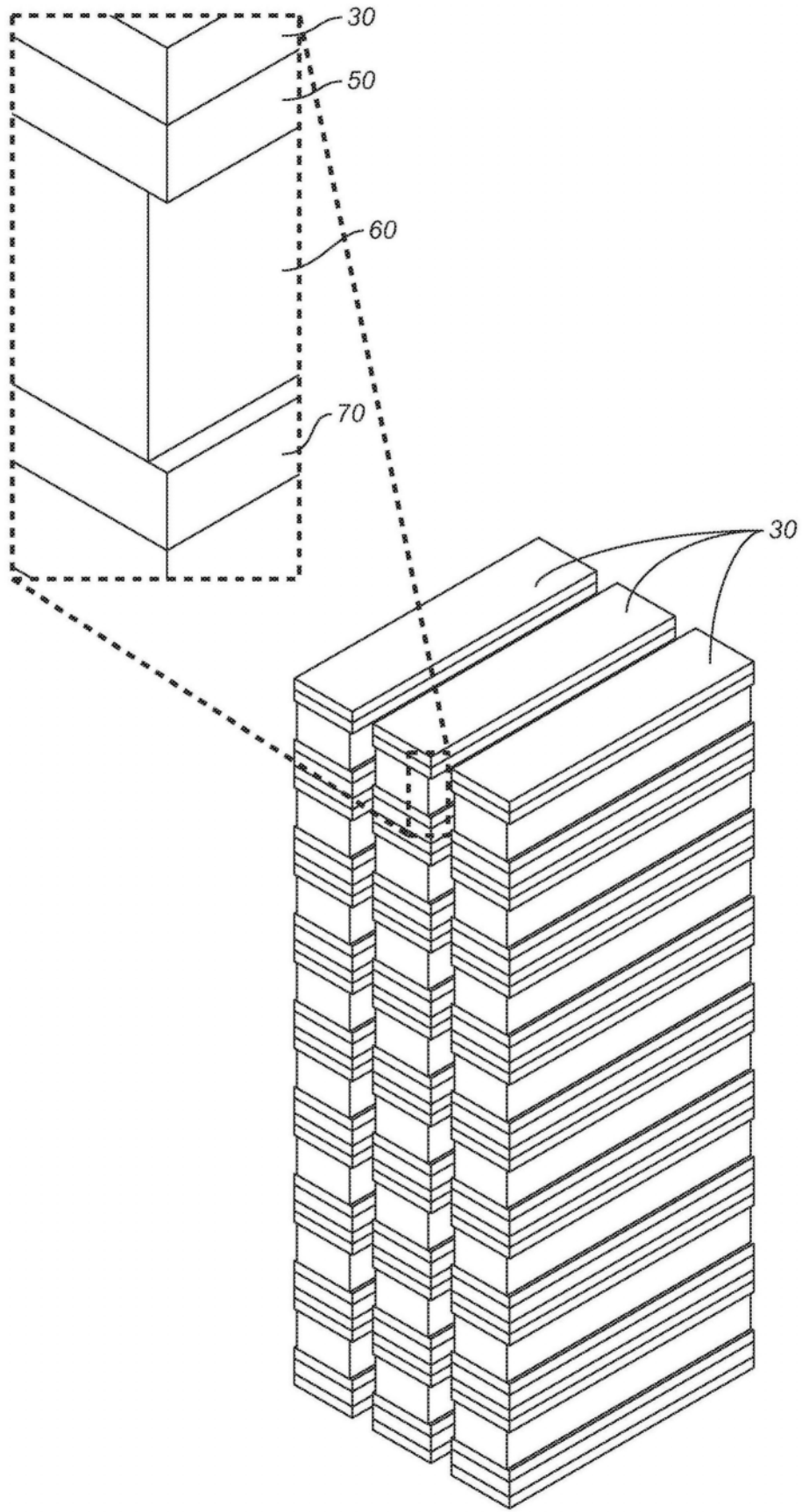


图4

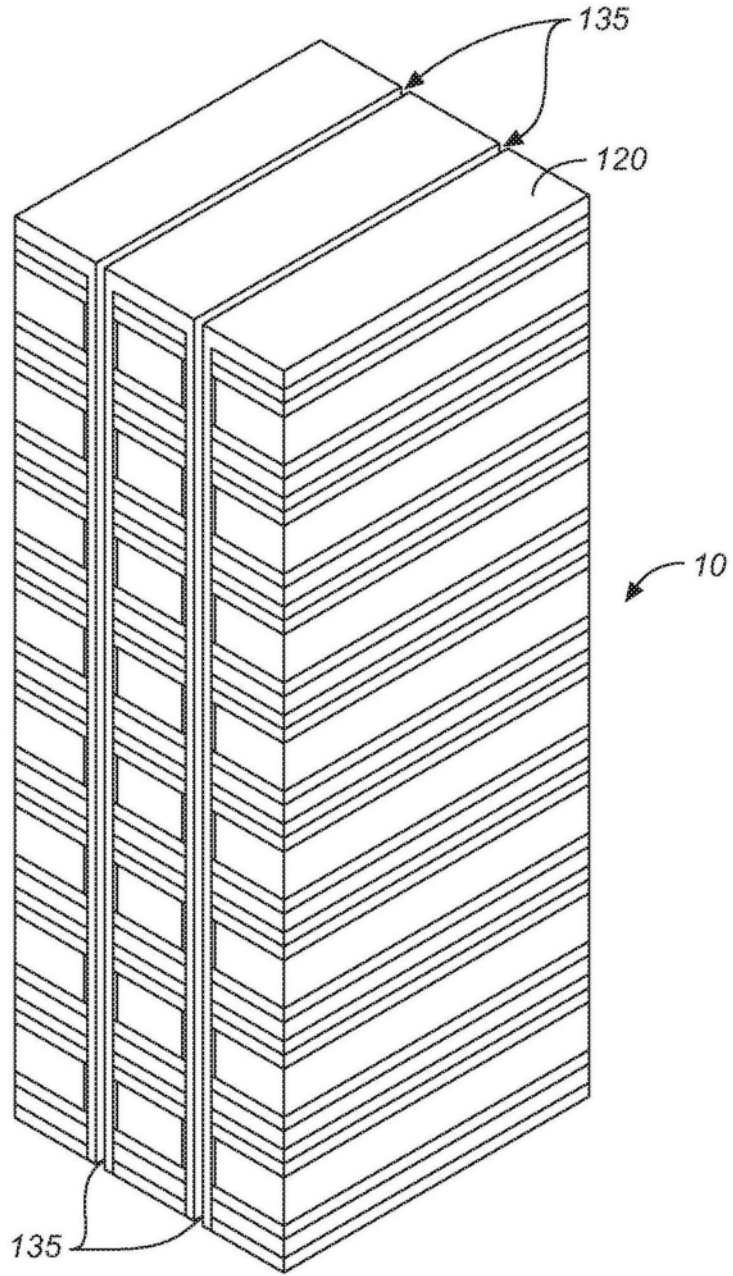


图5

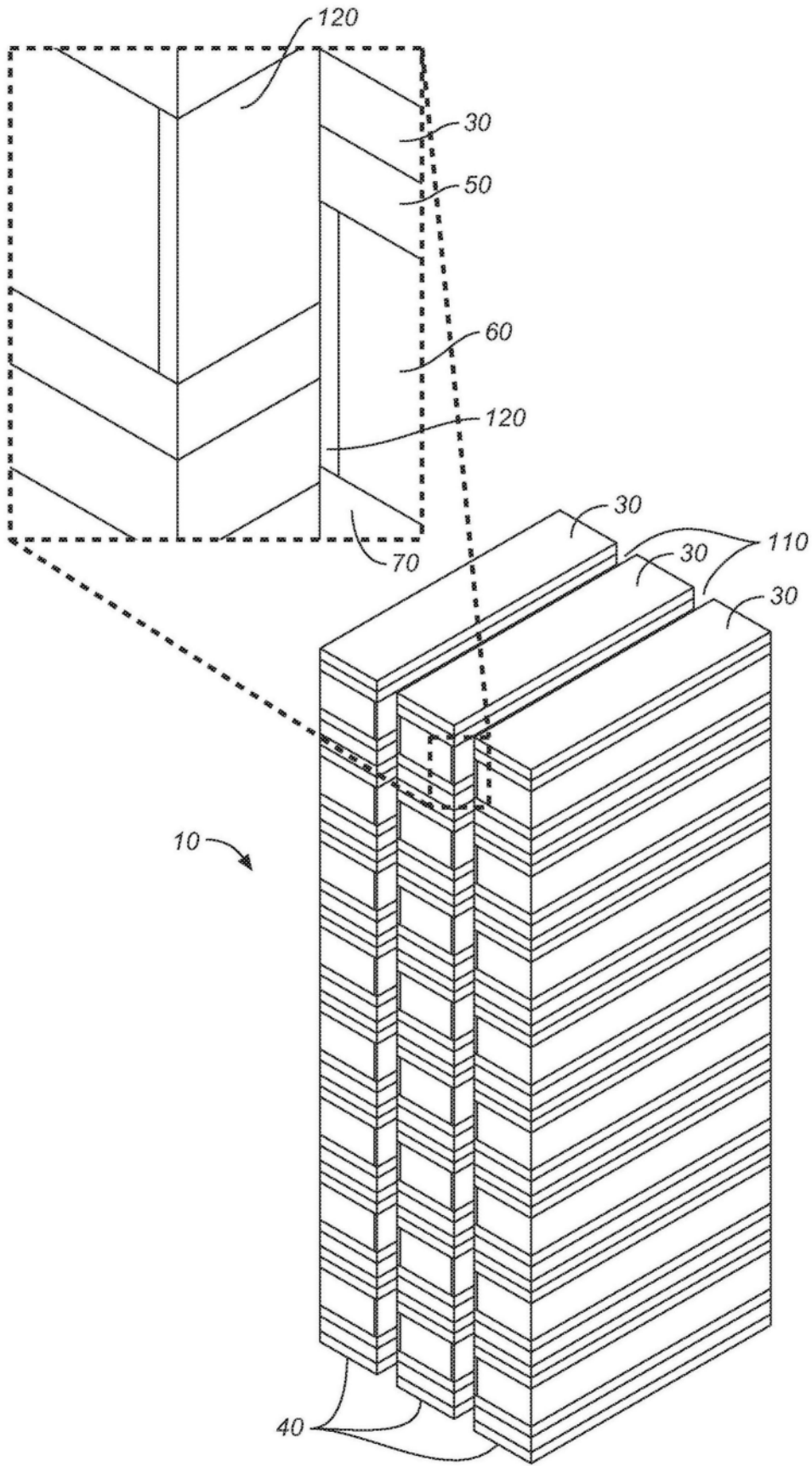


图6

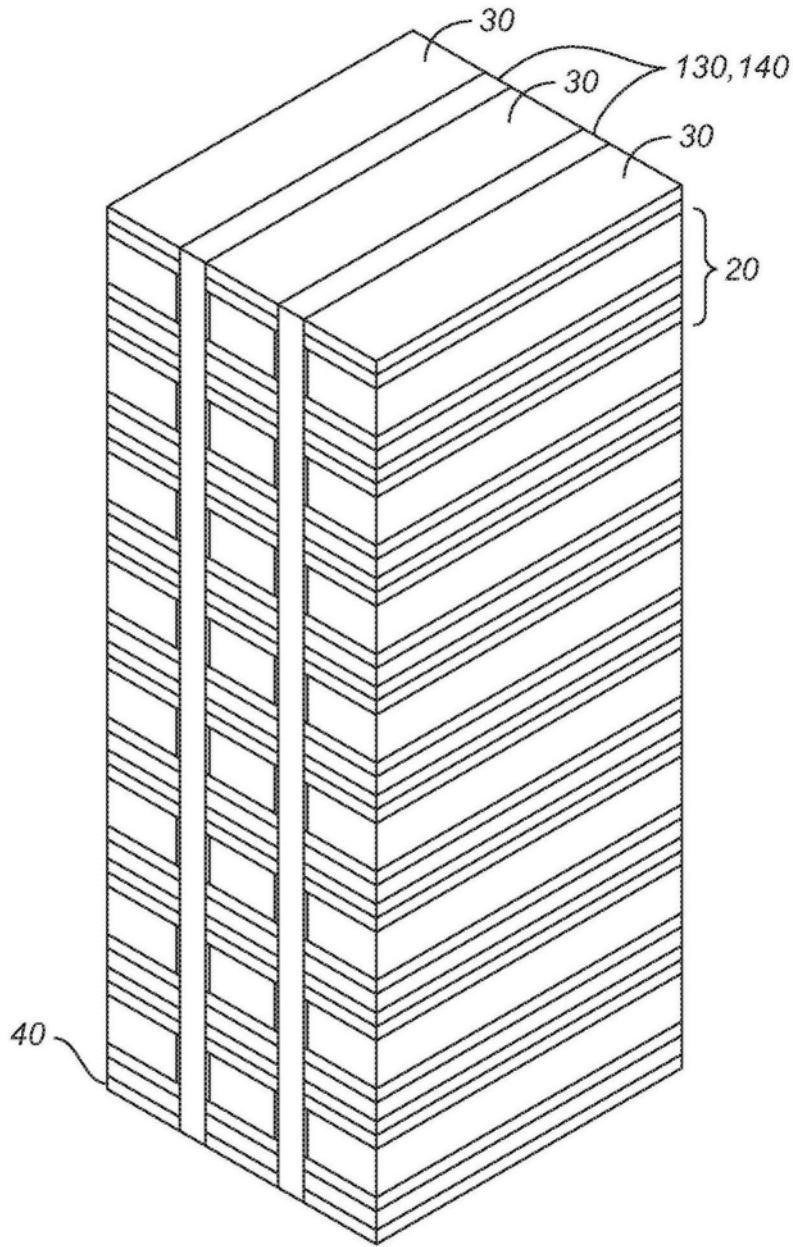


图7

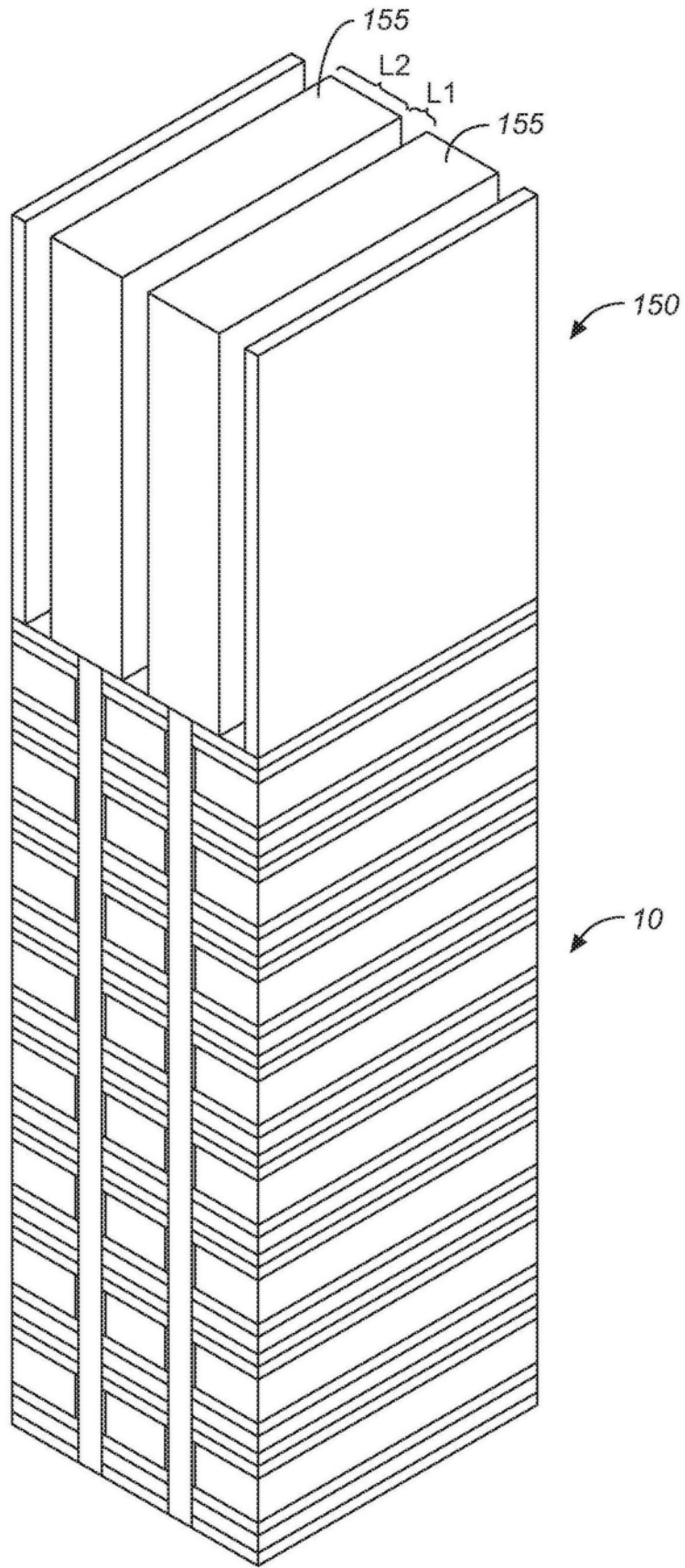


图8

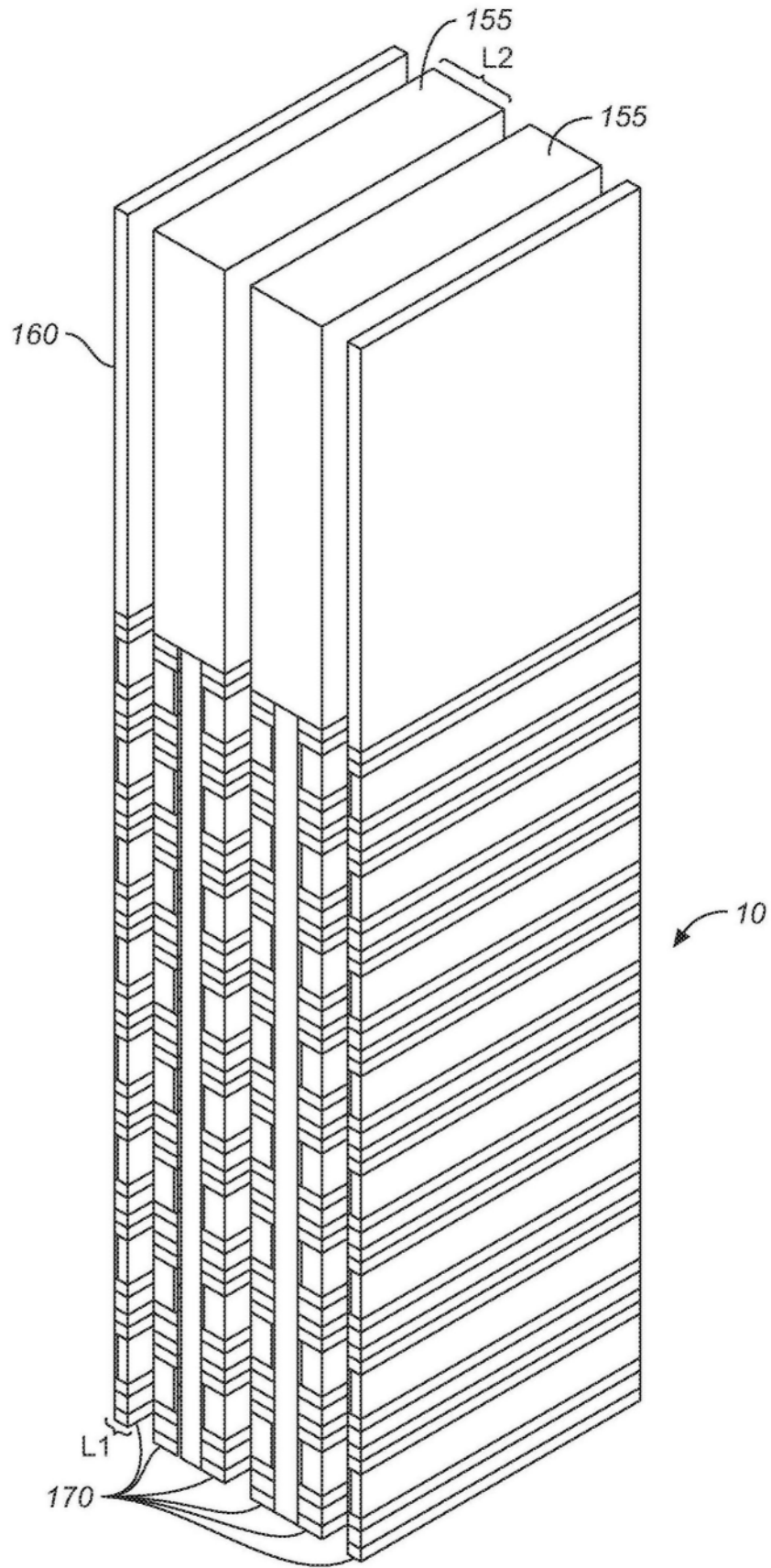


图9

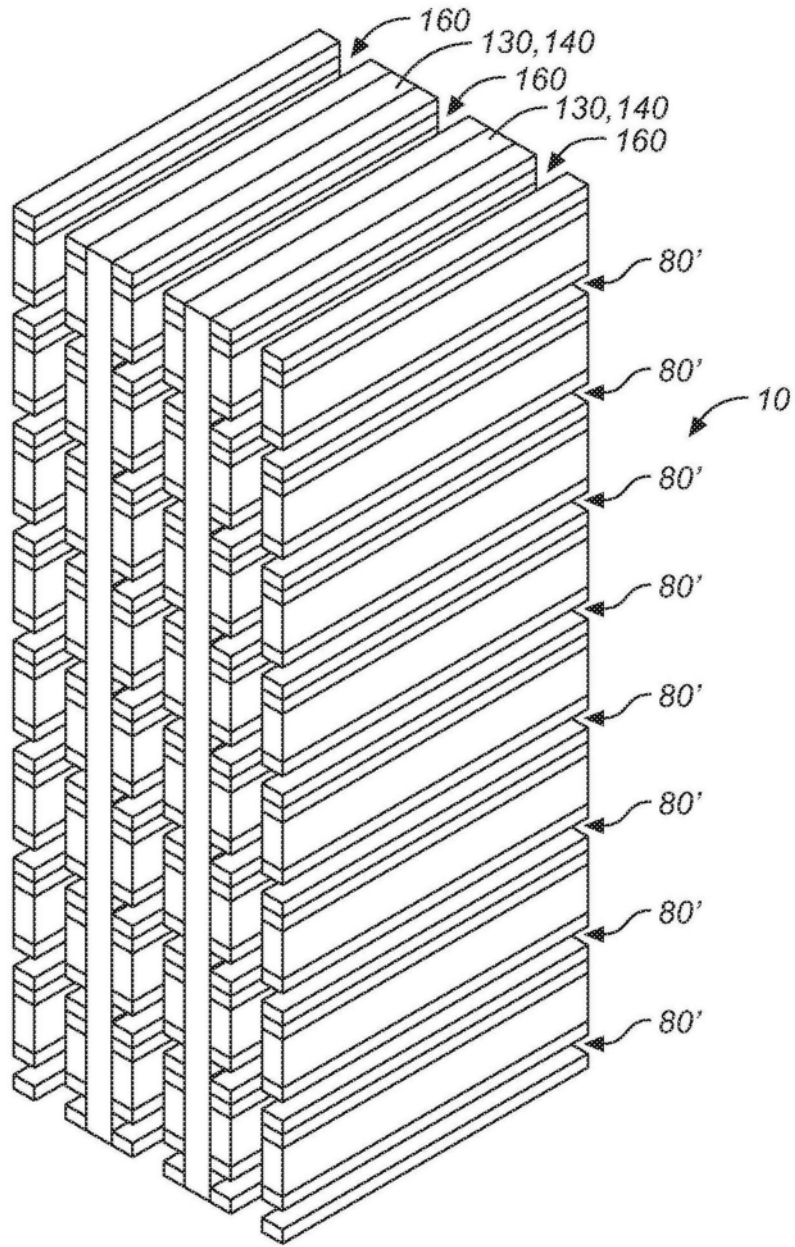


图10

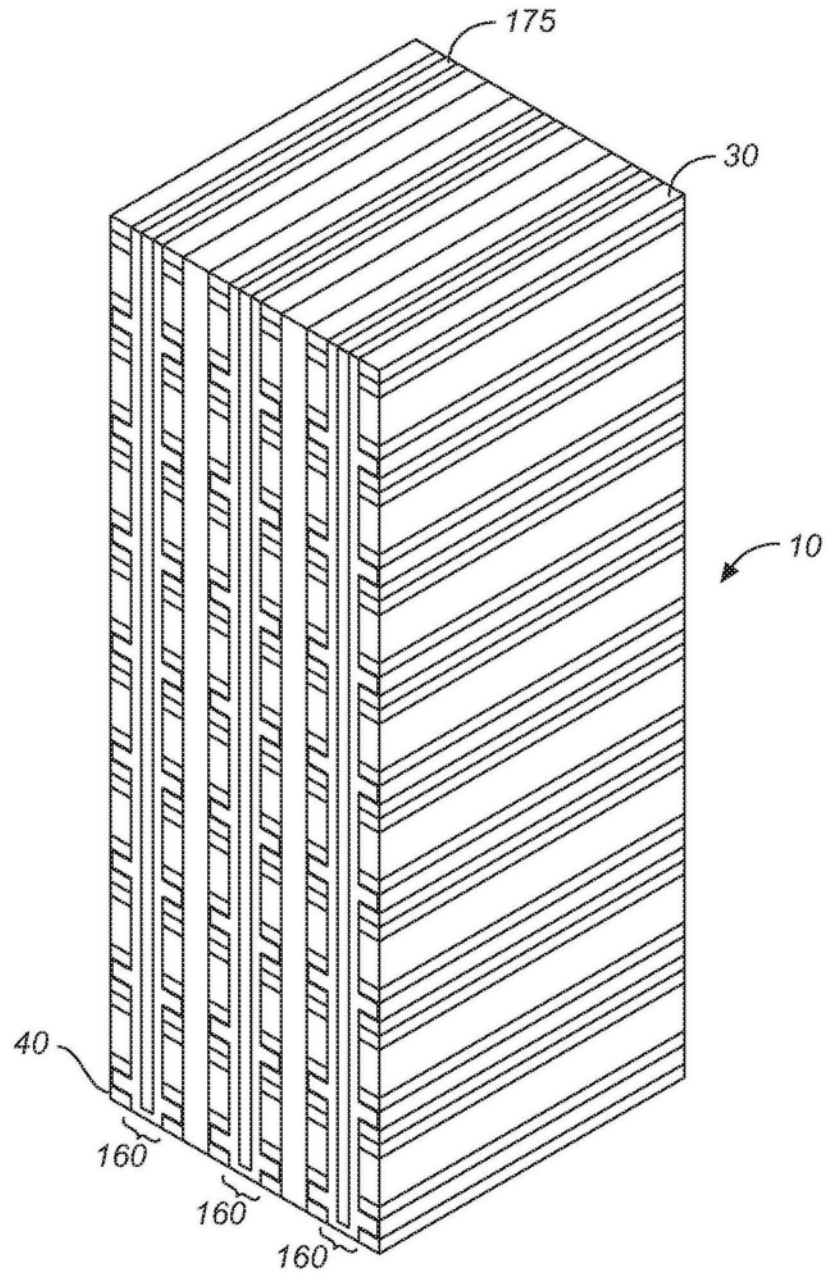


图11

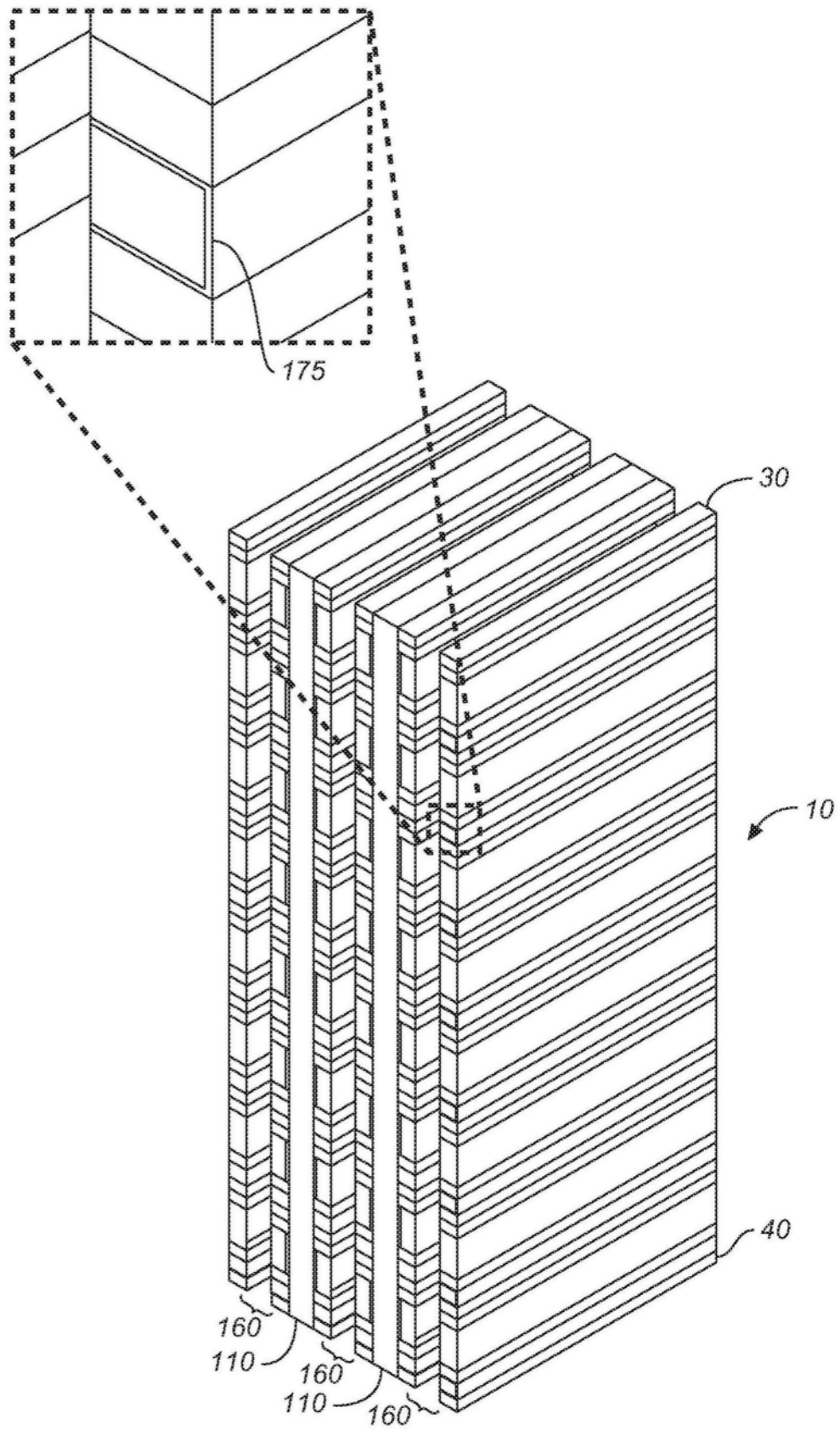


图12

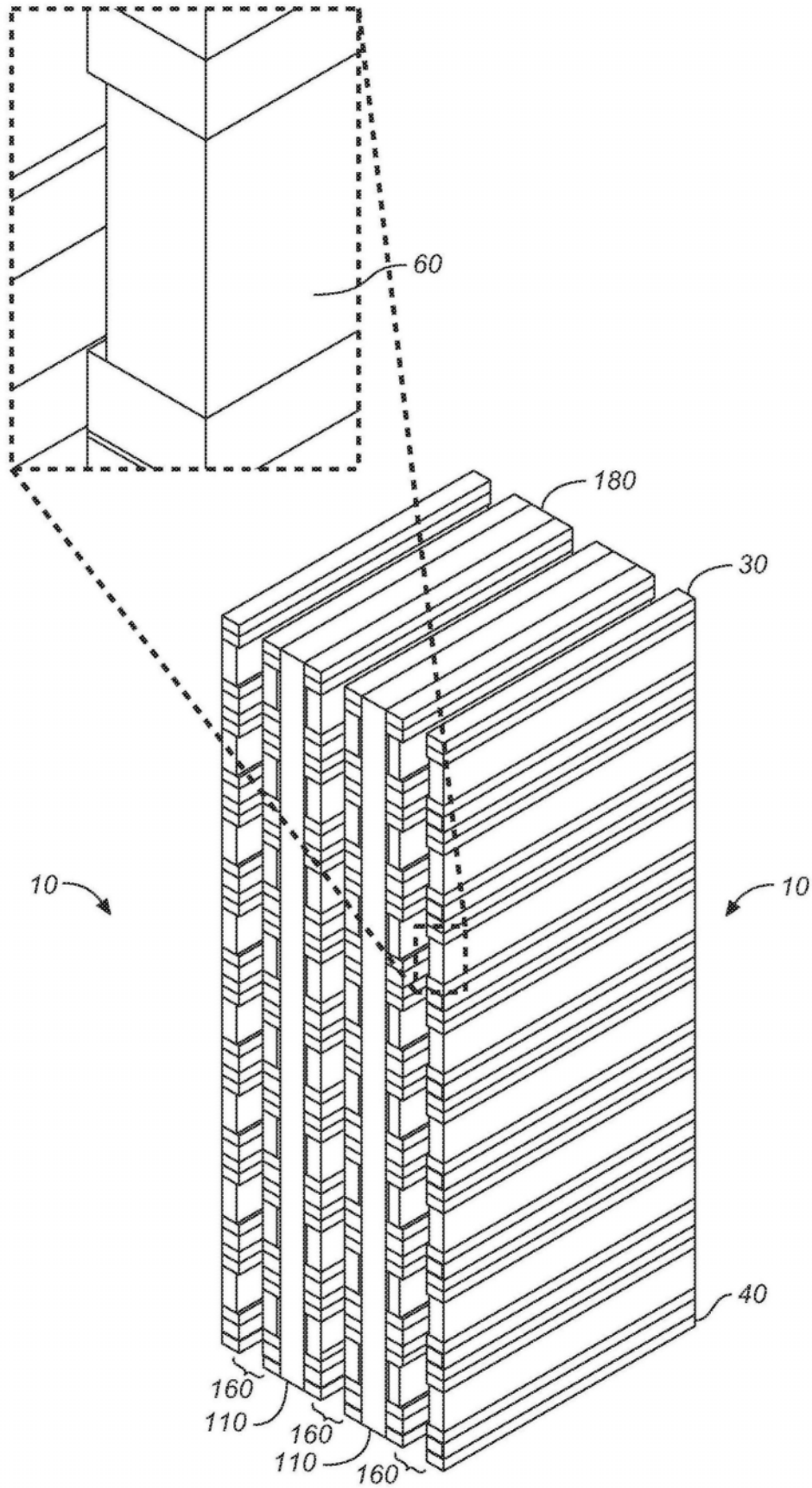


图13

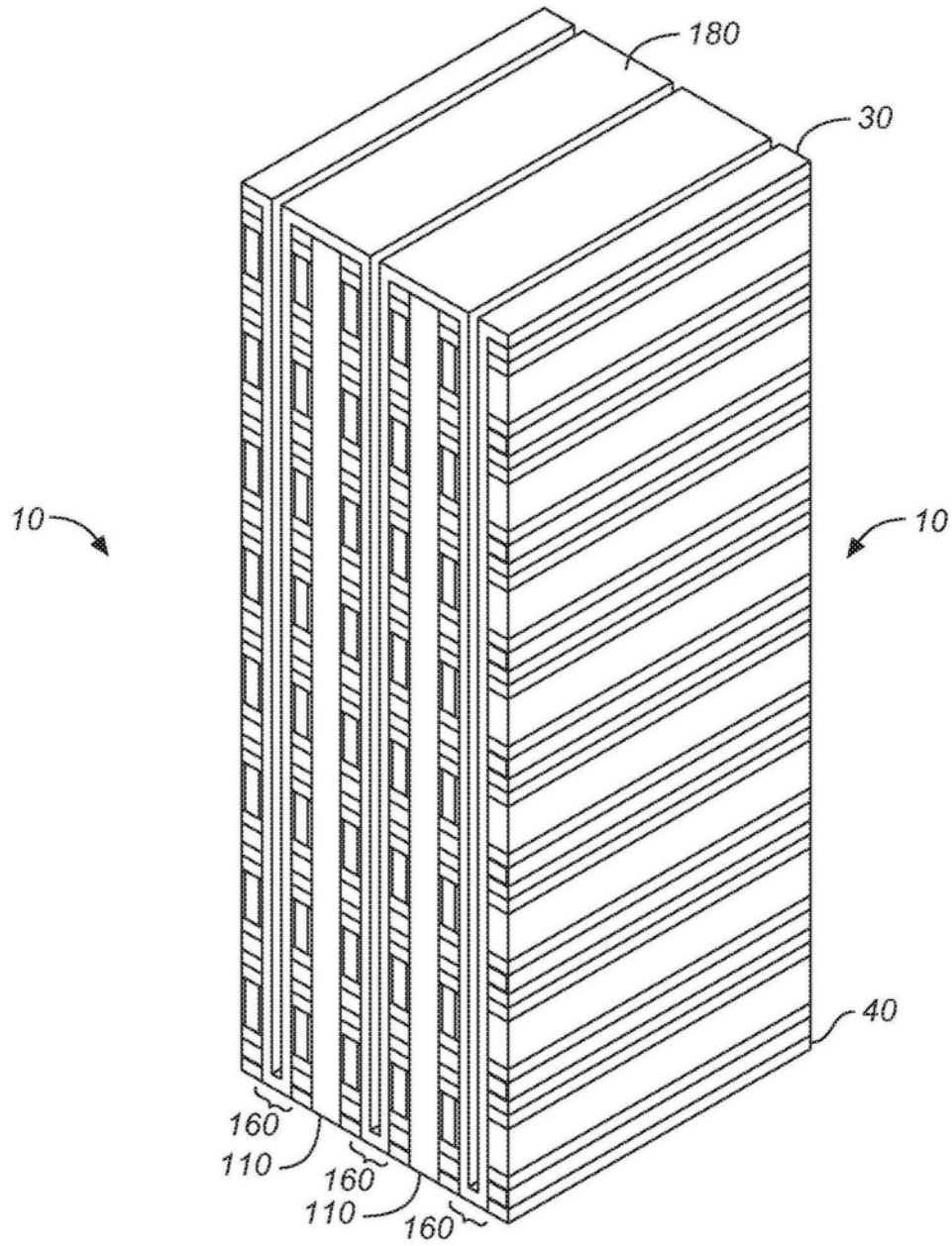


图14

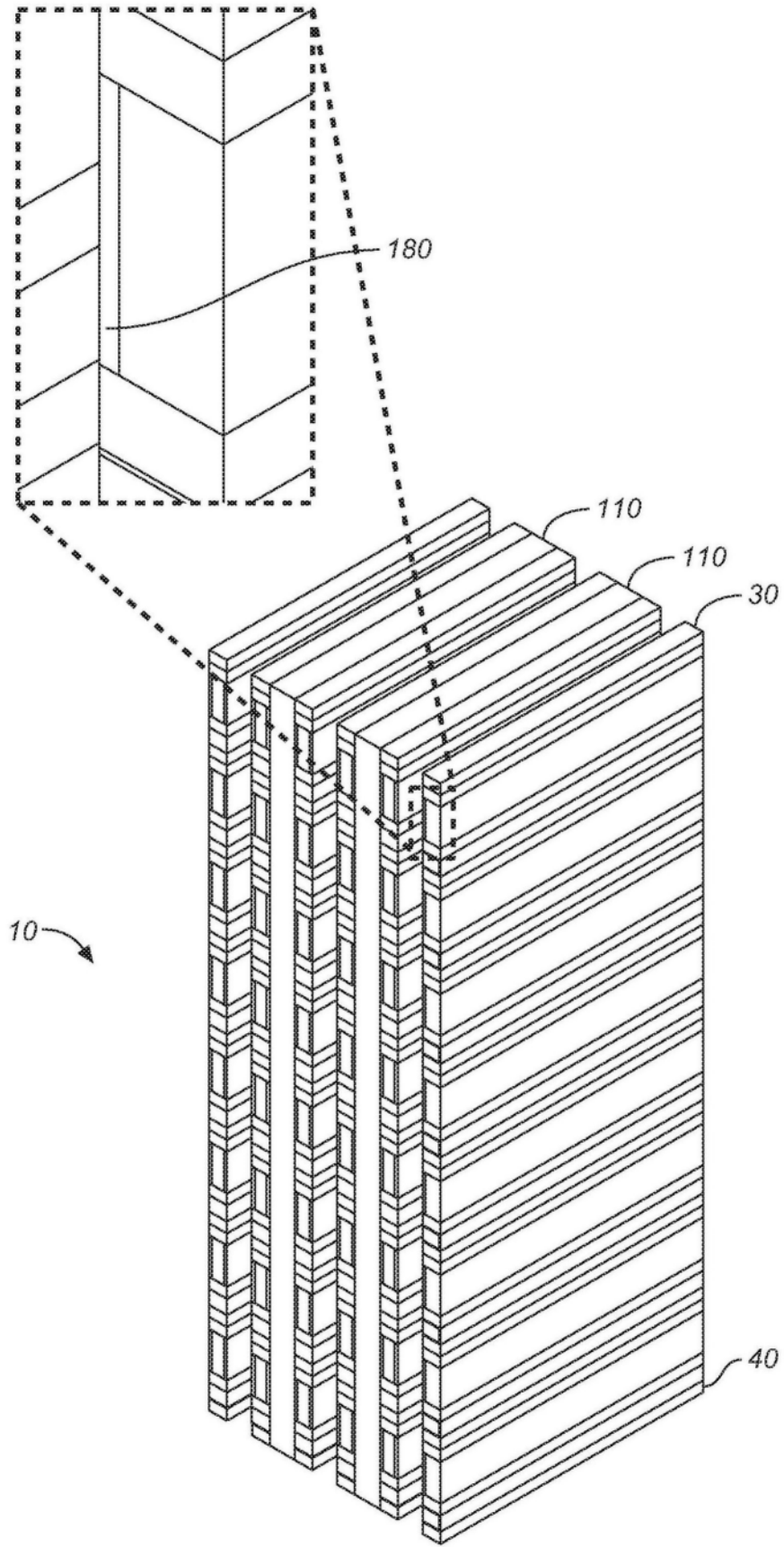


图15

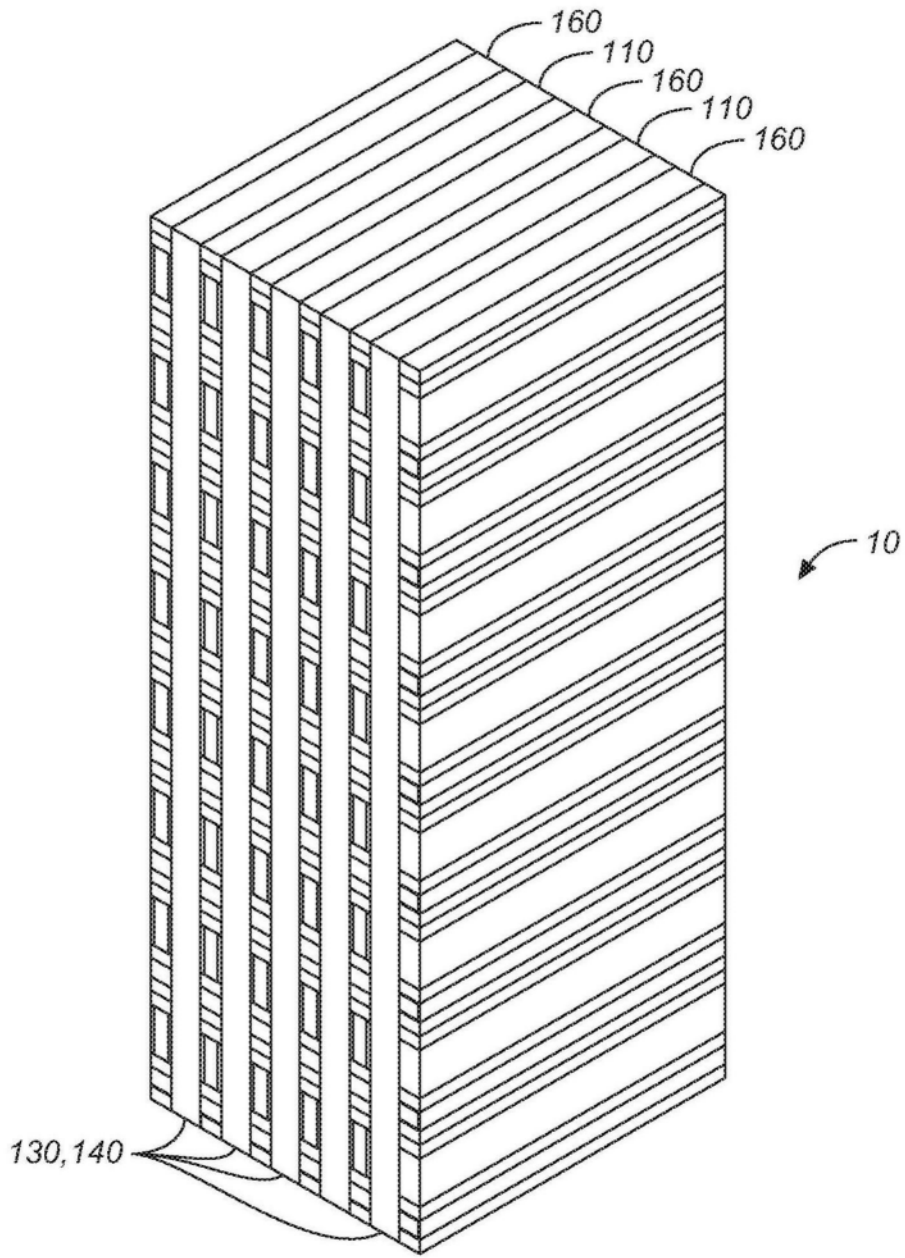


图16

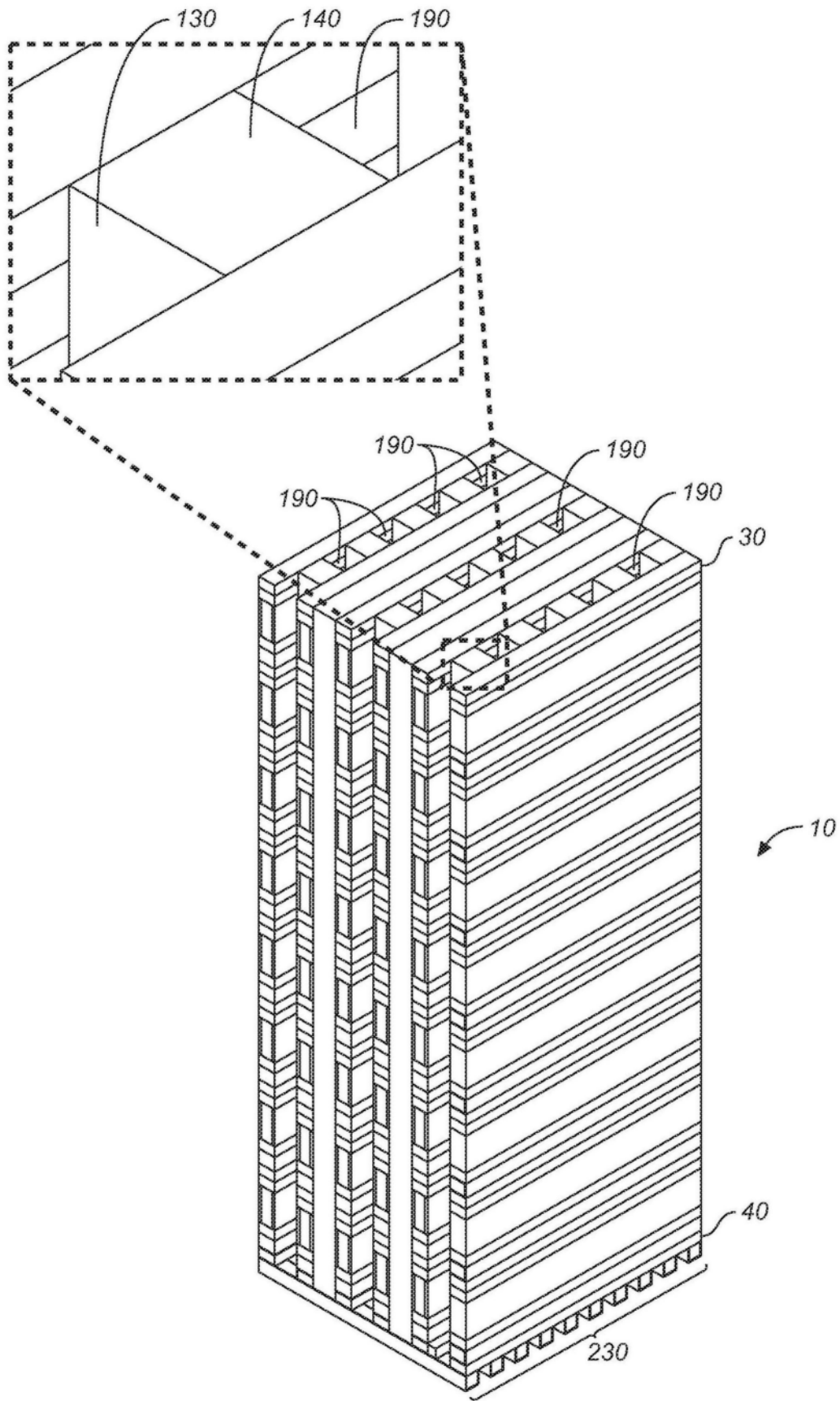


图17

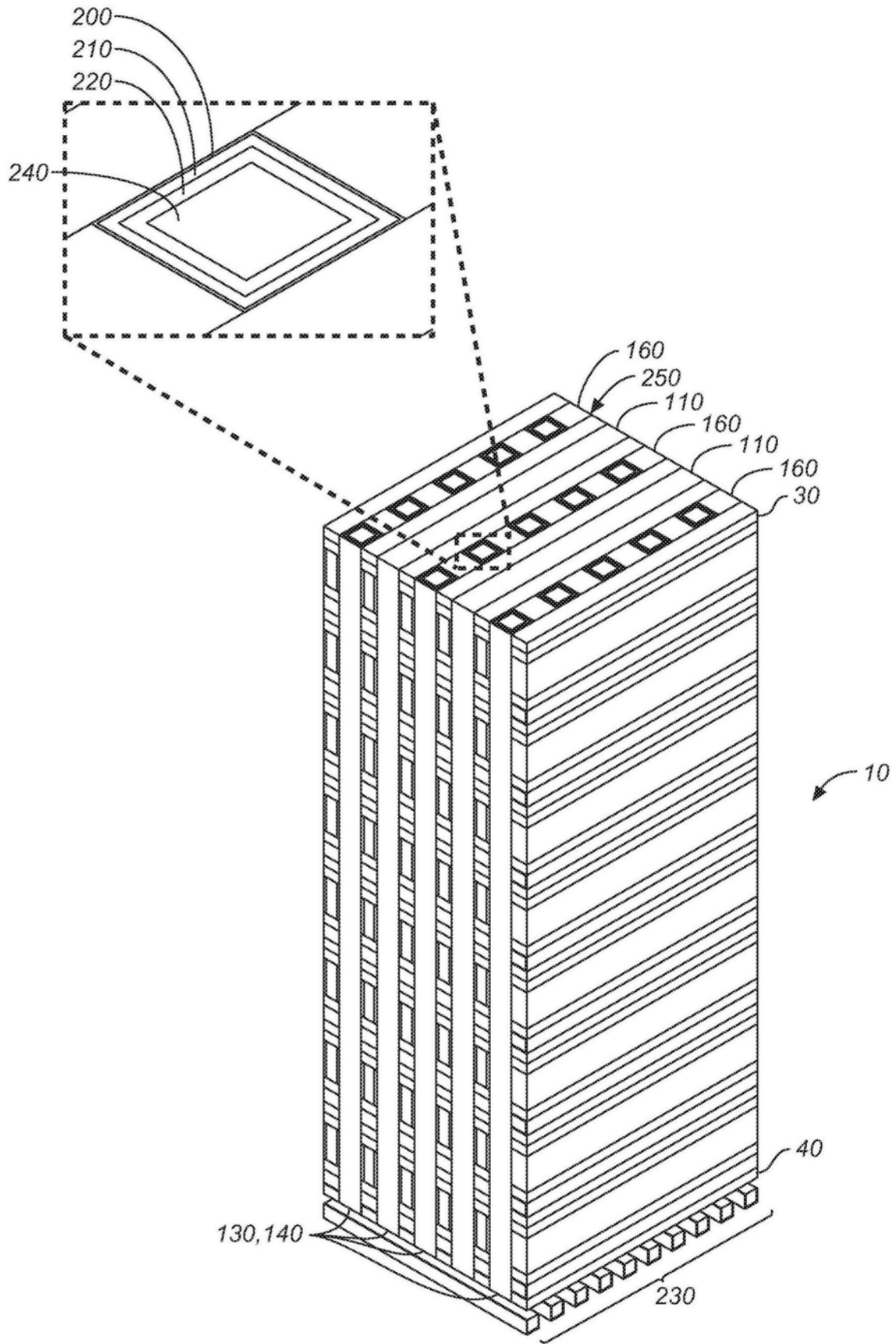


图18

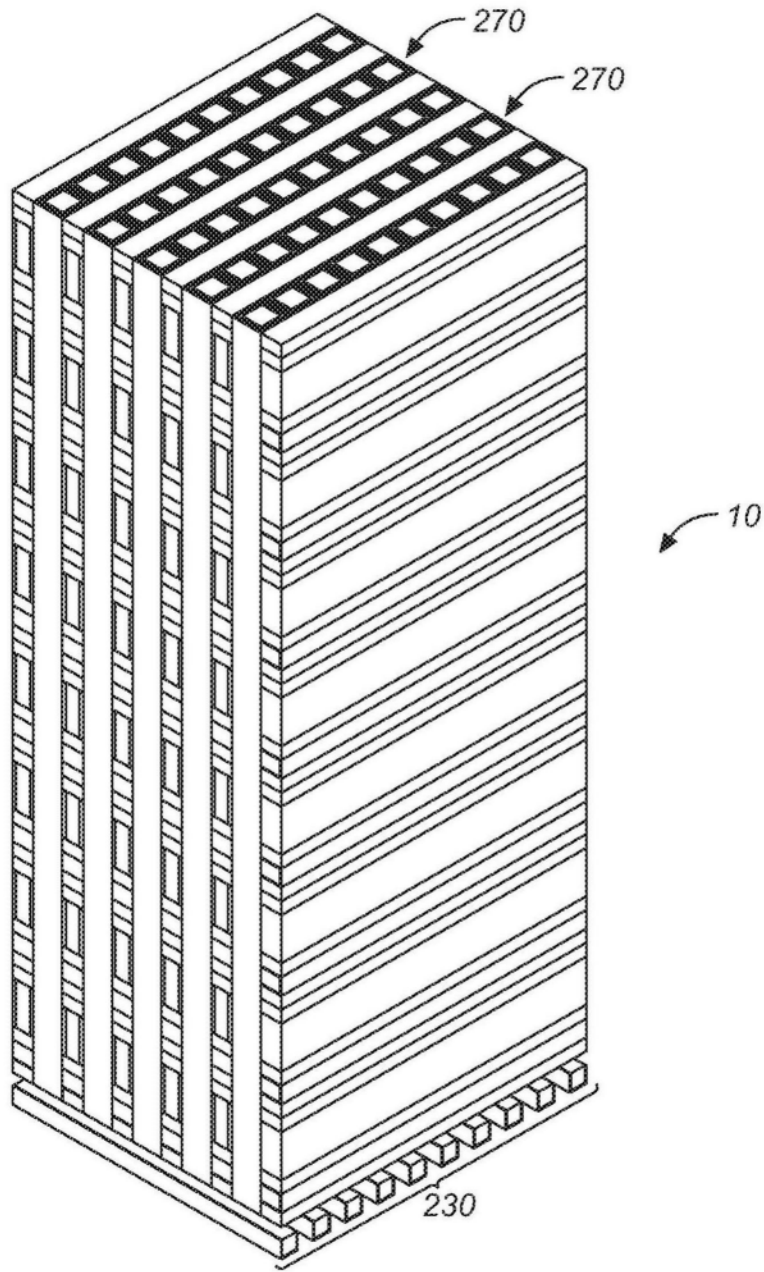


图19

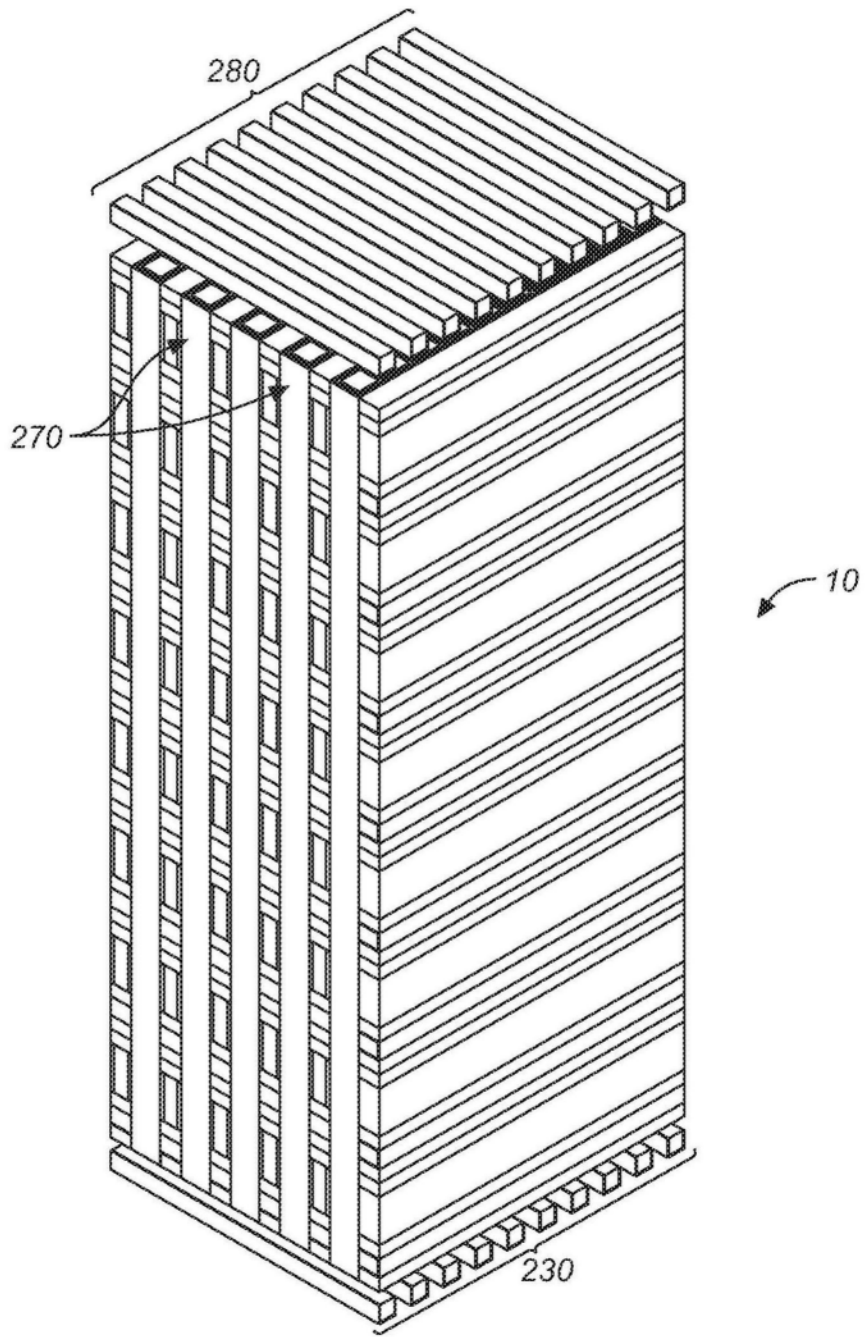


图20

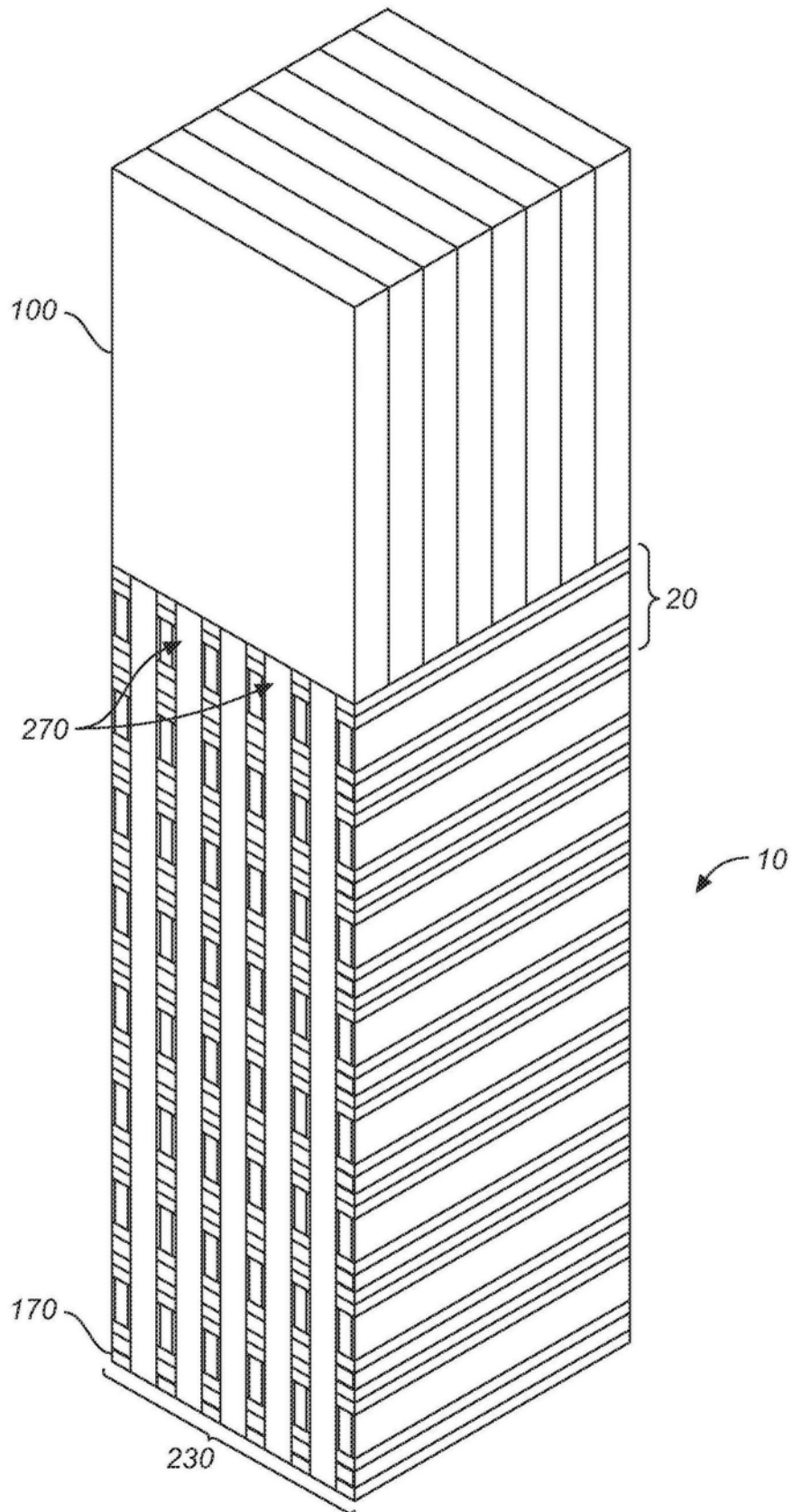


图21

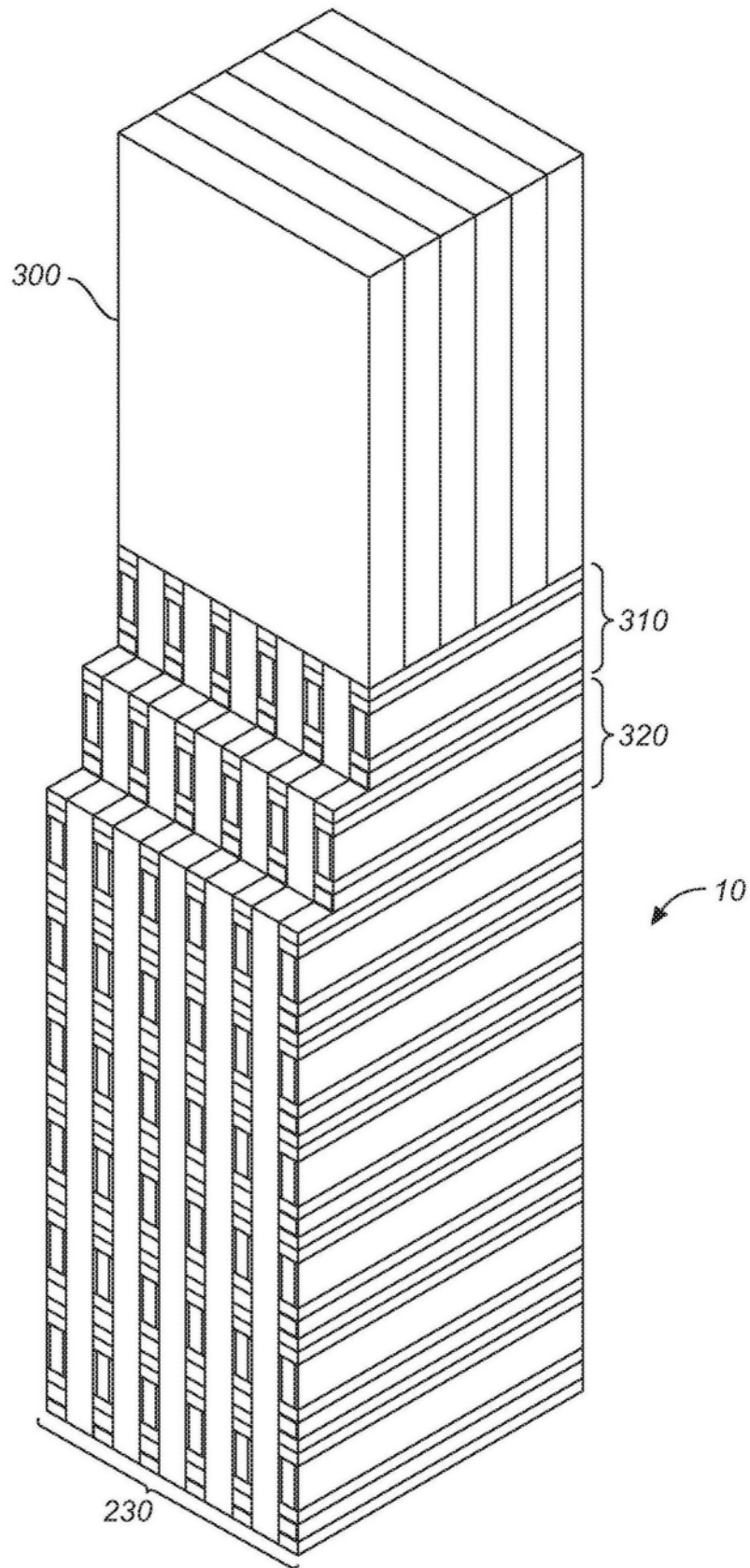


图22

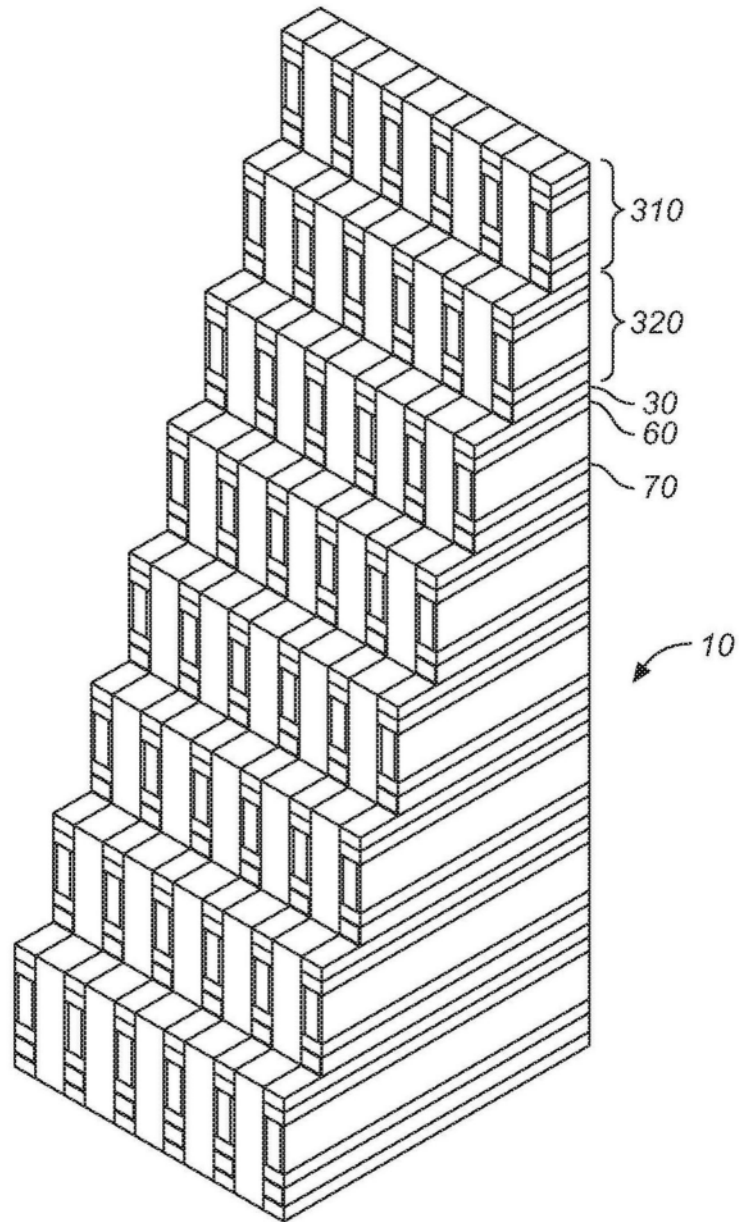


图23

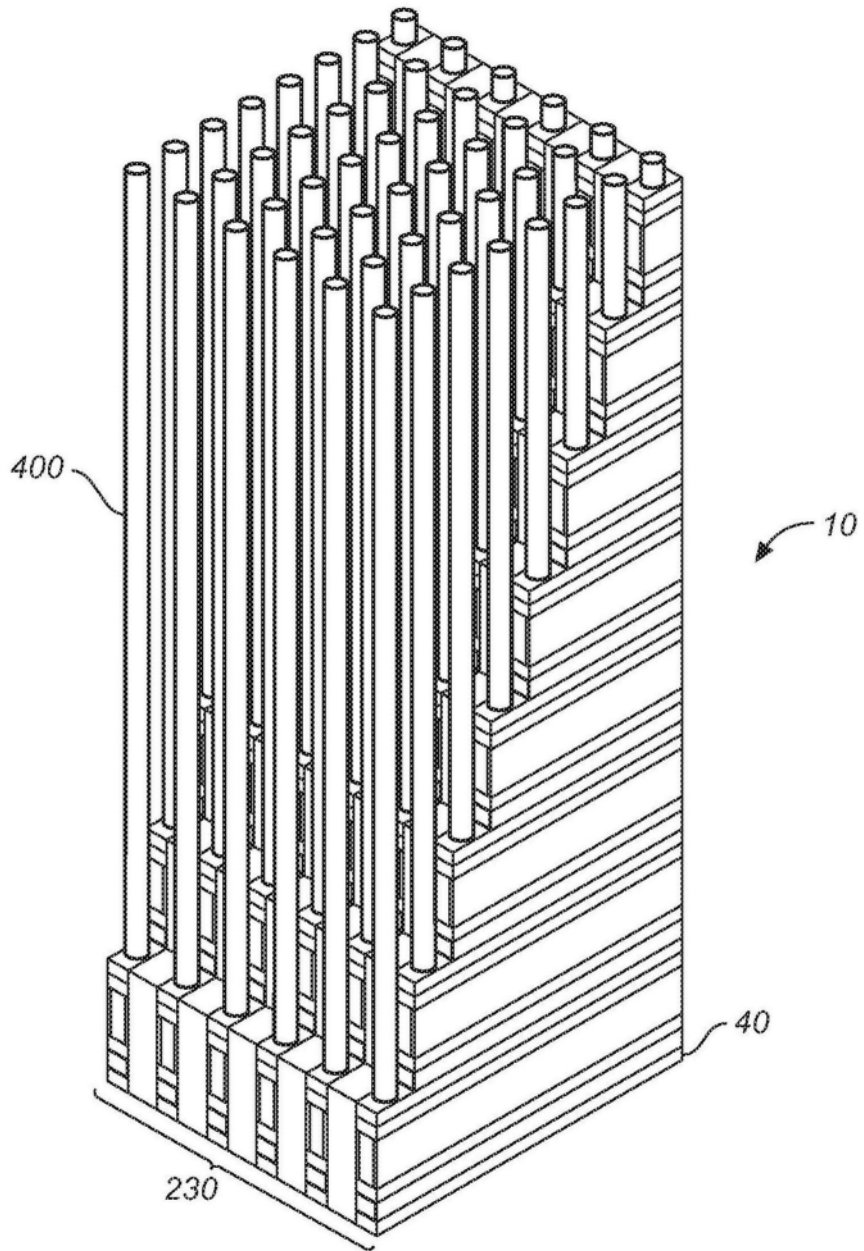


图24

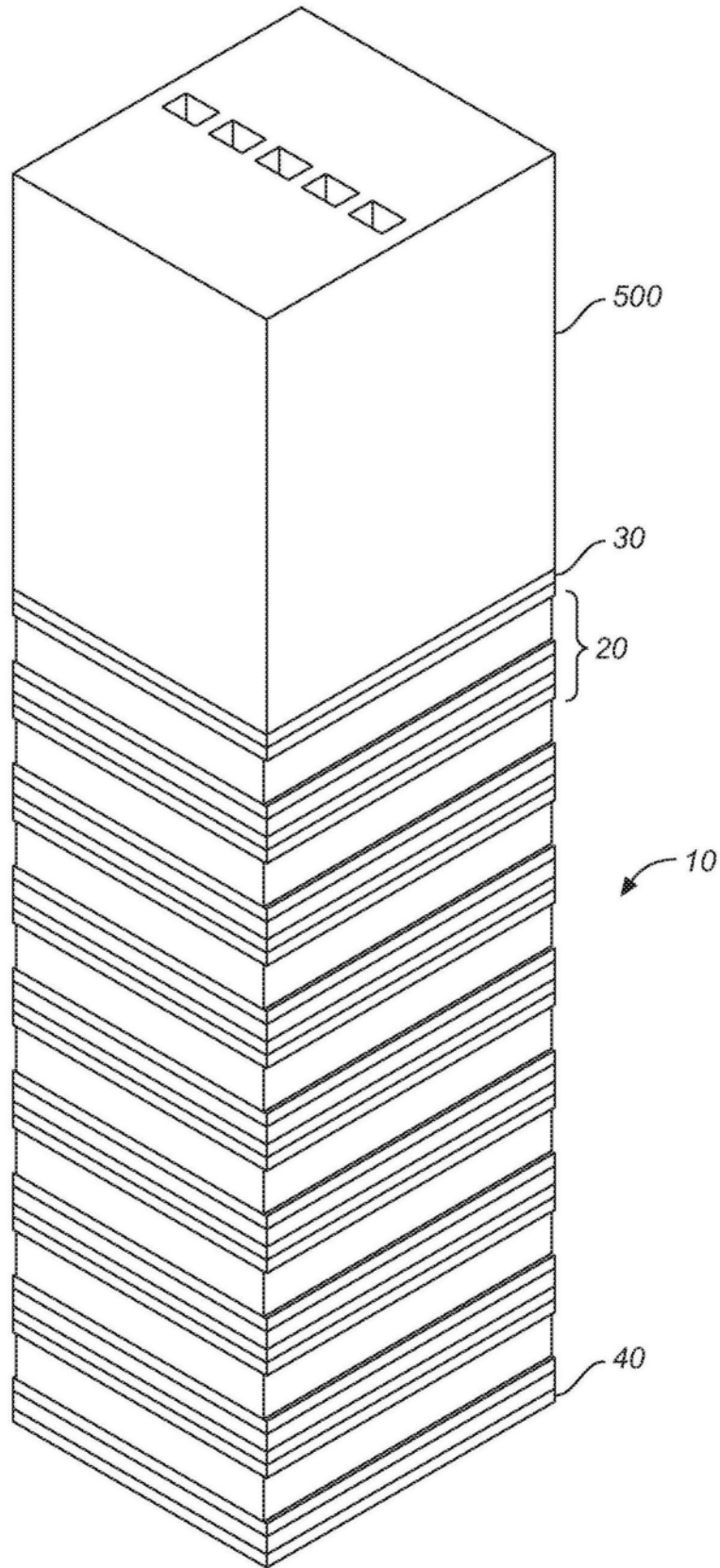


图25

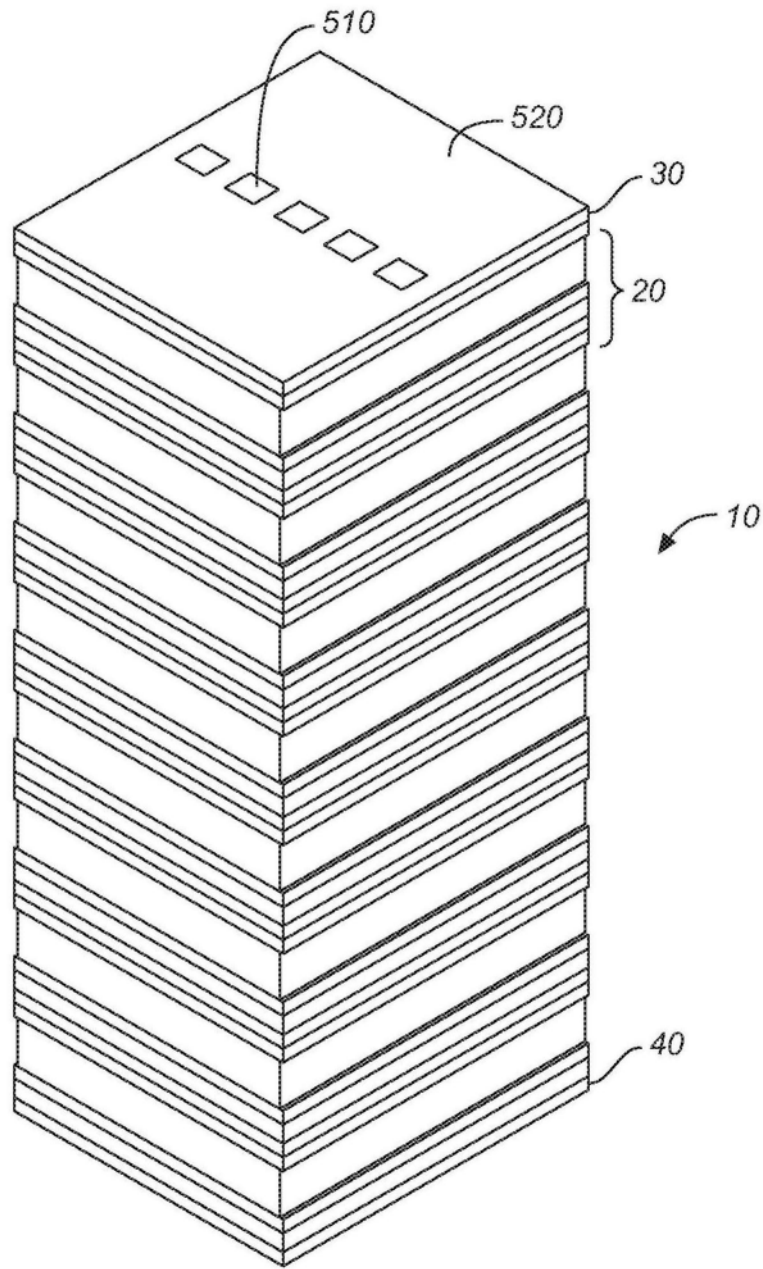


图26

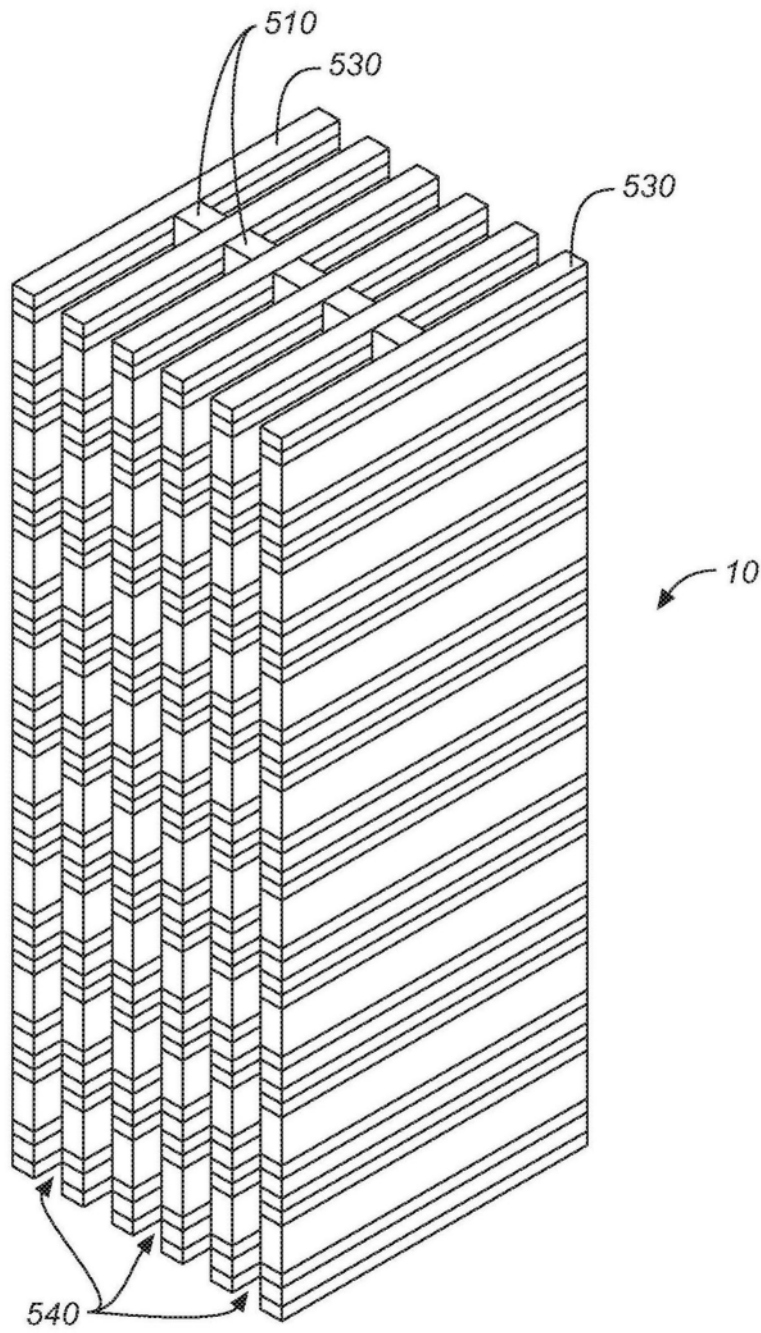


图27

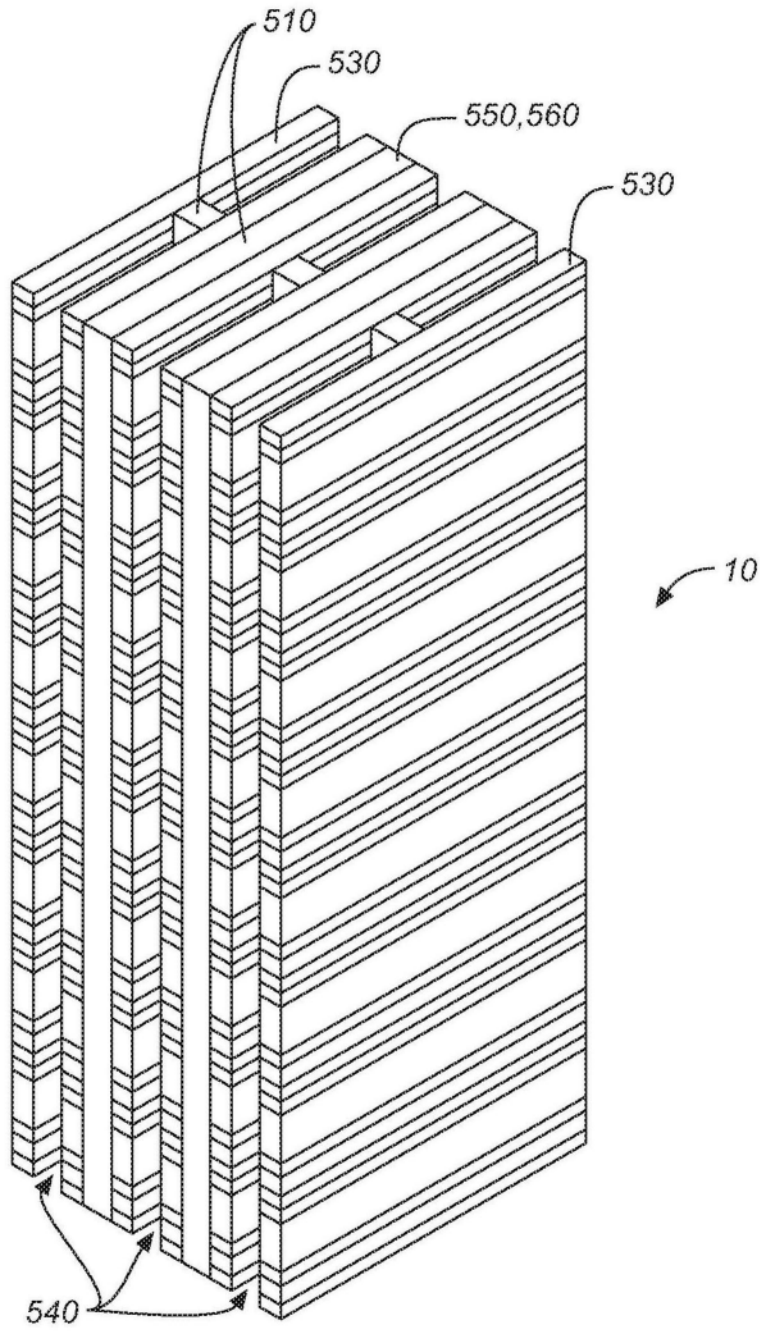


图28

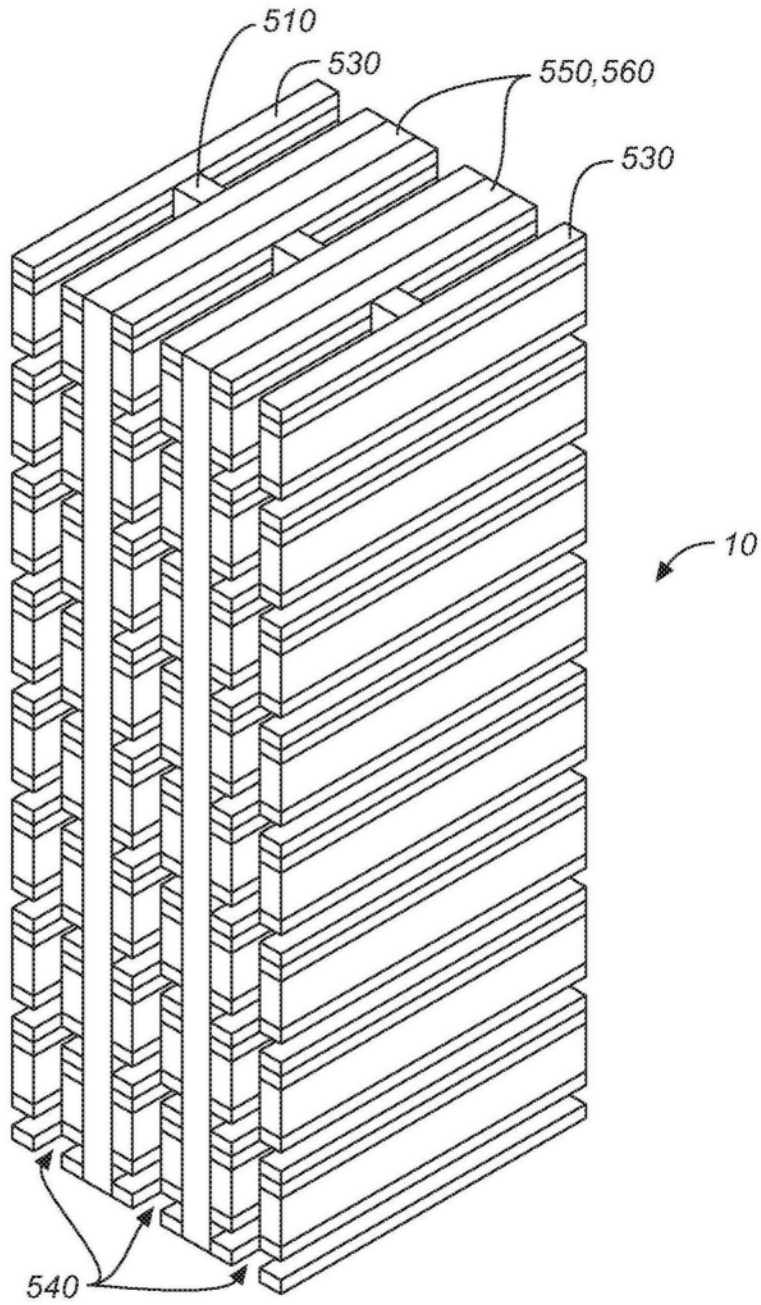


图29

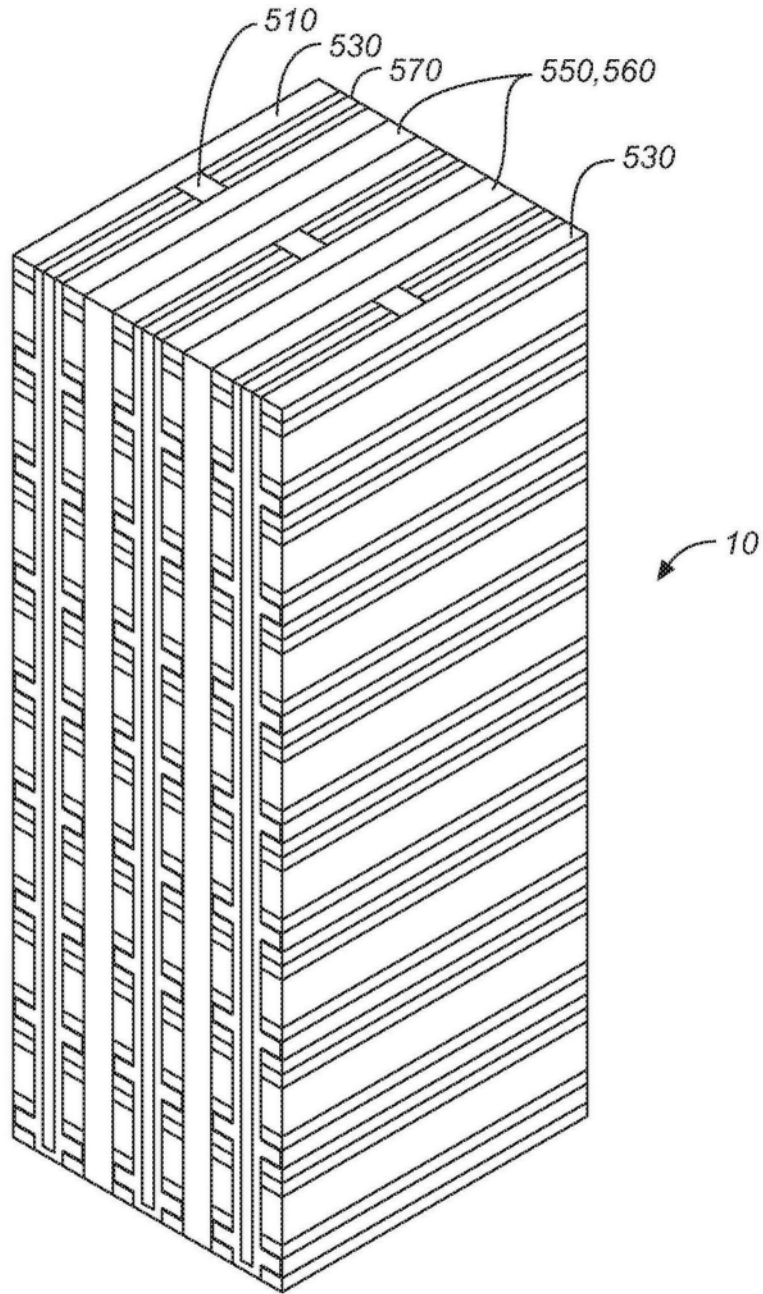


图30

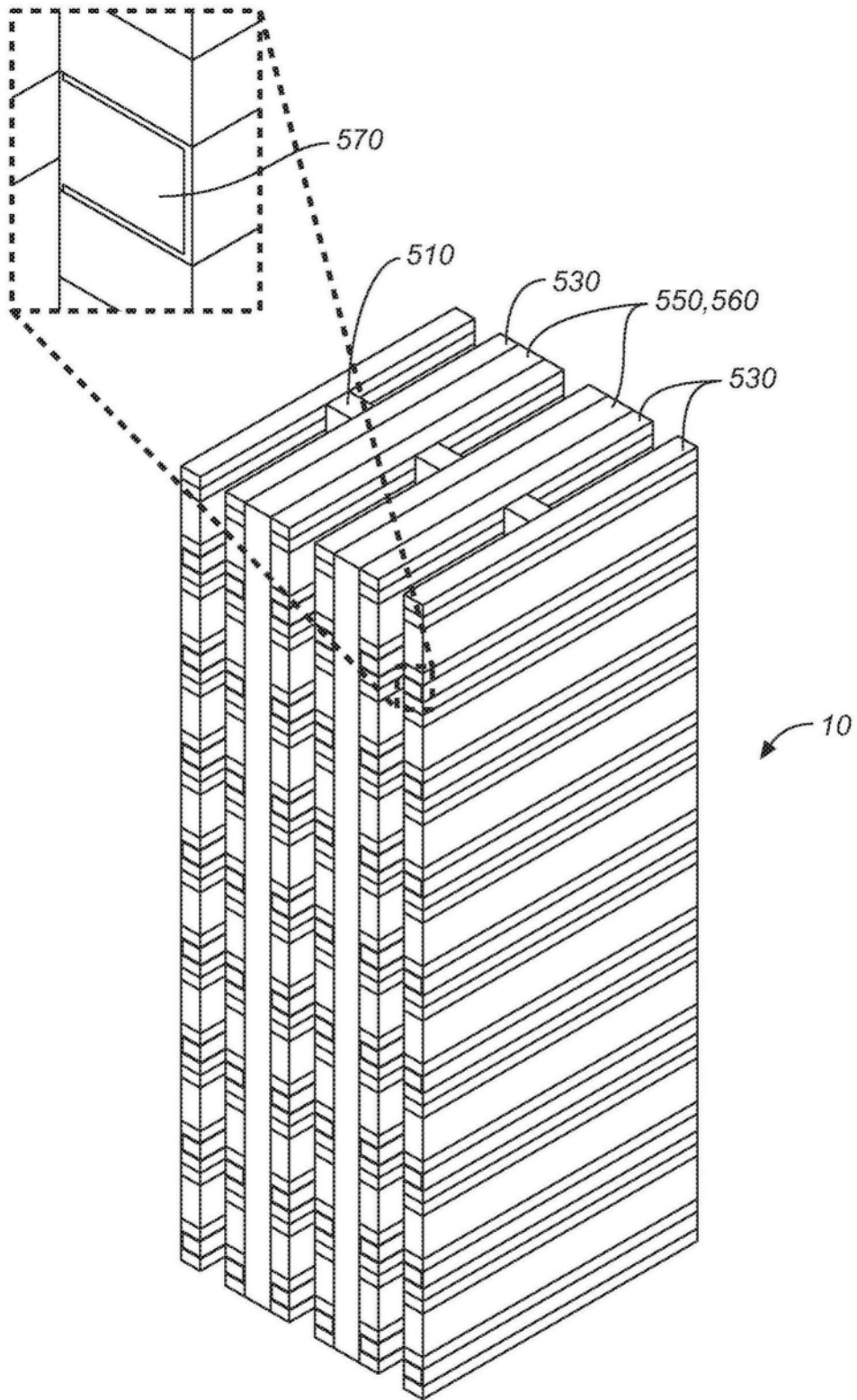


图31

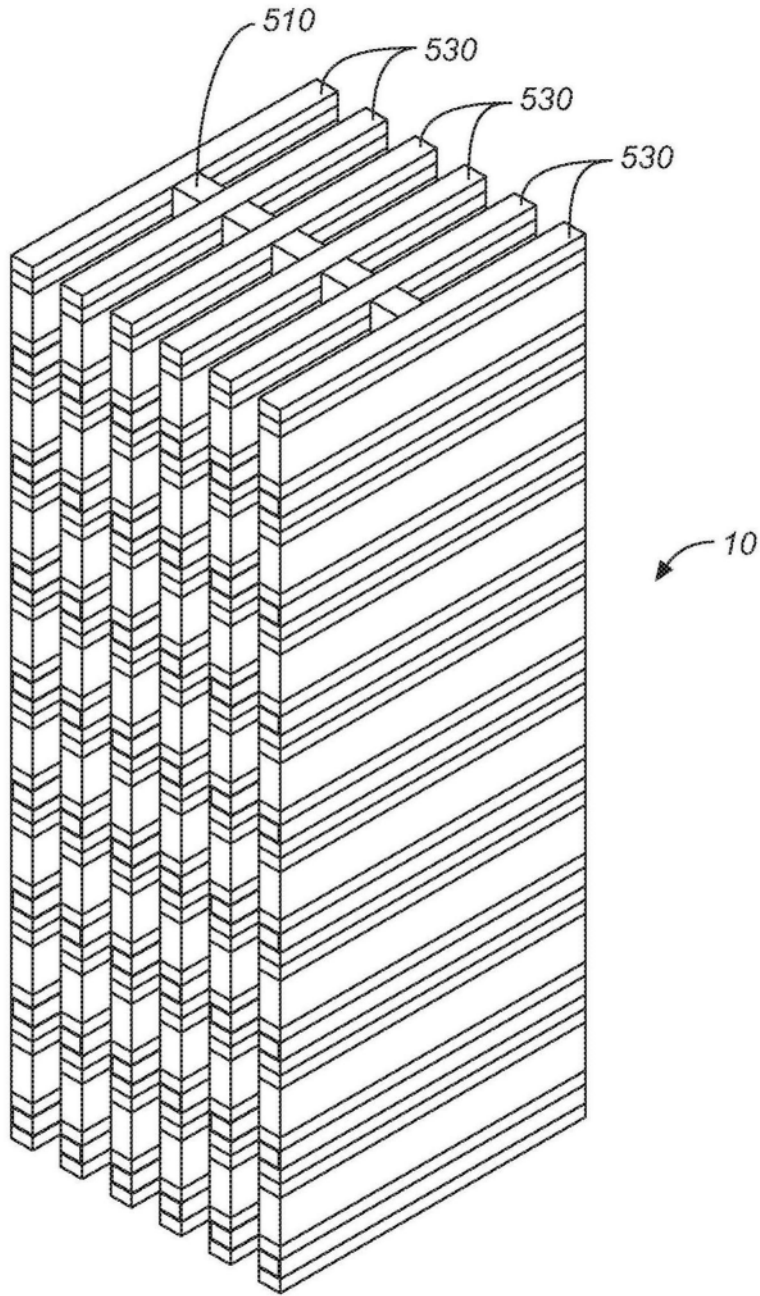


图32

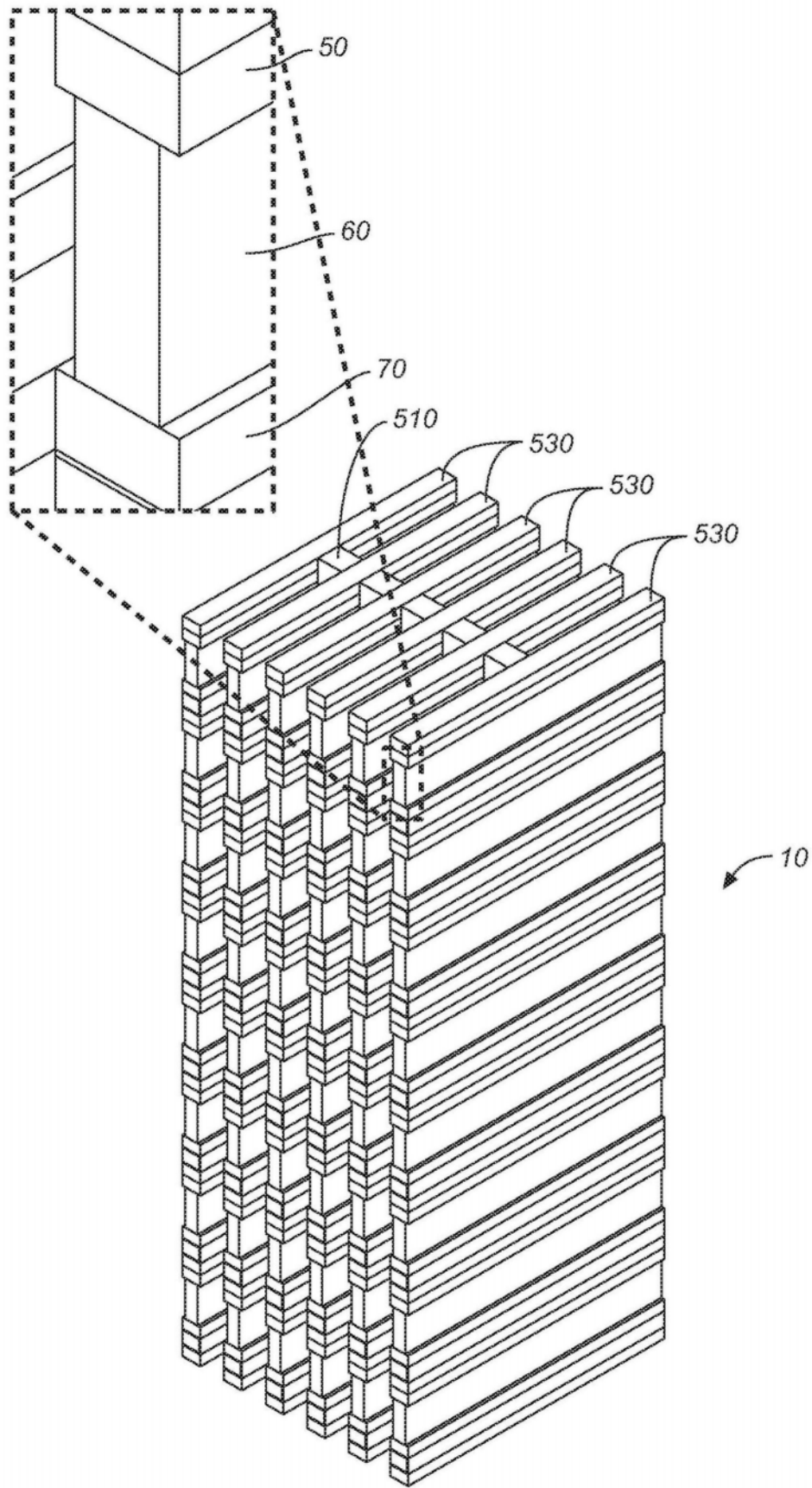


图33

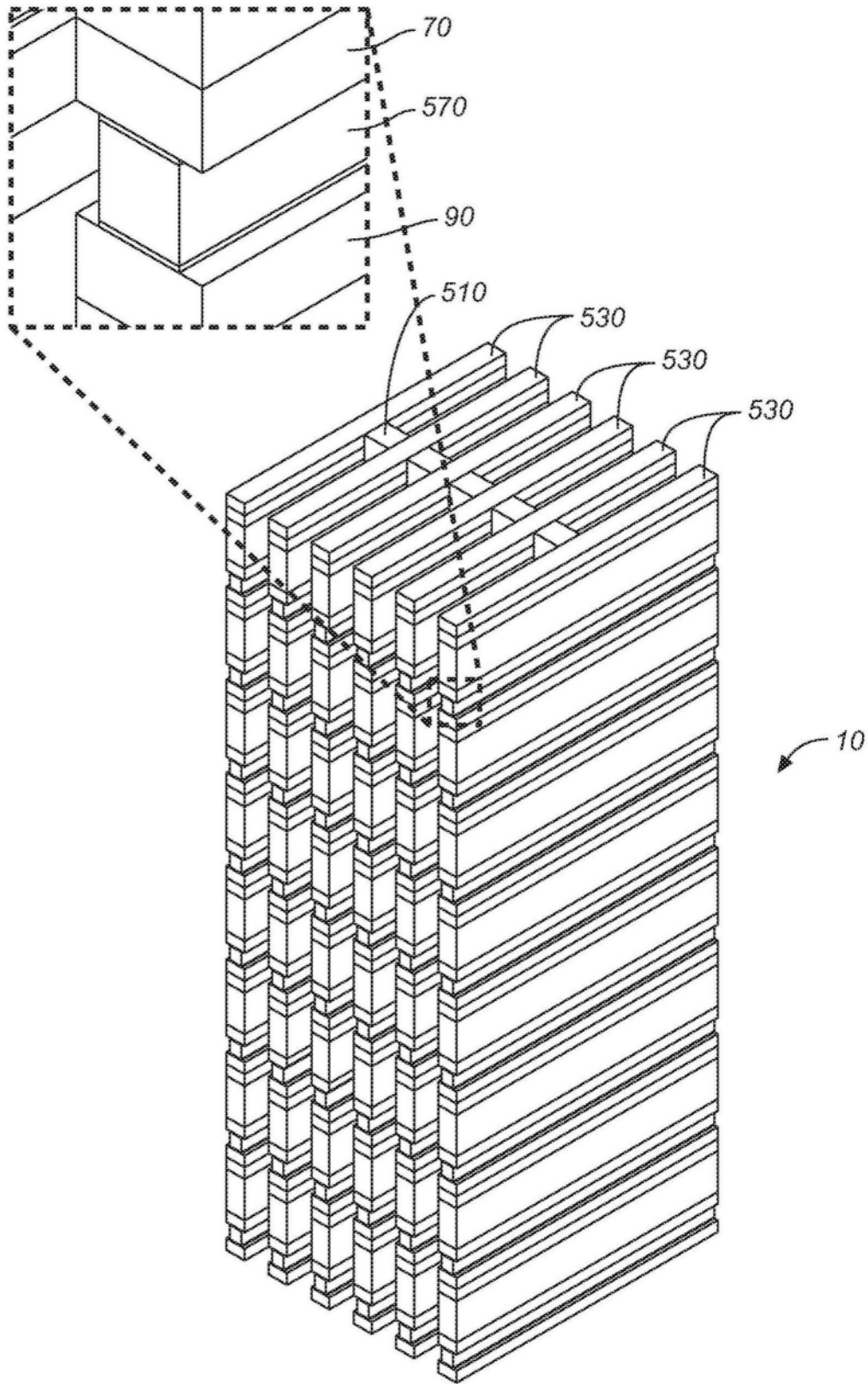


图34

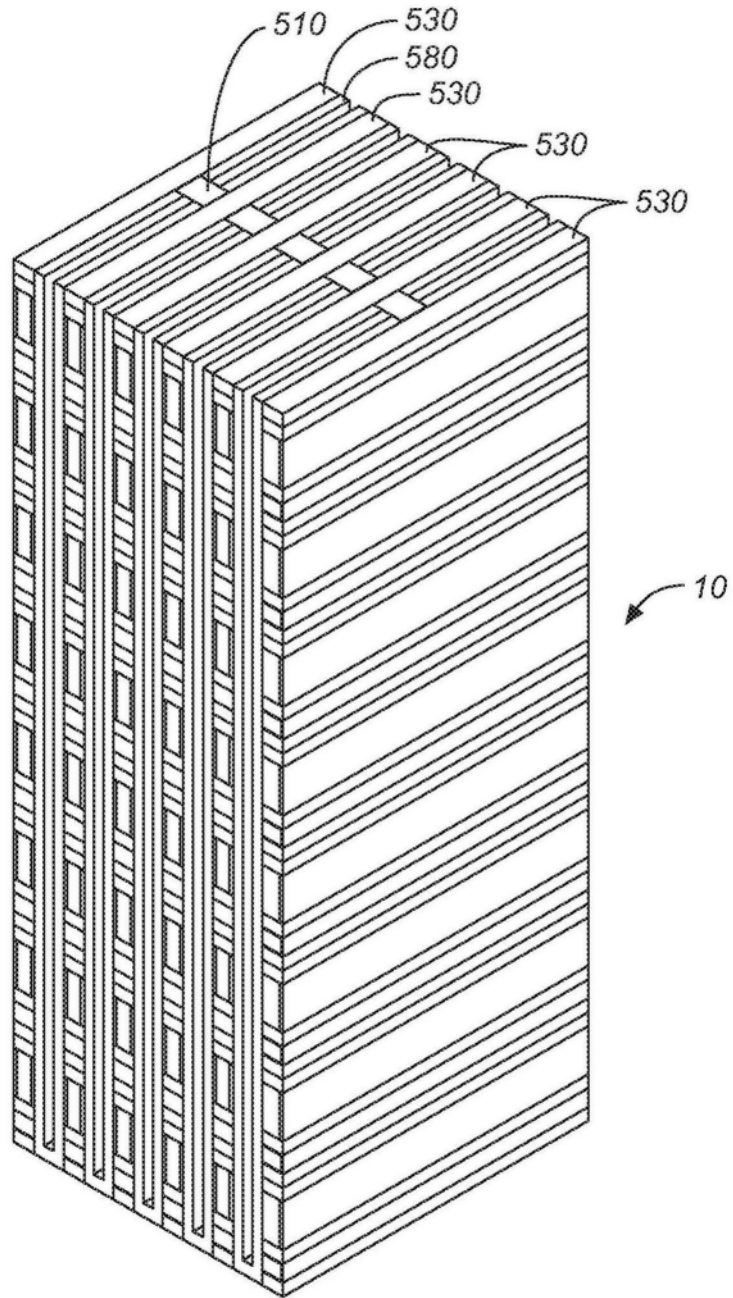


图35

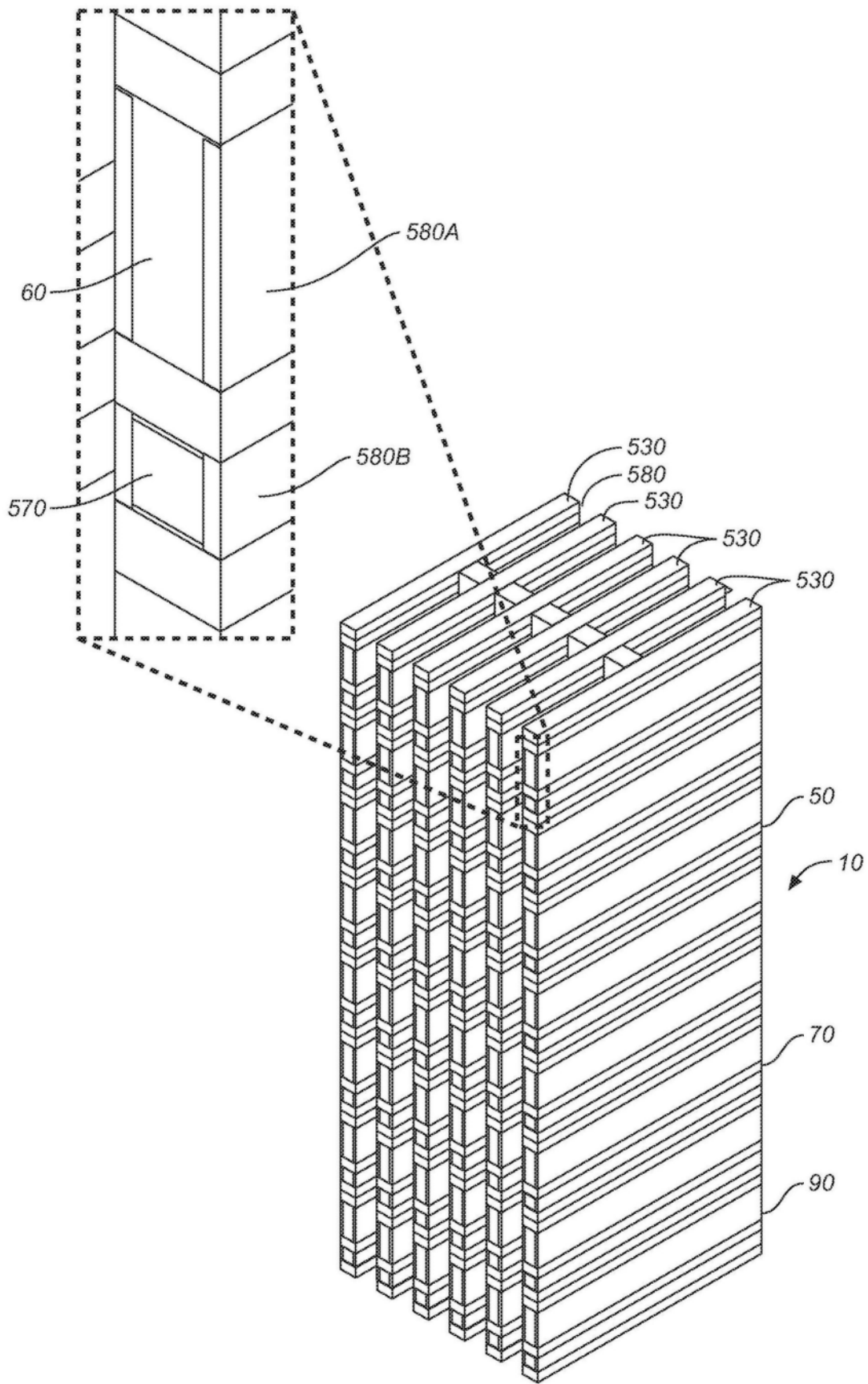


图36

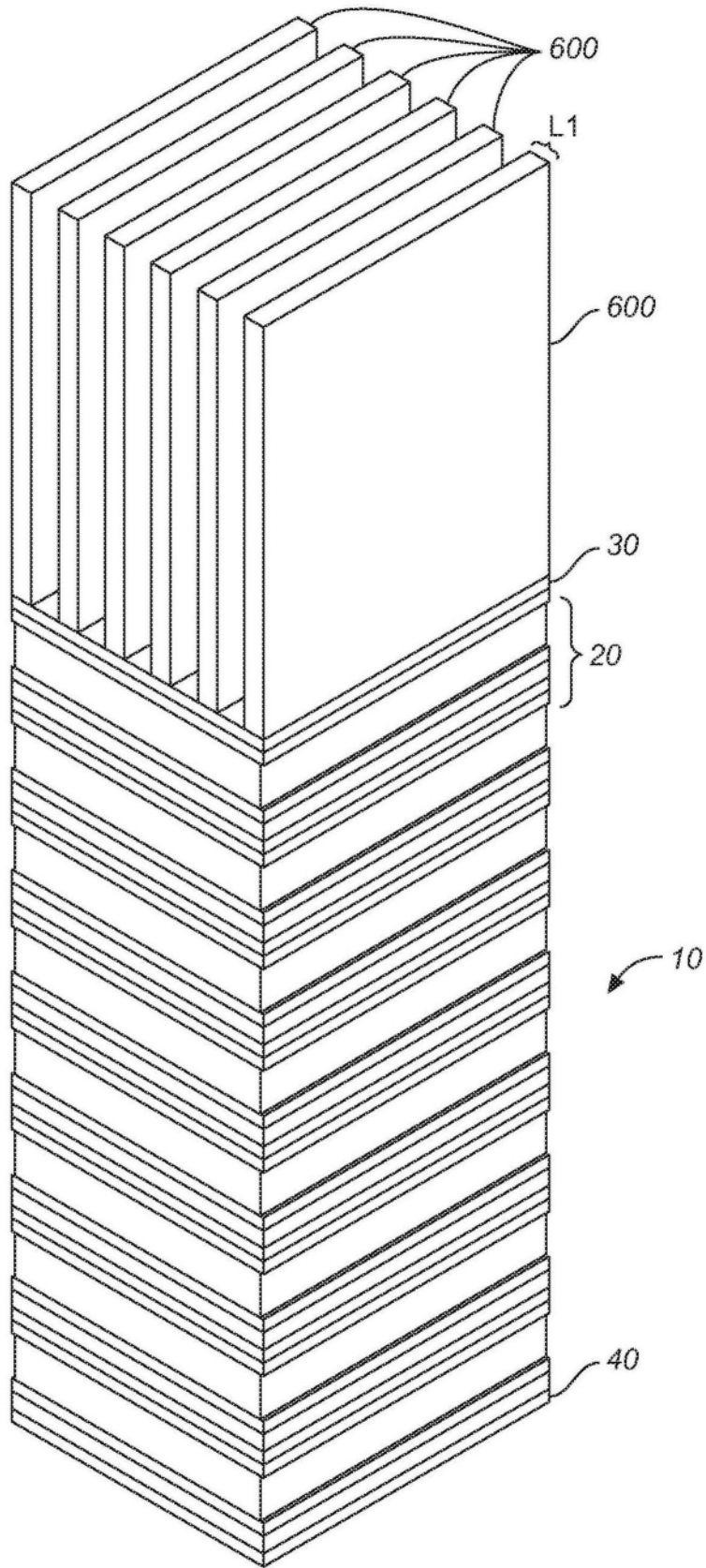


图37

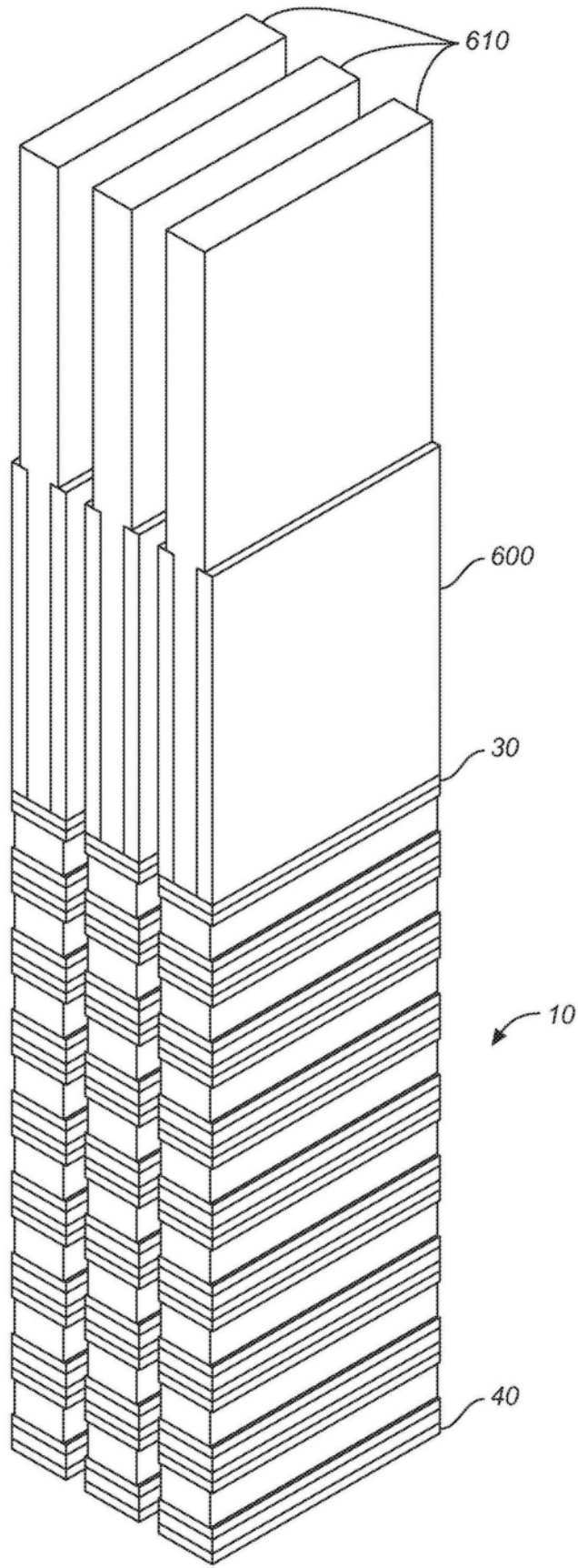


图38

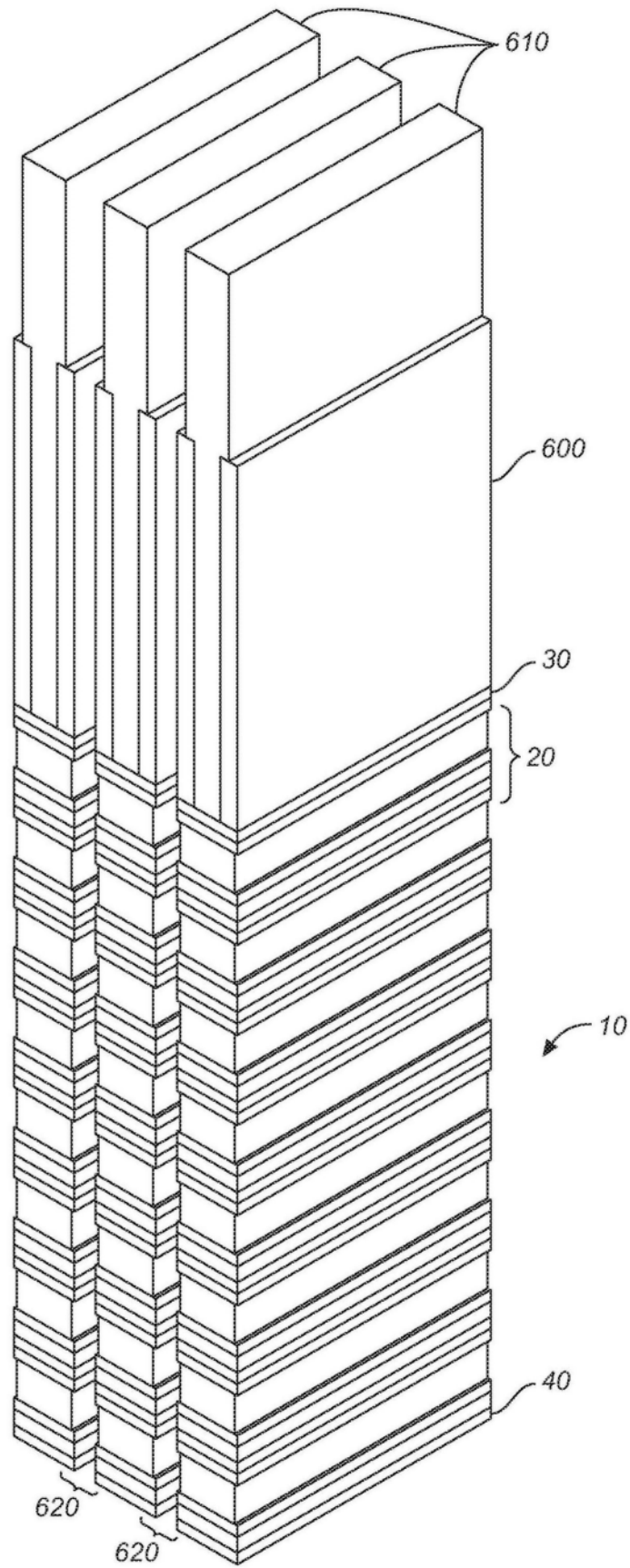


图39

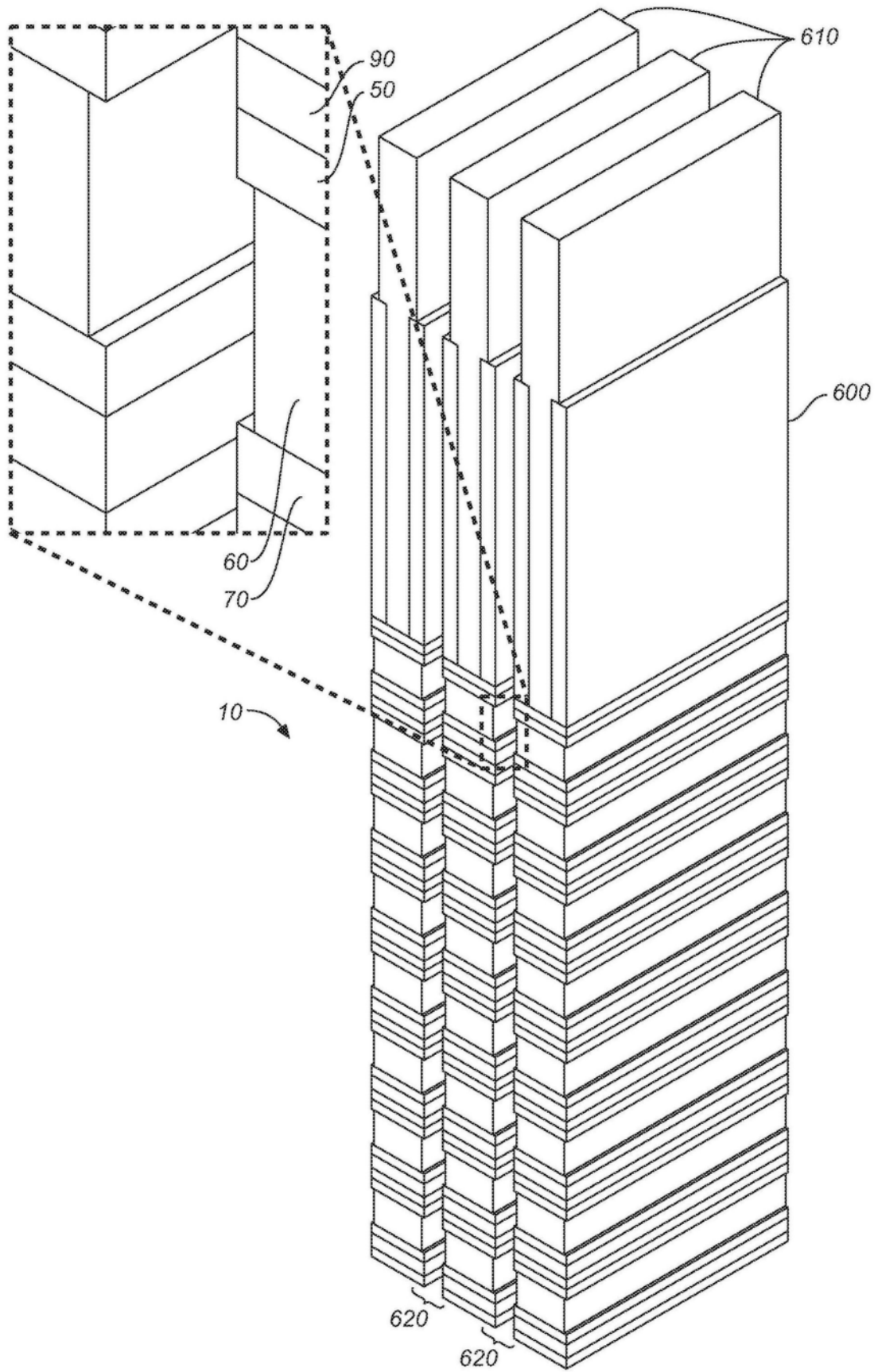


图40

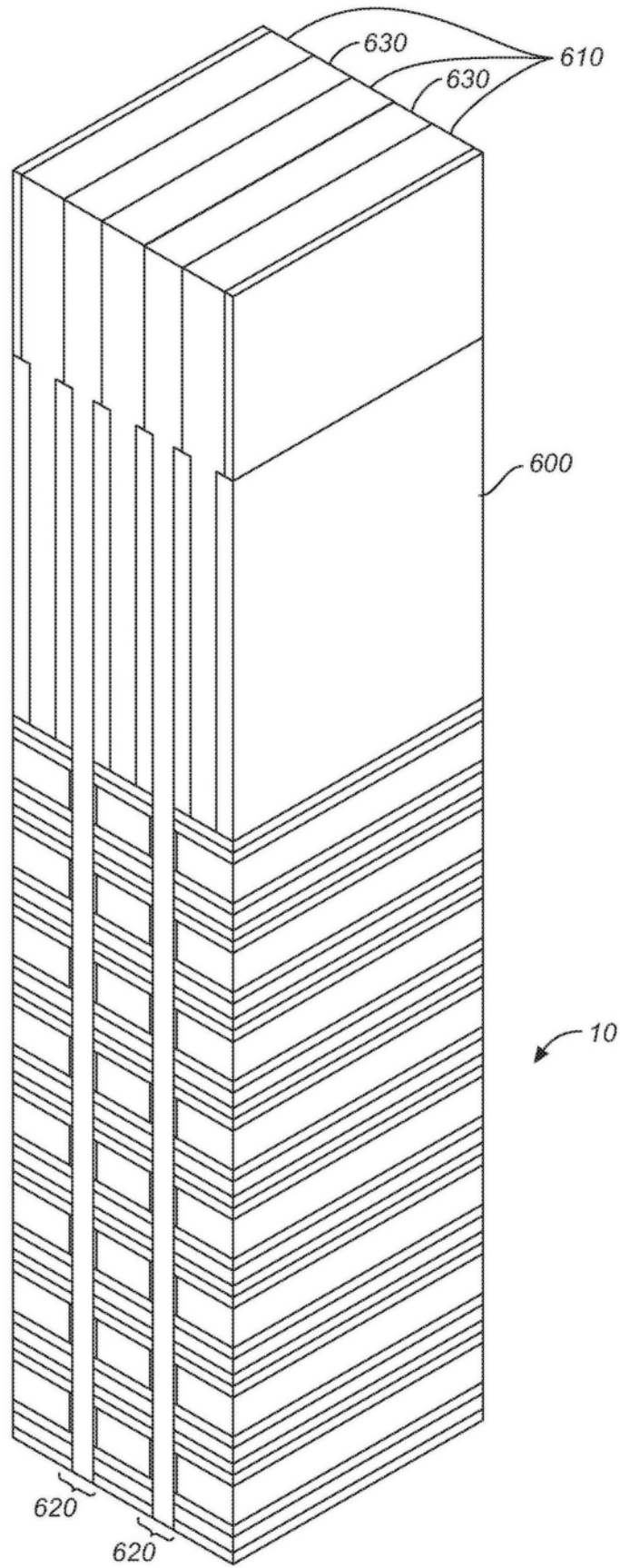


图41

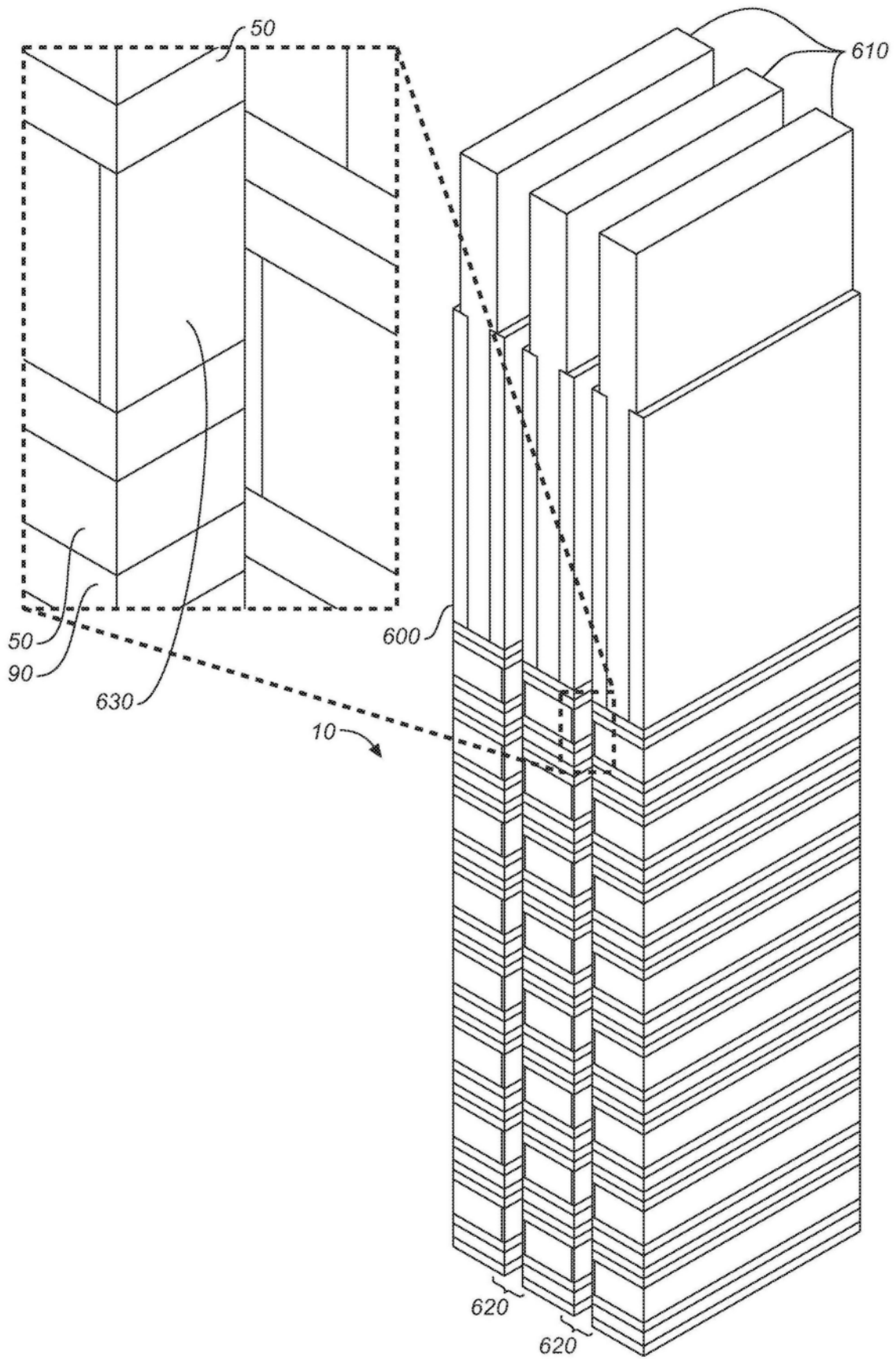


图42

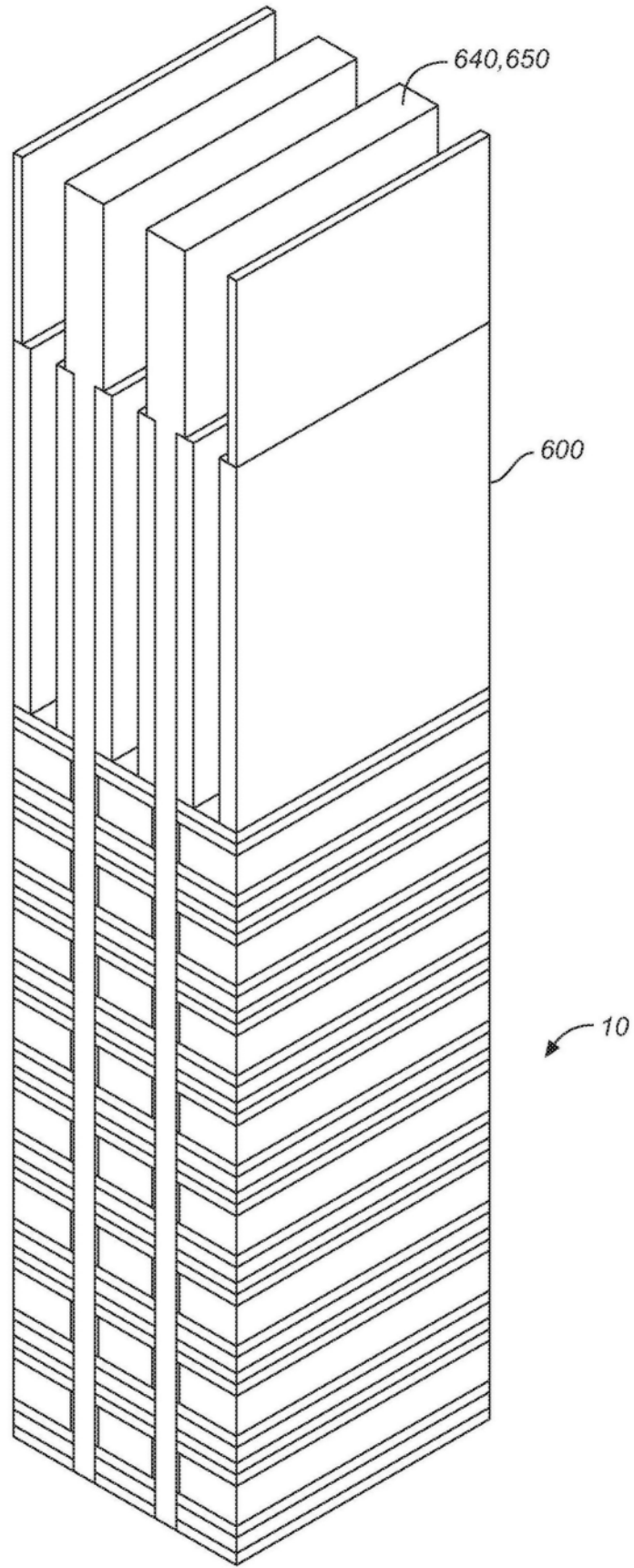


图43

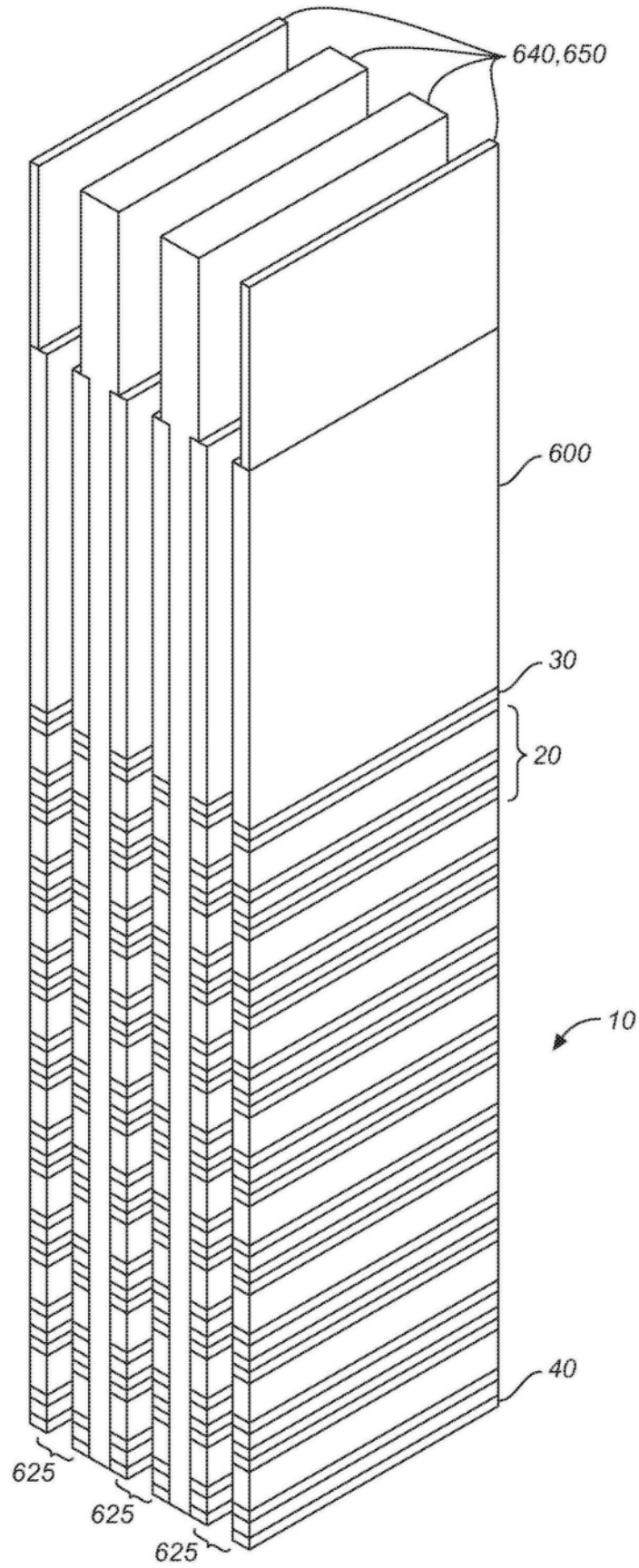


图44

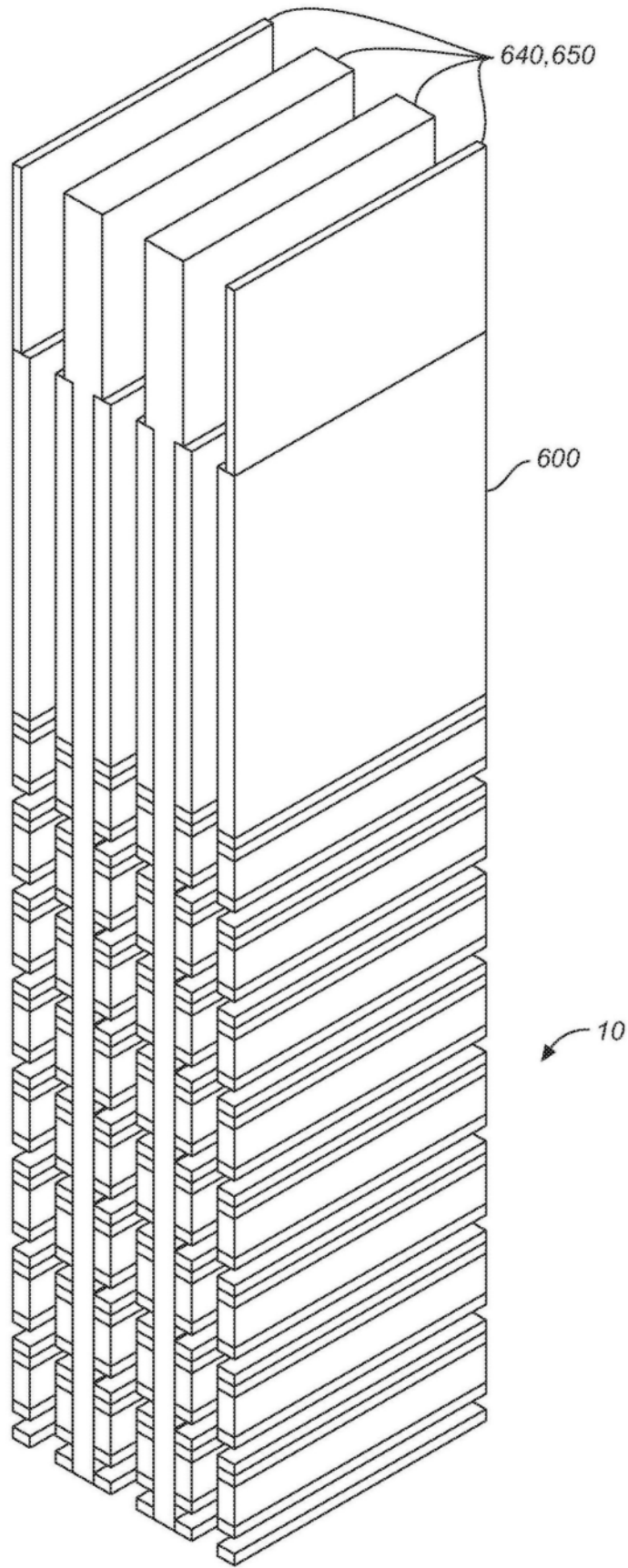


图45

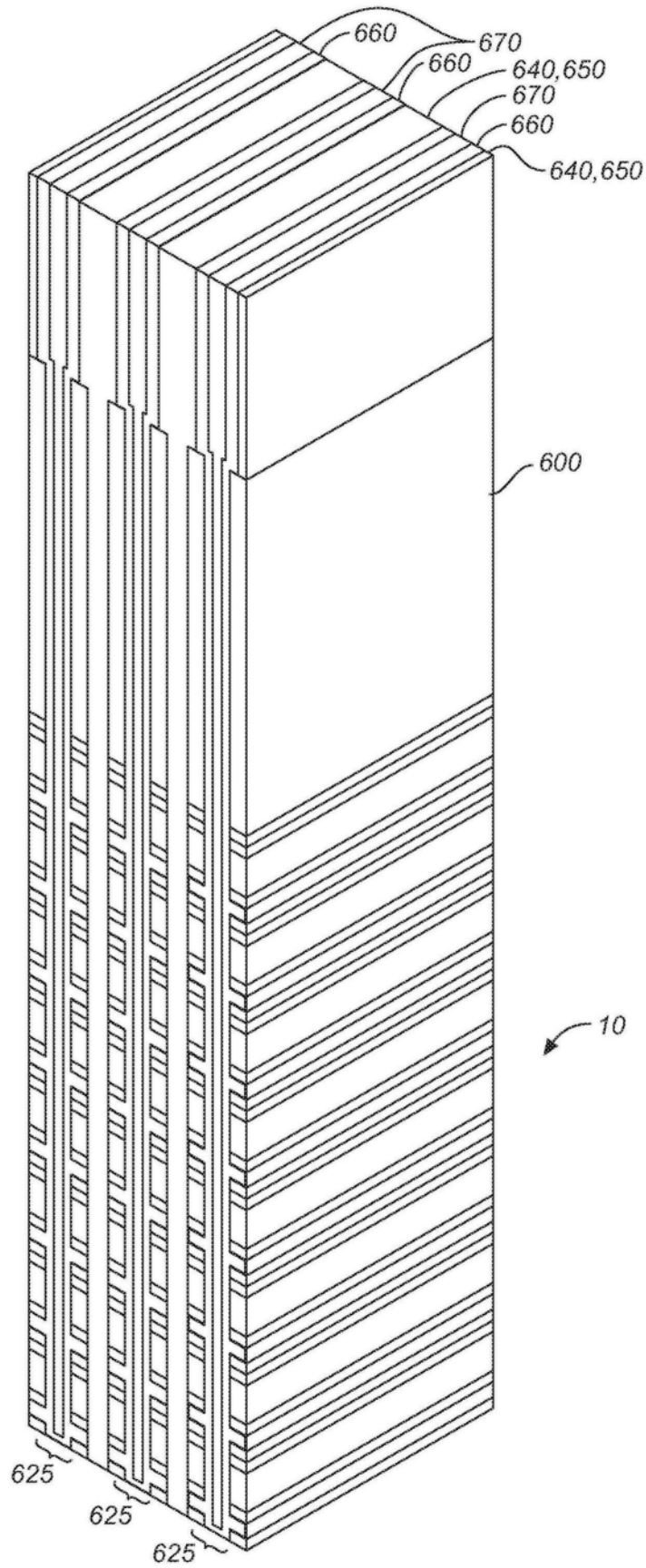


图46

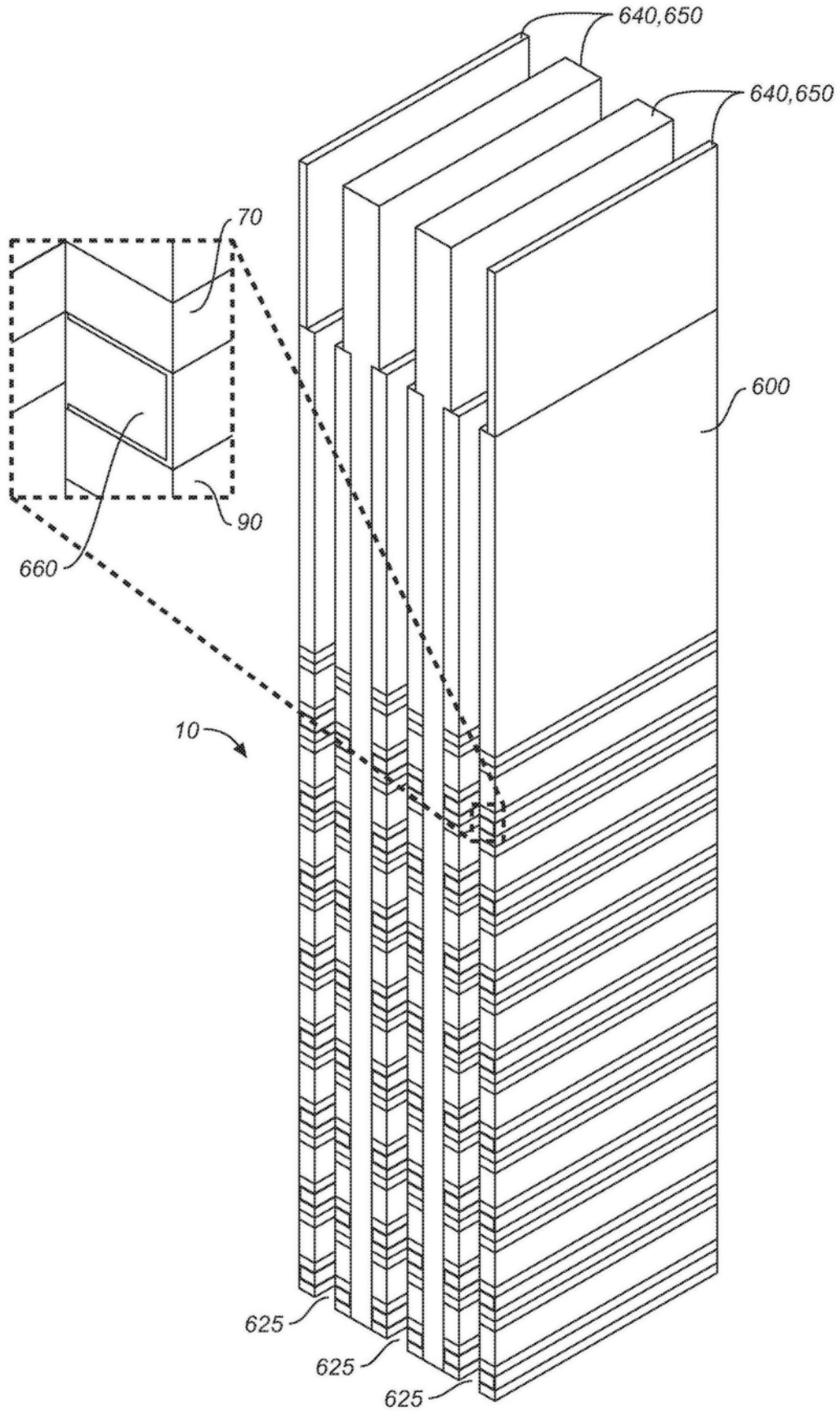


图47

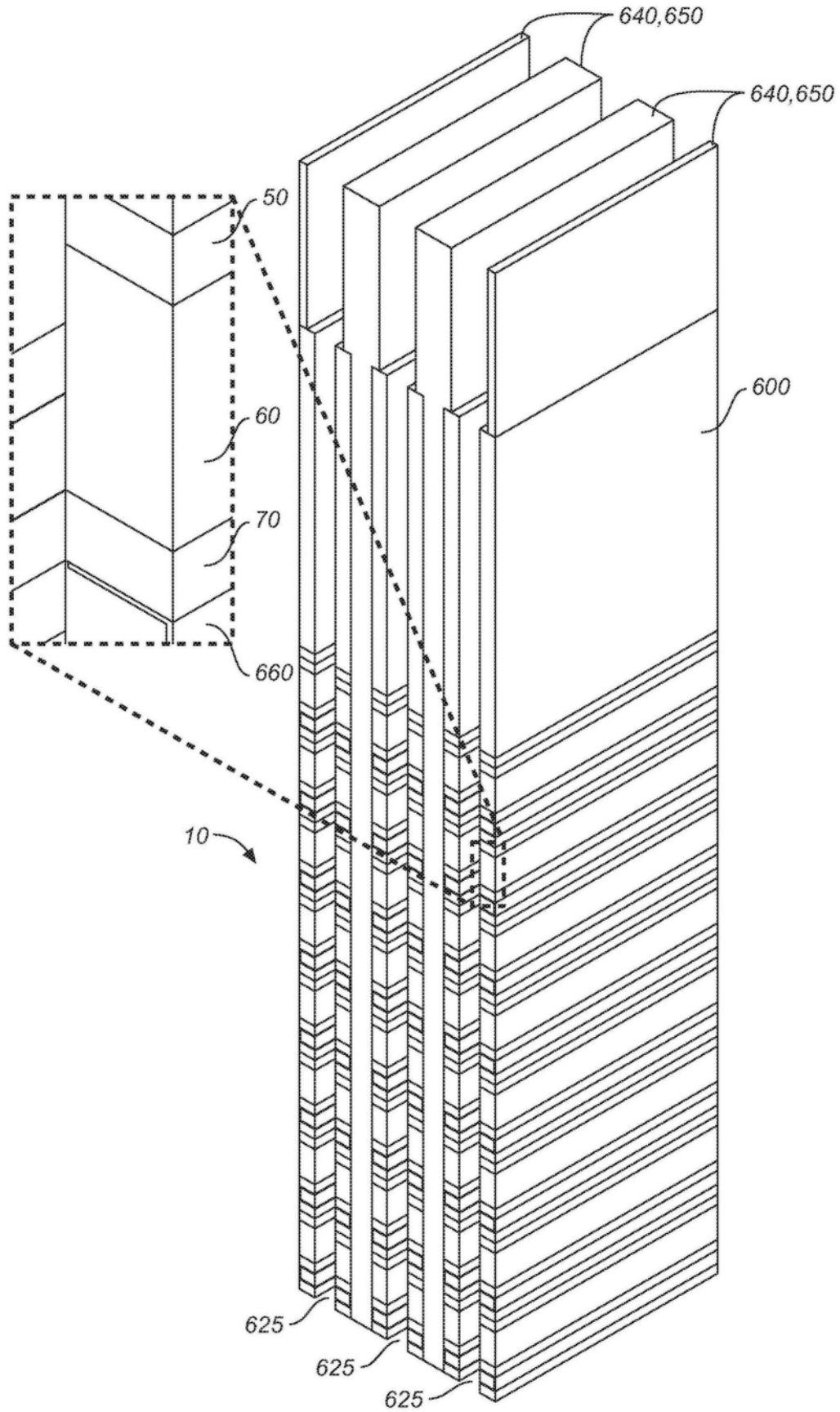


图48

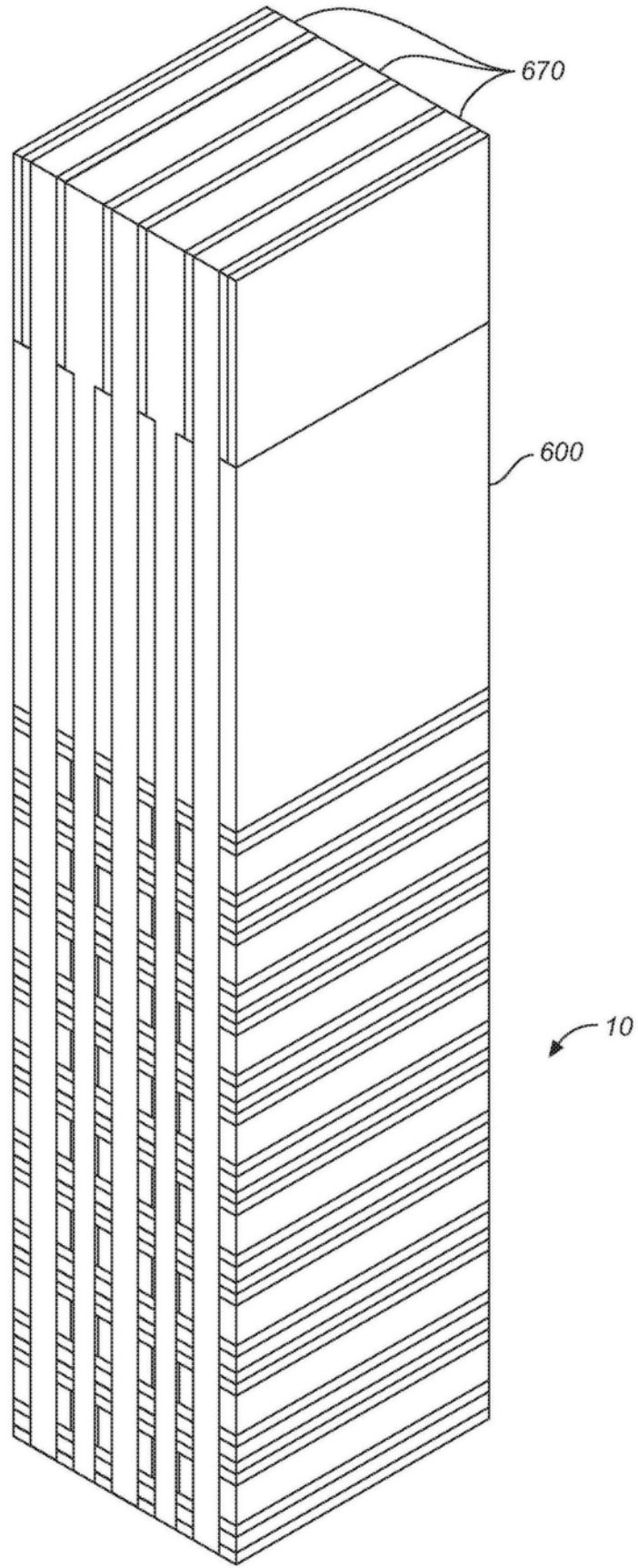


图49

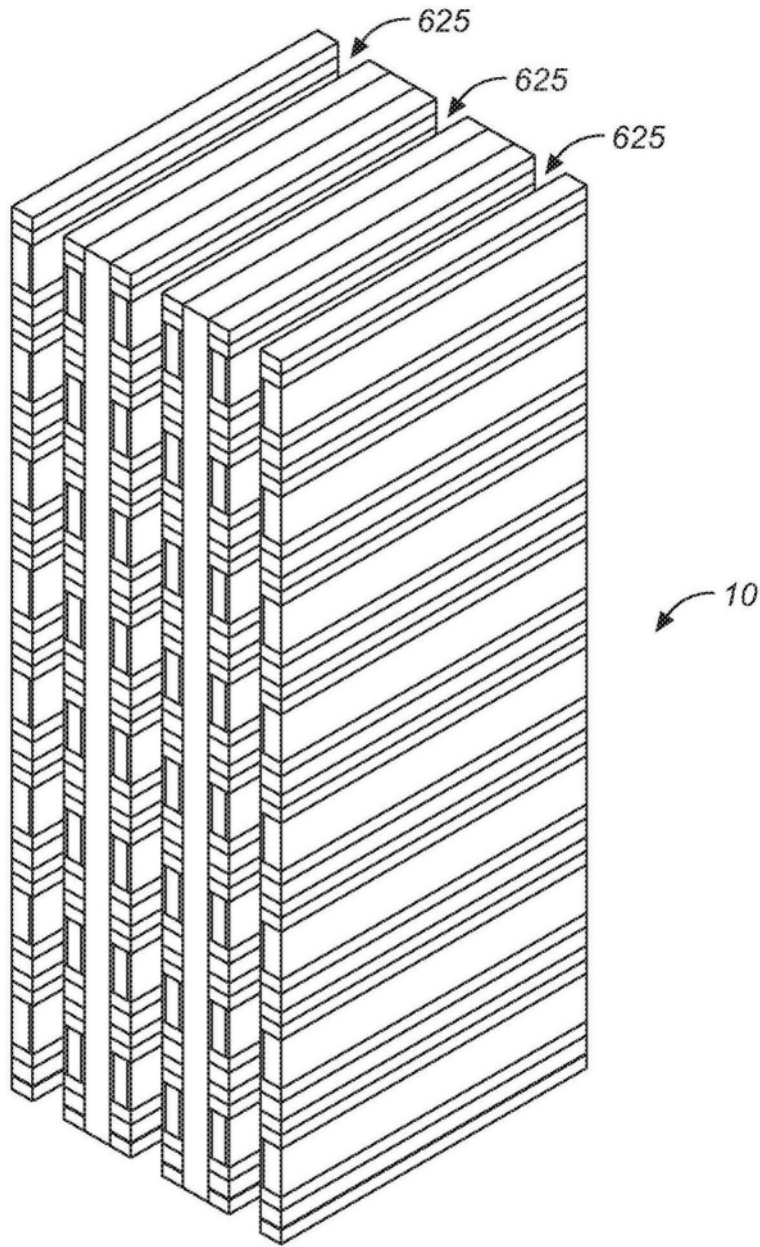


图50

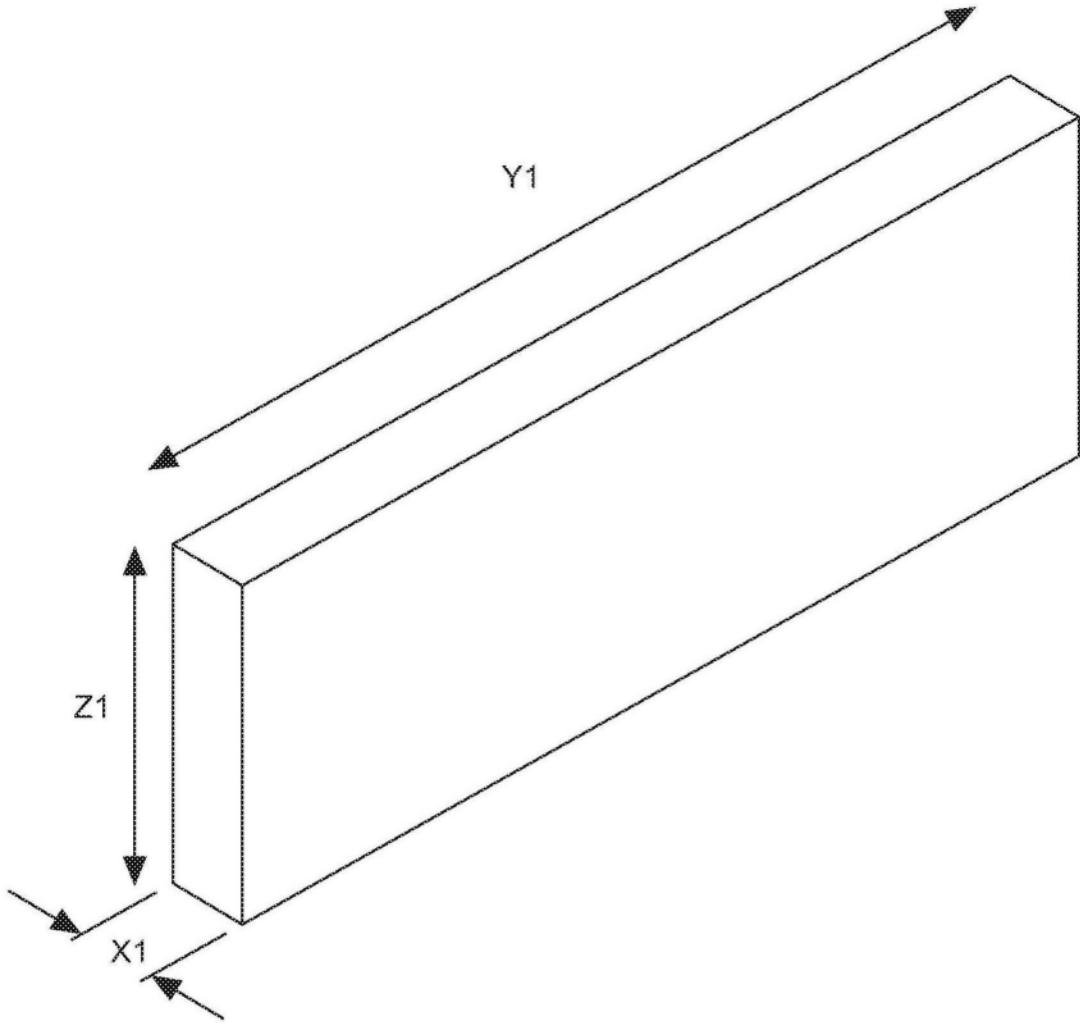


图51A

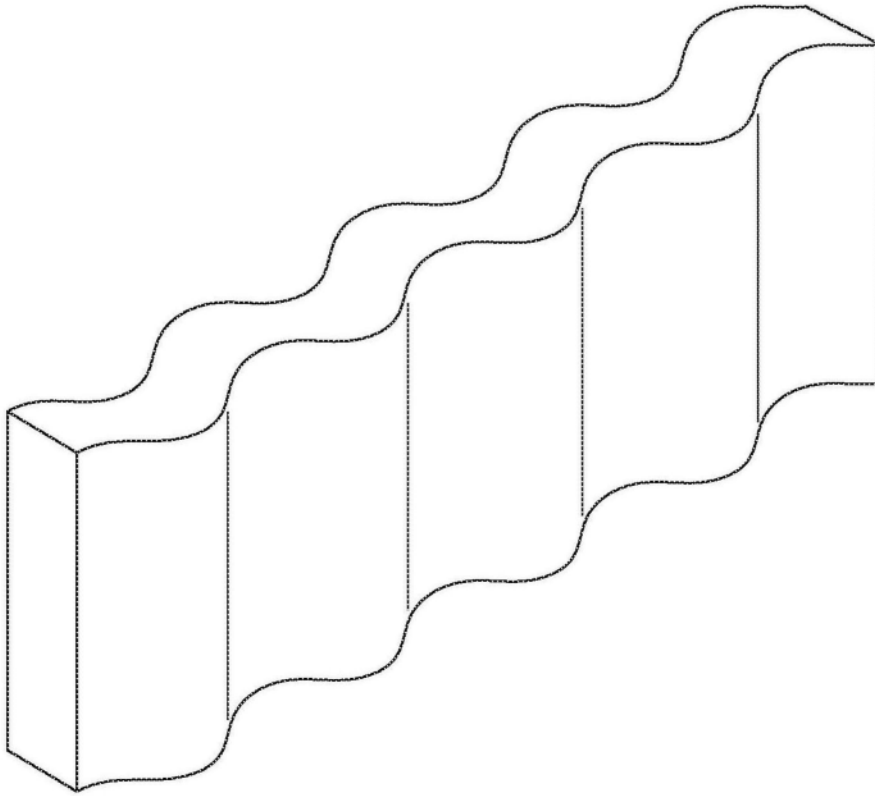


图51B