



# [12] 发明专利申请公开说明书

[21] 申请号 97118417.8

[43]公开日 1998年8月26日

[11] 公开号 CN 1191371A

[22]申请日 97.9.4

[30]优先权

[32]97.2.18 [33]JP[31]33836/97

[71]申请人 三菱电机株式会社

地址 日本东京都

[72]发明人 泽田诚二

[74]专利代理机构 中国专利代理(香港)有限公司

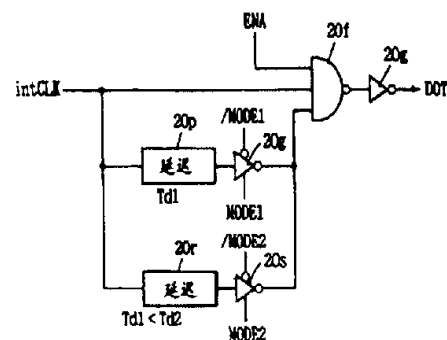
代理人 姜鄂厚 叶恺东

权利要求书 1 页 说明书 23 页 附图页数 10 页

[54]发明名称 同步型半导体存储装置

[57]摘要

根据动作状况产生具有最佳脉冲宽度的内部时钟信号，并能进行正确的数据传送。内部时钟发生电路包含与外部时钟信号同步产生内部时钟信号(intCLK)的部分及根据动作状况设定该内部时钟信号的脉冲宽度的脉冲宽度设定电路(20p、20q、20r、20s、20f、20g)。通过根据动作状况调整所生成的内部时钟信号的脉冲宽度，可以很容易地生成具有最佳脉冲宽度的内部时钟信号。



## 权 利 要 求 书

1. 一种同步型半导体存储装置，可按多种动作方式操作且与从外部供给的具有规定宽度的外部时钟信号同步进行数据的输入输出，它备有：内部时钟生成装置，用于从上述外部时钟信号生成内部时钟信号；及脉冲宽度设定装置，与上述内部时钟生成装置结合，根据用于特别指定上述多种动作方式中的一种动作方式的动作方式特定信号，设定上述内部时钟信号的脉冲宽度。
2. 根据权利要求 1 所述的同步型半导体存储装置，包含锁存电路，用于响应上述内部时钟信号的第 1 边缘而取入内部数据，且响应内部时钟信号的第 2 边缘锁存取入的内部数据；并包含输出电路，用于在激活时将上述内部数据输出到装置外部；该同步型半导体存储装置的特征在于：上述脉冲宽度设定装置包含根据上述动作方式特定信号设定从上述内部时钟信号的上述第 1 边缘到上述第 2 边缘的时间周期的装置。
3. 根据权利要求 1 或 2 所述的同步型半导体存储装置，其特征在于：上述多种动作方式对应于用来指示在施加数据读出指示后为将有效数据输出到装置外部所需的上述外部时钟信号周期数的等待时间。
4. 根据权利要求 3 所述的同步型半导体存储装置，其特征在于：上述脉冲宽度设定装置包括当指定了上述等待时间的第 1 等待时间时与指定了比上述第 1 等待时间长的第 2 等待时间时相比使上述脉冲宽度加长的装置。
5. 根据权利要求 1 所述的同步型半导体存储装置，其特征在于：将上述内部时钟信号供给当施加指示读出数据的读出指示时动作的与数据读出有关的电路部分。
6. 根据权利要求 1 所述的同步型半导体存储装置，其特征在于：上述动作方式特定信号是测试动作方式指定信号。

# 说明书

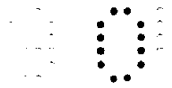
## 同步型半导体存储装置

5 本发明涉及与从外部供给的具有规定脉冲宽度的时钟信号同步进行数据输入输出的同步型半导体存储装置，尤其是涉及与外部时钟信号同步产生内部时钟信号的内部时钟产生电路的结构。

近年来，微处理机的工作速度已高达 100MHz、200MHz。另一方面，作为主存使用的动态型半导体存储装置（DRAM），其存储容量一直在增大，而工作速度也越来越快。但是，这类动态型半导体存储装置的工作速度还跟不上微处理机的速度。当访问动态型半导体存储装置时，微处理机在采集必要的数据之前处于等待状态，因此，动态型半导体存储装置的工作速度决定着系统性能，并成为改善系统整体性能的一个障碍。

为减小该动态型半导体存储装置与微处理机的速度差距以改善系统性能，例如采用着与作为系统时钟的时钟信号同步进行数据输入输出的同步型半导体存储装置。该同步型半导体存储装置与外部时钟信号同步取入外部信号，进行内部操作，并与时钟信号同步进行数据的输入输出。由于根据时钟信号进行数据的输入输出，所以能以高速进行数据的传送。此外，由于与时钟信号同步进行外部信号的取入，所以不需要考虑对该外部信号的时滞应有的容限，能以时钟脉冲信号的边缘为基准决定内部动作开始的定时，因而能进行高速的访问。

图 13 是简略地表示现有的同步型半导体存储装置总体结构的图。在图 13 中，同步型半导体存储装置包括：具有按行列状排列的多个存储单元的存储单元阵列 1、与内部时钟信号同步取入从外部供给的地址信号 AD 并生成内部地址信号 25 的地址缓冲器 2、根据激活时从该地址缓冲器 2 供给的内部行地址信号将存储单元阵列 1 内的地址指定行驱动进入选择状态的行选择电路 4、根据激活时从地址缓冲器 2 供给的内部行地址信号选择存储单元阵列 1 的对应列的列选择电路 6、对由列选择电路 6 选择出的存储单元列及内部数据进行写入/读出的写入/读出电路 8、以及在写入/读出电路 8 与装置外部之间进行数据的输入输出的输入输出电路 10。存储单元阵列 1 包含单晶体管/单电容器式动态型存储单元。字线与存储单元的各行对应排列，位线对与存储单元的各列对应配



置。

行选择电路 4 包含对从地址缓冲器 62 供给的内部行地址信号进行译码的行译码电路, 及根据该行译码电路的输出信号将与地址指定行对应配置的字线驱动进入选择状态的字线驱动电路。列选择电路 6 包含对  
5 从地址缓冲器 2 供给的内部列地址信号进行译码并生成列选择信号的列译码电路及根据来自该列译码电路的列选择信号将存储单元阵列 1 的选择列与内部数据总线连接的 IO 门。

同步型半导体存储装置还包括: 时钟输入缓冲器 12, 用于对从外部供给的时钟信号 extCLK 进行缓冲处理并生成内部时钟信号  
10 intCLK; 输入缓冲器 14, 与来自该时钟输入缓冲器 12 的内部时钟信号 intCLK 的上升同步动作, 用于从外部取入控制信号/RAS、/CAS 及 /WE 并生成内部控制信号; 指令译码器 16, 与该内部时钟信号 intCLK 同步动作, 用于判定从输入缓冲器 14 供给的内部控制信号的状态, 并根据该判定结果生成动作方式指定信号; 行相关控制电路 18, 根据来  
15 自指令译码器 16 的动作方式指示信号对与行选择有关的电路部分的动作进行控制; 及列相关控制电路 20, 根据来自指令译码器 16 的动作方式指示信号对与列选择及数据输入输出有关的电路部分的动作进行控制。

信号/RAS 是行地址选通信号, 信号/CAS 是列地址选通信号, 信号  
20 /WE 是允许写入信号。在同步型半导体存储装置中, 与标准的 DRAM (动态随机存取存储器) 不同, 由这些外部控制信号/RAS、/CAS 及 /WE 在内部时钟信号 intCLK 上升时的状态的组合指定动作方式。行相关控制电路 18 在施加如后文所述的激活指令后动作, 并对行选择电路 4、图中未示出的读出放大器及位线预充电/均衡电路的动作进行控制。列  
25 相关控制电路 20 当施加了指示数据的写入/读出的写入指令/读出指令时被激活, 并与内部时钟信号 intCLK 同步动作, 对列选择电路 6、写入/读出电路 8 及输入输出电路 10 的动作进行控制。

时钟输入缓冲器 12 用于生成与外部时钟信号 extCLK 同步的内部  
30 时钟信号 intCLK。以下, 参照图 14 示出的动作时序图说明图 13 所示的该同步型半导体存储装置的动作。

在时钟周期 1 中, 当外部时钟信号 extCLK 上升时, 行地址选通信号/RAS 被设定为 L 电平, 而列地址选通信号/CAS 及允许写入信号/WE

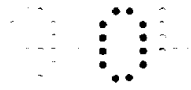


被设定为 H 电平。该外部控制信号的这种状态组合被称作激活指令，用于指示将同步型半导体存储装置的内部状态驱动进入激活状态。即，当施加该激活指令时，同步型半导体存储装置进入激活周期，在内部开始对存储单元行的选择动作。当施加该激活指令时，根据来自指令译码器 16 的行选择动作指示信号使行相关控制电路 18 激活，并由行选择电路 4 将存储单元阵列 1 的对应行（字线）驱动进入选择状态。与该所选字线连接的存储单元的数据由图中未示出的读出放大器检测、放大和锁存。行相关控制电路 18 接到指示后与内部时钟信号 intCLK 同步动作，以将行相关电路激活，但也可按预定的时序非同步地进行激活。

10 在时钟周期 3 中外部时钟信号 extCLK 上升时，行地址选通信号 /RAS 及允许写入信号 /WE 都被设定为 H 电平，而列地址选通信号 /CAS 被设定为 L 电平。该外部控制信号 /RAS、/CAS 及 /WE 的这种状态组合被称作读出指令，用于指定数据的读出方式。当施加该读出指令时，根据来自指令译码器 16 的读出动作指示信号将列相关控制电路 20 激  
15 活，使列选择电路 6、写入/读出电路 8 及输入输出电路 10 按规定的时序与内部时钟信号 intCLK 同步动作。即，列选择电路 6 根据来自地址缓冲器 2 的内部列地址信号选择存储单元阵列 1 的地址指定列的存储单元数据，并供给到写入/读出电路 8。写入/读出电路 8 将由该列选择电路 6 供给的内部读出数据供给输入输出电路 10。输入输出电路 10 对  
20 所供给的该内部读出数据进行缓冲处理后，作为外部数据 Q 与时钟信号同步地输出。

从施加读出指令到输出有效数据所需的时钟周期数，称作 CAS 等待时间。在图 14 中，作为一例示出了当 CAS 等待时间为 2 时的数据读出情况。因此，在时钟周期 5 中外部时钟信号 extCLK 上升时，读出数  
25 据 Q1 成为确定状态，并由外部的处理机对该读出数据 Q1 进行采样。

在同步型半导体存储装置中，将与该读出指令同时供给的地址信号（列地址信号）作为起始地址，在内部依次产生被称作信息串地址的地址信号，并与时钟信号同步进行列选择动作。该信息串地址的产生次数由称作信息串长度的数据决定。因此，在时钟周期 6、7 和 8 中分别读  
30 出随后的数据 Q2、Q3 和 Q4。因而在图 14 中信息串长度为 4。即，信息串长度表示当施加一个读出或写入指令时连续读出或写入的数据数。



在时钟周期 8 中，当外部时钟信号 extCLK 上升时，行地址选通信号/RAS 及允许写入信号/WE 都被设定为 L 电平，而列地址选通信号/CAS 被设定为 H 电平。这种状态组合被称作预充电指令，用于指定将该同步型半导体存储装置的内部状态置于预充电状态。根据该预充电指令，行相关控制电路 18 根据来自指令译码器 16 的预充电指示信号将存储单元阵列 1 的选择行转换为非选择状态，并将读出放大器也驱动进入非激活状态，然后由位线均衡/预充电电路将存储单元阵列 1 的各列恢复到中间电位电平的预充电电位。

行相关控制电路 18 与列相关控制电路 20 彼此独立动作。列相关控制电路 20，从施加读出指令起，在经过 CAS 等待时间及信息串长度时间后，使列选择电路 6、写入/读出电路 8 及输入输出电路 10 全部恢复到预充电状态。在图 14 中，在读出信息串长度数据的最后数据 Q4 的时钟周期 8 内施加预充电指令，因此，在施加该预充电指令后，在时钟周期 8 内，同步型半导体存储装置的内部电路恢复到预充电状态。

图 15 是更为详细地表示图 13 所示的列选择电路 6、写入/读出电路 8 及输入输出电路 10 的结构图。在图 15 中，存储单元阵列 1 被分割为多个存储块（或存储体）MB0 ~ MBm。在该各个存储块（或存储体）MB0 ~ MBm 中，与位线对 BLP0 ~ BLPn 分别对应地配置有读出放大器（SA）1a0 ~ 1an。读出放大器（SA）1a0 ~ 1an 当激活时对对应的位线对 BLP0 ~ BLPn 上的存储单元数据进行检测、放大和锁存。各个位线对 BLP0 ~ BLPn 含有位线 BL 及 /BL。将存储单元数据读出到位线 BL 及 /BL 中的一个上，而另一个则向存储单元数据供给基准电位。

列选择电路 6 包含：列/块译码器 6a，在列相关控制电路 20 的控制下激活，用于对通过图中未示出的路径供给的列地址信号及块地址信号进行译码，并产生在所指定的块中选择地址指定列的列选择信号；及 IO 门电路 6b0 ~ 6bn，与存储单元块 MB0 ~ MBm 分别对应设置，用于根据从列/块译码器 6a 产生的列选择信号选择与相应的存储块的地址指定列对应的位线对。该各个 IO 门电路 6b0 ~ 6bn 包含 IO 门 IG0 ~ IGn，以其门接受从列/块译码器 6a 来的列选择信号 CSL0 ~ CSLn。列/块译码器 6a 将变为激活状态的列选择信号只传送给 IO 门电路 6b0 ~ 6bn 中与由块地址信号按地址指定的块对应的 IO 门电路。在一



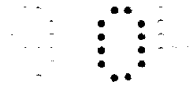
个存储块中，根据信息串地址依次对列进行选择，并读出信息串长度的数据。信息串地址是将施加读出指令或写入指令时的列地址作为起始地址并在每个时钟周期内在内部依次更新后产生的地址。

5 写入/读出电路 8 包含：前置放大器（PA）8a0 ~ 8am，与存储块 MB0 ~ MBm 分别对应设置，根据来自列/块译码器 6a 的块指定信号及来自列相关控制电路 20 的前置放大允许信号激活；及三态反相缓冲器 8b0 ~ 8bm，与前置放大器 8a0 ~ 8am 对应设置，并根据来自列相关控制电路 20 的块选择信号 BS0 ~ BSm 传送由前置放大器（PA）8a0 ~ 8am 供给的数据。该块选择信号 BS0 ~ BSm 在读出数据时与内部时钟信号 intCLK 同步产生。前置放大器（PA）8a0 ~ 8am，在对应的前置放大允许信号 PAE0 ~ PAEm 激活时被激活，将从对应存储块的 IO 门电路 6b0 ~ 6bn 读出的内部读出数据 DDF0 ~ DDFn 放大后传送到输入输出电路 10。三态反相缓冲器 8b0 ~ 8bm，在对应的块选择信号 BS0 ~ BSm 处于激活状态时被激活，并将从对应的前置放大器（PA）供给的数据反相后进行传送。当块选择信号 BS（BS0 ~ BSm）为非激活状态时，三态反相缓冲器 8b0 ~ 8bm 变为输出高阻抗状态。

20 输入输出电路 10 包含：传输门 10a，响应由列相关控制电路 20 供给的输出数据传送指示信号 DOT 及 /DOT 而导通，并传送从三态反相缓冲器 8b0 ~ 8bm 供给的数据；反相器 10b，用于将传输门 10a 的输出信号反相；反相器 10c，用于将反相器 10b 的输出信号反相后传送到反相器 10b 的输入部；及输出缓冲器 10d，在由列相关控制电路 20 供给的允许输出信号 OEM 激活时被激活，用于对由反相器 10b 供给的数据进行缓冲处理并输出到装置外部。输出数据传送指示信号 DOT 及 /DOT，在读出数据时与内部时钟信号 intCLK 同步产生。允许输出信号 OEM，在读出数据时从施加读出指令起经过（CAS 等待时间-1）周期后变为激活状态，而且在信息串长度时间内保持其激活状态。下面，参照在图 16 和 17 中示出的时间图说明该图 15 所示电路的动作。

30 首先，参照图 16 说明 CAS 等待时间为 3 时的数据读出动作。在时钟周期#0 中，已施加激活指令，在该同步型半导体存储装置中，将地址指定的行驱动进入选择状态，在地址指定块内包含的读出放大器被激活，并对与该选择字线连接的存储单元数据进行检测、放大和锁存。

在时钟周期#1 中，施加读出指令。与该时钟周期#1 的外部时钟信



号 extCLK 上升同步，将来自列/块译码器 6a 的列选择信号 CSL（以总称形式表示）驱动进入选择状态。因此，由与读出指令同时供给的列地址信号，将与地址指定的列对应的存储单元数据通过 IO 门电路 6b（门电路 6b0 - 6bn 的总称表示）供给对应的前置放大器（PA）8a（前置放大器 8a0 - 8am 的总称表示）。从该 IO 门电路到前置放大器的数据 DDF 的传送，大约需要 1 个时钟周期。因此，由在时钟周期#1 中变为激活状态的列选择信号 CSL（0）读出的存储单元数据，在时钟周期#2 中成为确定状态。在该时钟周期#2 中，前置放大器进行放大动作，并将该放大数据锁存。

10 在该时钟周期#2 中，来自列相关控制电路 20 的块选择信号 BS（BS0 - BS<sub>m</sub>）被激活，从对应的前置放大器传送来的数据由三态反相缓冲器 8b（8b0 - 8b<sub>m</sub>）放大后供给输入输出电路 10。为使数据 DD 从该激活后的三态反相缓冲器 8b 到达输入输出电路 10 所需的时间大约为一个时钟周期。因此，在该时钟周期#2 中，由三态反相缓冲器 8b 选择出的存储单元数据在时钟周期#3 成为确定状态，并供给输入输出电路 10。

接着，在时钟周期#3 中，由列相关控制电路 20 产生输出数据传送指示信号 DOT。该输出数据传送指示信号 DOT 也在外部时钟信号 extCLK（内部时钟信号 intCLK）触发上升后变成时间宽度 t1 的 H 电平激活状态。因此，在输入输出电路 10 中，传输门 10a 导通，将由三态反相缓冲器 8b 传送的数据 DD 供给输出缓冲器 10d。输出缓冲器 10d，根据（由列相关控制电路 20 供给的）允许输出信号 OEM 从该时钟周期#3 起变成激活状态，对由该传输门 10a 取入的数据进行缓冲处理并作为外部数据 Q 输出。根据在该时钟周期#3 中产生的输出数据传送指示信号 DOT，在时钟周期#4 的外部时钟信号 extCLK 上升时刻，输出数据 Q 成为确定状态，并由外部的处理机或控制器进行采样。

25 在这之后，从时钟周期#3 到时钟周期#5，在外部时钟信号 extCLK 触发上升后产生块选择信号 BS，根据选择存储单元数据 DDF 生成数据 DD 并传送到输入输出电路 10。在以后的时钟周期#5、#6 及#7 中，根据该传送到的数据 DD，使各读出数据 Q 成为确定状态。这里，将信息串长度设定为 4。

在该 CAS 等待时间为 3 时的动作中，从以下的说明起，外部时钟





信号 extCLK 的 1 个周期最小为 10ns。如假定该同步型半导体存储装置的列访问时间（从施加读出指令到输出有效数据的时间）为 tCAS，则最小时钟周期按 tCAS/CAS 等待时间供给。例如，现假定 tCAS=30ns，则 CAS 等待时间为 3 时的最小时钟周期为 30ns/3=10ns。

5 在同步型半导体存储装置中，该列访问时间根据自读出放大器起的数据传送路径的特性预先设定其最小值。因此，在该最小时钟周期 10ns 的情况下，为了进行正确的数据读出，在输出数据传送指示信号 DOT 为 H 电平（时间宽度 t1）的时间内，必须使内部读出数据 DD 成为确定状态。因此，如果将由读出放大器锁存的数据传送到该输入输出电路 10  
10 所需要的时间在 2 · 时钟周期+t1=20ns+t1 以内，则可以根据该输出数据传送指示信号 DOT 将有效数据 DD 取入到输入输出电路 10（传输门 10a 导通）中，从而进行正确的数据读出。这里，将输出数据传送指示信号 DOT 的上升与外部时钟信号 extCLK 的上升的时间差忽略。

以下，参照图 17 说明 CAS 等待时间为 2 时的动作。

15 在时钟周期#0 中，已施加访问指令，该同步型半导体存储装置内部处在激活状态，地址指定的字线被驱动进入选择状态，该选择字线所连接的存储单元数据由读出放大器（SA）锁存。

在时钟周期#1 中，施加读出指令。按照该读出指令，在时钟周期#1 中，在列相关控制电路 20 的控制下，列/块译码器 6a 被激活，从该  
20 列/块译码器 6a 输出的列选择信号 CSL 被驱动进入选择状态。当 CAS 等待时间为 2 时，该时钟周期比较长，例如，如后文所述的 15ns。因此由该列选择信号 CSL 选择的存储单元数据在同一时钟周期#1 中作为有效数据 DDF 传送到对应的前置放大器（PA）。

当 CAS 等待时间为 2 时，在该时钟周期#1 中，块选择信号 BS  
25 （BS0 ~ BS<sub>m</sub> 中的任何一个）被驱动进入选择状态。这时，前置放大器（PA）当然也根据前置放大允许信号 PAE 及来自列/块译码器 6a 的块指示信号而被驱动进入选择状态，并对该存储单元数据 DDF 进行放大。如该块选择信号 BS 变为激活状态（H 电平），则将对应的三态反相缓冲器 8b 激活，并将从所选择的前置放大器来的数据放大后传送到  
30 输入输出电路 10。由于数据 DD 从该已被激活的三态反相缓冲器 8b 到达输入输出电路 10 所需的时间与 CAS 等待时间为 3 时相同，所以供给输入输出电路 10 的数据 DD 在时钟周期#2 中确定。



在时钟周期#2 中，输出数据传送指示信号 DOT 变为激活状态，在输入输出电路 10 中，传输门 10a 导通，取入该数据 DD，并通过输出缓冲器 10d 输出。因此，在时钟周期#3 的外部时钟信号 extCLK 上升边缘，数据 DQ ( Q ) 成为确定状态。

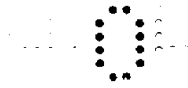
5 在从时钟周期#2 到时钟周期#4 的各周期中，列选择信号 CSL 根据信息串地址被驱动进入选择状态，接着，该选择存储单元的数据 DDF 在由前置放大器放大后，作为数据 DD 根据块选择信号 BS ( BS0 ~ BSm ) 通过三态反相缓冲器 8b 传送到输入输出电路 10。因此，在各时钟周期#2 ~ #4 中，所选出的存储单元数据 DDF 在时钟周期#3 到#5  
10 中成为对输入输出电路 10 的有效数据 DD。

在从时钟周期#2 到时钟周期#5 各周期中，输出数据传送指示信号 DOT 变成规定时间宽度 t1 的激活状态。因此，根据该有效数据 DD 将输出数据 Q 输出。

该同步型半导体存储装置的列访问时间 tCAS，与上述 CAS 等待  
15 时间为 3 时相同，也假定为 30ns。从施加读出指令到输出有效数据，需要 2 个时钟周期。因此，根据 tCAS/CAS 等待时间，该 CAS 等待时间为 2 时的最小时钟周期为  $30\text{ns}/2=15\text{ns}$ 。因而，如果内部数据 DDF 和 DD 从读出放大器传送到输入输出电路 10 所需要的时间在 1 时钟周期 + t1 = 15ns + t1 以内，则在输入输出电路 10 中所包含的传输门 10a 可以  
20 取入正常数据，并能正常地进行数据的读出。

图 18 ( A ) 是表示产生该输出数据传送指示信号 DOT 部分的结构  
的图。在该图 18 ( A ) 中示出的输出数据传送指示信号发生部，包含图 15 所示的列相关控制电路 20。在图 18 ( A ) 中，输出数据传送指示信号发生部包含：用于将内部时钟信号 intCLK 延迟规定时间并反  
25 相的按奇数级 ( 5 级 ) 串联连接的反相器 20a、20b、20c、20d 及 20e；接受反相器 20e 的输出信号、内部时钟信号 intCLK 和时钟启动信号 ENA 的 NAND 电路 20f；及用于将 NAND 电路 20f 的输出信号反相的反相器 20g。输出数据传送指示信号 DOT 从反相器 20g 输出。

时钟启动信号 ENA 是决定该输出数据传送指示信号 DOT 的产生  
30 时间周期的信号，根据信息串长度数据及 CAS 等待时间数据生成。该信号在从比 CAS 等待时间的时钟周期早 1 个时钟周期的周期起由信息串长度决定的时钟周期期间，变为激活状态。



其次，参照图 18 ( B ) 所示的工作波形图说明图 18 ( A ) 的输出数据传送指示信号发生部的工作。在图 18 ( B ) 中，示出当时钟启动信号 ENA 设定为 H 电平激活状态时的工作。

5 当内部时钟信号 intCLK 为 L 电平时， NAND 电路 20f 的输出信号为 H 电平，从反相器 20g 输出的输出数据传送指示信号 DOT 为 L 电平。

如内部时钟信号 intCLK 上升为 H 电平，则因此时的反相器 20e 的输出信号仍为 H 电平，所以 NAND 电路 20f 的输出信号下降为 L 电平，因此反相器 20g 输出的输出数据传送指示信号 DOT 相应地上升为 H 电平。在经过反相器 20a ~ 20e 具有的延迟时间后，反相器 20e 的  
10 输出信号下降为 L 电平，所以 NAND 电路 20f 的输出信号相应地上升为 H 电平。因此，从反相器 20g 输出的输出数据传送指示信号 DOT 下降为 L 电平。

该输出数据传送指示信号发生部的结构，是一种产生与内部时钟信号 intCLK 的上升同步并具有规定时间宽度的单触发脉冲信号的单触发  
15 脉冲发生电路。该输出数据传送指示信号 DOT 的脉冲宽度 ( H 电平期间 ) 由反相器 20a ~ 20e 具有的延迟时间决定。通过使该输出数据传送指示信号 DOT 仅在规定时间与内部时钟信号 intCLK ( 或外部时钟信号 extCLK ) 的上升同步地变为 H 电平的激活状态，能可靠地设定输出数据的取入定时，并能防止在该内部时钟信号 intCLK 因噪声而下降  
20 的不同定时取入下一个数据，所以能可靠地进行正常数据的取入和锁存。

图 19 是表示供给输入输出电路 10 的数据 DD 与该输出数据传送指示信号 DOT 的关系的图。如在时钟周期#1 中施加读出指令，则从该时钟周期#1 开始从读出放大器向输入输出电路 10 传送数据。当 CAS 等待  
25 时间为 3 时，供给输入输出电路 10 的数据 DD 在时钟周期#3 中成为确定状态。当输出数据传送指示信号 DOT 为 H 电平时，该数据 DD 通过在输入输出电路 10 中所包含的传输门 10a 传送，并用由反相器构成的锁存器锁存。因此，当 CAS 等待时间为 3 时，数据 DD 必须在经过 2 时钟周期+t1 之前成为确定状态。如数据 DD 在时刻 T0 ( 经过 2 时钟  
30 周期+t1 的时刻，其中， CAS 等待时间为 3 时的最小时钟周期为 20ns ) 后成为确定状态，则该确定状态的数据在该时钟周期#3 中不能取入。

另一方面，当 CAS 等待时间为 2 时，在时钟周期#2 中，输出数据



5 传送指示信号 DOT 上升。在这种情况下，在图 19 中，如单点锁线所示，数据 DD 必须在输出数据传送指示信号 DOT 下降时刻 T1 之前成为确定状态。因此，当 CAS 等待时间为 2 时，将由读出放大器锁存的数据传送到输入输出电路的时间必须为  $15\text{ns}+t_1$ 。这里，CAS 等待时间为 2 时的最小周期为 15ns。

10 如图 18 ( A ) 所示，输出数据传送指示信号 DOT 由单触发脉冲发生电路产生。该输出数据传送指示信号 DOT 的脉冲宽度  $t_1$  与 CAS 等待时间的值无关，是恒定的。因此，在同一个同步型半导体存储装置中，在将由读出放大器锁存的数据通过相同路径传送到输入输出电路时，当 CAS 等待时间为 2 时，与 CAS 等待时间为 3 时相比，必须以更高的速度进行数据传送。即，存在着与 CAS 等待时间为 2 时将读出放大器锁存的数据传送到输入输出电路的时间对应的条件变得极为严格的问题。

15 另外，当 CAS 等待时间为 2 时，必须进行对该输出数据传送指示信号应以多大的容限传送有效数据的测试，但这时只能简单地通过变更外部时钟信号 extCLK 的工作频率来观察是否能进行正常的数据读出，而不能准确地判定对该输出数据传送指示信号的数据读出容限。

当内部动作条件随动作方式变化而限于数据读出时，不能以最佳脉冲宽度的时钟信号使内部电路进行正确的动作。

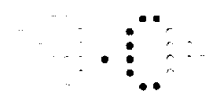
20 有鉴于此，本发明的目的是提供一种无论 CAS 等待时间为何值都能以足够的容限进行正常数据读出的同步型半导体存储装置。

本发明的另一目的是提供一种易于判定对该输出数据传送指示信号应以多大的容限进行数据读出的同步型半导体存储装置。

25 本发明的另一目的是提供一种与工作环境无关能正常地进行数据读出的同步型半导体存储装置。

与本发明的第一方面有关的同步型半导体存储装置备有：内部时钟生成装置，用于从外部时钟信号生成内部时钟信号；及脉冲宽度设定装置，与该内部时钟生成装置结合，根据用于特别指定多种动作方式中的一种动作方式的动作方式特定信号，设定内部时钟信号的脉冲宽度。

30 与本发明第二方面有关的同步型半导体存储装置，是在本发明第一方面所说的装置中还包含锁存电路，用于响应内部时钟信号的第 1 边缘而取入内部数据，并响应内部时钟信号的第 2 边缘锁存取入的内部数



据；并包含输出电路，用于在激活时将该内部数据输出到装置外部。脉冲宽度设定装置包含根据动作方式特定信号设定从该内部时钟信号的第1边缘到第2边缘的时间周期的装置。

5 与本发明第三方面有关的同步型半导体存储装置，是在本发明第1或第2方面的装置中，多种动作方式对应于指示在施加数据读出指示后为将有效数据输出到装置外部所需的外部时钟信号周期数的等待时间。

10 与本发明第四方面有关的同步型半导体存储装置，是在本发明第三方面中的脉冲宽度设定装置中包括当指定了等待时间的第1等待时间时与指定了比第1等待时间长的第2等待时间时相比使内部时钟信号的脉冲宽度加长的装置。

与本发明第五方面有关的同步型半导体存储装置，是在本发明第一方面的装置中将内部时钟信号供给当施加指示读出数据的读出指示时动作的与数据读出有关的电路部分。

15 与本发明第六方面有关的同步型半导体存储装置，是在本发明第一方面的装置中，动作方式特定信号是测试动作方式指定信号。

通过根据动作方式调整内部时钟信号的脉冲宽度，可以使内部电路按照具有最佳脉冲宽度的时钟信号动作。

20 即使CAS等待时间不同，也能对输入输出电路10中的内部数据取入时间周期进行调整，能以足够的容限进行内部数据的取入，因而能进行正确的数据读出。

另外，在测试动作方式时，如果调整内部时钟信号的脉冲宽度，则可以测定对具有规定脉冲宽度的内部时钟信号的数据取入容限，因而能正确地判定同步型半导体存储装置的实用性能。

25 图1是简略地表示本发明实施形态1的输出数据传送指示信号发生电路结构的图。

图2是表示图1所示电路动作的信号波形图。

图3是表示当采用图1所示输出数据传送指示信号发生电路时的数据读出动作的波形图。

30 图4是简略地表示图1所示动作方式指示信号发生部结构的图。

图5是表示供给图4所示方式设定指示的外部控制信号定时的图。

图6是表示图1所示动作方式指示信号发生部的另一构成例的图。



图 7 是表示本发明实施形态 2 的同步型半导体存储装置动作的流程图。

图 8 是简略地表示本发明实施形态 3 的内部控制信号发生部结构的图。

5 图 9 是表示图 8 所示电路动作的时间图。

图 10 是简略地表示本发明实施形态 3 的内部时钟发生电路结构的图。

图 11 是表图 10 所示内部时钟信号发生电路动作的时间图。

10 图 12 是简略地表示采用本发明实施形态 3 的内部时钟发生电路的输出数据传送指示信号发生电路结构的图。

图 13 是简略地表示现有的同步型半导体存储装置总体结构的图。

图 14 是表示图 13 所示同步型半导体存储装置动作的时间图。

图 15 是简略地表示现有的同步型半导体存储装置的数据读出部结构的图。

15 图 16 是表示图 15 所示数据读出部动作的时间图。

图 17 是表示图 15 所示数据读出部的动作的时间图。

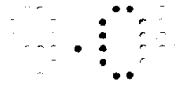
图 18 (A) 是表示现有的输出数据传送指示信号发生电路结构的图, (B) 是表示其动作的波形图。

图 19 是用于说明现有同步型半导体存储装置存在问题的图。

20 [符号说明]

1 存储单元阵列、 2 地址缓冲器、 4 行选择电路、 6 列选择电路、 8 写入/读出电路、 10 输入输出电路、 12 时钟输入缓冲器、 14 输入缓冲器、 16 指令译码器、 18 行相关控制电路、 20 列相关控制电路、 20p、 20r 延迟电路、 20q、 20s 三态反相缓冲器、 20f NAND 电路、 20g 反相器、 30a、 30b 寄存器电路、 32 方式设定控制电路、 35 指令寄存器、 36 译码器、 122 等待时间计数器、 123 信息串长度计数器、 124 列选择控制电路、 126 读出控制电路、 128 输出控制电路、 128a 置位/复位触发器、 128b 输出数据传送指示信号发生电路、 18a 置位/复位触发器、 220a 等待时间计数器、 220b 置位/复位触发器、 222a、 224a 延迟电路、 222b、 224b 三态反相缓冲器、 226 NAND 电路、 228 反相器、 230 AND 电路。

25  
30



### [实施形态 1]

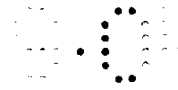
图 1 是表示本发明实施形态 1 的同步型半导体存储装置主要部分结构的图。在图 1 中，仅示出产生输出数据传送指示信号 DOT 部分的结构。其他结构与图 13 和图 15 所示相同。在图 1 中，输出数据传送指示信号发生部包含：延迟电路 20p，用于将内部时钟信号 intCLK 延迟延迟时间 Td1；三态反相缓冲器 20q，当方式指示信号 MODE1 激活时变为工作状态，用于将从延迟电路 20p 来的信号反相后输出；延迟电路 20r，用于将内部时钟信号 intCLK 延迟延迟时间 Td2；三态反相缓冲器 20s，当方式指示信号 MODE2 激活时变为工作状态，用于将从延迟电路 20r 来的信号反相后输出；3 输入 NAND 电路 20f，用于接受时钟启动信号 ENA、内部时钟信号 intCLK 及三态反相缓冲器 20q 和 20s 之一的输出信号；及反相器 20g，用于将 NAND 电路 20f 的输出信号反相并输出输出数据传送指示信号 DOT。

三态反相缓冲器 20q 和 20s 在非激活时为输出高阻抗状态。延迟电路 20r 具有的延迟时间 Td2 比延迟电路 20p 具有的延迟时间 Td1 长。以下，参照图 2 所示的波形图说明在该图 1 中示出的输出数据传送指示信号发生部的动作。

动作方式指示信号 MODE1 和 MODE2 中的一个为激活状态，而另一个为非激活状态。当动作方式指示信号 MODE1 为激活状态时，三态反相缓冲器 20q 作为反相器动作，三态反相缓冲器 20s 被设定为输出高阻抗状态。在这种状态下，输出数据传送指示信号 DOT 与内部时钟信号 intCLK 的上升同步，并在延迟电路 20p 具有的延迟时间 Td1 期间为 H 电平。这里，假定时钟启动信号 ENA 为激活状态的 H 电平。

另一方面，如动作方式指示信号 MODE2 为激活状态，则该输出数据传送指示信号 DOT 与内部时钟信号 intCLK 的上升同步，并在延迟电路 20p 具有的延迟时间 Td2 期间为 H 电平。因此，通过按照 CAS 等待时间设定该动作方式指示信号 MODE1 和 MODE2，可以将输出数据传送指示信号 DOT 的脉冲宽度设定为最佳值，如下所述，能够在输入输出电路中进行正确的数据取入。

图 3 是表示读出数据时供给输入输出电路的数据 DD 与输出数据传送指示信号 DOT 的时间关系的波形图。在图 3 中示出的数据读出路径与图 15 所示的数据读出路径相同。此外，在图 3 中，示出 CAS 等待时



间设定为 2 时的动作。

在时钟周期#0 施加读出指令。当 CAS 等待时间为 2 时，在接着的时钟周期#1 中，传送所选择的存储单元（读出放大器）的数据。输出数据传送指示信号 DOT 与内部时钟信号 intCLK 的上升同步，并在规定时间内为 H 电平。在该输出数据传送指示信号 DOT 为 H 电平期间，进行数据 DD 的取入。当动作方式指示信号 MODE1 为激活状态时，如该输出数据传送指示信号 DOT 的下降时刻比数据 DD 成为确定状态早，则输入输出电路不能在各时钟周期中进行数据的取入。因此，当设定该动作方式指示信号 MODE1 并使输出数据传送指示信号 DOT 在传送有效数据 DD 之前为非激活状态时，在时钟周期#1 中传送的数据（0），在接着的时钟周期#2 中被取入并锁存。所以，在这种情况下，可在时钟周期#2 中将有效数据输出到外部。在这种操作条件下，CAS 等待时间为 3，而在 CAS 等待时间为 2 的条件下不能进行数据的读出。

当在该动作方式指示信号 MODE1 的激活状态下不能正确地读出数据时，应使动作方式指示信号 MODE2 为激活状态。在这种条件下，输出数据传送指示信号 DOT 的脉冲宽度加宽（Td2），当有效数据 DD 到达时，该输出数据传送指示信号 DOT 仍为 H 电平，所以能将有效数据取入输入输出电路 10。因此，在各时钟周期中，能够将有效数据取入和锁存在输入输出电路 10 内并通过输出缓冲器 10b 输出，即使在 CAS 等待时间为 2 的条件下也能正确地进行数据读出。所以，通过按照动作状况设定该输出数据传送指示信号 DOT 的脉冲宽度，可以进行正确的数据读出，因而能实现可靠性高的同步型半导体存储装置。

图 4 是简略地表示动作方式指示信号发生部结构的图。在图 4 中，动作方式指示信号发生部包含：寄存器 30a 和 30b，用于存储在外端子 ETa 及 ETb 上供给的数据；反相器 30c，用于将在寄存器 30a 中存储的数据反相；反相器 30d，用于将在寄存器 30b 中存储的数据反相；及方式设定控制电路 32，响应由指令译码器施加的动作方式设定周期指示而激活，并将动作方式设定指示信号 MST 驱动进入激活状态。

从寄存器 30a 及反相器 30c 输出动作方式指示信号 MODE1 和 /MODE1。从寄存器 30b 及反相器 30d 分别输出动作方式指示信号 MODE2 和 /MODE2。当从该方式设定控制电路 32 来的动作方式设定指示信号被激活时，寄存器 30a 和 30b 取入、锁存在外端子 ETa 及





ETb 上供给的信号。当该动作方式设定指示信号 MST 为非激活状态时，寄存器 30a 和 30b 锁存其存储数据。外部端子 ETa 及 ETb 可以是数据输入端子，也可以是地址信号输入端子。

5 图 5 是表示用于进行该动作方式指示信号的设定的外部控制信号的定时关系的图。在图 5 中，在外部时钟信号 extCLK 的上升边缘，行地址选通信号/RAS、列地址选通信号/CAS、及允许写入信号/WE 全部设定为 L 电平，而且将地址信号 AD 的特定位设定为规定值。根据这种条件，指定动作方式指示信号设定周期，并由方式设定控制电路 32 根据来自指令译码器的动作方式设定周期指示将具有规定时间宽度的  
10 动作方式设定指示信号 MST 驱动进入激活状态。方式设定控制电路 32 的结构，只要是简单的单触发脉冲发生电路即可。

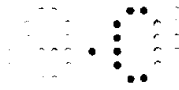
#### [变更例]

图 6 是简略地表示动作方式指示信号发生部的变更例结构的图。在  
15 图 6 中，动作方式指示信号发生部包含：指令寄存器 35，响应来自指令译码部的指令寄存器置位指示而激活，用于存储在外端子 ETc 及 ETd 上供给的数据；及译码器 36，用于对存储在指令寄存器 35 内的数据进行译码，并输出 CAS 等待时间指示信号 LT2、LT3、...。CAS 等待时间指示信号 LT2，当激活时指示 CAS 等待时间为 2；CAS 等待时间指示信号 LT3，当激活时指示 CAS 等待时间为 3。  
20

指令寄存器 35 包含分别与外部端子 ETc 及 ETd 对应设置并从对应的外端子 ETc 及 ETd 取入和锁存数据的指令寄存器电路 35a 和 35b。之所以采用译码器 36 是为了能将 CAS 等待时间设定为 1、2、3、4 等值，通过对 2 位的 CAS 等待时间指示进行译码，可以减少该  
25 CAS 等待时间指示所需要的指令寄存器电路数。

该指令寄存器 35 及译码器 36 设置在通常的同步型半导体存储装置内，指令寄存器的置位方式根据图 5 所示的定时条件设定。该 CAS 等待时间指示信号 LT2，用作动作方式指示信号 MODE2；CAS 等待时间指示信号 LT3，用作动作方式指示信号 MODE3。通过将 CAS 等待  
30 时间指示信号用作动作方式指示信号，可以不需要动作方式指示信号发生部，因而能抑制装置占有面积的增加。

如上所述，如按照本发明的实施形态 1，则由于可按 CAS 等待时



间信息调整输出数据传送指示信号的脉冲宽度，所以无论 CAS 等待时间为何值都能将输出数据传送指示信号 DOT 的脉冲宽度设定为最佳值，因而能进行正确的数据读出。

5 [实施形态 2]

图 7 是表示本发明实施形态 2 的同步型半导体存储装置的测试动作的流程图。在实施形态 2 中，采用在图 1 中示出的该输出数据传送指示信号发生部。在通常的动作方式中，不管 CAS 等待时间为何值，动作方式指示信号 MODE2 为激活状态，而动作方式指示信号 MODE1 为非激活状态。因此，输出数据传送指示信号的脉冲宽度由图 1 的延迟电路 20r 具有的延迟时间决定。以下，参照图 7 说明本发明实施形态 2。

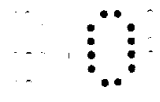
首先，判断是否施加了测试方式指示（步骤 S1）。该测试方式指示，在前面的图 5 所示的定时关系中，通过将地址信号 AD 的特定位设定为规定值来指定。如指定测试方式，则动作方式指示信号 MODE1 被激活，动作方式指示信号 MODE2 变为非激活状态（步骤 S2）。因此，输出数据传送指示信号 DOT 的脉冲宽度比通常动作方式时短。

在这种状态下，对同步型半导体存储装置进行测试数据的写入，然后将该写入的数据读出（步骤 S4）。在读出该测试数据的过程中，采用脉冲宽度比通常动作方式时短的输出数据传送指示信号。

接着，将该读出的数据与期望值数据（写入的测试数据）进行比较，判断其逻辑是否一致（步骤 S6）。当读出的数据与期望值数据一致时，判定正进行着正确的读出，该输出数据传送指示信号 DOT 的脉冲宽度具有足够的容限（步骤 S8）。另一方面，当读出的数据与期望值数据不一致时，判定在输入输出电路中没有进行正确的数据取入和锁存，并判定该输出数据传送指示信号 DOT 的容限不够（步骤 10）。

通过这一系列的动作，可以很容易地识别在通常动作时采用的输出数据传送指示信号 DOT 的脉冲宽度是否具有足够的容限。此外，在通常的测试动作中，当发生不正常的情况时，可以很容易地识别其不正常的原因是否是该输出数据传送指示信号的容限不够。

另外，在上述实施形态 2 的说明中，对无论 CAS 等待时间为何值而该输出数据传送指示信号 DOT 的脉冲宽度保持恒定的情况进行了说明。但是，也可将本实施形态 1 与实施形态 2 组合使用。即，根据 CAS



等待时间设定输出数据传送指示信号 DOT 的脉冲宽度，对各脉冲宽度设置规定的容限短的延迟电路，并设置测定容限用的脉冲发生部。因此，能对各种 CAS 等待时间正确地识别是否存在所需的容限。

5 如上所述，如按照本发明的实施形态 2，则由于在测试动作方式时可以调整输出数据传送指示信号 DOT 的脉冲宽度，所以可以很容易地识别该输出数据传送指示信号的脉冲宽度的容限，并能很容易地进行容限不够的判断，同时能改善同步型半导体存储装置的可靠性。

### [实施形态 3]

10 图 8 是简略地表示图 13 所示的用于控制列选择电路、读出电路及输入输出电路动作的列相关控制电路结构的图。在图 8 中，列相关控制电路 20 包含：单触发脉冲发生电路 120，响应来自指令译码器 16 的读出动作指示信号，产生具有规定宽度的单触发脉冲信号；等待时间计数器 122，响应来自该单触发脉冲发生电路 120 的单触发脉冲而起动，并根据内部时钟信号 intCLK 对等待时间的周期进行计数；信息串长度计数器 123，响应来自等待时间计数器 122 的累计信号而起动，并根据内部时钟信号 intCLK 对信息串长度的时间周期进行计数；列选择控制电  
15 路 124，响应来自单触发脉冲发生电路 120 的单触发脉冲而起动，且响应来自信息串长度计数器 123 的规定输出而变为非激活状态，并在激活时进行与列选择有关的动作；读出控制电路 126，响应来自等待时间计数器 122 的规定输出信号而起动，且响应来自信息串长度计数器 123 的规定输出信号而变为非激活状态，并在激活时控制块选择信号 BS 的产生；及输出控制电路 128，响应来自等待时间计数器 122 的累计信号而  
20 激活，且响应来自信息串长度计数器 123 的累计信号而变为非激活状态，并在激活时产生允许输出信号 OEM 及输出数据传送指示信号 DOT。

列选择控制电路 124 提供控制图 15 所示列/块译码器及前置放大器的激活的定时。在该列选择控制电路 124 的控制下，列/块译码器与外部时钟信号同步进行译码动作，而前置放大器根据块指示信号与内部时  
30 钟信号同步地被激活。

读出控制电路 126 对传送由该前置放大器放大后数据的块选择信号 BS 的产生进行控制。与内部时钟信号 intCLK 同步地从该读出控制



电路 126 输出块选择信号 BS。当该块选择信号还选择存储块时（当与各前置放大器对应设置着三态反相缓冲器时），读出控制电路 126 根据该存储块指示信号与内部时钟信号 intCLK 同步地将三态反相缓冲器激活。

5        输出控制电路 128 包含：置位/复位触发器 128a，响应等待时间计数器 122 的累计信号而置位，且响应信息串长度计数器 123 的累计信号而复位；及输出数据传送指示信号发生电路 128b，根据来自该置位/复位触发器 128a 的的时钟启动信号 ENA 及内部时钟信号 intCLK，输出输出数据传送指示信号 DOT。置位/复位触发器 128a 还输出与时钟  
10 启动信号 ENA 同步的允许输出信号 OEM。以下，参照图 10 所示的时间图说明在图 8 中示出的该列相关控制电路 20 的激活定时。

在图 10 中，在时钟周期 0 施加读出指令。列选择控制电路 124，按照该读出指令，在时钟周期 0 中响应来自单触发脉冲发生电路 120 的单触发脉冲而变为激活状态。该激活状态的时间周期由信息串长度计数器 123 的规定输出决定。在对信息串长度计数器 123 供给读出动作指示  
15 信号后向该列选择控制电路 124 供给在信息串长度时间周期内变为激活状态的信号。

这里，等待时间计数器 122 及信息串长度计数器 123 由移位寄存器构成，等待时间计数器 122 与内部时钟信号 intCLK 同步传送来自该单  
20 触发脉冲发生电路 120 的单触发脉冲，而信息串长度计数器 123 与内部时钟信号 intCLK 同步传送来自该等待时间计数器 122 的累计信号。因此，通过选择该等待时间计数器 122 及信息串长度计数器 123 的规定寄存器级的输出可以取出必要的被激活信号。等待时间计数器 122 的累计信号在由等待时间指定的时钟周期之前的周期中变为激活状态。因此，  
25 如图 9 所示，列选择控制电路 124 在从施加读出指令后的时钟周期 0 起经过信息串长度时间周期到时钟周期 3 这段时间为激活状态，在时钟周期 4 中变为非激活状态。

读出控制电路 126 由等待时间计数器 122 决定其激活开始定时，并由信息串长度计数器 123 决定其非激活状态开始定时。该读出控制电路  
30 126 在由 CAS 等待时间规定的时钟周期之前 2 个周期的周期中被激活。因此，当 CAS 等待时间为 2 时，读出控制电路 126 在施加读出指令后的时钟周期 0 中被激活，当 CAS 等待时间为 3 时，读出控制电路 126

在时钟周期 1 中被激活。

该读出控制电路 126 在输出信息串长度数据的最终数据的时钟周期中变为非激活状态。因此，选择信息串长度计数器 123 最终累计信号的前一级输出信号并供给读出控制电路 126。即，当 CAS 等待时间为 2 时，读出控制电路 126 在从时钟周期 0 到时钟周期 3 的时间内为激活状态，在时钟周期 4 中恢复到非激活状态。另一方面，当 CAS 等待时间为 3 时，读出控制电路 126 在时钟周期 1 中被激活，并将激活状态保持到时钟周期 4，在时钟周期 5 中变为非激活状态。

对于输出控制电路 128，其激活和非激活根据该等待时间计数器 122 及信息串长度计数器 123 的各自的累计信号进行。当 CAS 等待时间为 2 时，时钟启动信号 ENA 及允许输出信号 OEM 在时钟周期 1 中被激活，并将激活状态保持到时钟周期 4，在时钟周期 5 中变为非激活状态。当 CAS 等待时间为 3 时，这 2 个信号 ENA 及 OEM 在时钟周期 2 中被激活，并将激活状态保持到时钟周期 5，在时钟周期 6 中变为非激活状态。

在该列相关控制电路 20 中，全部动作都与内部时钟信号 intCLK 同步。即，内部控制信号的激活定时，是将内部时钟信号 intCLK 的上升作为触发信号决定的。这里，在与从列选择控制电路 124、读出控制电路 126 的读出放大器向输入输出电路的数据传送有关的部分中，内部控制信号也是与内部时钟信号 intCLK 同步产生的。因此，在该传送动作过程中，如果采用与前面图 1 中所示相同的单触发脉冲发生电路，则能够进行正确的数据传送，并能按照动作状况进行正确的数据传送和锁存。

图 10 是简略地表示本发明实施形态 3 的内部时钟发生部结构的图。在图 10 中，行相关控制电路 18 包含置位/复位触发器 18a，响应来自指令译码器 16 的激活动作指示信号  $\phi_{ac}$  的激活而置位，且响应预充电动作指示信号  $\phi_{pr}$  的激活而复位。从该置位/复位触发器 18a 输出行相关电路激活信号 ACT。当该行相关电路激活信号 ACT 为激活状态时，按规定的时序停止位线的预充电/均衡操作，进行位线的选择并将读出放大器激活。激活动作指示信号  $\phi_{ac}$  在以单触发脉冲的形式施加激活指令时变成激活状态，预充电动作指示信号  $\phi_{pr}$  在以单触发脉冲的形式施加预充电指令时被激活。



内部时钟发生部包含：等待时间计数器 220a，用于将预充电动作指示信号  $\phi_{pr}$  延迟由 CAS 等待时间指定的时钟周期时间；及置位/复位触发器 220b，响应行相关电路激活信号 ACT 的激活而置位，且响应等待时间计数器 220a 的输出信号的激活而复位。从该置位/复位触发器 220b 输出时钟启动信号 ENCLK。

内部时钟发生部还包含：延迟电路 222a，用于将内部时钟信号 intCLK 延迟规定时间；三态反相缓冲器 222b，在动作方式指示信号 MODEa 激活时进入工作状态，用于将延迟电路 222a 的输出信号反相；延迟电路 224a，用于将内部时钟信号 intCLK 延迟规定时间；三态反相缓冲器 224b，在动作方式指示信号 MODEb 激活时进入工作状态，用于将延迟电路 224a 的输出信号反相；3 输入 NAND 电路 226，用于接受时钟启动信号 ENCLK、内部时钟信号 intCLK 及三态反相缓冲器 222b 和 224b 之一的输出信号；及反相器 228，用于将 NAND 电路 226 的输出信号反相并输出内部时钟信号  $\phi_{CLK}$ 。该内部时钟信号  $\phi_{CLK}$ ，在图 8 中，供给除输出数据传送指示信号发生电 (DOT) 之外的列相关控制部。这时，在结构上也可以在等待时间计数器、信息串长度计数器、列选择控制电路及读出控制电路中将内部时钟信号  $\phi_{CLK}$  供给内部时钟信号的脉冲宽度具有临界意义的电路部分。

其次，参照图 11 所示的时间图说明在图 10 中示出的该内部时钟发生部的动作。

如在时钟周期 0 中施加激活指令，则激活动作指示信号  $\phi_{ac}$  变成规定时间的 H 电平激活状态，在行相关控制电路 18 中所包含的置位/复位触发器 18a 被置位，行相关电路激活指示信号 ACT 上升为激活状态的 H 电平。置位/复位触发器 220b 响应该行相关电路激活指示信号 ACT 的激活而置位，时钟启动信号 ENCLK 也同样上升为 H 电平。将动作方式指示信号 MODEa 和 MODEb 之一设定为激活状态，而将另一个设定为非激活状态。因此，在该时钟启动信号 ENCLK 变为 H 电平的激活状态时，与内部时钟信号 intCLK 的上升同步，输出具有与延迟电路 222a 和 224a 的延迟时间对应的脉冲宽度的内部时钟信号  $\phi_{CLK}$ 。

在时钟周期 1 - 5 中，施加读出指令或写入指令，并进行数据的读出或写入。在该写入/读出中，列相关控制电路与内部时钟信号  $\phi_{CLK}$  同步动作，并可以根据具有与动作方式相应的最佳脉冲宽度的内部时钟



信号进行正确的数据传送/写入。

在时钟周期 6 中施加预充电指令，使预充电动作指示信号  $\phi$  pr 变为规定时间的 H 电平激活状态。置位/复位触发器 18a 响应该预充电动作指示信号  $\phi$  pr 的激活而复位，行相关电路激活指示信号 ACT 变为 L 电平的 5 非激活状态。行相关控制电路响应该信号 ACT 的非激活状态，使行选择动作停止，并按规定的时序依次执行以下动作：将选择的字线驱动进入非选择状态、使读出放大器变成非激活状态、及位线的预充电/均衡操作。等待时间计数器 220a 的输出信号，在该时钟周期 6 中仍不是激活状态。所以，时钟启动信号 ENCLK 保持激活状态。因此，在这 10 段时间内能够与内部时钟信号  $\phi$  CLK 同步，并通过读出电路及输出电路进行数据的读出。

当 CAS 等待时间为 2 时，来自该等待时间计数器 220a 的输出信号在时钟周期 8 中上升为 H 电平，相应地使置位/复位触发器 220b 复位，时钟启动信号 ENCLK 下降到非激活状态的 L 电平。因此，使内部时钟 15 信号  $\phi$  CLK 的产生停止。在该时钟周期 8 中，已经完成必要数据的读出（CAS 等待时间为 2，并在施加预充电指令后在时钟周期 6 和 7 中读出信息串长度数据的剩余数据）。

如图 10 所示，在内部时钟发生部中，由于可按动作方式调整内部时钟信号  $\phi$  CLK 的脉冲宽度，所以，在与数据的写入/读出有关的电路 20 部分中，即使是在将数据传送置于严格条件下的临界路径中，也能通过调整时钟信号  $\phi$  CLK 的脉冲宽度而以足够的容限进行数据的传送。

### [变更例]

图 12 是表示本发明实施形态 3 的变更例结构的图。在图 12 中，输出 25 数据传送指示信号发生电路包含一个接受时钟启动信号 ENCLK、内部时钟信号  $\phi$  CLK 及允许输出信号 OEN 的 AND 电路 230。该 AND 电路 230 用来代替图 8 所示的输出数据传送指示信号发生电路 128b。在该图 12 中示出的结构中，按照动作方式调整内部时钟信号  $\phi$  CLK 的脉冲宽度。因此，通过对列相关控制电路 20 的内部时钟信号  $\phi$  CLK 按照 30 所有动作方式进行通用的调整，可以减少内部时钟发生部的构成部件数，并能减小电路占有面积。即使在这种情况下，用于数据传送和读出的时钟脉冲宽度，也仍能根据动作方式设定为最佳值，因而能进行正确

的数据传送。

另外，尽管构成部件数增加，但对于图 8 所示的列选择控制电路、读出控制电路及输出控制电路的每个电路，也可以设置产生脉冲宽度可调整的内部时钟信号的电路。

5 在实施形态 3 中，如果对动作方式指示信号也采用测试方式指示信号，则与实施形态 2 一样，可以测定对数据传送路径中的内部时钟信号的容限。由于内部时钟信号  $\phi$  CLK 是在行选择电路激活指示信号 ACT 的激活时间周期与 CAS 等待时间周期之和的时间内产生的，所以能只在必要的时间周期内产生内部时钟信号  $\phi$  CLK 并供给列相关控制电  
10 路，因而能减少按照该内部时钟信号  $\phi$  CLK 进行动作的电路的耗电量。

如上所述，如按照本发明的实施形态 3，则仅在电路动作的必要时间周期内产生内部时钟信号，而且能根据动作方式变更该内部时钟信号的脉冲宽度，所以能减小耗电量，并能进行正确的数据传送动作。

15

#### [其他适用例]

在以上的说明中，说明了在 1 个存储块中按每 1 位依次连续地选择和读出数据。但是，也可以在多个存储块中使列同时进入选择状态，并在依次将前置放大器激活后从各块中顺序读出存储单元数据。

20 另外，也可以是「2 位预取」式的同步型半导体存储装置，在 1 次列选择动作中锁存 2 位存储单元数据并根据内部时钟信号依次进行传送。

作为同步型半导体存储装置，只要是与外部时钟信号同步进行数据输入输出的半导体存储装置即可，也可以是具有读出时内部数据传送与  
25 内部时钟信号同步进行的结构的半导体存储装置。

如上所述，如按照本发明，则能根据动作状况生成具有最佳脉冲宽度的内部时钟信号，因而能进行正确的数据传送、尤其是正确的数据读出。

如按照与权利要求 1 有关的发明，则可根据动作方式设定内部时钟生成装置输出的内部时钟信号的脉冲宽度，所以能根据动作状况生成具有最佳脉冲宽度的内部时钟信号。

如按照与权利要求 2 有关的发明，则可根据动作方式特定信号设定





用于决定输出电路取入所供给的内部数据的时间周期的内部时钟信号的脉冲宽度，所以能根据动作方式将内部数据正确地取入输出电路并进行锁存。

5 如按照与权利要求 3 有关的发明，则作为多种动作方式采用等待时间，并能根据 CAS 等待时间生成具有最佳脉冲宽度的内部时钟信号并传送内部读出数据，因而无论 CAS 等待时间为何值，都能进行正确的数据读出。

10 如按照与权利要求 4 有关的发明，则由于可缩短 CAS 等待时间并将内部时钟信号的脉冲宽度加长，所以，当数据传送要求严格而 CAS 等待时间短时，能生成具有最佳脉冲宽度的内部时钟信号，因而能进行正确的数据传送。

15 如按照与权利要求 5 有关的发明，则将内部时钟信号供给其动作与指示读出数据的读出指示有关的电路部分，并且在读出过程中能根据具有最佳脉冲宽度的内部时钟信号进行用于读出的数据传送，因而能进行正确的数据读出而与动作状况无关。

如按照与权利要求 6 有关的发明，则动作方式特定信号是测试动作方式指定信号，在测试动作时，可以从外部调整内部时钟信号的脉冲宽度，因而能正确测定内部电路对内部时钟信号的容限。

# 说明书附图

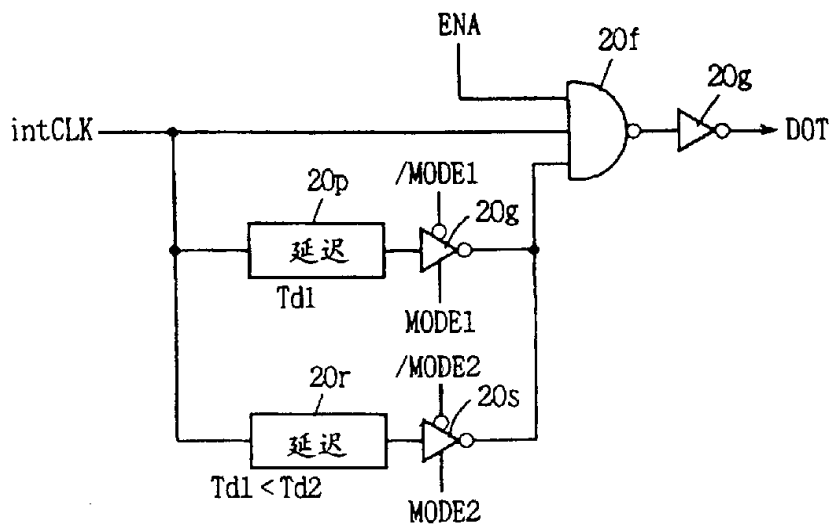


图 1

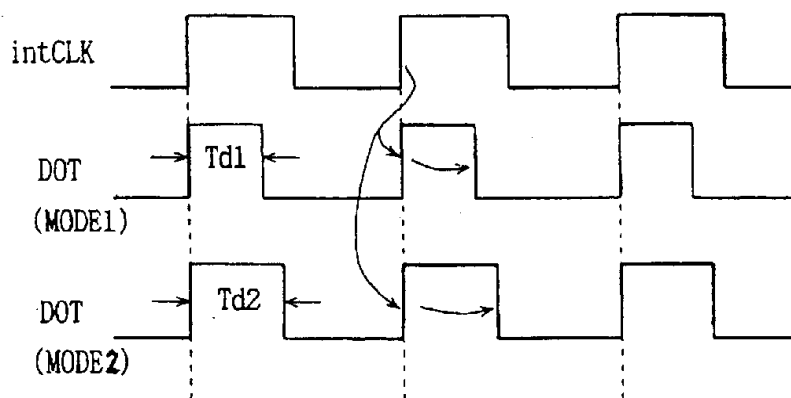


图 2

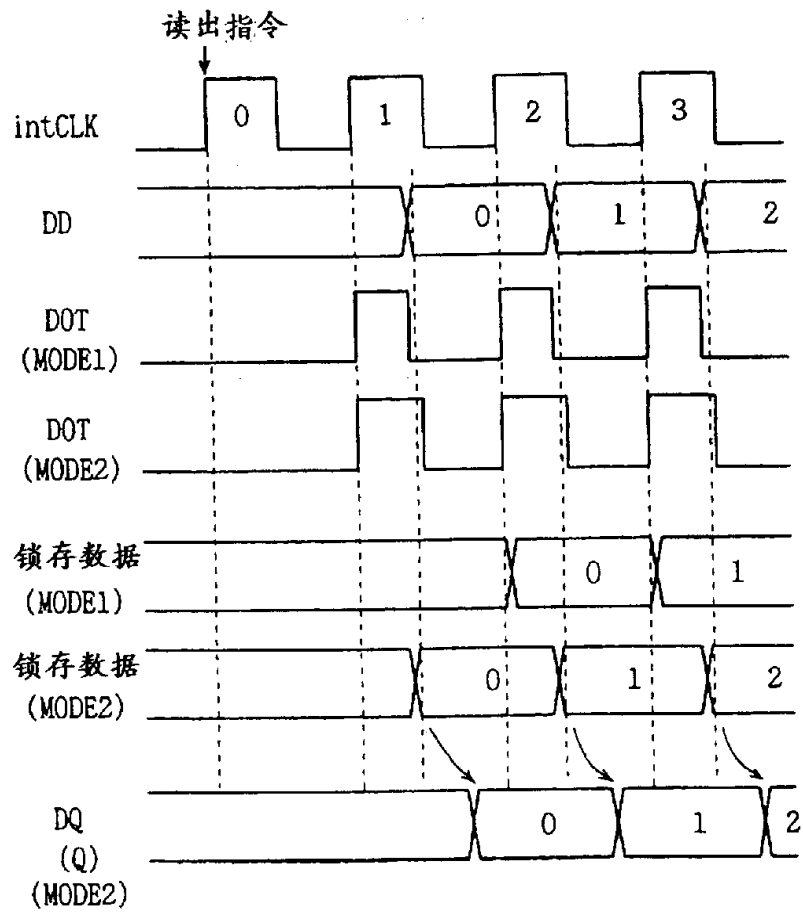


图 3

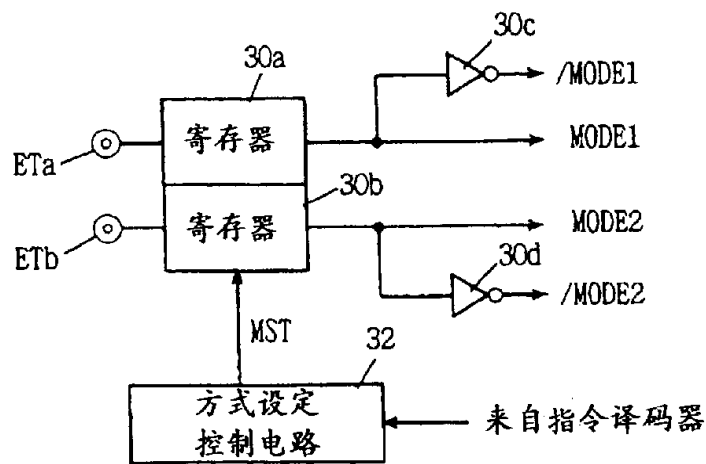


图 4

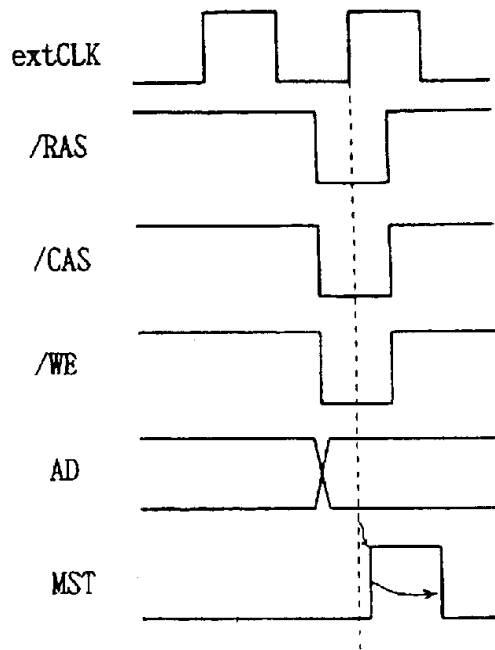


图 5

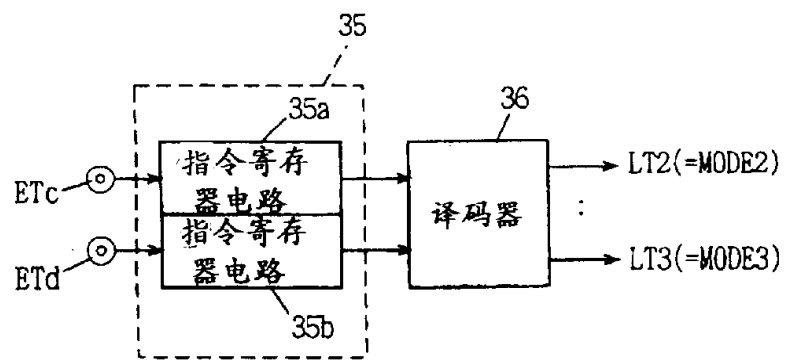


图 6

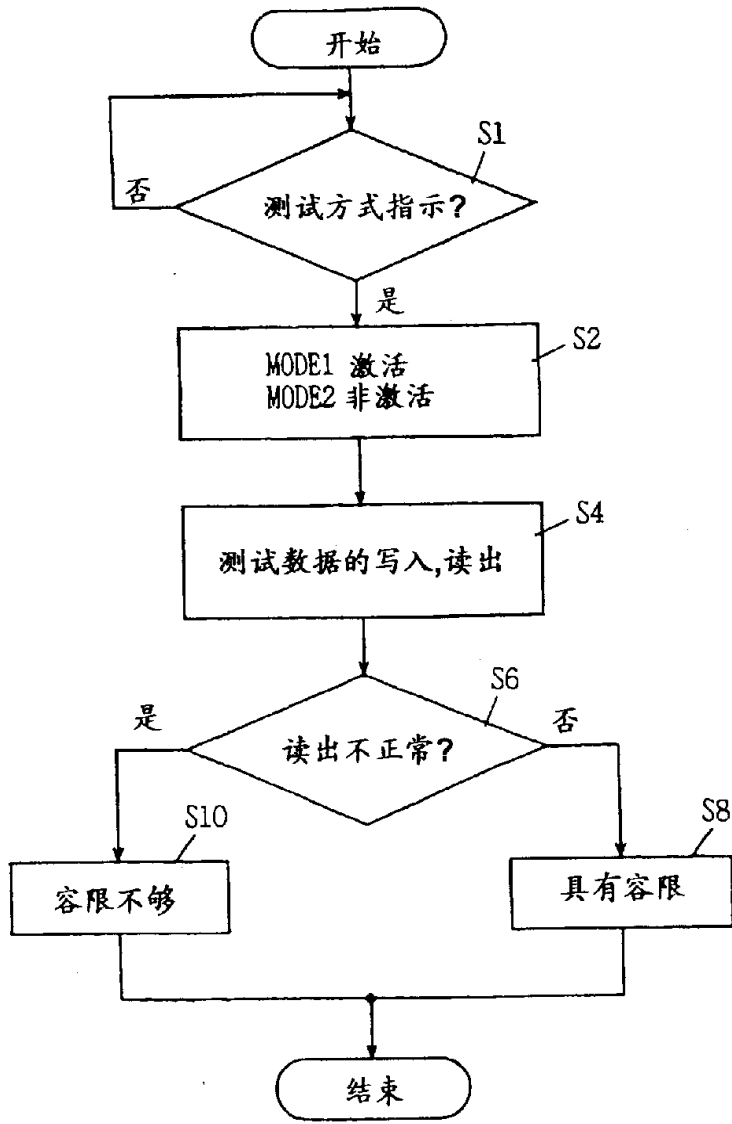
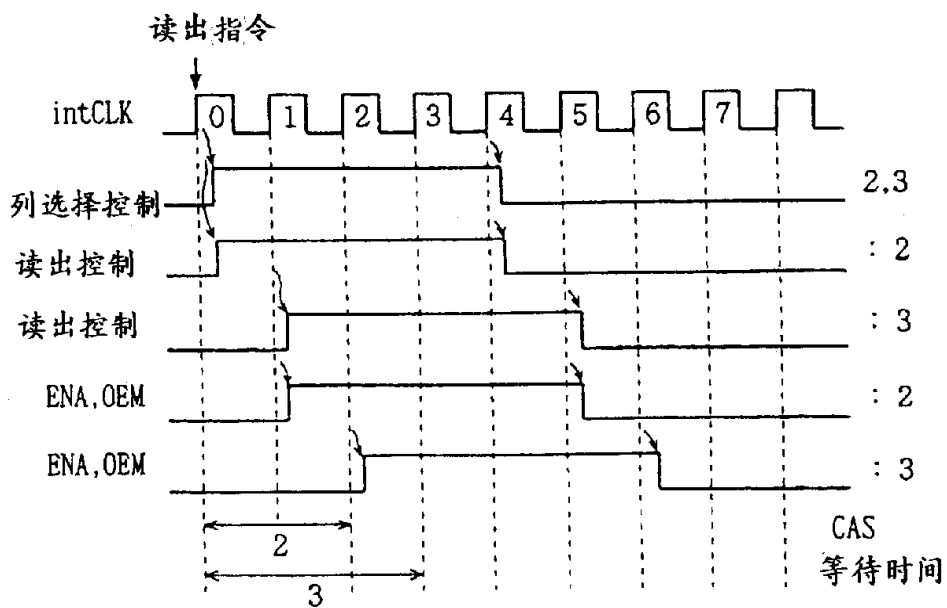
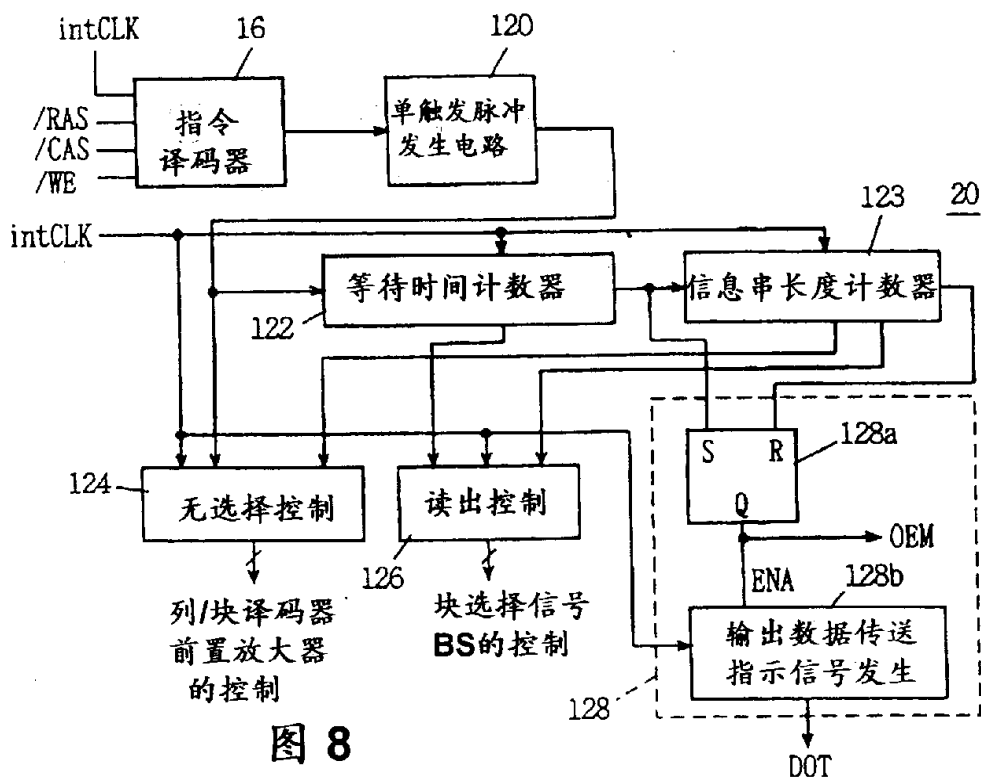


图 7



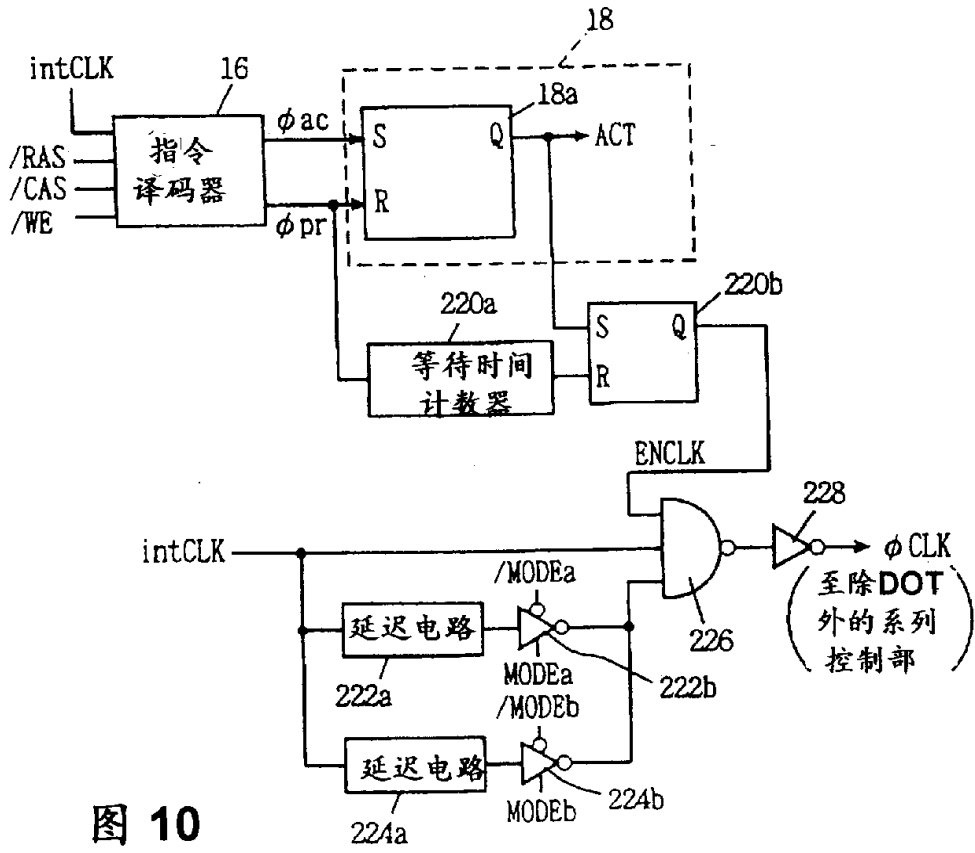


图 10

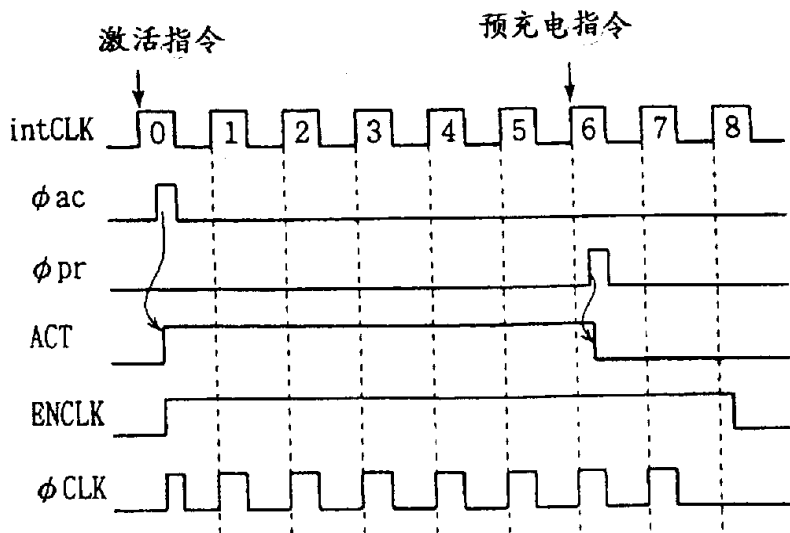
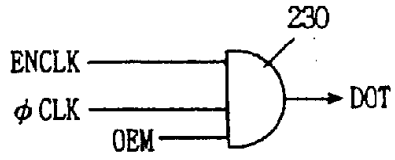


图 11



128

图 12

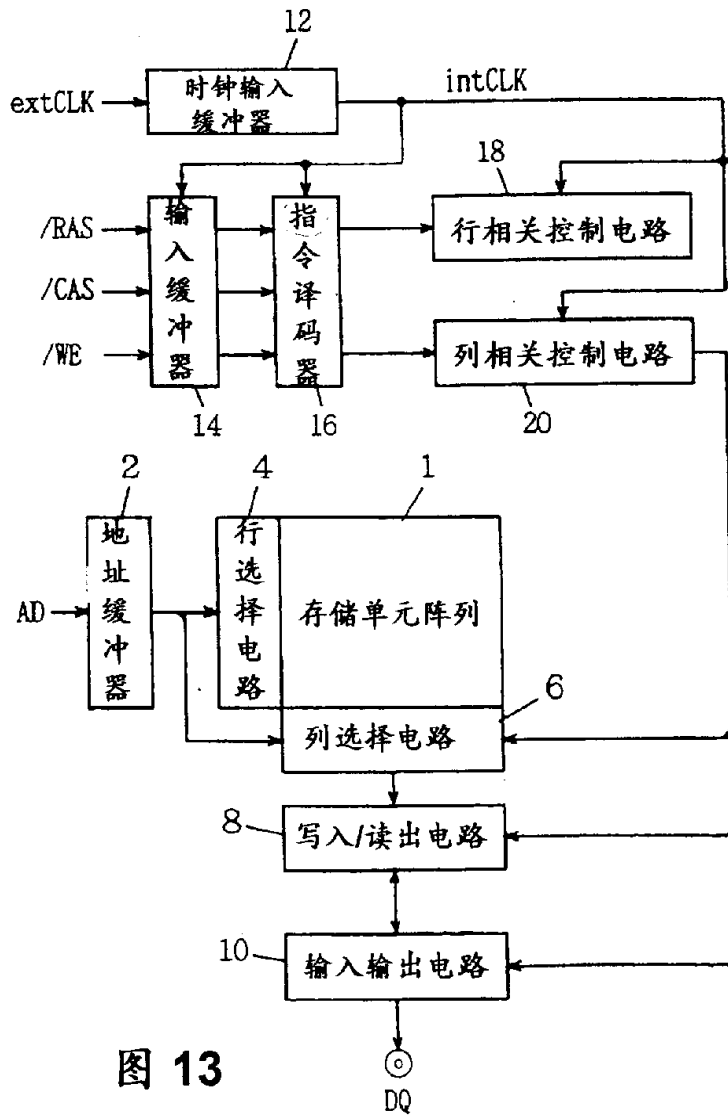


图 13



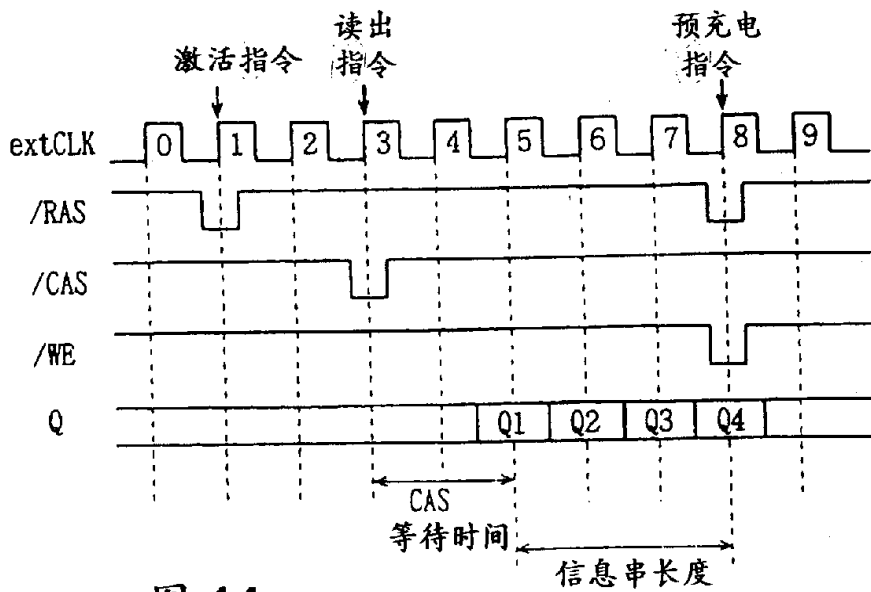


图 14

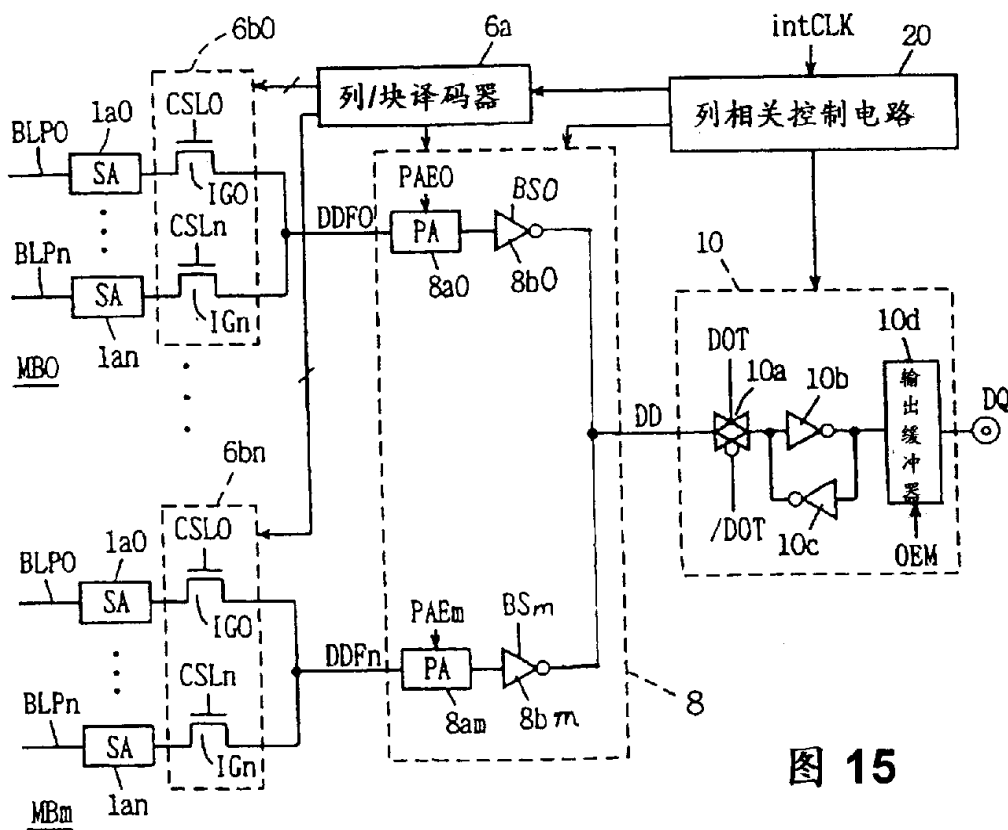


图 15

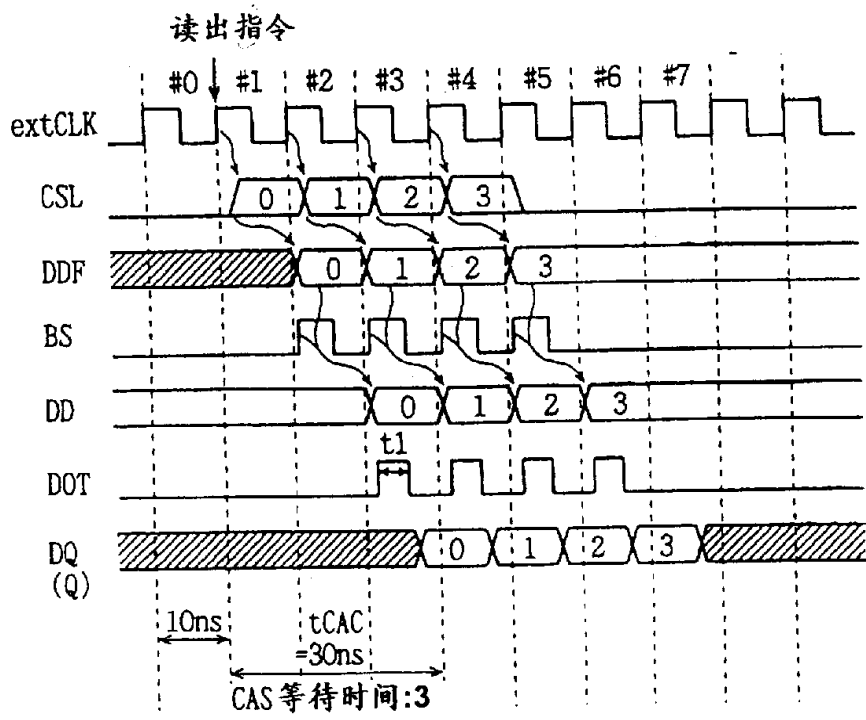


图 16

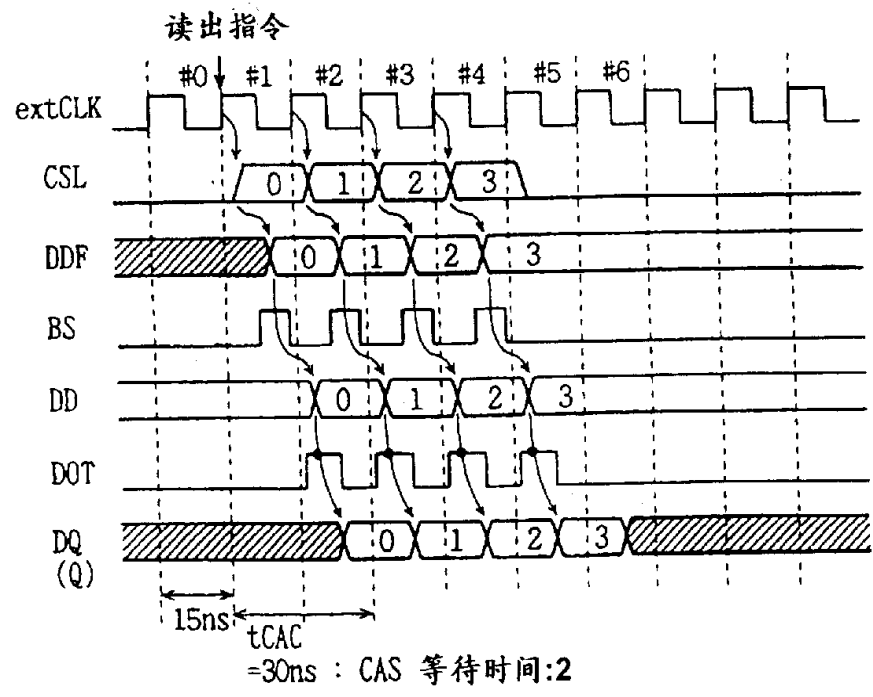


图 17



图 18

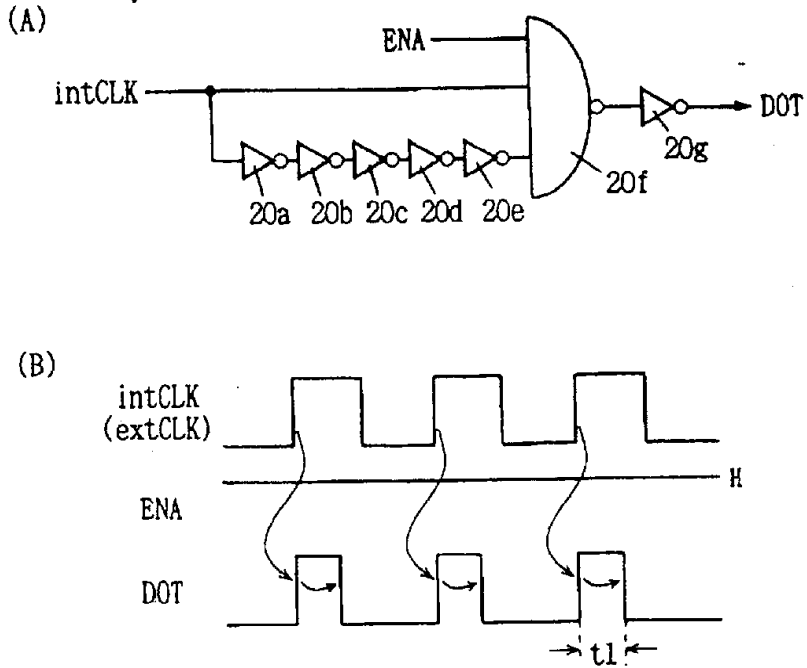


图 19

