(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/78

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0336079
(24) 등록일자 2002년04월26일

(21) 출원번호 10-1998-0020270
(22) 출원일자 1998년06월01일

(65) 공개번호 특1999-0006561
(43) 공개일자 1999년01월25일

(30) 우선권주장 149273 1997년06월06일 일본(JP)

(73) 특허권자 오끼 덴끼 고오교 가부시끼가이샤
사와무라 시코
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자 이가라시 야스시
일본국 도오교도 미나도꾸 도라노몽 1쪼메 7방 12고오오끼덴끼 고오교오 가부시끼가이샤 나이

(74) 대리인 이화익

심사관 : 임동우

(54) 강유전체 트랜지스터, 반도체 기억장치, 강유전체 트랜지스터의동작방법 및 강유전체 트랜지스터의 제조방법

요약

열처리로 인해 트랜지스터의 특성이 열화되지 않는 강유전체 트랜지스터의 제조방법을 제공한다. 강유전체 트랜지스터는 기초구조 위에 게이트 유니트를 갖는다. 게이트 유니트는 순차 적층된 게이트 전극, 강유전체막 및 게이트 절연막 구비한다. 게이트 절연막 위에는 채널층이 설치된다. 제 1 및 제 2 주전극이 서로 이격되어 채널층 위에 설치된다. 채널층은 트랜지스터의 동작 시에 채널로서 사용된다. 이와 같이, 채널의 캐리어 농도는 강유전체막의 자발분극을 이용하여 제어된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 강유전체 트랜지스터의 제 1 구조를 나타낸 사시도,

도 2는 강유전체 트랜지스터의 제 1 구조를 나타낸 주요 평면도,

도 3은 강유전체 트랜지스터의 제 1 구조를 나타낸 단면도,

도 4는 강유전체 트랜지스터의 제 2 구조를 나타내는 사시도,

도 5는 강유전체 트랜지스터의 제 2 구조를 나타낸 주요 평면도,

도 6은 강유전체 트랜지스터의 제 2구조를 나타낸 단면도,

도 7은 강유전체 트랜지스터의 제 3 구조를 나타낸 단면도,

도 8은 강유전체 트랜지스터의 제 4 구조를 나타낸 단면도,

도 9는 $SrBi_2Ta_2O_9$의 히스테리스 특성을 나타낸 도면,

도 10a 내지 도 10c는 제 1 구조의 동작을 설명하는 도면,

도 11은 Id와 Vg의 관계를 나타낸 도면,

도 12a 내지 도 12c는 제 2 구조의 동작을 설명하는 도면,

도 13은 본 발명의 반도체 기억장치의 구조를 설명하는 도면,

도 14a 및 도 14b는 반도체 기억장치의 제 1 구조의 제조공정을 나타낸 도면,

도 15a 및 도 15b는 도 14의 공정 다음의 제 1 구조의 제조공정을 나타낸 도면,

도 16a 및 도 16b는 도 15의 공정 다음의 제 1 구조의 제조공정을 나타낸 도면,

도 17a 및 도 17b는 제 2 구조의 제조공정을 나타낸 도면,

도 18a 및 도 18b는 제 3 구조의 제조공정을 나타낸 도면,

도 19a 및 도 19b는 제 4 구조의 제조공정을 나타낸 도면.

< 도면의 주요부분에 대한 부호의 설명 >

10 : 게이트 전극 12 : 강유전체막

14 : 게이트 절연막 16 : 제 1 주전극

18 : 제 2 주전극 20 : 채널층

22 : 게이트 유니트 24 : 하측 도전층

25 : 하층 26 : 기판

28 : 층간 절연막 30 : 선택 트랜지스터

32 : 필드산화막 34 : 소스전극영역

36 : 드레인전극영역 38 : 게이트 전극

40 : 강유전체 트랜지스터 42 : 제 1 배선

44 : 제 2 배선 46 : 제 1 스루홀

48 : 제 2 스루홀 50 : 상측 절연막

52 : 제 3 스루홀 54 : 층간 절연막

56 : A1 배선 58 : 표면 보호층11

60 : 상측 도전층 62 : 금속산화층

64 : 블록 66 : 제 1 도전층

68 : 제 2 도전층 70 : 강유전체층

72 : 제 1 절연층 74 : 반도체층

76 : SiO2 마스크 73 : 제 2 절연층

80 : 레지스트 82 : 폴리실리콘층

84 : 제 3 도전층 86 : 금속산화층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적회로의 고밀도화 및 고속화에 적합한 강유전체 트랜지스터 및 그 제조방법에 관한 것이다.

강유전체를 사용한 불휘발성의 반도체기억소자의 연구 및 개발이 활발히 행해지고 있다. 예컨대, MFSFET라는 소자가 제안되어 있다. 이 FET(Field Effect Transistor)는 반도체, 강유전체 및 금속이 순차 적층된 MFS(Metal/Ferroelectric/Semiconductor)구조로 구성되어 있다. 이 소자는 구조를 용이하게 미세화할 수 있도록 단순한 구조를 갖는다. 따라서, 이 장치 내에 저장된 데이터를 고속으로 판독하고, 또 비파괴적인 방법으로 행할 수 있다. 그러나, 그것을 제조하는 데에 있어서, 강유전체와 이 장치의 반도체 간의 계면(또는 경계면)을 적절하게 제어하는 것은 곤란하다. 즉, 고품질의 계면을 얻는 것이 어렵다. 따라서, 이러한 형태의 장치는 아직까지 시장에 출현하지 않았다.

또한, FCG(Ferroelectric-Capasitor and transistor-Gate connection)소자가 제안되어 있다. 보다 상세히 말하면, 문헌 " 1996 Symposium on VLSI Techno1ogy Digest of Technica1 Papers," pp. 56-57, 1996을 참조하라. 이

문헌은 본 발명에 합병되어 있다. FCG 소자는 강유전체 커패시터와 MOSFET(Metal/Oxide/Semiconductor)의 각각을 하층 또는 지지층 상의 분리된 위치에 설치하고, 또 강유전체 커패시터와 MOSFET의 게이트 전극을 로컬 배선에 의해 접속하는 식으로 구성된다. 따라서, 반도체 상에는 강유전체부가 형성되지 않기 때문에, 상술한 계면의 품질 문제가 발생하지 않는다. 또한, 강유전체 커패시터의 전기용량과 게이트 용량의 비는 강유전체막 또는 게이트 절연막의 사이즈를 변경함으로써 비교적 자유롭게 설정될 수 있다. 따라서, 강유전체의 분극을 반전시키도록 전압을 강유전체 커패시터에 인가하는 것은 쉽다. 그러나, FCG 소자는 MFSFET에서와 달이 구조가 복합하기 때문에, 미세화가 어렵다.

상술한 바와 같이, 그것의 제조 시에, MFSFET의 강유전체 및 반도체 간의 계면을 적절하게 제어하는 것은 곤란하다. 한편, FCG 소자는 그것의 크기를 용이하게 감소시킬 수 없다고 하는 결점을 갖는다. 이들 문제점을 해결하기 위해, MFMISFET가 제안되어 있다. 이 MFMISFET는 양측으로부터 한 쌍의 금속막이 삽입된 강유전체막을 구비한 MFM(Metal/Ferroelectric/Metal)구조를, MOSFET의 게이트 전극 상에 설치하도록 구성된다. 이와 같이, 이 장치의 게이트부는 MFMIS(Metal/Ferromagnetic/Metal/Insulator/Semiconductor)구조를 갖는다. 이 구조는 금속막 상에 형성된 강유전체막을 갖기 때문에, 양호한 계면을 얻을 수 있다. 또한, 그것의 크기를 용이하게 감소시킬 수 있다. 그러나, 이 MFMISFET는 아래와 같은 문제를 갖는다.

(1) 강유전체막은 800℃정도의 고온에서의 열처리에 의해 형성되어야 한다. 그 결과, 강유전체를 구성하는 원소의 외측 확산이 발생하여, 채널영역을 오염시키기 때문에, MOSFET 장치의 특성이 열화된다.

(2) MFMISFET의 위쪽에는 배선층이 형성된다. 따라서, 배선층과 기초 전도체의 전기적 절연을 위해서, MFMISFET 위에 층간 절연막 또는 층간 유전체막을 설치할 필요가 있다. 이와 같이, 층간 절연층에서 열변형이 발행하면, 강유전체막에 비교적 큰 응력이 발생한다. 따라서, 강유전체 특성이 열화된다. 또한, 열처리 중에 응력(열응력)이 발생하기 때문에, 일단 강유전체막이 형성되면, 가능한 열처리의 회수가 최소로 유지되는 것이 바람직하다.

(3) MOSFET에 생긴 손해(예컨대, 이온주입에 의해 생긴 결정결함)를 회복시키기 위해서, 때때로 수소 가스 내에서 열처리를 실행해야 한다. 그러한 경우에, 강유전체막을 환원시키는 반작용이 발생하여, 강유전체의 특성이 열화된다.

상술한 문제점은 열처리에 의해 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 열처리 중에 그 특성이 열화하지 않는 강유전체 트랜지스터 및 그 제조방법을 제공하는 데에 있다.

이와 같이, 본 발명에 따른 강유전체 트랜지스터는 게이트 전극, 강유전체막, 게이트 절연막, 제 1 주전극 및 제 2 주전극을 구비한다. 상기 강유전체 트랜지스터는 하층 또는 지지층 위에 게이트 전극, 강유전체막 및 게이트 절연막을 이 순서대로 적층한 게이트 유니트(또는 게이트부 또는 게이트구조)와, 상기 게이트 절연막 위에 적층된 채널층을 구비하고, 상기 제 1 및 제 2 주전극은 서로 이격되어 이 채널층 위에 또는 내에 형성되며, 상기 채널층은 강유전체막의 자발분극으로 캐리어 농도를 제어하는 채널로서 이용된다.

상술한 게이트 유니트 및 채널층은 종래의 강유전체 트랜지스터, 예컨대 MFMISFET에서의 MFMIS 구조에 대응한다. 그러나, 종래의 MFMIS 구조에서는 반도체기판, 게이트 절연막, 강유전체막 및 게이트 전극을 이 순차대로 기초구조 위에 적층하는 데에 반하여, 본 발명의 구조에서는 게이트 전극, 강유전체막, 게이트 절연막 및 채널층(상술한 반도체기판에 해당한다)을 이 순서대로 적층한다. 그리고, 이 채널층 위에 또는 내에 제 1 및 제 2 주전극을 설치한다.

따라서, 본 발명의 소자구조에 따르면, 이하의 이점을 얻을 수 있다.

(1) 채널층보다도 먼저 강유전체막을 형성하기 때문에, 강유전체를 구성하는원소가 열처리에도 불구하고 외측으로 확산하지 않는다. 즉, 이 채널층은 실질적으로 열확산에 의해 존재하는 강유전체의 구성요소를 그 내부에 포함하지 않는다. 따라서, MOSFET의 특성 열화를 억제할 수 있다.

(2) 데이터는 제 1 및 제 2 주전극 중 어느 하나와 게이트 전극 사이에 전압을 인가함으로써 상기 소자에 대해서 기록 또는 소거된다. 따라서, 자발분극의 방향이 제어될 수 있다. 데이터는 제 1 및 제 2 주전극 사이에 전압을 인가함으로써 상기 소자에서 판독된다. 이 경우에, 강유전체막의 자발분극의 방향에 따라서, 채널 내에 흐르는 전류의 차를 데이터로서 검출할 수 있다. 즉, 상술한 바와 같이, 강유전체막의 자발분극에 의해 채널층상에 형성된 채널의 캐리어 농도를 제어한다.

상술한 바와 같이, 본 발명의 소자는 3개의 전극단자를 통해서 동작될 수 있다. 이것은 종래의 소자에서 필요했던 기판 전위(기판 바이어스 또는 백게이트를 나타냄)를 더 이상 제어할 필요가 없다는 것을 의미한다. 따라서, 종래의 소자와 비교하여 배선공정이 훨씬 간소화됨과 동시에 소자를 용이하게 제어할 수 있다.

(3) 본 발명의 소자는 게이트 전극, 강유전체막, 게이트 절연막 및 채널층이 순차로 적층된 단순구조를 갖는다. 따라서, 소자의 크기를 용이하게 축소시킬 수 있다. 즉, 소자의 미세화가 용이하다.

상기 설명으로부터 알 수 있듯이, 본 발명에 따라, 열처리에 의한 강유전체를 구성하는 원소의 확산을 억제할 수 있다. 또한, 배선이 보다 간소화될 수 있어, 크기의 축소가 용이하다. 따라서, 본 발명의 소자는 집적회로의 고밀도화 및 그것의 고속화와 같은 회로의 고성능화에 매우 적합하다.

게다가, 본 발명의 소자는 절연층 위에 형성되는 것이 바람직하다. 선택적으로, 제 1 및 제 2 주전극은 채널층 위에 전도체층을 적층함으로써 형성될 수도 있고, 또는 채널층에 불순물을 도핑함으로써 형성될 수도 있다.

본 발명의 실시예에 따른, 상기 채널층을 비결정질의 실리콘 또는 폴리실리콘으로 형성되는 것이 바람직하다. 이들은 플라즈마 CVD(Chemical Vapor Deposition), 스퍼터링, 전자빔 증착(Electron Beam Deposition) 등의 비교적 저온처리에 의해서 형성될 수 있다. 또한, 소망하는 것에 따라, 적당한 도전성을 줄 수도 있다. 이들 비결정질의 실리콘 및 폴리실리콘은 박막 FET의 채널층으로서 사용된다. 보다 상세한 설명은 문헌 Journal of App1ied Physics, Vol. 76, No. 5, p. 3194, 1994년 9월 및 문헌 Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials, Yokohama, 1991, pp. 174-176을 참조하라.

또한, 본 발명의 실시예에 따라, 상기 게이트절연막을 Ta_2O_5, ZrO_2, HfO_2, Si_3N_4, CeO_2 및 $Ba_xSr_{1-x}TiO_3$ (x는 양의 정수) 중에서 선택된 1개의 재료, 또는 1개 이상의 재료의 조합으로 구성하는 것이 바람직하다. 이들 모든 재료의 비유전율(relative dielectric constant)은 통상 게이트 절연막으로서 사용되는 SiO_2의 유전율보다 크다. 따라서, 종래의 장치의 경우에서보다 높은 전압을 강유전체막에 인가할 수 있다.

선택적으로, 상기 강유전체층은 $SrBi_2Ta_2O_9$, $PbZrTiO_3$, $Ba_xSr_{1-x}TiO_3$ (x는 양의 정수), $Pb_5Ge_3O_{11}$, $Bi_4Ti_3O_{12}$ 및 $(Pb, La)TiO_3$중에서 선택된 어느 1개의 재료로 형성되는 것이 좋다. 이들 강유전체는 예컨대, 졸겔법(sol-gel method)에 의해서 형성될 수도 있다.

또한, 본 발명의 바람직한 실시예에 의하면, 상기 제 1 및 제 2 주전극을 폴리실리콘 또는 비결정질 실리콘으로 형성할 수 있다.

또한, 본 발명의 실시예에 따르면, 상기 게이트 전극을 W, Ta, Mo, TiN, Nb, V, TaN, TaSiN, TiW, TiWN 및 TiAlN 중에서 선택된 어느 1개의 재료로 형성하는 것이 바람직하다. 이들 재료의 융점은 비교적 높기 때문에, 열처리에 의해서도 반대의 효과가 거의 관측되지 않는다.

또한, 본 발명의 실시예에 따라, 하층은 기판 및 층간 절연막을 이 순서대로 적층하고, 해당 층간 절연막 위에 상기 게이트 전극을 설치하는 것이 바람직하다.

또한, 본 발명의 실시예에 따라, 상기 게이트 유니트는 상기 강유전체막과 상기 게이트 전극 사이에 하측 도전층을 갖는 것이 바람직하다. 이 하측 도전층은 주로 강유전체막을 형성하는 것을 기초로 하여 하층으로서 사용된다. 따라서, 그 재료는 강유전체막에 따라서 형성되도록 선택되어야 한다.

따라서, 예컨대, 상기 하측 도전층을 IrO_2, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의 정수) 및 $SrMoO_3$ 중에서 선택된 1개의 재료 또는 그 이상의 재료의 조합으로 구성되는 것이 바람직하다.

또한, 본 발명의 바람직한 실시예에 의하면, 상기 게이트 유니트는 상기 게이트절연막과 상기 강유전체막 사이에 상측 도전층을 갖는다. 이 상측 도전층은 주로 열처리에 의한 강유전체막의 열화를 막기 위해 사용된다. 따라서, 그 재료는 사용되는 강유전체막에 따라서 선택되어야 한다.

따라서, 예컨대, 상기 상측 도전층을 IrO_2, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의 정수) 및 $SrMoO_3$ 중에서 선택된 어느 1개의 재료, 또는 그 이상의 재료의 조합으로 구성하는 것이 바람직하다.

그리고, 이 경우에, 상기 제 1 주전극이 상기 채널층과 접촉하는 부분의 면적은 상기 제 2 주전극이 상기 채널층과 접촉하는 부분의 면적과 다르다. 즉, 본 발명의 구조에 따르면, 제 1 또는 제 2 주전극이 채널층과 접촉하는 부분의 면적을 각각 적절히 설정할 수 있다.

상술한 바와 같이, 본 구조에 따르면, 데이터는 예컨대, 제 2 주전극과 게이트 전극 사이에 신호전압을 인가함으로써 상기 소자로부터 기록 및 소거될 수 있다. 그렇게 할 때, 제 1 주전극이 개방된다. 이와 같이, 제 2 주전극과 채널층의 접점부분을 적층방향(게이트 전극, 강유전체막, 게이트 절연막 및 채널층이 적층되는 방향)으로 투영한 영역에 있는 게이트 절연막에 신호전압이 인가된다. 따라서, 신호전압이 인가되는 게이트절연막의 영역에는 제 2 주전극과 채널층의 접점부분의 면적에 따라서 변화한다.

한편, 게이트 절연막과 강유전체막 사이에는 상측 도전층이 설치되기 때문에, 이들 상측 도전층과 강유전체막의 접점부분을 적층방향으로 투영한 영역에 있는 강유전체막에 신호전압이 인가된다. 따라서, 신호전압이 인가되는 강유전체막의 영역은 제 1 주전극과 채널층의 접점부분의 면적에 의존하지 않는다.

상기 설명으로부터 분명한 바와 같이, 본 구조에 따라, 제 1 주전극과 채널층의 접점부분의 면적을 적당히 설정함으로써, 게이트절연막의 전기용량을 효율적으로 조절할 수 있다. 따라서, 강유전체막에 인가되는 신호전압을 적절한 레벨로 결정할 수 있다.

또한, 본 발명의 바람직한 실시예에 의하면, 상기 게이트부는 상기 채널층과 상기 게이트절연막 사이에 금속산화층을 갖는다. 그리고, 이 금속산화층은 산화물 형성의 열이 상기 채널층의 열보다 작은 재료로 형성된다.

예컨대, 채널층이 실리콘(Si)층이면, 상기 금속산화층을 ZrO_2, TiO_2, HfO_2 및 Al_2O_3 중에서 선택된 어느 1개의 재료, 또는 그 이상의 재료의 조합으로 구성하는 것이 바람직하다.

통상, 산화물은 게이트절연막으로서 사용된다. 예컨대, 상술한 바와 같이, 게이트 절연막으로서 Ta_2O_5를 사용할 수 있다. 그리고, 이 Ta_2O_5막 위에 채널층을 형성한다. 이 채널층의 형성은 비교적 높은 온도 조건에서 행해진다. 예컨대, 채널층으로서 폴리실리콘층을 사용하면, 600℃정도의 온도에서 막이 형성된다. 이와 같이, Si에 의해 Ta_2O_5가 환원되어, SiO_2가 형성된다. 따라서, 게이트절연막의 유전율(ε)이 저하되어, 강유전체막에 인가되는 전압이 낮아진다.

본 구조에 따라, 금속상화층, 예컨대 ZrO_2층을 게이트 절연막 위에 형성하고, 이 ZrO_2층 위에 채널층을 형성한다. 산화물의 생성 자유 에너지는 Si의 경우에 -170 kca1/g · molO $_2$(600℃)이고, ZrO_2의 경우에 -220kca1/g · mol O_2(600℃)이다. ZrO_2의 생성 자유 에너지는 Si보다 크기 때문에, ZrO_2는 Si으로 환원될 수 없는 재료이다. 이와 같이, 게이트 절연막을 금속산화물로 덮는 것에 의해, 게이트 절연막이 Si으로 환원될 수 없도록 만들어 질 수 있다.

다음에, 본 발명의 반도체 기억장치는 강유전체 트랜지스터와, 상기 기판 내의 2개의 주전극 및 상기 강유전체 트랜지스터에 전기적으로 접속된 선택 트랜지스터를 구비하고, 상기 게이트 전극에 접속되는 제 1 배선과, 상기 제 1 및 제 2 주전극에 각각 필요에 따라서 접속되는 제 2 배선을 상기 층간 절연막 내에 형성한다. 이와 같이, 강유전체 트랜지스터를 기억소자로서 사용하여 반도체 기억장치를 구성할 수 있다. 선택 트랜지스터는 통상의 MOSFET로 구성된다. 이와 같이 구성되면, 선택 트랜지스터에 의해서 복수의 기억소자 중에서 특정한 기억소자가 선택된다. 그리고, 데이터는 선택된 기억소자 내에 기록되고, 그것으로부터 소거되며, 또는 그것에서 판독된다.

그리고, 상기 층간 절연막에 설치한 제 1 스루홀을 통해서 상기 제 1 배선의 일부를 상기 층간 절연막 상에 안내하고, 상기 층간 절연막에 설치한 제 2 스루홀을 통해서 상기 제 2 배선의 일부를 상기 층간 절연막 상에 안내하며, 층간 절연막 상에 게이트 유니트를 설치하여 상기 제 1 배선을 상기 게이트 전극과 접촉시킨다. 예컨대, 제 1 배선은 워드선이다. 제 1 배선에는 강유전체 트랜지스터의 게이트 전극이 접속된다. 또한, 예컨대 제2배선은 비트선이다. 이 제2배선은 강유전체 트랜지스터의 제 1 또는 제 2 주전극 중 어느 하나에 희망요구에 따라서 접속된다.

본 발명의 실시예에 따라, 상기 게이트 유니트 및 상기 채널층의 각각의 측면과 상측 절연막을 접촉시키도록 상기 층간 절연막 위에 상측 절연막을 설치할 수 있다. 그리고, 상기 제 1 및 제 2 주전극을 상기 상측 절연막 위에서 연장시켜서, 희망요구에 따라서 상측 절연막에 설치한 제 3 스루홀을 지나서 상기 제 2 스루홀로부터 안내된 상기 제 2 배선에 접속한다. 이 상측 절연막의 높이는 채널층의 상부 표면의 높이와 같은 것이 바람직하다. 그러나, 이 상측 절연막의 높이는 적어도 채널층의 측부와 접촉되는 레벨에 있는 것이 바람직하다.

본 발명의 실시예에 따라, 상기 선택 트랜지스터의 주전극 영역 중 하나에 상기 제 1 및 제 2 주전극 중 하나가 접속된다.

또한, 본 발명의 반도체 기억장치는 상술한 강유전체 트랜지스터인 복수의 기억소자를 구비하고, 워드선 및 비트선에 신호를 인가함으로써 소정의 상기 기억소자에 대하여 데이터를 기록, 소거 또는 판독할 수 있어, 불휘발성 메모리를 형성한다.

상술한 강유전체 트랜지스터는 열처리 중에 강유전체의 구성원소가 확산되는 것을 방지할 수 있어, 배선공정을 간소화하고, 소자의 제어를 용이하게 할 수 있어, 소자의 미세화에 적합하다. 따라서, 이 강유전체 트랜지스터를 사용한 반도체 기억장치는 기억소자의 기억용량을 대규모화하고, 장치를 소형화하며, 그것의 고성능화하는 데에 유효하다.

본 발명의 실시예는 적당한 개수의 상기 강유전체 트랜지스터로 1개의 블록을 형성하여 복수의 블록의 각각에 각각 할당된 선택 트랜지스터를 구비한다. 그리고, 각각의 상기 블록마다, 상기 강유전체 트랜지스터의 게이트 전극을 소정의 상기 워드선에 접속하고, 상기 강유전체 트랜지스터의 제 1 주전극을 소정의 상기 비트선 중의 하나에 접속하며, 상기 강유전체 트랜지스터의 제 2 주전극을 상기 선택 트랜지스터의 제 1 주전극에 접속하고, 상기 선택 트랜지스터의 제 2 주전극을 접지에 접속한다.

이러한 구성으로 인해, 선택 트랜지스터가 저저항 상태(" 온" 상태 또는 선택상태라고 칭한다)에 있을 때에, 그 선택 트랜지스터에 접속된 강유전체 트랜지스터의 제 2 주전극이 접지에 접속된다. 그리고, 일단 기록전압 또는 소거전압 등의 신호전압이 비트선에 인가되면, 각 강유전체 트랜지스터에 2진 데이터 " 1" 또는 " 0" 이 설정될 수 있다.

선택 트랜지스터가 고저항 상태(" 오프" 상태 또는 비선택상태라고 칭한다)에 있는 경우에, 그 선택 트랜지스터에 접속된 강유전체 트랜지스터의 제 2 주전극은 플로우팅의 상태에 있다. 따라서, 워드선에 신호전압을 인가하더라도, 강유전체 트랜지스터의 자발분극의 방향은 반전되지 않는다.

또한, 선택 트랜지스터가 저저항 상태에 있는 경우에 워드선을 접지하여 비트선에 판독전압을 인가한다. 이 때, 강유전체 트랜지스터에 기록할 수 있는 데이터에 따라서, 제 1 및 제 2 주전극 사이에 전류가 흐른다. 따라서, 데이터가 판독될 수 있다.

상술한 바와 같이, 선택 트랜지스터의 스위칭 상태를 제어함으로써 임의의 블록이 선택된다. 또한, 워드선을 지정함으로써, 그 블록에 속하는 임의의 강유전체 트랜지스터를 지정하여, 데이터를 그 소자 내에 기록하거나 그 소자로부터 소거할 수 있다. 게다가, 이와 같이 강유전체 트랜지스터를 지정하기 위해서는, 1개의 상기 블록에 포함된 모든 강유전체 트랜지스터의 제 1 주전극을 공통의 1개의 상기 비트선에 접속하는 것이 바람직하다.

본 발명의 강유전체 트랜지스터를 동작시키는 방법에 의하면, 상기 제 1 주전극을 개방하여 상기 제 2 주전극 및 상기 게이트 전극 사이에 기록전압을 인가함으로써, 상기 강유전체막 내에 데이터를 기록할 수 있다.

선택적으로, 강유전체 트랜지스터를 동작시키는 방법에 의하면, 상기 제 1 주전극을 개방하여 상기 제 2 주전극 및 상기 게이트 전극 사이에 소거전압을 인가함으로써, 상기 강유전체막으로 데이터를 소거할 수 있다.

또한, 강유전체 트랜지스터를 동작시키는 방법에 의하면, 상기 게이트 전극을 접지에 접속하여 상기 제 1 및 제 2 주전극 사이에 판독전압을 인가함으로써, 상기 강유전체막에서 데이터를 판독한다.

상술한 바와 같이, 상술한 강유전체 트랜지스터는 3개의 전극단자를 통해서 데이터를 기록하고, 데이터를 소거하며, 또는 데이터를 판독할 수 있다. 이것은 종래의 소자에서 필요했던 기판전위를 더 이상 제어할 필요가 없다는 것을 의미한다. 따라서, 종래의 소자와 비교하여 배선공정이 훨씬 간소화됨과 동시에 소자를 보다 용이하게 제어할 수 있다.

다음에, 본 발명에 따른 강유전체 트랜지스터의 제조방법에 의하면, 강유전체 트랜지스터는 기초구조 위에 게이트 전극, 강유전체막 및 게이트 절연막을 이 순서로 적층한 게이트 유니트와, 상기 게이트 절연막 위에 적층된 채널층과, 이 채널층 상의 제 1 및 제 2 주전극을 구비하고, 상기 제조방법은

(1) 상기 기초구조 위에 제 1 도전층을 형성하는 공정과,

(2) 상기 제 1 도전층 위에 강유전체층을 형성하는 공정과,

(3) 상기 강유전체층 위에 제 1 절연층을 형성하는 공정과,

(4) 상기 제 1 절연층 위에 반도체층을 형성하는 공정과,

(5) 상기 반도체층을 정형하여 게이트 영역 내에 상기 채널층을 형성하는 공정과,

(6) 상기 제 1 절연층을 정형하여 상기 게이트 절연막을 형성하는 공정과,

(7) 상기 강유전체층을 정형하여 상기 강유전체막을 형성하는 공정과,

(8) 상기 제 1 도전층을 정형하여 상기 게이트 전극을 형성하는 공정과,

(9) 상기 채널층 위에 상기 제 1 및 제 2 주전극을 형성하는 공정을 포함한다.

이 방법에 의하면, 제 1 도전층, 강유전체층, 제 1 절연층 및 반도체층을 순차 적층시켜서, 적층구조를 형성한다. 그 후, 이 적층구조를 최상부에서 기저부로 순차 정형한다. 이러한 변경공정은 통상의 에칭공정에 의해 수행된다. 이러한 정형 공정 중에, 반도체층이 패턴된다. 그 결과, 게이트 영역 내의 반도체층의 패턴이 채널층으로서 존재한다. 그 후, 이 채널층의 하층을 변경하기 위해, 그 패턴을 하층 상에 전사하는 것이 바람직하다. 이와 같이, 게이트 전극, 강유전체막, 게이트 절연막이 적층된 적층구조인 게이트 유니트부와, 채널층이 형성되어, 제 1 및 제 2 주전극이 되는 도전층을 형성한다.

따라서, 반도체층보다도 먼저 강유전체층을 형성하기 때문에, 열처리 또는 어닐링에도 불구하고 강유전체의 구성원소가 외측으로 확산되지 않는다. 따라서, 종래의 소자에서 발생했던 MOSFET의 특성의 열화를 피할 수 있다.

또한, 이 방법에 따라, 상기 공정(1) 전에, 층간 절연막을 기판 위에 적층하여 기초구조를 형성하는 것이 바람직하다.

선택적으로, 본 발명의 강유전체 트랜지스터의 제조방법은 바람직하게는 상기 공정(1) 전에, 상기 기판 위에 층간 절연막을 적층하는 공정과, 기판 위에 선택 트랜지스터를 형성하는 공정과, 상기 선택 트랜지스터를 형성한 기판 위에 상기 게이트 전극에 접속되는 제 1 배선과, 그 내부에 형성된 상기 제 1 및 제 2 주전극에 각각 희망요구에 따라서 접속되는 제 2 배선을 갖는 상기 층간 절연막을 형성하는 공정과, 상기 층간 절연막의 소정의 위치에 제 1 및 제 2 스루홀을 형성하는 공정과, 상기 제 1 및 제 2 스루홀 내에 전도체 플러그를 매립하는 공정을 포함하고, 상기 공정(5)은 상기 게이트 영역을 상기 제 1 스루홀의 위쪽의 영역으로서 한정하는 것을 포함한다.

이 방법에 의하면, 통상의 LSI를 형성하는 프로세스는 기판 위에 선택 트랜지스터를 형성하기 위해 사용된다. 그리고, 선택 트랜지스터 및 내부에 형성된 기타 소망하는 구성소자를 형성한 기판 위에 층간 절연막을 적층한다. 이 층간 절연막을 적층시킬 때에, 상술한 제 1 및 제 2 배선 등의 도전층도 형성된다. 그 후에, 예컨대, 에칭공정으로 층간 절연막의 소정의 위치에 제 1 및 제 2 스루홀을 형성한다. 또한, 제 1 및 제 2 스루홀 내에 전도체 물질을 매립하여, 전도체 플러그를 형성한다. 게다가, 전도체 플러그의 높이는 층간 절연막의 상면의 높이와 같은 것이 바람직하다.

이와 같이 형성된 층간 절연막 위에 공정(1) - (9)을 수행하여 강유전체 트랜지스터를 형성한다. 상술한 바와 같이, 공정(5)에서, 게이트영역을 제 1 스루홀의 상측 영역으로서 형성한다. 이러한 형성에 의해, 제 1 스루홀 내에 형성된 전도체 플러그가 게이트 전극과 접촉하게 된다. 즉, 제 1 배선이 게이트 전극과 접속된다. 이 제 1 배선은 예컨대, 워드선으로서 이용된다. 선택적으로, 제 1 도전층을 패터닝하면, 제 1 배선 및 제 2 배선 등의 배선이 서로 절연될 수 있다. 이와 같이, 본 발명의 방법은 상술한 강유전체 트랜지스터를 사용한 집적회로를 형성하는 데에 적합하다.

또한, 상기 방법은 상기 공정(8) 후에 상기 게이트 유니트와 상기 채널층의 측면과 상측 절연막을 접촉시키도록 상기 층간 절연막 위에 상측 절연막을 형성하는 공정을 포함하는 것이 바람직하다. 이와 같이 상측 절연막을 형성함으로써, 제 1 및 제 2 주전극을 하측 도전층으로부터 분리시킬 수 있다. 부수적으로, 상측절연막과 채널층이 접촉하는 곳에는, 각 층의 상면의 높이를 같게 형성함으로써, 채널층의 상부 에지부와 상측 절연막의 상면이 연속되기 때문에, 제 1 및 제 2 주전극을 상측 절연막의 상면에서 연장시키는 것이 쉽다. 따라서, 배선공정이 용이하게 된다.

상기의 상측 절연막은 상기 공정(8)과 상기 공정(9) 사이에서, 제 2 절연층이 상기 게이트 유니트와 상기 채널층의 측면 및 상면을 덮도록 상기 층간 절연막 위에 제 2 절연층을 형성하는 공정과, 상기 제 2 절연층을 상기 채널층의 상면이 노출할 때까지 연마하여 상기 상측 절연막을 형성하는 공정에 의해 형성되는 것이 바람직하다.

또한, 상기 방법은 상기 제 2 스루홀을 포함하는 영역에 상기 상측 절연막의 제 3 스루홀을 형성하는 공정을 포함하는 것이 바람직하다. 이러한 제 3 스루홀을 형성함으로써, 이 제 3 스루홀 내에 제 1 또는 제 2 주전극의 연장부분이 매립되도록 형성될 수 있다. 따라서, 제 1 및 제 2 주전극은 제 3 스루홀 및 제 2 스루홀을 통해서 층간 절연막 내에 형성된 제 2 배선에 접속될 수 있다.

본 발명의 강유전체 트랜지스터의 제조방법은 바람직하게는 상기 공정(3)과 상기 공정(4) 사이에, 상기 제 1 절연층의 결함을 제거하는 공정을 구비한다. 예컨대, 제 1 절연층이 Ta_2O_5로 구성되면, 이 Ta_2O_5층이 형성된 후에, 상기 소자가 500℃ 온도에서의 산소 분위기 내에서 열처리되는 것이 바람직하다. 이러한 열처리에 의해, Ta_2O_5내의 결함을 감소시킬 수 있어, 전하 트랩핑 밀도를 감소시킬 수 있다.

선택적으로, 본 발명의 강유전체 트랜지스터의 제조방법은 바람직하게 상기 공정(1)과 상기 공정(2) 사이에, 상기 제 1 도전층 위에 제 2 절연층을 형성하는 공정과, 상기 공정(7)과 상기 공정(8) 사이에, 상기 제 2 절연층을 변경하여 하측 도전층을 형성하는 공정을 구비한다. 이와 같이 이들 층을 형성함으로써, 제 2 도전층을, 강유전체층을 그 위에 형성한 기초구조로서 사용할 수 있다. 따라서, 제 2 도전층은 강유전체층의 형성공정(결정화공정을 포함한다)이 최적의 방법으로 수행되는 재료로 구성되어야 한다.

선택적으로, 본 발명의 강유전체 트랜지스터의 제조방법은 바람직하게 상기 공정(2)과 상기 공정(3) 사이에, 상기 강유전체층 위에 제3도전층을 형성하는 공정과, 상기 공정(6)과 상기 공정(7) 사이에, 상기 제 3 도전층을 변경하여 상측 도전층을 형성하는 공정을 포함한다. 이와 같이 제 3 도전층(상측 도전층)을 형성함으로써, 열처리 시에 강유전체층이 거의 열화되지 않는다.

선택적으로, 본 발명의 강유전체 트랜지스터의 제조방법은 바람직하게 상기 공정(3)과 상기 공정(4) 사이에, 산화물의 생성온도가 상기 반도체층보다 작은 재료로 이루어진 금속산화층을 상기 제 1 절연층 위에 형성하는 공정을 포함하고, 상기 공정(5)과 상기 공정(6) 사이에, 상기 금속산화층을 정형하는 공정을 포함한다. 이러한 금속산화층을 형성함으로써, 그러한 금속산화층의 생성온도가 반도체층보다 작기 때문에, 제 1 절연층은 반도체층의 구성원소로 환원되지 않는다.

또한, 상기 방법은 상기 금속산화층을 형성한 후에, 이 금속산화층의 결함을 제거하는 공정을 구비하여, 금속산화층의 결함뿐만 아니라, 제 1 절연층의 결함도 감소시킬 수 있기 때문에, 이들 층의 전하 트랩핑 밀도를 감소시킬 수 있다.

본 발명의 상기와 다른 목적, 특징 및 이점은 도면을 참조하면서 진행되는 바람직한 실시예의 이하의 상세한 설명으로부터 보다 명확해질 것이다.

발명의 구성 및 작용

이하, 도면을 참조하여, 본 발명의 실시예에 관하여 설명한다. 도면은 본 발명이 이해할 수 있는 정도로, 각 구성성분의 형상, 치수 및 배치관계를 개략적으로 나타낸 것에 불과하다. 또한, 이들 실시예는 단순한 예에 불과하기 때문에, 본 발명은 이들 실시예에만 한정되는 것이 아니다.

(I)강유전체 트랜지스터 구조의 설명

우선, 도 1 도 8을 참조하여, 본 발명의 강유전체 트랜지스터 구조의 구성예를 설명한다. 이하의 설명 중에서, 때때로 수치적 조건에 관하여는 설명을 생략하는 경우가 있으므로, 이들 수치적 조건은 제조방법의 설명을 참조하시오.

[본 발명의 제 1 실시예: 제 1구조]

도 1은 반도체 기억장치의 대표적인 제 1 구조의 주요 사시도이고, 주로 강유전체 트랜지스터의 제 1 구조를 도시한 도면이다. 도 2는 이 제 1 구조예를 전극(16 및 18)의 측면으로부터 본 경우의 주요 평면도이다. 도 3은 도 2의 I-I 선에 따른 단면도이다. 단지, 도 3에는 층간 절연막(54), Al 배선(56) 및 표면 보호층(58)을 나타내지만, 도 1 및 도 2에서는 이들을 생략하고 있다.

이 제 1 구조예의 강유전체 트랜지스터는 게이트 전극(10), 강유전체막(12), 게이트 절연막(14), 제 1 주전극(16) 및 제 2 주전극(18)을 적어도 구비하고, 강유전체막(12)의 자발분극을 이용하여 채널의 캐리어 농도를 제어한다. 또한, 이 강유전체 트랜지스터는 기초구조 또는 하층(25) 위에 순차 적층된 게이트 전극(10), 강유전체막(12) 및 게이트 절연막(14)을 갖는다. 또, 게이트 절연막(14) 위에는 채널층(20)이 설치된다. 이 채널층(20) 위에는 제 1 및 제 2 주전극(16 및 18)의 각각을 서로 이격시켜서 설치된다. 이 구성에서, 채널층(20)은 상술한 채널로서 사용된다.

게다가, 이 강유전체 트랜지스터의 하층(25)은 순차 적층된 기판(26) 및 층간절연막(28) 또는 층간 유전체층(28)을 구비하고, 이 층간 절연막(28) 위에는 게이트 전극(10)이 설치된다.

또한, 이 강유전체 트랜지스터의 게이트 유니트 또는 게이트 구조 또는 게이트부(22)는 강유전체막(12)과 게이트 전극(10) 사이에 하측 도전층(24)을 갖는다.

제 1 및 제 2 주전극(16 및 18)은 도 2에 도시한 바와 같이, 채널층(20)의 상면과 상측 절연막(50)의 상면을 각각을 덮도록 설치된다. 이 실시예에서, 채널층(20)의 길이방향과, 제 1 및 제 2 주전극(16 및 18)의 길이방향은 직교하도록 설정된다. 이들 제 1 및 제 2 주전극(16 및 18)이 채널층(20)의 길이방향의 어느 한 측에 각각 위치된다. 이와 같이 구성하고 있기 때문에, 이들 제 1 및 제 2 주전극(16 및 18) 간의 채널층(20)이 트랜지스터의 동작 시에 채널로서 사용된다.

이 실시예에 있어서, 제 1 및 제 2 주전극(16 및 18)은 폴리실리콘으로 이루어져 있다. 또는, 그것들은 비결정질의 실리콘으로 이루어져 있어도 된다. 채널층(20)과 제 1 및 제 2 주전극(16 및 18) 사이에 불순물 확산층을 형성함으로써 채널층(20)과 제 1 및 제 2 주전극(16 및 18) 사이에 오믹콘택을 이루는 것이 바람직하다.

또한, 이 실시예에서, 게이트부(22)를 구성하는 각 층과 채널층(20)의 길이방향 및 폭방향의 사이즈를 적절하게 정렬한다. 각 층의 2차원의 형상은 직사각형이다. 도 1 및 도 3에 나타낸 바와 같이 이들 각 층의 단면이 직사각형이 되도록 게이트 유니트(22) 및 채널층(20)을 서로 적층한다.

상술한 강유전체 트랜지스터의 구조는 기판(26) 위에 설치된 층간 절연막(28) 위에 형성된다(도 3을 참조). 기판(26)은 적당한 도전성을 얻을 때까지 실리콘 기판, 도체기판, 그 밖의 설계에 따라서 적절한 재질로 형성될 수도 있다. 이 실시예에서, 기판(26)은 p^- 형의 도전성을 갖는 실리콘(이하, p^- 형 실리콘이라고 칭한다)으로 형성된다. 또한, 층간 절연막(28)은 예컨대, PSG(Phospho-Silicate-Glass), BPSG(붕소를 포함하는 PSG) 또는 SiO_2 등으로 형성될 수 있다.

이 실시예에서, 기판(26) 위에는 선택 트랜지스터(30)가 형성된다(도 3에서의 점선부분). 이 선택 트랜지스터(30)는 필드산화막(32)에 의해서 형성된 기판(26)의 상측영역(액티브영역) 내에, 주전극 영역으로서 소스전극영역(34) 및 드레인 전극영역(36)을 구비한다. 이들 소스전극영역(34)및 드레인 전극영역(36)은 p^- 형 Si 기판의 소정의 영역에 n 또는 p 도전형을 결정하는데 적당한 불순물, 예컨대 인(P) 또는 붕소(B)를 도핑함으로써 형성된다. 이 실시예에서, 이들 주전극 영역은 n^+ 형의 Si 층이다. 그리고, 이들 주전극 영역은 기판(26)의 상측과, 선택 트랜지스터(30)의 채널길이의 어느 한 측에, 각각 위치된다. 또한, 이들 주전극의 채널영역 상에 절연막을 설치함으로써 게이트 전극(38)이 형성되어, 선택 트랜지스터(30)가 형성된다.

선택 트랜지스터(30)가 그 위에 형성된 기판(26) 위에는 층간 절연막(28)이 적층된다. 이 층간 절연막(28) 내에는, 희망요구에 따라서 배선이 형성된다. 이 실시예에서, 층간 절연막(28) 내에는 제 l 배선(42) 및 제 2 배선(44)이 형성된다. 이 제 1 배선(42)의 일부는 층간 절연막(28) 내에 형성된 제 1 스루홀(46)을 통해서 층간 절연막(28)의 상면에 안내된다. 그 후, 이 제 1 배선(42)은 강유전체 트랜지스터(40)의 게이트 전극(10)에 접속된다. 또한, 제 2 배선(44)의 일부는 층간 절연막(28) 내에 형성된 제 2 스루홀(48)을 통해서 층간 절연막(28)의 상면에 안내된다. 그 후, 이 제 2 배선(44)은 강유전체 트랜지스터(40)의 제 1 주전극(16)에 접속된다. 부수적으로, 이 실시예에서, 제 1 및 제 2 배선은 각각 텅스텐(W)으로 형성된다.

제 1 및 제 2 배선의 일부가 그 위에 안내된 층간 절연막(28)은 실질적으로 막의 표면이 평탄하게 되도록 형성된다. 강유전체 트랜지스터(40)의 게이트 전극(10)이 제 1 배선(42)과 접촉하도록 상술한 게이트 유니트(22)를 층간 절연막(28) 위에 설치한다. 이 실시예에서, 이 게이트 유니트(22)는 선택 트랜지스터(30)의 액티브영역 위에 있다.

상술한 바와 같이, 본 구조에서, 강유전체 커패시터 부분(강유전체막(12))과 MFSFET 부분(게이트 전극(10), 게이트 절연막(14) 및 채널층(20))을 층간 절연막(28) 상의 같은 위치에 설치한다. 따라서, 이것은 구조가 단순하고, 초소형, 즉 이 구성을 구비하는 장치의 미세화에 적합하다.

또한, 통상의 SOI와 비슷하게, 디바이스에 기생하는 용량, 예컨대 소자의 기생용량을 작게 할 수 있다. 따라서, 소자의 동작을 고속화할 수 있다.

여기서, 게이트 유니트(22)의 각 층을 구성하는데 사용된 재질에 관해서 설명한다. 우선, 채널층(20)은 폴리실리콘으로 형성된다. 선택적으로, 채널층(20)으로서 비결정질 실리콘을 사용할 수 있다.

또한, 게이트 절연막(14)은 Ta_2O_5로 형성된다. 외에도, ZrO_2, HfO_2, Si_3N_4, CeO_2 및 $Ba_xSr_{1-x}TiO_3$)(X는 양의 정수)로부터 선택된 어떤 1개의 재료를 사용할 수 있다. 선택적으로, 게이트 절연막을 Ta_2O_5, ZrO_2, HfO_2, Si_3N_4, CeO_2 및 $Ba_xSr_{1-x}TiO_3$)(X는 양의 정수) 중에서 임의로 선택된 1개 이상의 재료의 조합으로 형성될 수 있다.

강유전체막(12)은 $SrBi_2Ta_2O_9$로 형성된다. 그러나, $PbZrTiO_3$, $Ba_xSr_{1-x}TiO_3$ (x는 양의 정수), $Pb_5Ge_3O_{12}$, $Bi_4Ti_3O_{12}$ 및 (Pb, La)TiO_3를 사용할 수도 있다.

또한, 하측 도전층(24)은 IrO_2로 형성된다. IrO_2외에, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의의 정수) 중에서 선택된 어떤 1개의 재료를 사용할 수 있다. 선택적으로, IrO_2, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의의 정수) 중에서 임의로 선택된 1개 이상의 재료의 조합으로 형성될 수 있다.

또한, 게이트 전극(10)은 텅스텐(W)으로 형성된다. W 외에도, Ta, Mo, TiN, Nb, V, TaN, TaSiN, TiW, TiWN 및 TiAlN로부터 선택된 어느 1개의 재료로 형성될 수도 있다.

다음에, 그 밖의 상세한 구성에 관하여 설명한다. 이 구조에서, 상측 절연막(50)이 게이트 유니트(22) 및 채널층(20)의 측면과 접촉하도록, 층간 절연막(28) 위에 상측 절연막(50)을 설치한다. 상측 절연막은 SiO_2막으로 형성된다. 채널층(20)의 적당한 레벨까지 게이트 유니트(22)와 접촉하는 상측 절연막(50)의 일부의 높이가 위치된다. 그러나, 바람직하게는, 상측 절연막(50)은 채널층(20)의 상측 엣지부 근방의 높이까지 위치되어야 한다. 이 실시예에서, 채널층(20)과 접촉하고 있는 상측 절연막(50)의 상측 엣지부는 채널층(20)의 상측 엣지부와 같은 높이이고, 채널층(20)의 상측 엣지부와 평행하다. 또한, 상측 절연막(50)과 채널층(20)이 접촉되어 있는 영역근방 이외의 영역은 이 접점영역보다 얇은 두께를 갖는다.

제 1 및 제 2 주전극(16) 및 (18)은 상측 절연막(50) 위에 연장된다. 상술한 바와 같이, 채널층(20)의 상면과 상측 절연막(50)은 같은 레벨로 원활히 연속되기 때문에, 다른 방법으로 할 수 있는 채널층(20)의 상단 엣지부에서의 배선의 비접속은 발생하지 않는다. 제 1 주전극(16)은 이 상측 절연막(50) 내에 설치된 제 3 스루홀(52)을 통해서 제 2

스루홀(48)로부터 안내되는 제 2 배선(44)에 접속된다. 이 제 3 스루홀(52)은 제 2 스루홀(48)을 포함하는 상측 절연막(50)의 영역 내에 형성된다. 즉, 제 2 스루홀(48)의 연장방향으로 제 3 스루홀(52)이 위치된다. 그 후, 이 제 3 스루홀(52) 내에 제 1 주전극(16)의 일부가 매립된다. 제 3 스루홀(52)의 애스펙트비는 적절하게 설계되어 있다. 이와 같이, 강유전체 트랜지스터(40)의 제 1 주전극은 이 경우에 드레인 전극영역(36)인 선택 트랜지스터(30)의 주전극 영역의 어느 하나에 접속된다.

상술한 바와 같이, 상측 절연막(50)은 강유전체 트랜지스터(40)의 보호층으로서 뿐만 아니라, 제 1 및 제 2 주전극(16) 및 (18)을 하측 도전층으로부터 분리하는 기능도 수행한다.

또한, 제 1 및 제 2 주전극(16) 및 (18)을 형성한 후에, 층간 절연막(54)을 그 위에 부가적으로 형성한다. 그 후, 층간 절연막(54) 위에 A1 배선(56)을 형성하여 소망의 배선을 제공한다. PSG, BPSG 및 SiO_2 등의 재료는 층간 절연막(54) 및 표면 보호층(58)을 형성하는데 사용된다.

도면에 제 2 주전극(18)의 어떠한 접속도 도시되어 있지 않지만, 층간 절연막(54) 내에 설치된 스루홀을 통해서 소망의 A1 배선(56)에 전극을 접속할 수도 있다.

이하, 제 2 제 4 실시예에 관하여 설명하는데, 여기서 이들 부가적인 실시예는 기본적으로 제 1 실시예와 동일하다. 이하의 설명에서는 이들 부가적인 실시예가 제 1 실시예와 공유하지 않은 서로 다른 특징을 설명하기 때문에, 언급하지 않은 사항에 대해서는 상기 설명을 참조하시오. 이하의 설명에서는 구성성분의 형상 및 그 외의 특징이 상기 실시예 중에서 서로 다를 수도 있지만, 동일한 구성성분에는 동일한 참조부호를 부착한다.

[본 발명의 제 2 실시예: 제 2 구조]

강유전체 트랜지스터의 제 2구조에 관하여, 도 4, 도 5 및 도 6을 참조하여 설명한다. 도 4는 반도체 기억장치의 제 2 구조예의 사시도이고, 주로, 강유전체 트랜지스터의 제 2 구조를 도시한 도면이다. 도 5는 이 제 2 구조예를 전극(16) 및 (18)이 설치되는 방향에서 볼 때의 주요 평면도이다. 도 6은 I-I 선에 따른 도 5의 단면도이다. 도 6에는 층간 절연막(54), A1 배선(56) 및 표면 보호층(58)이 도시되어 있지만, 도 4 및 도 5에는 간소화를 위해 이들을 생략하고 있다.

이 제 2 실시예에 나타낸 구조는 상측 도전층(60)이 게이트절연막(14)과 강유전체막(12) 사이에 설치된다는 점에서 제 1 구조예와 다르다. 이 실시예에서, 상측 도전층(60)은 IrO_2로 형성된다. IrO_2 외에도, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의 정수) 및 $SrMoO_3$ 중에서 선택된 어느 1개의 재료가 사용될 수도 있다. 선택적으로, 상측 도전층은 IrO_2, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의 정수) 및 $SrMoO_3$ 중에서 임의로 선택된 1개 이상의 재료의 조합으로 형성될 수도 있다. 이 구조예에서, 상측 도전층(60)의 길이방향 및 폭방향의 사이즈는 게이트 유니트(22)를 구성하는 다른 층과 동일하다.

이 구조에서, 제 1 주전극(16)이 채널층(20)과 접촉하는 부분의 면적(도 5의 S1)은 제 2 주전극(18)이 채널층(20)과 접촉하는 부분의 면적(도 5의 S2)과 다르다. 도 5에 도시한 바와 같이, 채널층(20)의 채널 길이방향의 길이가 L이라고 설정되면, 제 1 주전극(16)의 채널 길이방향의 길이는 0.1L이고, 제 2 주전극(18)의 채널 길이방향의 길이는 0.7L이다. 따라서, 이 구조에서, S1과 S2의 비, 즉 S1 : S2는 1 : 7이다.

[본 발명의 제 3 실시예: 제 3 구조]

강유전체 트랜지스터의 제 3 구조예에 관하여 도 7을 참조하여 설명한다. 도 7은 도 2의 I-I 선에 따른 트랜지스터의 단면도를 나타낸다.

이 구조는 게이트부(22)가 채널층(20)과 게이트 절연막(14) 사이에 금속산화층(62)을 갖고, 채널층(20)이 이 금속산화층(62) 위에 형성된다는 점에서 제 1 실시예의 구조와 다르다. 이 금속산화층(62)은 산화물의 생성온도가 채널층(20)보다 작은 재료로 구성된다. 이 구조예에서, 금속산화층(62)은 ZrO_2로 형성된다. 그러나, ZrO_2 외에도, TiO_2, HfO_2 및 Al_2O_3 중에서 선택된 어느 1개의 재료로 형성될 수도 있다. 선택적으로, 금속산화층(62)은 ZrO_2, TiO_2, HfO_2 및 Al_2O_3 중에서 임의로 선택된 1개 이상의 재료의 조합으로 형성될 수도 있다.

이 점에서, 각 재료의 생성온도에 대한 대표적인 도면이 주어질 것이다. 채널층(20)을 구성하는 Si의 생성온도는 600℃에서 -170 kca1/g · molO $_2$ 이다. 그리고, ZrO_2 의 생성온도는 600℃에서 -220 kcal/g · molO $_2$ 이다. 또한, TiO_2 의 생성온도는 600℃에서 -190 kcal/g · molO $_2$ 이다. 그리고, HfO_2 의 생성온도는 600℃에서 -230 kcal/g · molO $_2$ 이다.

게다가, 이 구조예에서, 금속산화층(62)의 채널 길이방향 및 폭방향의 사이즈는 게이트 유니트(22)를 구성하는 다른 층과 동일하다.

[본 발명의 제 4 실시예: 제 4 구조]

강유전체 트랜지스터의 제 4 구조예에 관하여 도 8을 참조하여 설명한다. 도 8은 도 5의 I-I 선에 따른 트랜지스터의 단면도이다.

이 제 4 구조예의 특징은 제 2 구조예의 경우와 같이, 게이트 유니트(22)가 게이트 절연막(14)과 강유전체막(12) 사이에 상측 도전층(60)을 갖는다는 점과, 제 3 구조예의 경우와 같이, 게이트 유니트(22)가 채널층(20)과 게이트 절연막(14) 사이에 금속산화층(62)을 갖는다는 점이다. 또한, 제 3 구조예의 경우와 같이, 이 금속산화층(62)은 산화물의 생성온도가 채널층(20)보다 작은 재료로 형성된다.

상측 도전층(60)의 사이즈 또는 재료는 제 2 구조예의 경우와 같아도 된다. 또한, 금속산화층(62)의 사이즈 또는 재료는 제 3 구조예와 같아도 된다.

본 발명의 강유전체 트랜지스터는 상술한 제 1 제 4 구조예에만 한정되는 것이 아니다. 예컨대, 제 1 주전극(16) 및 제 2 주전극(18)은 채널층(20)에 불순물을 도핑함으로써 채널층(20) 내에 형성될 수도 있다. 선택적으로, 제 1 주전극(16)은 선택 트랜지스터(30)의 주전극 영역에 접속되지 않을 뿐, 상측 위의 Al 배선(56)에는 접속되는 것이 좋다.

[반도체 기억장치의 실시예]

다음에, 상술한 제 1 제 4 구조의 강유전체 트랜지스터를 기억소자로서 사용한 반도체 기억장치에 관하여 도 9 도 13을 참조하여 설명한다. 우선, 강유전체 트랜지스터의 특성 및 동작에 관하여 설명한다.

< 강유전체막의 특성>

도 9는 상술한 제 1 제 4 구조에 사용된 강유전체막(12)의 히스테리스 특성을 나타내는 그래프이다. 이들 구조예에서, 강유전체막(12)으로서 $SrBi_2Ta_2O_9$ 를 사용하고 있다는 것은 이미 서술하였다. 도 9의 횡축에는 강유전체막에 인가된 전계 강도가 (kV/cm)단위로 나타나 있고, -200(kV/cm)에서 200(kV/cm)까지의 범위에는 20(kV/cm)마다 눈금이 찍혀있다. 도 9의 종축에는 강유전체막에 형성된 분극이 ($\mu C/cm^2$)단위로 나타나 있고, -20($\mu C/cm^2$)부터 20($\mu C/cm^2$)까지의 범위에는 10($\mu C/cm^2$)마다 눈금이 찍혀있다. 이 측정은 Radiant Technology Corporation of the United States로부터 상업적으로 이용할 수 있는 T6000S(상품명)를 사용함으로써 수행된다.

도 9에 나타낸 측정결과로부터, 강유전체막(12)의 강유전체 특성이 획득된다. 즉, 항전계(corrective electric field)는 40(kV/cm)이고, 잔류분극은 12($\mu C/cm^2$)이며, 비유전율은 200이다. 강유전체막(12)의 두께는 0.4㎛이다.

이 실시예에서는, 게이트 절연막(14)으로서 Ta_2O_5 를 사용한다. 이 Ta_2O_5 의 비유전율은 25이고, 막 두께는 0.05㎛이다.

< 제 1 구조의 동작>

다음에, 제 1 구조예의 동작에 관하여 설명한다. 도 10은 제 1 구조예의 동작을 설명하는 도면이고, 도 2의 J-J선에 따른 게이트 유니트(22)의 단면도이다. 도 10에서, 강유전체막(12)의 표면에 정 전하가 유도되어 있는 상태를 플러스 기호 " +" 로 표시하고, 강유전체막(12)의 표면에 부 전하가 유도되어 있는 상태를 마이너스 기호 " -" 로 표시한다. 또한, 도면은 각 전극이 어떻게 전기적으로 접속되어 있는지를 나타낸다.

이 구조예에서, 제 2 주전극(18)과 게이트 전극(10) 사이에 삽입된 강유전체막(12)의 영역, 즉 제 2 주전극(18)을 게이트 유니트(22)의 적층방향 쪽으로 투영한 영역에서만, 자발분극의 방향이 제어된다. 따라서, 채널층(20)의 캐리어 농도의 제어는 자발분극의 비수직방향(비적층방향)에 의해 행해진다.

여기서, 제 2 주전극(18)과 게이트 전극(10) 사이에 삽입된 강유전체막(12)의 영역의 전기용량을 Cs로 표시한다.. 그리고, 제 2 주전극(18)과 게이트 전극(10) 사이에 삽입된 게이트 절연막(14)의 영역의 전기용량을 Chs로 표시한다. 이 구조예에서, 커패시터 Cs 및 Chs의 전극면적(커패시터 면적)은 서로 같다.

도 10a는 강유전체막(12)에 2진 데이터의 논리값 " 1" 을 기록한 경우를 나타낸다. 이 구조예에서, 제 1 주전극(16)을 개방하여, 제 2 주전극(18)과 게이트 전극(10)에 걸쳐서 기록전압 8V(볼트)를 인가함으로써, 강유전체막(12)에 데이터가 기록된다. 즉, 제 2 주전극(18)에는 0V의 전압을 인가하고, 게이트 전극(10)에는 18V의 전압을 인가한다.

이 때, 강유전체막(12)에 인가된 전압 Vg(단위는 V)는 다음의 수학식 1으로서 나타낼 수 있다.

수학식 1

Vg

이 실시예에서, 상술한 막 두께와 비유전율의 값을 사용하면, Cs/Chs=(200/0.4)/(25/0.05)=1이다. 따라서, 수학식 1로부터 Vg= -4(V)가 획득된다. 즉, 강유전체막(12)에 인가된 전계강도는 100(kV/cm)이 된다. 따라서, 도 9에 나타낸 히스테리스 특성으로부터 분명한 바와 같이, 강유전체막(12)의 분극을 반전시키는 것이 충분히 가능하다.

다음에, 도 10b는 강유전체막(12)에 2진의 논리값 " 0" 을 기록한 경우를 나타낸다. 즉, 강유전체막(12)에 기억된 데이터 " 1" 을 소거한 경우를 나타낸다. 이 구조예에서, 제 1 주전극(16)을 개방하여, 제 2 주전극(18)과 게이트 전극(10)에 걸쳐서 소거전압 -8V를 인가함으로써, 강유전체막(12)으로부터 데이터를 소거한다. 즉, 제 2 주전극(18)에는 0V의 전압을 인가하고, 게이트 전극(10)에는 8V의 전압을 인가한다.

이 때, 강유전체막(12)에 인가된 전압Vg(단위는 V)는 이하의 수학식 2로서 나타낼 수 있다.

수학식 2

Vg

따라서, 기록할 때와 같이 Cs/Chs= 1이기 때문에, 수학식 2로부터 Vg=4(V)가 획득된다. 즉, 데이터가 소거될 때 강유전체막(12)에 인가된 전계강도는 100(kV/cm)이다. 따라서, 도 9에 나타낸 히스테리스 특성으로부터 분명한 바와 같이, 강유전체막(12)의 분극을 반전시키는 것이 충분히 가능하다.

도 10c는 강유전체막(12)에 기억된 데이터를 판독한 경우를 나타낸다. 이 구조예에서, 게이트 전극(10)을 접지에 접속하여, 제 1 및 제 2 주전극(16) 및 (18)에 걸쳐서 판독전압 1V를 인가함으로써, 강유전체막(12)으로부터 데이터가 판독된다. 즉, 게이트 전극(10)과 제 2 주전극(18)의 각각에 0V의 전압을 인가하고, 제 1 주전극(16)에 1V의 전압을 인가한다.

데이터는 채널층(20)을 통해 제 1 및 제 2 주전극(16) 및 (18) 사이에 흐르는 드레인 전류를 검출함으로써 판독될 수 있다. 도 11은 드레인 전류 Id와, 게이트 전극(10)에 인가된 게이트전압 Vg의 관계를 나타내는 그래프이다. 도 11에서, 그래프의 횡축은 게이트전압 Vg을 나타내고, 종축은 드레인 전류 Id를 나타낸다. 그 단위는 양축에 대해서 임의적이다. 그리고, 동일 그래프에 대해서, 데이터 " 1" 을 판독할 때의 Id-Vg 곡선 a와 데이터 " 0" 을 판독할 때의 Id-Vg 곡선 b를 비교할 수 있도록 나타내었다.

우선, 상술한 기록동작의 결과로서 데이터 " 1" 이 강유전체 트랜지스터에 유지된 경우에, 한계치 전압 Vt는 0V보다 작다. 따라서, 동작상태가 통상 " 온" 이기 때문에, 게이트전압 Vg이 0V인 경우라도 드레인 전류 Id가 흐른다.

상술한 소거동작의 결과로서 데이터 "0"이 강유전체 트랜지스터에 유지된 경우, 한계치전압 Vt는 0V보다 크다. 따라서, 게이트전압이 0V인 경우에, 드레인 전류 Id는 흐르지 않는다.

이와 같이, 드레인 전류 Id의 값을 검출함으로써 강유전체 트랜지스터에 유지된 데이터값을 판별할 수 있다.

상술한 제 3 구조에서는, 게이트 절연막(14)과 채널층(20) 사이에 금속산화층(62)을 설치한다. 그러나, 이러한 구조의 게이트절연막(14)이 2층구조라고 간주함으로써 또는, 층 두께를 적절히 설정함으로써, 이러한 구조는 동작에 영향을 미치지 않는다. 따라서, 제 3 구조는 그것의 동작에 대해서 상술한 제 1 구조의 동작과 같이 행할 수 있다.

< 제 2 구조의 동작>

다음에, 제 2 구조예의 동작에 관하여 설명한다. 도 12는 제 2 구조예의 동작을 설명하는 도면이고, 도 5에 나타낸 J-J 선에 따른 게이트 유니트(22)의 단면도이다. 도 12에서, 강유전체막(12)의 표면에 정 전하가 유도된 경우를 플러스 기호 "+"로 나타내고, 강유전체막(12)의 표면에 부 전하가 유도된 경우를 마이너스 기호 "-"로 나타낸다. 또한, 이 도면은 각 전극이 어떻게 전기적으로 접속되는지를 나타낸다.

이 구조예에서는, 상측 도전층(60)이 게이트 절연막(14)과 강유전체막(12) 사이에 삽입되어 있다. 따라서, 제 1 구조와 다르게, 강유전체막(12)의 모든 영역 내의 자발분극을 제어할 수 있다. 따라서, 채널층(20)의 캐리어 농도의 제어는 자발분극의 수직성분(적층방향)에 의해 행해진다.

또한, 상술한 바와 같이, 이 구조예에서, 제 1 주전극(16)이 채널층(20)과 접촉하는 영역의 면적 S1과, 제 2 주전극(18)이 채널층(20)과 접촉하는 영역의 면적 S2는 S1 : S2 = 1 : 7이 되도록 설계된다.

여기서, 강유전체막(12)의 전기용량을 Cf로 나타낸다. 그리고, 제 2 주전극(18)과 게이트 전극(10) 사이에 삽입된 게이트 절연막(14)의 영역의 전기용량을 Ch로 나타낸다. 이 구조예에서, 커패시터 Cf 및 Ch의 전극면적(커패시터 면적)의 비는 10 : 7이다. 이 비는 η(=10/7)으로 표시된다.

도 12a는 강유전체막(12)에 2진 데이터의 논리값 "1"을 기록한 경우를 나타낸다. 이 구조예에서, 제 1 주전극(16)을 개방하여, 제 2 주전극(18)과 게이트 전극(10)에 걸쳐서 기록전압 10V(볼트)를 인가함으로써, 강유전체막(12)에 데이터가 기록된다. 즉, 제 2 주전극(18)에는 0V의 전압을 인가하고, 게이트 전극(10)에는 -10V의 전압을 인가한다.

이 때, 강유전체막(12)에 인가된 전압 Vg(V 단위)는 이하의 수학식 3으로서 나타낼 수 있다.

수학식 3

$$Vg$$

이 실시예에서, 상술한 막 두께 및 비유전율의 값을 사용하면, Cf/Ch = ηX(200/0.4)/(25/0.05) = 1.43이다. 따라서, 수학식 3으로부터 Vg = -4.1(V)이 획득된다. 즉, 강유전체막(12)에 인가된 전계강도는 -103(kV/cm)으로 된다. 따라서, 도 9에 나타낸 히스테리스 특성으로부터 분명한 바와 같이, 강유전체막(12)의 분극을 반전시키는 것이 충분히 가능하다.

또한, 이 구조예는 커패시터 면적 간의 비 η에 의해서, 데이터가 기록될 때에 강유전체막(12)에 인가된 전압인 전압 Vg을 적당히 설정할 수 있다고 하는 이점을 갖는다.

도 12b 강유전체막(12)에 2진 데이터의 논리값 "0"을 기록한 경우를 나타낸다. 즉, 이 도면은 강유전체막(12)에 기억된 데이터 "l"을 소거한 경우를 나타낸다. 이 구조예에서, 제 1 주전극(16)을 개방하여, 제 2 주전극(18) 및 게이트 전극(10)에 걸쳐서 소거전압 -10V를 인가함으로써, 강유전체막(12)로부터 데이터가 소거된다. 즉, 제 2 주전극(18)에는 0V의 전압을 인가하고, 게이트 전극(10)에는 10V의 전압을 인가한다.

이 때, 강유전체막(12)에 인가된 전압 Vg(단위는 V)는 이하의 수학식 4으로서 나타낼 수 있다.

수학식 4

Vg

따라서, 기록하는 경우와 같이, Cf/Ch = η = 1.43이기 때문에, 수학식 4으로부터 Vg = 4.1(V)이 획득된다. 즉, 데이터가 소거될 때에 강유전체막(12)에 인가된 전계강도는 103(kV/cm)이다. 따라서, 도 9에 나타낸 히스테리스 특성으로부터 분명한 바와 같이, 강유전체막(12)의 분극을 반전시키는 것이 충분히 가능하다.

이와 같이, 이 구조예에서는, 커패시터 면적 간의 비 η에 의해서, 데이터의 소거 시에 강유전체막(12)에 인가된 전압인 전압 Vg을 적당히 설정할 수 있다.

또한, 도 12c는 강유전체막(12)에 기억된 데이터를 판독한 경우를 나타낸다. 이 구조예에서는, 게이트 전극(10)을 접지에 접속하여, 제 1 및 제 2 주전극(16) 및 (18)에 걸쳐서 판독전압 1V를 인가함으로써, 강유전체막(12)으로부터 데이터를 판독한다. 따라서, 이 구조예의 판독동작은 제 1 구조의 경우와 같이 행해질 수 있기 때문에, 설명을 생략한다.

상술한 제 4 구조에서는, 게이트절연층(14)과 채널층(20) 사이에 금속산화층(62)을 설치한다. 그러나, 이 구조의 게이트절연층(14)이 2층구조라고 간주함으로써 또는, 층 두께를 적당히 설정함으로써, 그러한 구조는 동작에 영향을 미치지 않을 것이다. 따라서, 제 4 구조는 그것의 동작에 대해서 상술한 제 2 구조의 동작과 같이 행할 수 있다.

< 반도체 기억장치의 구성 및 동작>

다음에, 상술한 제 1 제 4구조예의 강유전체트랜지스터를 기억소자로서 사용한 반도체 기억장치에 관하여 설명한다. 상술한 바와 같이, 제 1 제 4구조예의 모든 강유전체 트랜지스터는 기본적으로 같은 방법으로 동작될 수 있다. 따라서, 제 1 제 4구조 중 어느 하나를 이용하여, 이하에 설명하는 반도체 기억장치를 구성할 수 있다.

도 13은 이 구조예의 반도체 기억장치의 주요 부분을 나타내는 개략도이다. 복수의 기억소자를 갖는 이러한 반도체 기억장치는 그것의 워드선 및 비트선에 신호를 인가함으로써 데이터의 기록, 소거 또는 판독되는 불휘발성 메모리이다. 이 기억소자는 상술한 제 1 제 4 강유전체 트랜지스터 중 어느 하나를 구비한다.

이 구조예에서, 적당한 개수의 강유전체 트랜지스터로 1개의 블록을 형성하고, 1개의 블록에는 그것에 할당된 선택 트랜지스터(30)가 설치된다. 도 1 도 8을 참조하여 설명한 제 1 제 4 구조예에서는 이 선택 트랜지스터(30)를 포함하는 영역에 관해서 설명한다. 도 13에서, 복수의 블록으로부터 1개의 블록(64)을 나타낸다. 이 블록(64)은 다른 블록과 같이, n개의 기억소자, 즉 강유전체 트랜지스터 FT1 FTn(n은 자연수)을 구비한다. 그러나, 첫 번째의 강유전체 트랜지스터 FT1과 제 n 번째의 강유전체 트랜지스터 FTn만 도시하고, 나머지는 간소화를 위해 생략한다. 이와 같이, 각 블록에서, n 비트의 데이터가 처리될 수 있다.

다음에, 블록(64)주변의 접속관계에 관하여 설명한다. 이 구조예는 기억소자의 개수와 같은 수의 워드선 WL1 WLn과, 1개의 비트선 BL을 구비한다. 강유전체 트랜지스터의 게이트 전극은 소정의 워드선에 접속된다. 도 13에 나타낸 구조예에서는, 강유전체 트랜지스터 FT1의 게이트 전극 G가 워드선 WL1에 접속되고, 강유전체 트랜지스터 FTn의 게이트 전극 G가 워드선 WLn에 접속된다.

또, 강유전체 트랜지스터의 제 1 주전극은 소정의 비트선에 접속된다. 도 13에 나타낸 구조예에서는, 강유전체 트랜지스터 FT1 및 FTn의 제 1 주전극, 즉 드레인 전극 D가 비트선 BL에 접속된다. 이와 같이, 이 구조예에서는, 1개의 블록에 포함된 모든 강유전체 트랜지스터의 제 1 주전극 또는 드레인 전극이 공통의 1개의 비트선에 접속된다. 이것은 이 구조예에서 n 비트의 강유전체 트랜지스터에 대하여 동시에 기록 및 소거를 수행할 수 있다는 것을 의미한다.

또한, 강유전체 트랜지스터의 제 2 주전극은 각각의 블록에 할당된 선택 트랜지스터(30)의 제 1 주전극에 접속된다. 도 13에 나타낸 구조예에서는, 강유전체 트랜지스터 FT1 및 FTn의 제 2 주전극, 즉 그것의 소스전극 S가 각각 블록과 관련된 선택 트랜지스터(30)의 제 1 주전극 또는 드레인 전극 D에 접속된다.

게다가, 선택 트랜지스터(30)의 제 2 주전극 또는 소스전극 S는 접지에 접속된다. 선택 트랜지스터(30)의 게이트 전극 G에는 블록선택선이 접속되지만 간소화를 위해 도시하지 않는다.

상술한 바와 같이, 각 기억소자는 3개의 단자를 갖기 때문에, 3종류의 신호선, 즉 워드선, 비트선 및 블록선택선을 통해서 소자가 제어될 수 있다. 이하, 반도체 기억장치의 동작방법에 관하여 설명한다.

우선, 기록동작을 수행하고져 하는 블록(64)을 제어하는 선택 트랜지스터(30)는 블록선택선을 통해 신호를 인가함으로써 온상태로 된다. 이 결과, 이 블록(64)에 포함된 강유전체 트랜지스터 FT1 FTn의 소스전극 S가 접지에 접속된다. 그 후, 원하는 워드선 WL1 WLn에 기록전압을 인가함으로써, 그 워드선에 접속된 강유전체 트랜지스터에 데이터 "1" 을 기록한다. 이 기록동작의 경우에, 비트선 BL은 플로우팅의 상태로 유지된다.

또한, 선택하지 않은 블록에 대해서는, 이들 비선택블록을 제어하는 선택 트랜지스터를 " 오프" 상태로 유지한다. 따라서, 이들 비선택블록에 포함된 강유전체 트랜지스터의 소스전극은 플로우팅 상태에 있다. 또한, 비트선 BL은 플로우팅 상태에 있기 때문에, 이들 비선택블록에 포함된 강유전체 트랜지스터의 드레인 전극도 플로우팅 상태로 된다. 따라서, 이들 강유전체 트랜지스터의 게이트 전극에 기록전압을 인가하더라도, 강유전체 트랜지스터의 자발분극은 반전되지 않는다.

소거동작을 행하기 위해, 소거동작을 수행하고져 하는 블록(64)을 제어하는 선택 트랜지스터(30)는 블록선택선에 신호를 인가함으로써 온상태로 된다. 따라서, 이 블록(64)에 포함된 강유전체 트랜지스터 FT1 FTn의 소스전극 S가 접지에 접속된다. 그 후, 소망하는 워드선 WL1 WLn에 소거전압을 인가함으로써, 소망하는 강유전체 트랜지스터에 데이터 " 0" 이 기록된다. 이 소거동작의 경우에, 비트선 BL은 플로우팅 상태로 유지된다.

상술한 기록동작의 경우뿐만 아니라 이 소거동작의 경우에도, 비선택블록에 포함된 강유전체 트랜지스터의 소스전극 및 드레인 전극은 플로우팅 상태로 된다. 따라서, 이들 강유전체 트랜지스터의 게이트 전극에 소거전압을 인가하더라도, 강유전체 트랜지스터의 자발분극은 반전되지 않는다.

또한, 판독동작을 수행하기 위해서, 판독동작을 수행하고져 하는 강유전체 트랜지스터를 포함하는 블록(64)이 선택된다. 즉, 이 블록(64)을 제어하는 선택 트랜지스터(30)는 온상태로 된다. 따라서, 선택된 블록(64)에 포함된 강유전체 트랜지스터 FT1 FTn의 소스전극 S가 접지에 접속된다. 또한, 워드선 WL1 WLn을 접속함으로써, 이 선택된 블록(64)에 포함된 모든 강유전체 트랜지스터의 게이트 전극 G가 접지에 접속된다. 그 후, 드레인 전극 D, 즉 비트선 BL에 판독전압을 인가하여, 드레인 전류의 값을 판독한다.

그러나, 판독동작의 경우에, 반도체 기억장치에 포함된 모든 선택 트랜지스터는 " 온" 상태로 유지될 수 있다. 이것은 예컨대, 게이트 전극 및 드레인 전극에 걸쳐서 1V의 판독전압이 인가되지만, 이 전압에 의해 강유전체의 분극이 반전되지 않기 때문이다.

제 1 및 제 3 구조의 경우에 있어서, 제 2 주전극(18)과 게이트 전극(10) 사이에 삽입된 강유전체막(12)의 영역의 전기용량을 Cs로 나타내고, 제 1 주전극(16)과 게이트 전극(10) 사이에 삽입된 게이트 절연막(14)의 영역의 전기용량을 Chd로 나타낸다. 그 후, 강유전체막(12)에 인가된 전압 Vg은 이하의 수학식 5으로서 나타낼 수 있다.

수학식 5

$$Vg = -1/(1+Cs/Chd)$$

Cs/Chd = 1이기 때문에, Vg = -0.5(V)가 된다. 따라서, 강유전체막(12)에 인가된 전계강도는 12.5(kV/cm)이고, 도 9에 나타낸 히스테리스 특성으로부터 분명한 바와 같이, 분극은 반전되지 않는다. 이와 같이, 불휘발성의 기억이 가능하다.

제 2 및 제 4 구조에서, 강유전체막(12)의 전기용량을 Cf로 나타내고, 제 1 주전극(16)과 게이트 전극(10) 사이에 삽입된 게이트 절연막(14)의 영역의 전기용량을 Cd로 나타낸다. 이들 구조예에서는, 커패시터 Cf 및 Cd의 전극면적의 비가 10 : 1로 되어 있는데, 이 비는 ν(=10)으로 설정된다. 이 때, 강유전체막(12)에 인가된 전압 Vg은 이하의 수학식 6으로서 나타낼 수 있다.

수학식 6

$$Vg = -1/(1+Cf/Cd)$$

Cf/Cd = ν X(200/0.4)/(25/0.05)=10이기 때문에, Vg = -0.09(V)가 된다. 따라서, 강유전체막(12)에 인가된 전계강도는 -2.25(kV/cm)이고, 도 9에 나타낸 히스테리스 특성으로부터 분명한 바와 같이, 분극은 반전되지 않는다. 이와 같이, 불휘발성의 데이터의 기억이 가능하다.

(II) 강유전체 트랜지스터의 제조방법의 설명

이하, 상술한 제 1 제 4 구조예의 강유전체 트랜지스터의 제조방법에 대해서 설명한다. 먼저, 제 1 구조예의 제조방법에 관하여 설명한 후, 제 2, 제 3 및 제 4 구조예의 제조방법에 대해서 설명한다. 제 2 내지 제 4 구조에 대해서는, 제 1구조와 다른 부분만 설명한다. 또한, 참조하는 각 도면에 있어서, 형상 또는 제조공정이 다르더라도, 서로 다른 구조 중에서 공통의 구성성분에는 동일 참조번호를 부착하였다.

[제 1 구조의 제조방법]

이하, 제 1 구조의 제조방법에 관하여, 도 14 도 16을 참조하여 설명한다. 여기서, 각 도면은 도 2의 I-I 선에 따른 단면도이다.

우선, 기판(26) 상에 본 발명이 속하는 기술분야의 당업자에게 잘 알려진 통상의 LSI 기술을 사용하여 MOSFET를 형성한다. 즉, 이 경우에 p^- 형 Si 기판인 기판(26)의 표면에 상술한 선택 트랜지스터(30)1을 형성한다. 그 후, 그 위에 선택 트랜지스터(30)를 형성한 기판(26) 위에, 적당한 방법으로 적당한 막 두께를 갖는 층간 절연막(28)을 적층한다. 이 공정에서, 텅스텐으로 형성된 제 1 및 제 2배선(42) 및 (44)은 하측 배선으로서 통합된다. 상술한 바와 같이, 이 제 1 배선(42)은 게이트 전극(10)에 접속시키기 위한 것이다. 또한, 제 2 배선(44)은 제 1 주전극(16)에 접속시키기 위한 것이다. 이와 같이, 기판(26) 및 층간 절연막(28)으로 이루어지는 하층(25)을 형성한다.

게다가, 층간 절연막(28)의 소정의 위치에 제 1 및 제 2 스루홀(46) 및 (48)을 형성한다. 그 후, 제 1 및 제 2 스루홀(46) 및 (48) 내에 W의 종방향의 배선을 전도체 플러그로서 매립한다. 이 실시예에서, 이들 전도체 플러그의 각각은 제 1 및 제 2 배선(42) 및 (44)에 포함된다. 이 종방향의 배선에 의해 상층부 및 하층부가 접속된다. 도 14a에 도시한 바와 같이, 각 스루홀과 매립된 전도체 플러그의 상면 높이는 층간 절연막(28)의 상면의 높이와 동일한 것이 바람직하다.

또한, Si 기판 상의 MOSFET(선택 트랜지스터(30))의 손해회복을 위해, 수소 중에서 상기 소자가 열처리된다. 이 열처리를 강유전체 트랜지스터의 형성 전에 실행함으로써, 강유전체 특성이 열화되는 것을 막을 수 있다.

다음에, 층간 절연막(28) 위에, 제 1 도전층(66), 제 2 도전층(68), 강유전체층(70), 제 1 절연층(72) 및 반도체층(74)을 순차 적층한다. 도 14a를 참조하여 이들 순차적인 공정에 대해서 설명한다.

제 1 공정에서, 층간 절연막(28) 위에 제 1 도전층(66)을 형성한다. 이 목적을 위해, 스퍼터링법에 의해서 0.1㎛의 균일한 두께의 W 층을 제 1 도전층(66)으로서 적층한다. 이 W 층은 게이트 저항을 감소시키는 기능을 한다.

그 후, 제 1 도전층(66) 위에 제 2 도전층(68)을 형성한다. 이 목적을 위해, 스퍼터링법에 의해서 0.1㎛ 두께의 IrO_2 층을 제 2 도전층(68)에 적층한다. 이 IrO_2 층은 강유전체층을 그 위에 형성하는 기초구조 또는 하층으로서 사용될 것이다.

제 2 공정에서, 제 1 도전층(66) 위에, 즉 제 2 도전층(68) 위에 강유전체층(70)을 형성한다. 이 경우에, 제 2 도전층(68)의 상면에, 졸겔법에 의해서 0.4㎛ 두께의 $SrBi_2Ta_2O_9$층을 강유전체층(70)으로서 형성한다. 이것을 위해, 제 2 도전층(68)의 상면에 강유전체재료를 포함한 용액을 스핀코트법(spin-coat technique)에 의해 제공한다. 450℃의 온도의 열처리를 실행하여 유기성분을 제거한 후에, 800℃의 온도에서의 베이킹법(baking process)에 의해 소자가 결정화된다.

제 3 공정에서, 강유전체층(70) 위에 제 1 절연층(72)을 형성한다. 이 목적을 위해, 강유전체층(70)의 상면에, 0.05㎛ 두께의 Ta_2O_5층을 제 1 절연층(72)으로서 형성한다. 이 경우에, 이 Ta_2O_5층을, Ta 타깃을 사용하여 Ar가스 및 O_2가스의 혼합가스에 의한 반응성 스퍼터에 의해서 형성한다.

이 제 1 절연층(72)이 게이트 절연층으로서 기능하도록 고유전체 재료로 형성되는 것이 바람직하다. 이 실시예에서 사용된 Ta_2O_5층은 25의 비유전율(ε)을 갖고, 고유전체 재료이다. 선택적으로, 이 제 1 절연층(72)은 예컨대, ZrO_2(ε = 22), HfO_2(ε = 22), Si_3N_4(ε = 7) 중에서 선택된 1개 또는 어떤 조합으로 형성될 수도 있다. 이 실시예에서, 게이트 절연막은 SiO_2(ε=4)보다 비유전율이 높은 재료로 형성된다. 따라서, 본 구조에서, 종래의 소자의 경우보다 큰 전압이 강유전체막에 인가된다.

제 1 절연층(72)을 형성한 후, 제 1 절연층(72)의 결함을 제거하도록 공정을 수행한다. 이 실시예에서는, 산소가스 내에서 500℃의 온도에서 열처리를 실행하여, 형성된 Ta_2O_5내의 결함을 적게 한다. 이것에 의해서, 전하 트랩 밀도를 감소시킬 수 있다.

다음에, 제 4 공정을 수행하여 제 1 절연층(72) 위에 반도체층(74)을 형성한다. 이 실시예에서, 상측 절연층(72) 위에, 반도체층(74)으로서 폴리실리콘층을 적층한다. 이 목적을 위해, 이 폴리실리콘층은 기판 온도를 600℃로 유지한 상태로, SiH_4가스 및 H_2가스를 사용한 플라즈마 CVD법에 의해서 적층된다. 이와 같이, 막 두께가 0.4㎛인 폴리실리콘층이 형성된다.

반도체층(74)을 적층한 후, 게이트 유니트의 패터닝을 하기 위해 SiO_2마스크(76)를 반도체층(74)의 상면에 형성한다. SiO_2막은 기판 온도를 350℃로 하여, SiH_4가스 및 N_2O가스의 혼합가스를 사용한 플라즈마 CVD법에 의해서 적층된다. 이 SiO_2막의 두께는 예컨대, 0.8㎛로 적당히 설정된다. 그 후, 통상의 포토리소그래피공정 및 드라이 에칭공정에 의해서 SiO_2마스크(76)를 형성한다. 이 실시예에서는 이 SiO_2마스크(76)가 제 1 스루홀(46)의 위쪽의 영역에 위치된다.

다음에, SiO_2마스크(76)의 패턴을 적층된 반도체층(74), 제 1 절연층(72), 강유전체층(70), 제 2 도전층(68) 및 제 1 도전층(66) 위에 순차 전사하는 공정에 대해서 도 14b를 참조하여 설명한다.

이 실시예에서는, 이 전사작업을 SiO_2마스크(76)를 사용한 드라이 에칭법에 의해 일괄적으로 수행한다. 즉, 반도체층(74)을 정형하여 게이트 영역 내에 채널층(20)을 형성하는 제 5 공정과, 제 1 도전층(72)을 정형하여 게이트 절연막(14)을 형성하는 제 6 공정과, 강유전체층(70)을 정형하여 강유전체막(12)을 형성하는 제 7 공정과, 제 1 도전층(66)을 정형하여 게이트 전극(10)을 형성하는 제 8 공정을 일괄적으로 수행한다. 게다가, 상술한 제 7 공정과 제 8 공정 사이의 전사작업에는, 제 2 절연층(68)을 정형하여 하측 도전층(24)을 형성하는 공정이 포함된다. 이 전사작업을 위한 드라이 에칭은 Cl_2가스 및 Ar가스의 혼합가스뿐만 아니라 13.56MHz의 고주파전력에 의해 플라즈마를 발생시킴으로써 수행된다.

상술한 제 5 공정에서, 마스크(76)가 제 1 스루홀(46)의 위쪽에 위치되어 있기 때문에, 게이트영역은 제 1 스루홀(46)의 상측 영역으로서 형성된다. 즉, 채널층(20)이 제 1 스루홀(46)의 위쪽의 영역에 형성된다. 또한, 상술한 바와 같이, SiO_2마스크(76)의 패턴이 순차 아래쪽으로 전사되기 때문에, 게이트 유니트(22)와 채널층(22)은 상술한 게이트 영역 내에 형성되는데, 여기서 게이트 유니트는 게이트 전극(10), 하측 도전층(24), 강유전체막(12) 및 게이트 절연막(14)으로 이루어진다.

또한, 제 1 스루홀(46) 내에는 전도체 플러그가 매립되고, 이 전도체 플러그는 제 1 배선(42)에 접속된다. 따라서, 상술한 공정에 의해서, 자동적으로 제 1 배선(42)에 접속된 게이트 전극(10)이 형성된다. 또한, 게이트부(22)의 패터닝에 의해서, 게이트영역 이외의 제 1 도전층(68)의 소망하지 않은 부분이 제거되어, 층간 절연막(28)의 상면이 노출된다. 따라서, 게이트 전극(10)은 제 2 배선(44)으로부터 분리되는 것이 바람직하다.

다음에, 제 8 공정에서, 상측 절연막이 게이트 유니트(22) 및 채널층(20)의 측면과 접촉하도록 상측 절연막(50)을 층간 절연막(28) 위에 형성하는 공정에 대해서 도 15a 및 도 15b를 참조하여 설명한다.

우선, 제 2 절연층이 게이트 유니트(22) 및 채널층(20)의 측면 및 상면을 덮도록 제 2 절연층(78)을 층간 절연막(28) 위에 형성한다. 이 목적을 위해, 플라즈마 CVD 법을 사용하여, 잔여의 SiO_2 마스크(76)를 포함하는 웨이퍼의 전체면에 제 2 절연층(78)으로서 SiO_2 층을 형성한다. 이 플라즈마 CVD는 SiH_4 가스 및 N2가스의 혼합가스를 사용하여, 그리고 기판 온도를 350℃로 유지함으로써 수행된다. 이 결과, 막 두께가 0.4㎛인 SiO_2 층이 형성된다. 도 15a를 참조하시오.

다음에, 제 2 절연층(78)을 채널층(20)의 상면이 노출될 때까지 연마하여 상측 절연막(50)을 형성한다. 도 15b를 참조하시오. 제 2 절연층(78)의 연마는 화학적 기계 연마(Chemical Mechanical Polishing : CMP)법에 의해서 행해진다. 이 연마에 의해, 제 2 절연층(78)이 정형되어 상측 절연막(50)으로 된다. 이 연마는 채널층(20)의 상면이 노출될 때까지 계속해서 행해지기 때문에, 채널층(20)과 접촉하는 부분의 상측 절연막(50)의 높이가 채널층(20)의 상면의 높이와 일치할 수 있다.

다음에, 제 2 스루홀(48)을 포함하는 상측 절연막(50)의 영역에 제 3 스루홀(52)을 형성한다(도 16a). 이 목적을 위해, 상측 절연막(50)의 상면에 레지스트층(80)을 적층하고, 이 레지스트층(80)를 포토리소그래피법에 의해서 가공한다. 그 후, 레지스트층(80)을 마스크로서 사용한 드라이 에칭에 의해서 상측 절연막(50)을 가공함으로써, 제 3 스루홀(52)이 형성된다. 제 3 스루홀(52)로부터, 제 2 스루홀(48) 내에 매립된 전도체 플러그(제 2 배선(44))의 일부가 상측 절연막(50)의 상면에 안내된다. 또한, 레지스트층(80)이 제거될 것이다.

다음에, 제 9 공정에서, 채널층(20) 위에 제 1 및 제 2 주전극(16) 및 (18)을 형성한다. 이 목적을 위해, 제 3 스루홀(52)이 형성된 상측 절연막(50) 위에 폴리실리콘층(82)이 형성될 것이다(도 16b). 이 폴리실리콘층(82)은 500℃ 온도에서 SiH_4 가스, PH_3 가스 및 H_2 가스의 혼합가스를 사용한 플라즈마 CVD에 의해서 적층된다. 이 실시예에서, 폴리실리콘층(82)의 두께는 0.4㎛으로 설정된다.

다음에, 통상의 레지스트 적층, 포토리소그래피 및 드라이 에칭의 순서에 따라서 폴리실리콘층(82)을 가공한다. 이것에 의해서, 제 1 주전극(16) 및 제 2 주전극(18)이 형성된다(도 1 및 도 3).

제 1 및 제 2주전극(16) 및 (18)을 형성한 후에, 종래의 방법은 종래의 LSI의 제조공정에서와 같이 사용될 것이다. 제 1 및 제 2 주전극(16) 및 (18)이 그 위에 형성된 상측 절연막(50) 위에 층간 절연막(54)을 형성한다(도 3). 그 후, 층간 절연막(54)의 소정의 위치에 스루홀을 형성한 후, Al 합금막을 적층한다. 이 A1 합금막을 가공함으로써, A1 배선(56)이 형성된다(도 3). 최후에, 웨이퍼 표면을 표면 보호층(58)으로 덮어 보호한다(도 3).

상술한 제조방법에서, 강유전체층(70)을 형성한 후에, 600℃보다 큰 온도에서는 어떠한 열처리도 실행하지 않는다. 제 1 구조의 강유전체 트랜지스터를 저온 프로세스에 의해서 형성할 수 있기 때문에, 강유전체막(12)의 열이력(thermal hysteresis)을 낮은 레벨로 유지할 수 있다. 따라서, 열처리에 의해서 강유전체막(12)에 발생된 응력과 같은 문제를 피할 수 있기 때문에, 강유전체특성(분극 반전 특성)이 열화되지 않는다. 또한, 저온처리로 인해, 공정 중에, 강유전체막(12)의 구성원소는 외측으로 확산되지 않는다. 따라서, Si 기판 상에 형성된 선택 트랜지스터(30)의 특성이 열화되지 않는다.

게다가, 제 4 공정에서, 제 1 절연층(72) 위에 비결정질 실리콘층을 반도체층(74)으로서 적층할 때, 기판 온도를 300℃로 유지한 곳에서, SiH_4 가스 및 H_2 가스의 혼합가스를 사용한 플라즈마 CVD가 사용될 것이다. 따라서, 이 경우에 여전히 저온의 프로세스가 가능하다. 이것은 강유전체특성이 열화되지 않는다는 것을 의미한다. 또한, 비결정질 실리콘 및 Ta_2O_5 의 계면에는 SiO_2 가 형성되기 쉽지만, 이 방법에 의하면, 층이 저온에서 형성되기 때문에, 채널층(20) 및 게이트 절연막(14) 사이에는 SiO_2 가 형성되지 않는다. 따라서, 고유전율이 유지될 수 있다.

[제 2 구조의 제조방법]

다음에, 제 2 구조의 제조방법에 관하여, 도 17을 참조하여 설명한다. 여기서, 각 도면은 도 5의 I-I 선에 따른 단면도이다.

이 방법은 제 1방법의 모든 공정뿐만 아니라 2개의 공정을 더 구비한다는 점에서 제 1 구조의 제조방법(이하, 단지 제 1 제조방법이라고 약칭한다)과 다르다. 다른 공정은 실질적으로 동일하기 때문에, 추가되는 공정에 관하여 주로 설명한다.

이 실시예에서는, 상술한 제 2 및 제 3 공정사이에, 강유전체층(70) 위에 제 3 도전층(84)을 형성하는 공정이 삽입된다(도 17a). 이 목적을 위해, 강유전체층(70)을 적층한 후에, 이 강유전체층(70)의 상면에 스퍼터링에 의해서 0.1㎛ 두께의 IrO_2 층을 제 3 도전층(84)으로서 적층한다. 이 IrO_2 층은 이 소자를 형성할 때에 행해진 열처리에 의해서 강유전체층(70)이 열화되는 것을 방지하는 기능을 한다.

또한, 제 3 공정에서, 이 제 3 도전층(84) 위에 제 1 절연층(72)을 형성한다.

게다가, 제 6 및 제 7 공정 사이에, 제 3 도전층(84)을 정형하여 상측 도전층(60)을 형성하는 공정이 삽입된다(도 17b). 이 정형은 상술한 전사작업에 의해서 다른 층과 동시에 일괄적으로 행해진다. 그 결과, 상측 도전층(60)을 포함한 게이트 유니트(22)가 형성된다.

[제 3 구조의 제조방법]

다음에, 제 3 구조의 제조방법에 관하여, 도 18을 참조하여 설명한다. 여기서, 각 도면은 도 2의 I-I 선에 따른 단면도이다.

이 방법은 제 1 방법의 모든 공정뿐만 아니라 2개의 공정을 더 구비한다는 점에서 제 1제조방법과 다르다. 다른 모든 공정은 실질적으로 동일하기 때문에, 추가되는 공정에 관하여 주로 설명한다.

이 실시예에서, 상술한 제 3 및 제 4 공정사이에, 반도체층(74)과 비교하여 금속산화층의 산화물의 생성온도가 작은 금속산화층(86)을 제 1 절연층(72) 위에 형성하는 공정이 삽입된다(도 18a). 이 금속산화층(86)으로서의 ZrO_2 층은 Zr 타겟을 사용하는 Ar가스와 O_2 가스의 혼합가스에 의한 반응성 스퍼터링에 의해 적층된다. 이 실시예에서는, 이 ZrO_2 층이 0.01㎛의 두께로 균일하게 적층된다.

다음에, 제 4 공정에서는, 이 금속산화층(86) 위에 반도체층(74)으로서 폴리실리콘층이 형성된다. 상술한 바와 같이, 이 폴리실리콘층은 600℃정도의 고온환경에서 적층된다. 이와 같이, 종래의 방법에서는 제 1 절연층(72)으로서 형성된 Ta_2O_5 층이 Si에 의해서 환원되고 채널층(20) 내에 SiO_2 가 형성되는 것이 가능했었다. 그러나, 이 방법에서는, 제 1 절연층(72)의 상측을 금속산화층(86)으로 덮기 때문에, Si에 의해서 제 1 절연층(72)이 환원되지 않는다. 또한, 금속산화층(86)의 생성온도가 반도체층(74)과 비교하여 낮기 때문에, Si에 의해서 금속산화층(86)이 환원되지 않는다. 따라서, 이 방법에서는 채널층(20) 위에 Si O2가 형성되지 않도록 할 수 있기 때문에, 게이트 유니트(22) 전체의 유전율이 저하되는 일없이 일정한 레벨로 유지될 수 있다.

금속산화층(86)의 형성 후에, 이 금속산화층(86) 내에 존재하는 결함을 제거할 것이다. 이 목적을 위해, 이 소자는 500℃ 온도의 산소 분위기 내에서 열처리된다. 이 열처리에 의해, ZrO_2 층뿐만 아니라 Ta_2O_5 층의 결함도 제거할 수 있다. 그 결과, ZrO_2 층 및 Ta_2O_5 층의 전하 캐리어 농도를 감소시킬 수 있다.

또한, 상술한 제 5 및 제 6 공정 사이에, 금속산화층(86)을 정형하는 공정이 삽입된다. 이 정형은 상술한 전사작업에 의해서 다른 층과 동시에 일괄적으로 행해진다. 그 결과, 금속산화층(62)이 형성된다(도 18b).

상술한 바와 같이, 이 방법에 의하면, 제 1 방법의 장점을 얻을 수 있을 뿐만 아니라, 제 1 절연층(72)의 환원을 막을 수 있다. 이와 같이, 강유전체 특성의 열화를 막을 수 있다.

게다가, 반도체층(74)으로서 비결정질 실리콘을 사용한 경우에도, 금속산화층(86)을 ZrO_2 층으로서 형성함으로써 제 1 절연층(72)의 환원을 막을 수 있다.

또한, 이 제 3 구조에서, ZrO_2 층을 고유전체층으로서 사용할 수 있기 때문에, 게이트 절연막(14)으로서의 Ta_2O_5 층은 필요하지 않다.

[제 4 구조의 제조방법]

다음에, 제 4 구조의 제조방법에 관하여, 도 19를 참조하여 설명한다. 여기서, 각 도면은 도 5의 I-I 선에 따른 단면도이다.

이 방법은 제 1 방법의 모든 공정뿐만 아니라 4개의 공정을 더 구비한다는 점에서 제 1 제조방법과 다르다. 다른 모든 공정은 실질적으로 동일하기 때문에, 이 추가되는 공정에 대해서 주로 설명한다.

이 실시예에서, 상술한 제 2 및 제 3 공정 사이에, 강유전체층(70) 위에 제 3 도전층(84)을 형성하는 공정이 삽입된다(도 19a). 이 목적을 위해, 강유전체층(70)을 적층한 후에, 이 강유전체층(70)의 상면에 스퍼터링에 의해서 0.1㎛ 두께의 IrO_2 층을 제 3 도전층(84)으로서 적층한다. 이 IrO_2 층은 이 소자형성 시에 수행되는 열처리로 강유전체층(70)이 열화되는 것을 방지하는 기능을 한다.

또한, 제 3 공정에서, 이 제 3 도전층(84) 위에 제 1 절연층(72)을 형성한다.

이 실시예에서는, 상술한 제 3 및 제 4 공정 사이에, 반도체층(74)과 비교하여 산화물의 생성온도가 작은 금속산화층(86)을 제 1 절연층(72) 위에 형성하는 공정이 삽입된다(도 19a). 이 금속산화층(86)으로서의 ZrO_2 층은 Zr 타겟을 사용하는 Ar가스 및 O_2 가스의 혼합가스에 의한 반응성 스퍼터링법에 의해 적층된다. 이 실시예에서는, 이 ZrO_2 층이 0.01㎛의 두께로 균일하게 적층된다.

다음에, 제 4 공정에서는, 이 금속산화층(86) 위에 반도체층(74)으로서의 폴리실리콘층이 형성된다. 따라서, 이 방법에 의하면, 제 1 절연층(72)의 상측을 금속산화층(86)으로 덮기 때문에, Si에 의해서 제 1 절연층(72)이 환원되지 않는다. 또한, 금속산화층(86)의 생성온도가 반도체층(74)과 비교하여 낮기 때문에, Si에 의해서 금속산화층(86)이 환원되지 않는다. 따라서, SiO_2 가 형성되지 않기 때문에, 게이트 유니트(22) 전체의 유전율이 저하되는 일없이 일정한 레벨로 유지될 수 있다.

금속산화층(86)을 형성한 후에, 이 금속산화층(86) 내에 존재하는 결함이 제거될 것이다. 이 목적을 위해, 이 소자는 500℃의 온도의 산소분위기 내에서 열처리된다. 이 열처리에 의해, ZrO_2 층뿐만 아니라 Ta_2O_5 층의 결함이 제거될 수 있다. 그 결과, ZrO_2 층 및 Ta_2O_5 층의 전하 트랩 밀도를 감소시킬 수 있다.

또한, 상술한 제 5 및 제 6 공정 사이에, 금속산화층(86)을 정형하는 공정이 삽입된다. 이 정형은 상술한 전사작업에 의해서 다른 층과 동시에 일괄적으로 행해질 것이다. 그 결과, 금속산화층(62)이 형성될 것이다(도 19b).

게다가, 제 6 및 제 7 공정 사이에, 제 3 도전층(84)을 정형하여 상측 도전층(60)을 형성하는 공정이 삽입될 것이다(도 19b). 이 정형은 상술한 전사작업에 의해서 다른 층과 동시에 일괄적으로 행해질 것이다. 그 결과, 상측 도전층(60)을 포함한 게이트 유니트(22)가 형성된다.

상술한 바와 같이, 이 방법에 의하면, 제 1 방법의 장점을 얻을 수 있을 뿐만 아니라, 제 1 절연층(72)의 환원도 막을 수 있다. 따라서, 강유전체 특성의 열화를 막을 수 있다.

게다가, 반도체층(74)으로서 비결정질 실리콘을 사용한 경우에도, 금속산화층(86)을 ZrO_2층으로서 형성함으로써 제 1 절연층(72)의 환원을 막을 수 있다.

또한, 이 제 4 구조의 경우에는, ZrO_2층을 고유전체층으로서 사용할 수 있기 때문에, 게이트 절연막(14)으로서의 Ta_2O_5층을 필요로 하지 않는다.

본 발명의 몇몇 바람직한 실시예로 본 발명의 원리를 예시하고 설명했지만, 상기의 예시 및 설명이 본 발명에 한정되는 것이 아니고, 본 발명이 이러한 원리로부터 벗어나지 않고 배치관계 및 상세한 설명을 변경, 변형 또는 개량할 수 있다는 것은 본 발명이 속하는 기술분야의 당업자에게는 자명한 것이다. 따라서, 그러한 변경, 변형 또는 개량은 청구범위의 정신 및 범주 내에 있어야 하고, 본 발명은 이하의 청구범위 및 그와 동등한 것에 의해서만 한정되고 제한된다.

발명의 효과

상술한 설명으로부터 분명한 바와 같이, 본 발명의 강유전체 트랜지스터는 (1) 게이트 전극, 강유전체막 및 게이트 절연막을 이 순서대로 적층한 게이트 유니트와, (2) 게이트 절연막 위의 채널층과, (3) 채널층 위의 제 1 및 제 2 주전극을 구비하되, 채널층은 채널로서 사용된다. 본 구조에서는, 열처리에 의한 강유전체의 구성원소의 확산을 방지할 수 있고, 배선을 간소화할 수 있으며, 소자를 보다 용이한 방법으로 제어할 수 있고, 미세화할 수 있다. 따라서, 본 발명의 소자는 집적회로의 고밀도화 및 고속화에 매우 유효하므로, 회로의 성능을 향상시킬 수 있다.

또한, 본 발명에 의하면, 게이트 절연막은 Ta_2O_5, ZrO_2, HfO_2, Si_3N_4, CeO_2 및 $Ba_xSr_{1-x}TiO_3$)(x는 양의 정수) 중에서 선택된 1개의 재료, 또는 1개 이상의 재료의 조합으로 형성된다. 이들 모든 재료는 통상의 게이트 절연층으로서 사용되는 SiO_2보다 큰 비유전율을 갖는다. 따라서, 종래의 소자의 경우에서보다 높은 전압을 강유전체막에 인가할 수 있다.

본 발명에 의하면, 게이트 유니트는 게이트 절연막과 강유전체막 사이에 상측 도전층을 갖는다. 이 상측 도전층에 의해, 열처리에 의한 강유전체막의 열화도 방지할 수 있다.

또한, 본 발명에 의하면, 제 1 주전극이 채널층과 접촉하는 부분의 면적은 제 2 주전극이 채널층과 접촉하는 부분의 면적과 다르다. 이와 같이, 제 1 주전극 및 채널층의 접점부분의 면적을 적당히 설정함으로써, 게이트 절연막의 전기용량을 효율적으로 조절할 수 있다. 따라서, 강유전체막에 인가되는 신호전압의 크기를 적절하게 제어할 수 있다.

또한, 본 발명에 의하면, 게이트 유니트는 채널층과 게이트 절연막 사이에 금속산화층을 갖는다. 그리고, 이 금속산화층은 산화물의 생성온도가 채널층보다 작은 재료로 형성된다. 이와 같이, 게이트 절연막을 금속산화층으로 덮는 것에 의해, 게이트 절연막이 환원되지 않을 수 있다.

다음에, 본 발명에 따른 반도체 기억장치는 기억소자로서 상술한 강유전체 트랜지스터를 구비한다. 따라서, 이 강유전체 트랜지스터를 사용한 반도체 기억장치는 기억용량의 대규모화, 장치의 소형화 및 장치의 고속화에 유효하다.

또한, 본 발명에 의하면, 반도체 기억장치는 적당한 개수의 강유전체 트랜지스터로 형성되는 각각의 블록에 각각 할당된 각 선택 트랜지스터를 구비한다. 그리고, 각각의 블록마다, 강유전체 트랜지스터의 게이트 전극을 소정의 워드선에 접속하고, 강유전체 트랜지스터의 제 1 주전극을 소정의 비트선에 접속하며, 강유전체 트랜지스터의 제 2 주전극을 선택 트랜지스터의 제 1 주전극에 접속하고, 선택 트랜지스터의 제 2 주전극을 접지에 접속한다. 따라서, 선택 트랜지스터의 스위칭 상태를 제어함으로써, 임의의 블록을 선택할 수 있다. 또한, 워드선을 지정함으로써, 그 블록에 포함된 임의의 강유전체 트랜지스터를 지정할 수 있고, 데이터를 트랜지스터 내에 기록하고, 트랜지스터로부터 소거하며, 판독할 수 있다.

또한, 본 발명의 강유전체 트랜지스터의 동작방법에 의하면, 제 1 주전극을 개방하여, 제 2 주전극 및 게이트 전극에 걸쳐서 기록전압을 인가함으로써 강유전체막에 데이터를 기록한다.

또한, 본 발명의 강유전체 트랜지스터를 동작시키는 방법에 의하면, 제 1 주전극을 개방하고 제 2 주전극 및 게이트 전극 사이에 소거전압을 인가함으로써 강유전체막으로부터 데이터를 소거한다.

또한, 본 발명의 강유전체 트랜지스터를 동작시키는 방법에 의하면, 게이트 전극을 접지에 접속하고 제 1 및 제 2주전극에 걸쳐서 판독전압을 인가함으로써, 강유전체막으로부터 데이터를 판독한다.

상술한 바와 같이, 상술한 강유전체 트랜지스터는 3개의 전극단자를 사용하여 데이터를 기록할 수 있고, 데이터를 소거할 수 있으며, 데이터를 판독할 수 있다. 따라서, 종래의 소자와 비교하여 배선공정이 훨씬 간소화되고, 소자가 보다 용이하게 제어될 수 있다.

선택적으로, 본 발명의 강유전체 트랜지스터의 제조방법에 따라, 기초구조 위에 제 1 도전층, 강유전체층, 제 1 절연층 및 반도체층을 순차 적층시킨 적층구조를 형성한다. 이러한 구조의 결과로서, (1) 게이트 전극, 강유전체막 및 게이트 절연막을 포함하는 게이트 유니트와 (2) 채널층이 형성된다. 그후, 채널층 위에 제 1 및 제 2 주전극으로 되는 도전층이 형성된다. 반도체층보다도 먼저 강유전체층이 형성되기 때문에, 강유전체의 구성원소는 심지어 종래의 소자의 경우와 다른 열처리에 의해서도 외측으로 확산되지 않는다. 따라서, 종래 소자에서 발생되었던 MOSFET 특성의 열화를 방지할 수 있다.

또한, 본 발명의 강유전체 트랜지스터의 제조방법에 의하면, 제 2 공정과 제 3 공정과의 사이에, 강유전체층 위에 제 3 도전층을 형성하는 공정이 삽입된다. 제 6 공정과 제 7 공정 사이에는, 제 3 도전층을 정형하여 상측 도전층을 형성하는 공정이 삽입된다. 이와 같이 제 3 도전층(상측 도전층)을 형성함으로써, 열처리 시에 강유전체의 열화를 방지할 수 있다.

또한, 본 발명의 강유전체 트랜지스터의 제조방법에 의하면, 제 3 공정과 제 4 공정과의 사이에, 반도체층과 비교하여 산화물의 생성온도가 작은 금속산화층을 제 1 절연층 위에 형성하는 공정이 삽입된다. 또, 제 5 공정과 제 6 공정 사이에는, 금속산화층을 정형하는 공정이 삽입된다. 이와 같이, 그러한 금속산화층을 형성함으로써, 반도체층과 비교하여 금속산화층의 생성온도가 작기 때문에, 제 1 절연층이 반도체층의 구성원소에 의해 환원되지 않는다.

(57) 청구의 범위

청구항 1.

게이트 전극, 강유전체막, 게이트 절연막, 제 1 주전극 및 제 2 주전극을 포함하는 강유전체 트랜지스터에 있어서,

하층 위에 상기 게이트 전극, 상기 강유전체막 및 상기 게이트 절연막을 이 순서대로 적층한 게이트 유니트와,

상기 게이트 절연막 위에 적층된 채널층을 구비하고,

상기 제 1 및 제 2 주전극은 서로 이격되어 상기 채널층 위에 형성되며,

상기 채널층은 상기 강유전체막의 자발분극에 의해서 캐리어 농도를 제어하는 채널로서 사용되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 2.

제 1 항에 있어서,

상기 하층에는 기판과 층간 절연막이 이 순서대로 적층되고, 상기 게이트 전극은 상기 층간 절연막 위에 설치되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 3.

제 1 항에 있어서,

상기 게이트 유니트는 상기 강유전체막과 상기 게이트 전극 사이에 하측 도전층을 갖는 것을 특징으로 하는 강유전체 트랜지스터.

청구항 4.

제 1 항에 있어서,

상기 게이트 유니트는 상기 게이트 절연막과 상기 강유전체막 사이에 상측 도전층을 갖는 것을 특징으로 하는 강유전체 트랜지스터.

청구항 5.

제 4 항에 있어서,

상기 제 1 주전극이 상기 채널층과 접촉하는 부분의 면적은 상기 제 2 주전극이 상기 채널층과 접촉하는 부분의 면적과 다른 것을 특징으로 하는 강유전체트랜지스터.

청구항 6.

제 1 항에 있어서,

상기 게이트 유니트는 상기 채널층과 상기 게이트 절연층 사이에 금속산화층을 갖고,

상기 금속산화층은 상기 채널층보다 산화물의 생성온도가 작은 재료로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 7.

제 4 항에 있어서,

상기 게이트 유니트는 상기 채널층과 상기 게이트 절연층 사이에 금속산화층을 갖고,

상기 금속산화층은 상기 채널층보다 산화물의 생성온도가 작은 재료로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 8.

제 1 항에 있어서,

상기 채널층은 비결정질 실리콘 또는 폴리실리콘으로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 9.

제 1 항에 있어서,

상기 게이트 절연막은 Ta_2O_5, ZrO_2, HfO_2, Si_3N_4, CeO_2 및 $Ba_xSr_{1-x}TiO_3$ (x는 양의 정수) 중에서 선택된 어느 1개의 재료, 또는 1개 이상의 재료의 조합으로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 10.

제 1 항에 있어서,

상기 강유전체층은 $SrBi_2Ta_2O_9$, $PbZrTiO_3$, $Ba_xSr_{1-x}TiO_3$ (x는 양의 정수), $Pb_5Ge_3O_{11}$, $Bi_4Ti_3O_{12}$ 및 (Pb, La)TiO_3 중에서 선택된 어느 1개의 재료로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 11.

제 1 항에 있어서,

상기 제 1 및 제 2 주전극은 폴리실리콘 또는 비결정질 실리콘으로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 12.

제 1 항에 있어서,

상기 제 1 및 제 2 주전극은 상기 채널층 위에 도전층으로서 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 13.

제 1 항에 있어서,

상기 제 1 및 제 2 주전극은 상기 채널층 위에 불순물이 도핑된 영영으로서 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 14.

제 1 항에 있어서,

상기 게이트 전극은 W, Ta, Mo, TiN, Nb, V, TaN, TaSiN, TiW, TiWN 및 TiAlN 중에서 선택된 어느 1개의 재료로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 15.

제 3 항에 있어서,

상기 하측 도전층은 IrO_2, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의 정수) 및 $SrMoO_3$ 중에서 선택된 어느 1개의 재료, 또는 1개 이상의 재료의 조합으로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 16.

제 4 항에 있어서,

상기 상측 도전층은 IrO_2, Ir, Ru, Pt, RuO_2, $SrRuO_3$, $La_{1-x}Sr_xCoO_3$ (x는 양의 정수) 및 $SrMoO_3$ 중에서 선택된 어느 1개의 재료, 또는 1개 이상의 재료의 조합으로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 17.

제 6 항에 있어서,

상기 금속산화층은 ZrO_2, TiO_2, HfO_2 및 Al_2O_3 중에서 선택된 어느 1개의 재료, 또는 1개 이상의 재료의 조합으로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 18.

제 7 항에 있어서,

상기 금속산화층은 ZrO_2, TiO_2, HfO_2 및 Al_2O_3 중에서 선택된 어느 1개의 재료, 또는 1개 이상의 재료의 조합으로 형성되도록 구성된 것을 특징으로 하는 강유전체 트랜지스터.

청구항 19.

게이트 전극, 강유전체막, 게이트 절연막, 제 1 주전극 및 제 2 주전극을 포함하는 강유전체 트랜지스터를 구비한 반도체 기억장치에 있어서,

상기 강유전체 트랜지스터는

하층 위에 상기 게이트 전극, 상기 강유전체막 및 상기 게이트 절연막이 이 순서대로 적층된 게이트 유니트와,

상기 게이트 절연막 위에 적층된 채널층을 구비하고,

상기 제 1 및 제 2 주전극은 서로 이격되어 상기 채널층 위에 형성되며,

상기 체널층은 상기 강유전체막의 자발분극에 의해 캐리어 농도를 제어하는 채널로서 사용되고,

상기 하층에는 기판과 층간 절연막이 이 순서대로 적층되고, 상기 게이트 전극은 상기 층간 절연막 위에 설치되며,

상기 반도체 기억장치는 상기 강유전체 트랜지스터에 전기적으로 접속되고 상기 기판 내에 2개의 주전극이 형성된 선택 트랜지스터를 구비하고,

상기 게이트 전극에 접속되는 제 1 배선과, 상기 제 1 및 제 2 주전극에 희망요구에 따라 접속되는 제 2 배선은 상기 층간 절연막 내에 합병되며,

상기 제 1 배선의 일부는 상기 층간 절연막 내에 설치된 제 1 스루홀을 통해서 상기 층간 절연막 위에 안내되고,

상기 제 2 배선의 일부는 상기 층간 절연막 내에 설치된 제 2 스루홀을 통해서 상기 층간 절연막 위에 안내되며,

상기 게이트 유니트는 상기 제 1 배선을 상기 게이트 전극과 접촉시키도록 상기 층간 절연막 위에 설치되도록 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 20.

제 19 항에 있어서,

상측 절연막은 상기 게이트 유니트와 상기 채널층의 각각의 측면과 상측 절연막을 접촉시키도록 상기 층간 절연막 위에 설치되고,

상기 제 1 및 제 2 주전극은 상기 상측 절연막 위에서 연장되고, 희망요구에 따라서 상기 상측 절연막 내에 설치된 제 3 스루홀을 통해서 상기 제 2 스루홀로부터 안내된 상기 제 2 배선에 접속되도록 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 21.

제 20 항에 있어서,

상기 제 1 및 제 2 주전극 중 하나가 상기 선택 트랜지스터의 주전극 영역 중 하나에 접속되도록 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 22.

비활성 메모리를 형성하는 복수의 기억소자를 구비하고, 워드선 및 비트선에 신호를 인가함으로써 소정의 기억소자에 대하여 데이터가 기록, 소거 또는 판독될 수 있고, 상기 기억소자의 각각이 게이트 전극, 강유전체막, 게이트 절연막, 제 1 주전극 및 제 2 주전극을 포함하는 강유전체 트랜지스터인 반도체 기억장치에 있어서,

상기 강유전체 트랜지스터는

하층 위에 상기 게이트 전극, 상기 강유전체막 및 상기 절연막을 이 순서대로 적층한 게이트 유니트와,

상기 게이트 절연막 위에 적층된 채널층을 구비하고,

상기 제 1 및 제 2 주전극은 서로 이격되어 상기 채널층 위에 형성되며,

상기 채널층은 상기 강유전체막의 자발분극에 의해 캐리어 농도를 제어하는 채널로서 사용되도록 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 23.

제 22 항에 있어서,

적당한 개수의 상기 강유전체 트랜지스터로 형성된 각 블록에 각각 할당된 선택 트랜지스터를 구비하고, 각각의 상기 블록마다,

상기 강유전체 트랜지스터의 게이트 전극은 소정의 상기 워드선 중 하나에 접속되고,

상기 강유전체 트랜지스터의 제 1 주전극은 소정의 상기 비트선 중 하나에 접속되며,

상기 강유전체 트랜지스터의 제 2 주전극은 상기 선택 트랜지스터의 제 1 주전극에 접속되고,

상기 선택 트랜지스터의 제 2 주전극은 접지에 접속되도록 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 24.

제 23 항에 있어서,

상기 블록 중 한 개에 포함된 모든 강유전체 트랜지스터의 제 1 주전극은 단일 공통의 상기 비트선 중 한 개에 접속되도록 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 25.

게이트 전극, 강유전체막, 게이트 절연막, 제 1 주전극 및 제 2 주전극을 포함하는 강유전체 트랜지스터의 동작방법에 있어서,

상기 강유전체 트랜지스터는

하층 위에 상기 게이트 전극, 상기 강유전체막 및 상기 절연막을 이 순서대로 적층한 게이트 유니트와,

상기 게이트 절연막 위에 적층된 채널층을 구비하고,

상기 제 1 및 제 2 주전극은 서로 이격되어 상기 채널층 위에 형성되며,

상기 채널층은 상기 강유전체막의 자발분극에 의해 캐리어 농도를 제어하는 채널로서 사용되고,

데이터는 상기 제 1 주전극을 개방하여 상기 제 2 주전극과 상기 게이트 전극 사이에 기록전압을 인가함으로써 상기 강유전체막 내에 기록되는 것을 특징으로 하는 강유전체 트랜지스터의 동작방법.

청구항 26.

게이트 전극, 강유전체막, 게이트 절연막, 제 1 주전극 및 제 2 주전극을 포함하는 강유전체 트랜지스터의 동작방법에 있어서,

상기 강유전체 트랜지스터는

하층 위에 상기 게이트 전극, 상기 강유전체막 및 상기 게이트 절연막을 이 순서대로 적층한 게이트 유니트와,

상기 게이트 절연막 위에 적층된 채널층을 구비하고,

상기 제 1 및 제 2 주전극은 서로 이격되어 상기 채널층 위에 형성되며,

상기 채널층은 상기 강유전체막의 자발분극에 의해 캐리어 농도를 제어하는 채널로서 사용되고,

데이터는 상기 제 1 주전극을 개방하여 상기 제 2 주전극과 상기 게이트 전극 사이에 기록전압을 인가함으로써 상기 강유전체막으로부터 소거되는 것을 특징으로 하는 강유전체 트랜지스터의 동작방법.

청구항 27.

게이트 전극, 강유전체막, 게이트 절연막, 제 1 주전극 및 제 2 주전극을 포함하는 강유전체 트랜지스터의 동작방법에 있어서,

상기 강유전체 트랜지스터는

하층 위에 상기 게이트 전극, 상기 강유전체막 및 상기 게이트 절연막을 이 순서대로 적층한 게이트 유니트와,

상기 게이트 절연막 위에 적층된 채널층을 구비하고,

상기 제 1 및 제 2 주전극은 서로 이격되어 상기 채널층 위에 형성되며,

상기 채널층은 상기 강유전체막의 자발분극에 의해 캐리어 농도를 제어하는 채널로서 사용되고,

데이터는 게이트 전극을 접지에 접속하여 상기 제 1 주전극과 상기 제 2 주전극 사이에 판독전압을 인가함으로써 상기 강유전체막으로부터 판독되는 것을 특징으로 하는 강유전체 트랜지스터의 동작방법.

청구항 28.

하층 위에 게이트 전극, 강유전체막 및 게이트절연막을 이 순서대로 적층한 게이트 유니트와, 상기 게이트 절연막 위에 적층된 채널층과, 상기 채널층 위의 제 1 및 제 2 주전극을 구비한 강유전체 트랜지스터의 제조방법에 있어서,

(1) 상기 하층 위에 제 1 도전층을 형성하는 공정과,

(2) 상기 제 1 도전층 위에 강유전체층을 형성하는 공정과,

(3) 상기 강유전체층 위에 제 1 절연층을 형성하는 공정과,

(4) 상기 제 1 절연층 위에 반도체층을 형성하는 공정과,

(5) 상기 반도체층을 정형하여 게이트영역 내에 상기 채널층을 형성하는 공정과,

(6) 상기 제 1 절연층을 정형하여 상기 게이트 절연막을 형성하는 공정과,

(7) 상기 강유전체층을 정형하여 상기 강유전체막을 형성하는 공정과,

(8) 상기 제 1 도전층을 정형하여 상기 게이트 전극을 형성하는 공정과,

(9) 상기 채널층 위에 상기 제 1 및 제 2 주전극을 형성하는 공정을 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 29.

제 28 항에 있어서,

상기 공정(1)전에, 기판 위에 층간 절연막을 적층하여 상기 하층을 형성하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 30.

제 28 항에 있어서,

상기 공정(1)전에,

기판 위에 층간 절연막을 적층하여 상기 하층을 형성하는 공정과,

상기 기판 위에 선택 트랜지스터를 형성하는 공정과,

상기 게이트 전극에 접속된 제 1 배선과, 그 내부에 합병된 상기 제 1 및 제 2 주전극에 희망요구에 따라서 접속된 제 2 배선을 갖는 상기 층간 절연막을 선택 트랜지스터가 형성된 기판 위에 형성하는 공정과,

상기 층간 절연막 내의 소정의 위치에 제 1 및 제 2 스루홀을 형성하는 공정과,

상기 제 1 및 제 2 스루홀 내에 전도체 플러그를 매립하는 공정을 더 구비하고,

상기 공정(5)은 상기 게이트영역을 상기 제 1 스루홀 위쪽의 영역으로서 형성하는 공정을 포함한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 31.

제 30 항에 있어서,

상기 공정(8)후에,

상기 게이트 유니트와 상기 채널층의 측면과 접촉하는 상측 절연막을 상기 층간 절연막 위에 형성하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 32.

제 31 항에 있어서,

상기 공정(8)과 상기 공정(9) 사이에,

상기 게이트 유니트와 상기 채널층의 측면 및 상면을 덮는 제 2 절연층을 상기 층간 절연막 위에 형성하는 공정과,

상기 제 2 절연층을 상기 채널층의 상면이 노출될 때까지 연마하여 상기 상측 절연막을 형성하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 33.

제 31 항에 있어서,

상기 제 2 스루홀을 포함하는 영역에서 상기 상측 절연막 내에 제 3 스루홀을 형성하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 34.

제 28 항에 있어서,

상기 공정(3)과 상기 공정(4) 사이에,

상기 제 1 절연층의 결함을 제거하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 35.

제 28 항에 있어서,

상기 공정(1)과 상기 공정(2) 사이에, 상기 제 1 도전층 위에 제 2 절연층을 형성하는 공정과,

상기 공정(7)과 상기 공정(8) 사이에, 상기 제 2 절연층을 정형하여 하측 도전층을 형성하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 36.

제 28 항에 있어서,

상기 공정(2)과 상기 공정(3) 사이에, 제 3 도전층을 상기 강유전체층 위에 형성하는 공정과,

상기 공정(6)과 상기 공정(7) 사이에, 상기 제 3 도전층을 정형하여 상측 도전층을 형성하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 37.

제 28 항에 있어서,

상기 공정(3)과 상기 공정(4) 사이에, 상기 반도체층보다 산화물의 생성 자유 에너지가 작은 재료로 형성된 금속산화층을 상기 제 1 절연층 위에 형성하는 공정과,

상기 공정(5)과 상기 공정(6) 사이에, 상기 금속산화층을 정형하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 38.

제 36 항에 있어서,

상기 공정(3)과 상기 공정(4) 사이에, 상기 반도체층보다 산화물의 생성 자유 에너지가 작은 재료로 형성된 금속산화층을 상기 제 1 절연층 위에 형성하는 공정과,

상기 공정(5)과 상기 공정(6) 사이에, 상기 금속산화층을 정형하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 39.

제 37 항에 있어서,

상기 금속산화층의 형성후에,

상기 금속산화층의 결함을 제거하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

청구항 40.

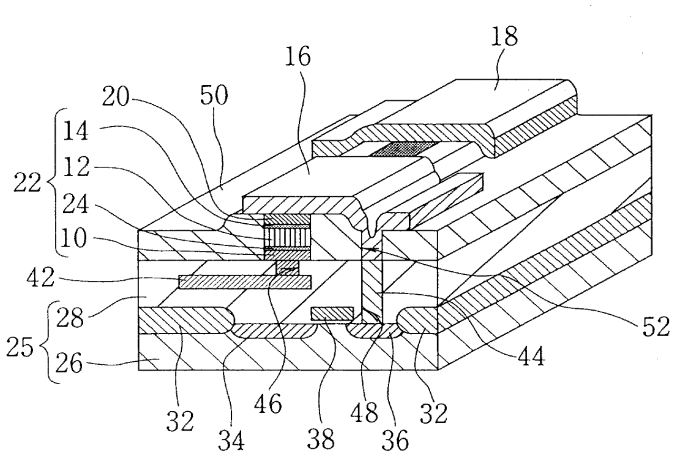
제 38 항에 있어서,

상기 금속산화층의 형성후에,

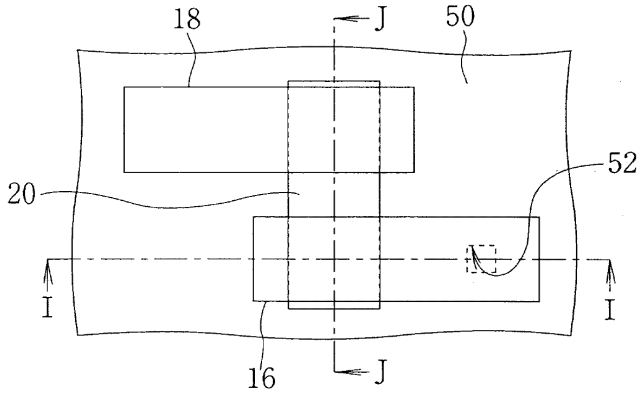
상기 금속산화층의 결함을 제거하는 공정을 더 구비한 것을 특징으로 하는 강유전체 트랜지스터의 제조방법.

도면

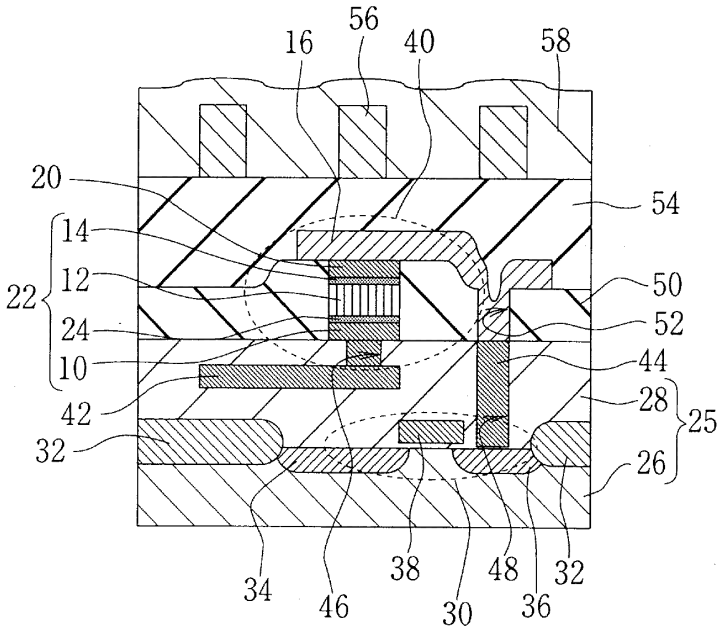
도면 1


18
16
20
50
14
12
22
24
10
42
28
25
26
52
44
32
34
46
38
48
36
32

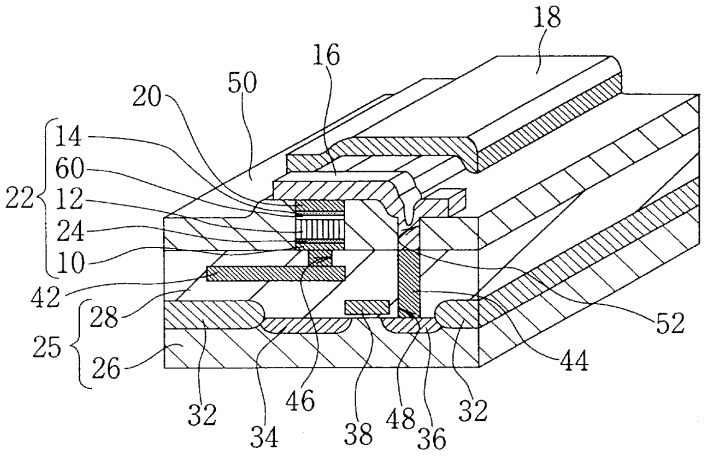
도면 2


18
J
50
52
20
I
I
16
J

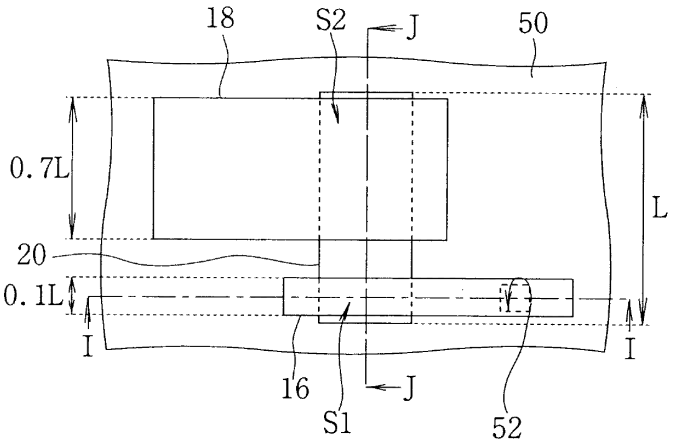
도면 3


16
56
40
58
20
54
14
12
22
50
24
52
10
44
42
28
25
32
26
34
46
38
30
48
36
32

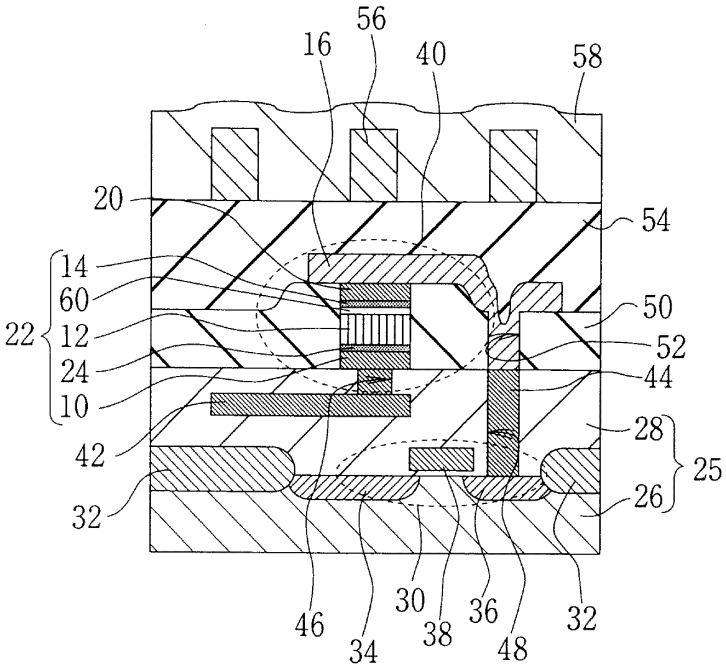
도면 4


18
16
20
50
14
60
12
22
24
10
42
52
28
25
44
26
32
46
34
38
48
36
32

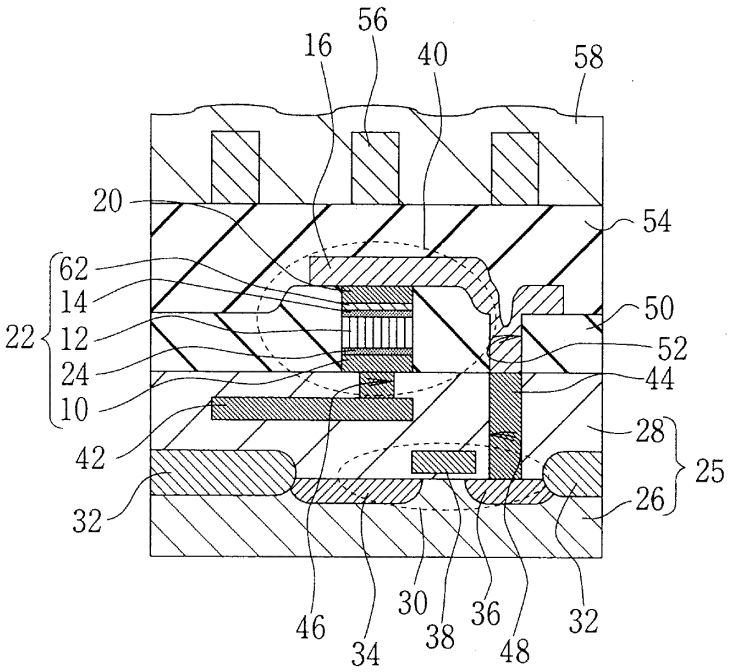
도면 5


18
S2
J
50
0.7L
L
20
0.1L
I
I
16
S1
J
52

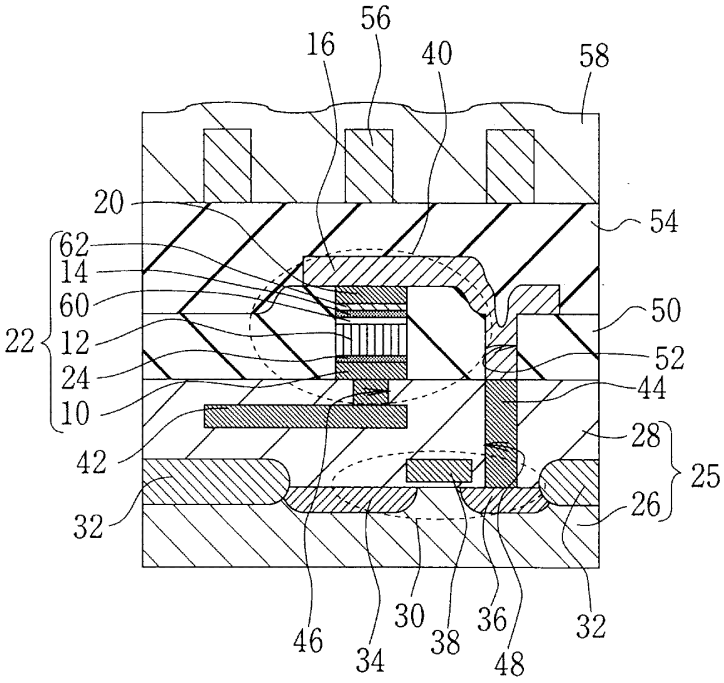
도면 6


56
16
40
58
20
54
14
60
22
12
24
10
50
52
44
42
28
25
32
26
46
34
30
38
36
48
32

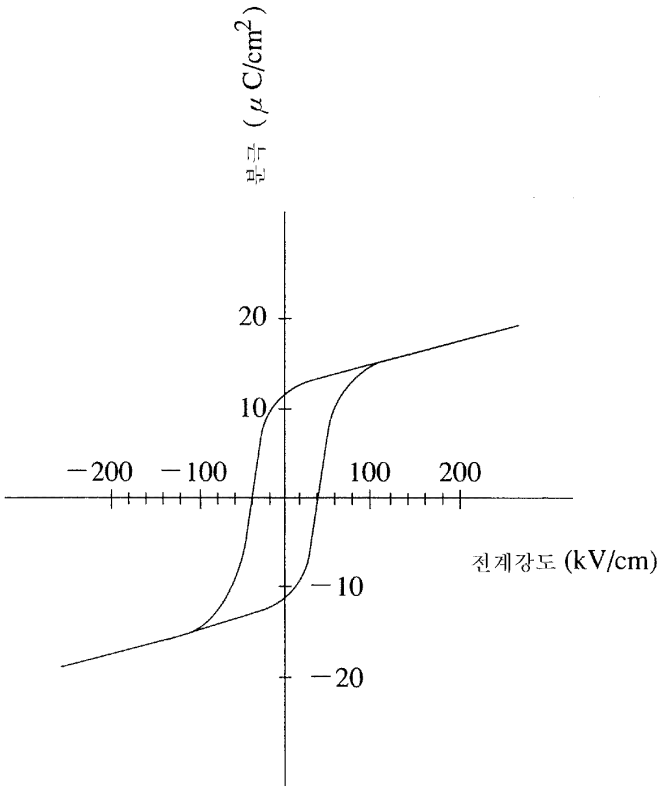
도면 7


56
16
40
58
20
54
62
14
22
12
50
52
24
44
10
28
42
25
26
32
46
34
30
38
36
48
32

도면 8

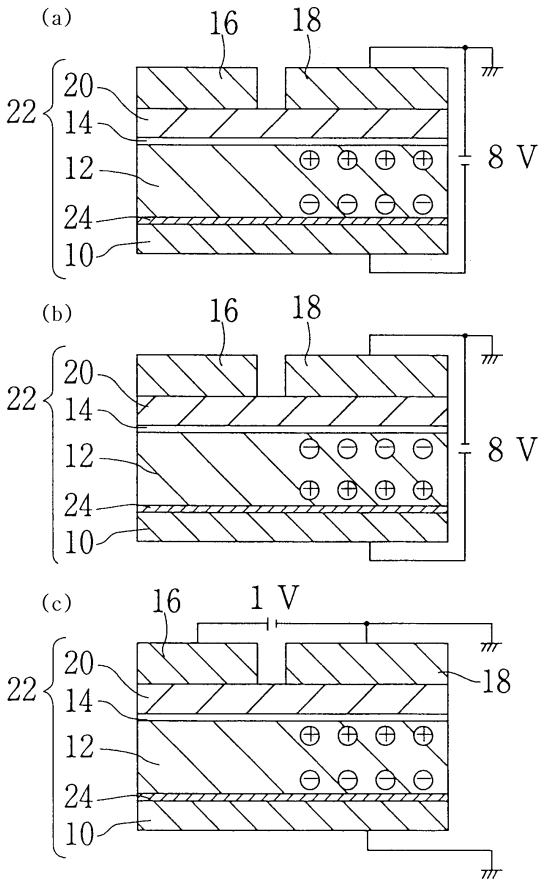

56
16
40
58
20
54
62
14
60
22
12
24
10
50
52
44
28
25
42
26
32
46
34
30
38
36
48
32

도면 9

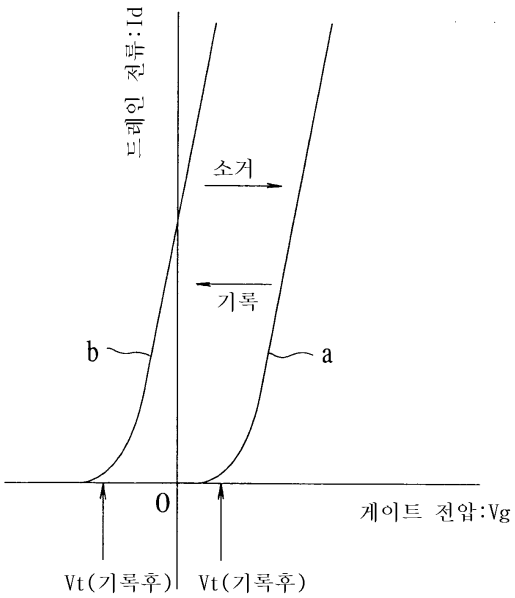


$SrBi_2Ta_2O_9$의 히스테리스 특성

도면 10

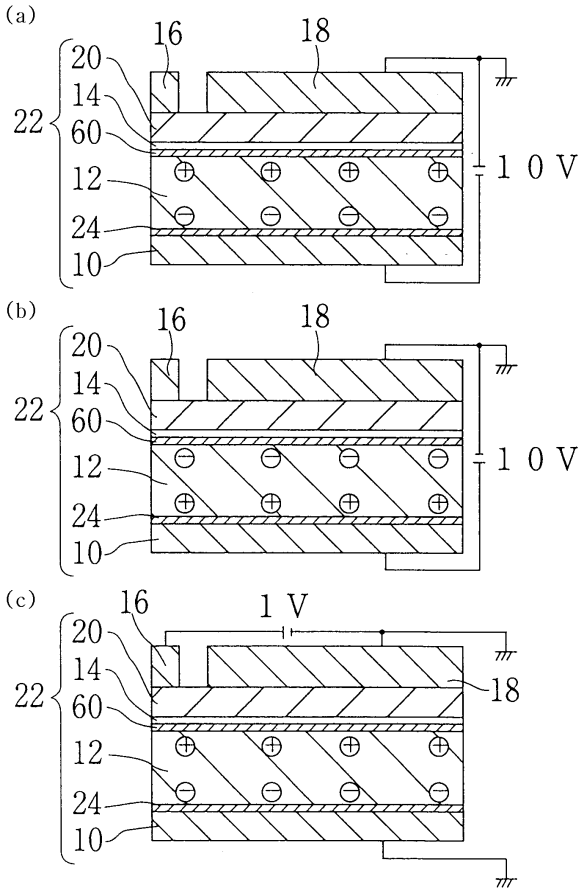

(a)
16
18
22
20
14
12
24
10
8 V
(b)
16
18
22
20
14
12
24
10
8 V
(c)
16
1 V
22
20
14
12
24
10
18

도면 11

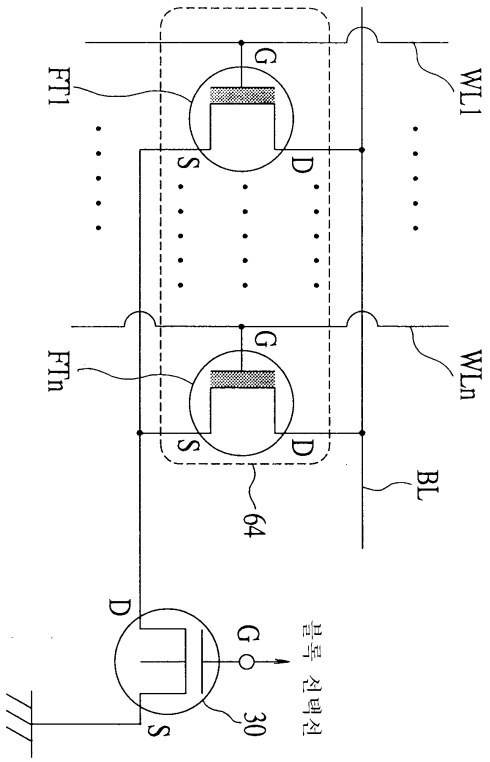


Id - Vg 곡선

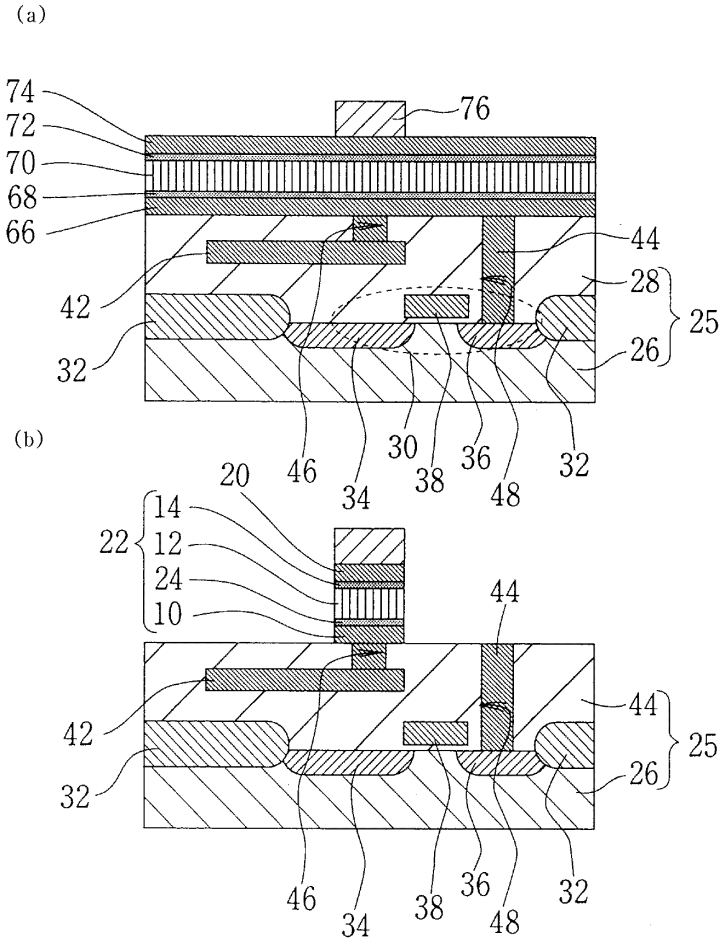
도면 12


(a)
16
18
20
14
22
60
12
24
10
10 V
(b)
16
18
20
14
22
60
12
24
10
10 V
(c)
16
1 V
20
14
22
60
18
12
24
10

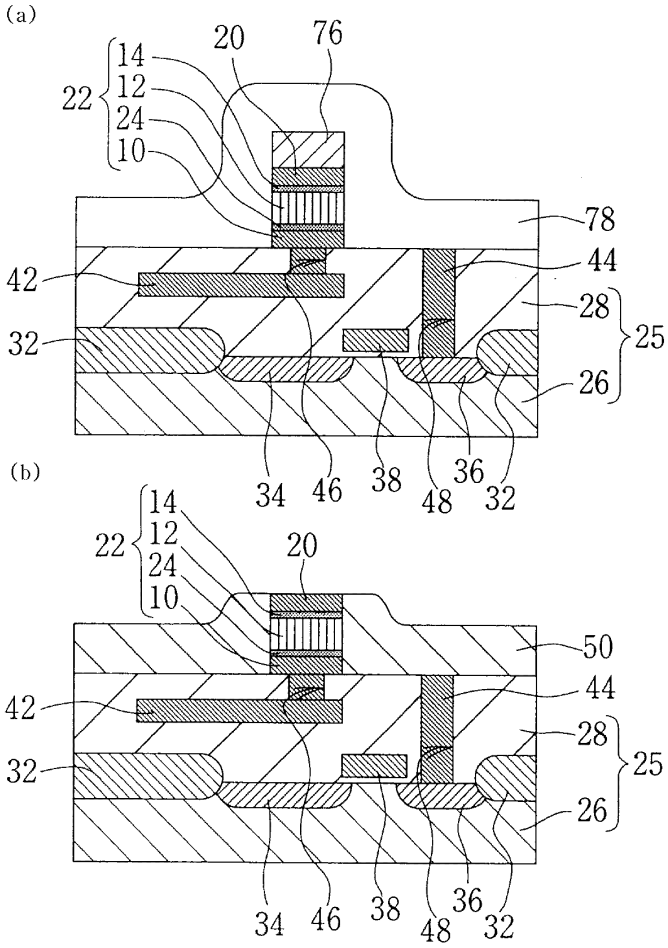
도면 13



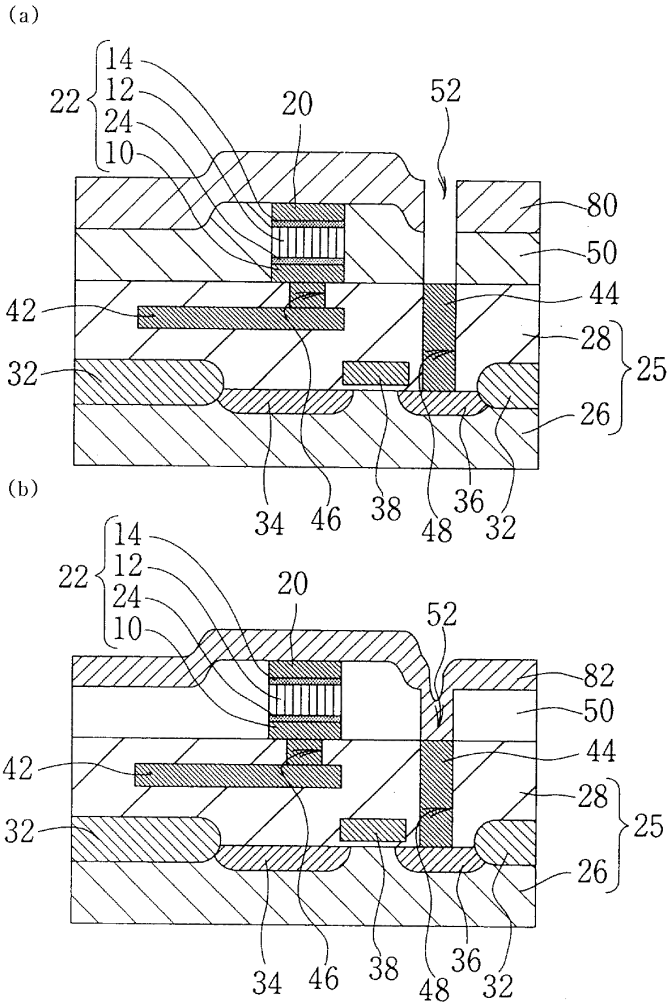
도면 14


(a)
74
72
70
68
66
76
44
28
25
26
42
32
30
38
36
48
46
34
(b)
20
14
22
12
24
10
44
42
32
44
25
26
46
34
38
36
48
32

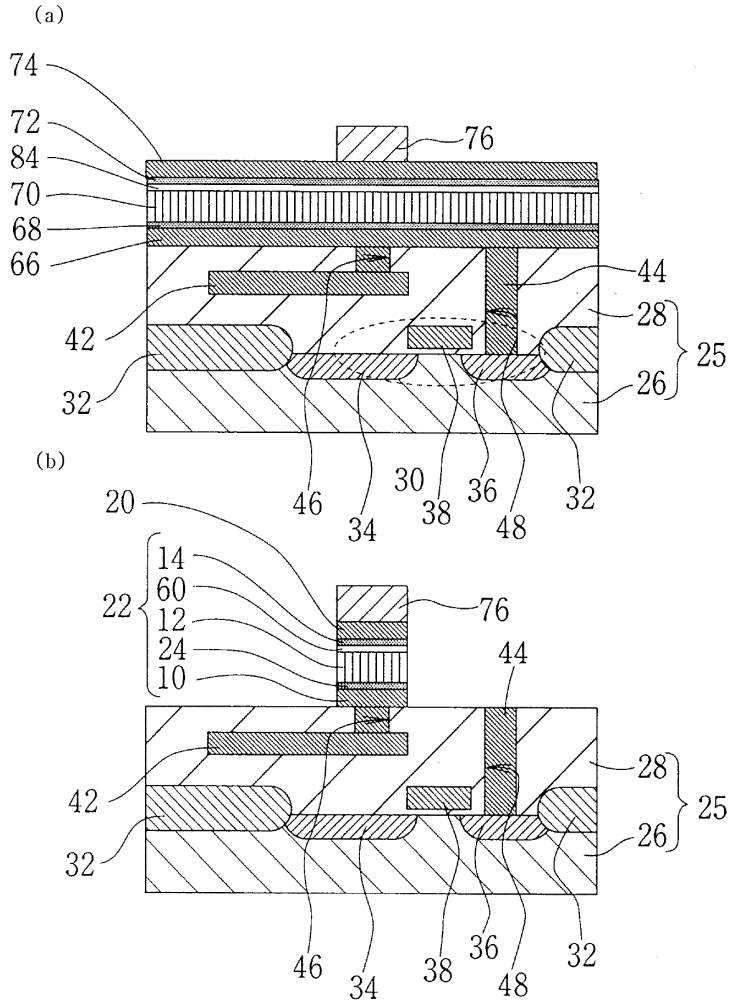
도면 15


(a)
20
76
14
12
24
10
22
78
44
42
28
25
32
26
34
46
38
48
36
32
(b)
14
12
24
10
22
20
50
44
42
28
25
32
26
34
46
38
48
36
32

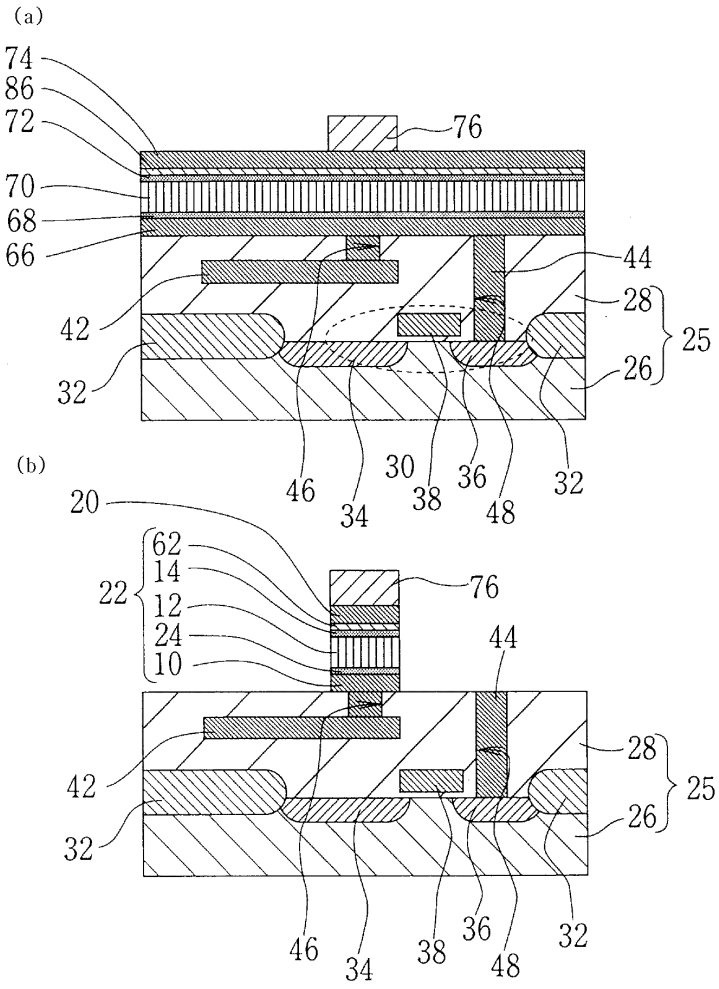
도면 16


(a)
14
12
24
10
22
20
52
80
50
44
42
28
25
32
26
34
46
38
48
36
32
(b)
14
12
24
10
22
20
52
82
50
44
42
28
25
32
26
34
46
38
48
36
32

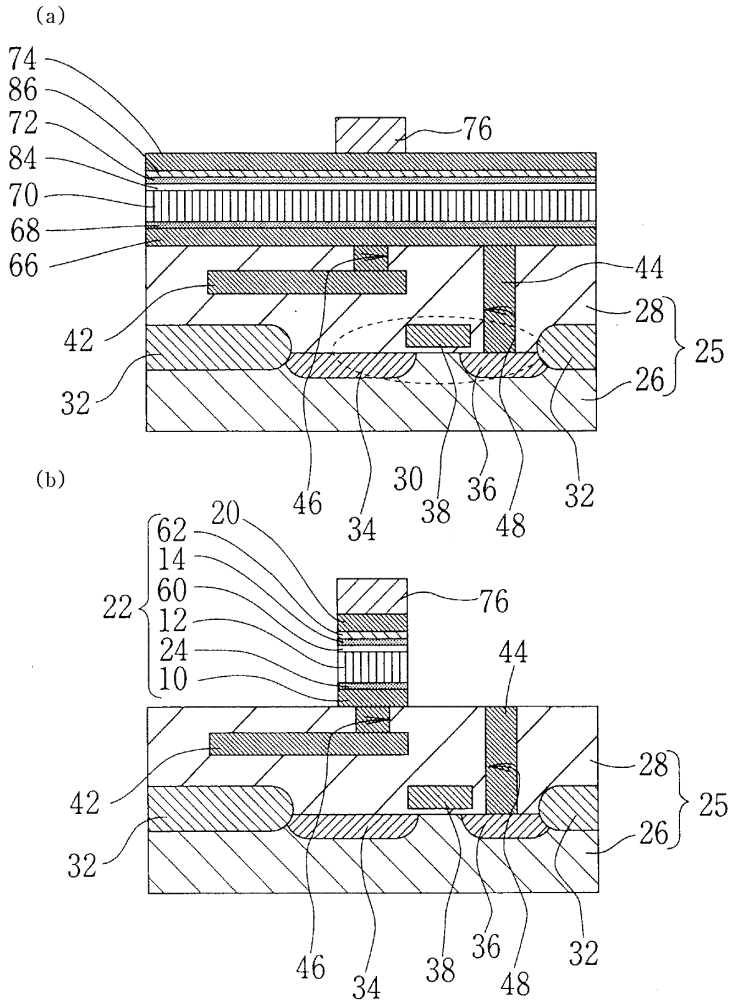
도면 17


(a)
74
72
84
70
68
66
76
44
28
25
26
42
32
46
34
30
38
36
48
32
(b)
20
22
14
60
12
24
10
76
44
28
25
26
42
32
46
34
38
36
48
32

도면 18


(a)
74
86
72
76
70
68
66
44
28
25
42
26
32
46
34
30
38
36
48
32
(b)
20
62
14
22
12
24
10
76
44
28
25
42
26
32
46
34
38
36
48
32

도면 19


(a)
74
86
72
84
70
68
66
76
44
28
25
26
42
32
46
34
30
38
36
48
32
(b)
62
14
60
12
24
10
22
20
76
44
28
25
26
42
32
46
34
38
36
48
32