

【特許請求の範囲】**【請求項 1】**

行方向及び列方向に配列された複数の画素を含むグループが複数配列された画素部と、
前記グループ内に配列された前記複数の画素が出力する画素信号のうち、同一色の画素
信号を加算する加算部と、

を備え、

前記加算部は、前記同一色の画素に共通に接続された共通画素アンプを前記グループ毎
に備え、前記グループ内で加算される画素の空間的な重心が前記行方向及び前記列方向の
少なくとも一方において等ピッチとなるように前記共通画素アンプのゲート部で前記同一
色の画素の画素信号を加算することを特徴とする撮像装置。

10

【請求項 2】

前記加算部は、前記複数の画素のうち、少なくとも 1 つの行に配列された複数の画素か
ら出力される画素信号を加算しないことを特徴する請求項 1 に記載の撮像装置。

【請求項 3】

前記加算部は、前記複数の画素のうち、少なくとも 1 つの列に配列された複数の画素か
ら出力される画素信号を加算しないことを特徴する請求項 1 又は請求項 2 に記載の撮像装置
。

【請求項 4】

前記加算部は、前記共通画素アンプのゲート部で加算された画素信号を複数の前記グル
ープ間で更に加算することを特徴する請求項 1 乃至請求項 3 に記載の撮像装置。

20

【請求項 5】

複数の前記グループの少なくとも 1 つの一部の画素は、他のグループの一部の画素と共
通していることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

複数の前記グループの各々は、前記行方向及び前記列方向に $2n + 1$ 個 (n は 1 以上の
整数) ずつ配列された複数の画素を含むことを特徴とする請求項 1 乃至請求項 5 のいずれ
か 1 項に記載の撮像装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項に記載の撮像装置と、

前記撮像装置へ光を結像する光学系と、

前記撮像装置から出力される信号を記録する記録系と、

システム全体を制御するシステムコントロール回路と、

を備えることを特徴とする撮像システム。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、被写体像を撮像する撮像装置及び撮像システムに関する。

【背景技術】**【0002】**

近年、静止画像撮影を主用途とするデジタルスチルカメラには、最大画素数 1000 万
画素を超える撮像素子が使用され、動画像撮影を主用途とするムービーカメラでも数百万
画素の撮像素子が使用されるようになってきている。このような用途では、高解像度が必
要な高精細撮影では高画素数で撮影し、低解像度で良い場合は低画素数で撮影するのが一
般的である。高精細撮影では、撮像素子のほぼ全画素から信号が読み出される。低解像度
撮影では、カメラの電池の消耗の防止、撮影枚数の増加、或いは動画用途での高速撮影を
行うために、画素の間引き駆動や画素信号の加算を伴った読み出しが行なわれている(特
許文献 1 及び特許文献 2 参照)。

40

【0003】

特許文献 1 は、共通アンプ画素上で異色信号を加算する技術を開示している。

【0004】

50

特許文献 2 は、 4×4 画素を 1 グループとして、加算前の各色の空間的色配置と、加算後の各色の空間的重心配置とが同じになるように同色信号を加算する技術を開示している。

【特許文献 1】特開平 9 - 4 6 5 9 6 号公報 (図 1)

【特許文献 2】特開 2 0 0 1 - 3 6 9 2 0 号公報 (図 1)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

特許文献 1 では、同色加算ではないため、各色の信号を得ることができず、高精細な画像を得ることができないという問題がある。

【 0 0 0 6 】

特許文献 2 では、加算後の各画素の空間的な重心が等ピッチでないため、モアレが発生するという問題がある。

【 0 0 0 7 】

上述のように、従来技術では、加算処理によって高精細な画像を得ることが非常に困難であった。

【 0 0 0 8 】

本発明は、上記の問題点に鑑みてなされたものであり、加算処理によって高精細な画像を得ることができ、かつ、小型化された画素を有する撮像装置及び撮像システムを提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の第 1 の側面は、撮像装置に係り、行方向及び列方向に配列された複数の画素を含むグループが複数配列された画素部と、前記グループ内に配列された前記複数の画素が出力する画素信号のうち、同一色の画素信号を加算する加算部と、を備え、前記加算部は、前記同一色の画素に共通に接続された共通画素アンプを前記グループ毎に備え、前記グループ内で加算される画素の空間的な重心が前記行方向及び前記列方向の少なくとも一方において等ピッチとなるように前記共通画素アンプのゲート部で前記同一色の画素の画素信号を加算することを特徴とする。

【 0 0 1 0 】

本発明の第 2 の側面は、撮像システムに係り、上記の撮像装置と、前記撮像装置へ光を結像する光学系と、前記撮像装置から出力される信号を記録する記録系と、システム全体を制御するシステムコントロール回路と、を備えることを特徴とする。

【発明の効果】

【 0 0 1 1 】

本発明によれば、画素信号の加算処理と間引き処理によって高精細な画像を得ることができ、かつ、小型化された画素を有する撮像装置及び撮像システムを提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

【 0 0 1 3 】

図 1 は、本発明の好適な実施の形態に係る撮像装置のブロック図である。図 1 において、撮像領域には後述する図 3 及び図 4 に示す光電変換用のフォトダイオード及び画素アンプを含む画素部 (画素ともいう) が行方向及び列方向に複数配列されている。この撮像領域の画素部は、垂直走査回路 ($V \cdot S R$) 1 0 から出力される駆動パルスによって制御される。撮像領域の奇数番目の垂直信号線 $L 2 n - 1$ (n は 1 以上の整数) は、 $C D S$ 、増幅回路、メモリを含む読み出し回路 2 0 - 1 に接続され、偶数番目の垂直信号線は、 $C D S$ 、増幅回路、メモリを含む読み出し回路 2 0 - 2 に接続される。以下の説明では、図 1 において撮像領域よりも上側の回路には奇数列の信号 R と信号 G が順次転送され、撮像領

10

20

30

40

50

域よりも下側の回路には偶数列の信号 G と信号 B が順次転送される。これらの回路は同様の構成であるため、ここでは撮像領域よりも下側の回路について説明し、撮像領域よりも上側の回路の説明を省略する。

【 0 0 1 4 】

撮像領域の画素部から出力された信号（画素信号）は、読み出し回路 20 - 1 の CDS や増幅回路でノイズが除去され、信号成分のみが増幅された後に、読み出し回路 20 - 1 のメモリに一時蓄積される。本実施形態では、図示していないが、各増幅回路間のオフセットバラツキの補正回路を設けてもよい。本撮像装置が加算読み出しモードではなく、全画素読み出しモードの場合を以下に述べる。この場合には、読み出し回路 20 - 1 のメモリに蓄積された信号は、水平走査回路（H・SR）からの走査パルス h_n （ $h_n(1)$ 、 $h_n(3)$ 、 $h_n(5)$ 、 $h_n(7)$ ）により、出力信号線に読み出される。加算読み出しモードの場合は、読み出し回路 20 - 1 のメモリに蓄積された信号は、加算回路 30 - 1 に導かれる。加算回路 30 - 1 は、読み出し回路 20 - 1 のメモリに蓄積された同一色の画素信号を加算する。加算回路 30 - 1 で加算された画素信号は、水平走査回路（H・SR）からの走査パルス h_n （ $h_n(a1)$ 、 $h_n(a2)$ ）により、出力信号線に読み出される。

10

【 0 0 1 5 】

図 2 は、図 1 の撮像領域の各画素部の色の配置を示す図である。図 2 では、各画素部のフォトダイオード上にカラーフィルタ G（緑）、R（赤）、B（青）が配置されている。この例では、G が市松状に、R と B が線順次状に、すなわち R、G、G、B の $2 \times 2 = 4$ 画素が一単位の画素色配列として 2 次元に配置されている。

20

【 0 0 1 6 】

本発明の好適な実施形態では、図 2 と同じ色配置となるように、撮像領域に配置された画素部の一部が周期的に間引き駆動され、撮像領域の同一色の画素部から出力された画素信号が加算される。そして、加算された画素信号がメモリに記憶された後に、撮像領域から読み出される。これらはまた、撮像領域の外で間引き駆動や画素信号の加算と併用する場合もある。

【 0 0 1 7 】

図 3 及び図 4 は、本発明の好適な実施の形態に係る撮像領域の画素部の構成例を示す図である。図 3 は、画素部が 1 個のフォトダイオード PD とその信号を増幅する 1 個の画素アンプ MSF とで構成された単位画素アンプの例を示す図である。図 4 は、3 個のフォトダイオード PD1、PD2、PD3 と 1 個の共通画素アンプ MSF' とで構成された共通画素アンプの例を示す図である。

30

【 0 0 1 8 】

図 3 の画素部は、フォトダイオード PD と、転送スイッチ MTX と、リセットスイッチ MRES と、セレクトスイッチ MSEL とで構成されている。フォトダイオード PD は、光を信号電荷に変換する光電変換部として機能する。転送スイッチ MTX は、フォトダイオード PD に蓄積された信号電荷を画素アンプ MSF のゲート部（フローティングディフュージョン）へ転送する。リセットスイッチ MRES は、画素アンプ MSF のゲート部（入力端）の残留電荷をリセットする。セレクトスイッチ MSEL は、リセット後のリセット信号又はフォトダイオード PD からの画素信号を、画素アンプ MSF から垂直信号線 Vh に転送する。画素アンプの電流源スイッチ MRV は、撮像領域の外部に設けられている。

40

【 0 0 1 9 】

図 3 の画素構成で間引き駆動を行う場合には、その画素行は画素信号の読み出しは行わない。また、加算駆動は画素領域外で行う。

【 0 0 2 0 】

図 4 の画素部は、フォトダイオード PD1、PD2、PD3 と、それらの信号電荷を共通画素アンプ MSF' のゲート部へ転送制御する各転送スイッチ MTX1、MTX2、MTX3 とが、共通画素アンプ MSF' のゲート部に共通に接続されている。このように、1 つの画素アンプに対し複数のフォトダイオードを配置させると 1 つのフォトダイオード

50

に対する画素アンプの面積が小さくなり、結果的にフォトダイオードの開口率が向上する。なお、図4の共通画素アンプは、3個のフォトダイオードと1個の画素アンプとで構成されている。しかしながら、本発明はこれに限定されず、 $2n+1$ ($1 \leq n$) 個のフォトダイオード毎 (グループ毎) に共通の画素アンプが構成されたものであってもよい。また、 $2n$ ($1 \leq n$) 個のフォトダイオード毎 (グループ毎) に共通の画素アンプが構成されたものであってもよい。

【0021】

図4の画素構成で間引き駆動を行う場合は、間引きする画素の電荷読み出しは行わない。また、加算駆動は対応する画素の電荷をゲート部へ転送して加算を行う。具体的には、加算モードにより転送スイッチMTX1、MTX2、MTX3のいずれかをオン状態にして、フォトダイオードPD1、PD2、PD3の信号電荷を共通画素アンプMSF'のゲート部に転送することにより加算を行う。なお、高解像度画像では、個別に信号電荷を読み出すため、リセットスイッチMRESと転送スイッチMTX1、MTX2、MTX3を交互にオン状態にする。このようにして、転送スイッチMTX1、MTX2、MTX3のオンオフを切り替えることによって、共通画素アンプMSF'でフォトダイオードの信号電荷を加算するか否かを切り替えることができる。また、図4の実施形態の共通画素アンプでは、垂直方向の画素を共通化して構成されているが、図5に示すように水平方向の画素を共通化して構成されてもよい。

【0022】

次いで、本発明の好適な実施の形態に係る間引き駆動と加算駆動の実施形態を図6～図12を参照して説明する。図6～図12では、空白マスは間引き画素を表し、各色記号 (R、G、B) で表したマスが加算画素を表している。また、図6～図12において、加算処理は、図4や図5に示すように複数のフォトダイオードに共通に接続された共通画素アンプMSF'を用いて行われる。

【0023】

図6では、3行の3画素を1つのグループとし、そのうちの1画素 (行) を間引き駆動する。これによって、行駆動としては駆動時間を $2/3$ に低減することができる。加算駆動では、グループ1で2つのG信号を共通画素アンプMSF'により加算し、グループ2で2つのR信号を共通画素アンプMSF'により加算する。このように、画素内で2画素の電荷を共通画素アンプMSF'により加算し、1画素 (行) を間引くので、行駆動は約 $1/3$ に低減出来る。また、画素内で加算するので、共通画素アンプMSF'以降のノイズを低減出来る。また、加算した各色信号 (画素信号) の空間的な重心 (空間的な画素ピッチ) が行方向において等ピッチであるため、モアレの発生を抑えることができる。

【0024】

図7では、図6に示す方法に加えて、複数画素のグループ単位での間引き駆動を行っている。具体的には、グループ2の間引き駆動を行い、グループ1及びグループ3のそれぞれで共通画素アンプMSF'により加算を行う。そして、グループ1及びグループ3を図1の加算回路30-1により加算を行う。これによって、図6に示す方法に対し、駆動期間が $1/2$ に低減され、感度を2倍に向上することができる。

【0025】

図8では、グループ2及びグループ3を間引き駆動し、グループ1及びグループ4の各々に接続された共通画素アンプMSF'によりそれぞれ加算を行う。これによって、図6に示す方法に対し、駆動速度を更に $1/3$ に低減することができる。

【0026】

図9では、3行3列の9画素を1つのグループとし、そのグループ内で同一色の4画素を加算している。具体的には、グループ1内のG1,1、G1,3、G3,1、G3,3に接続された共通画素アンプMSF'によりこれらの画素の画素信号を加算する。その結果、4画素が加算される。同様に、グループ2内のR4,1、R4,3、R6,1、R6,3に接続された共通画素アンプMSF'や加算回路30-1などでこれらの4画素の画素信号を加算する。他のグループ3、4についても、同様にして4画素の画素信号を加算する

10

20

30

40

50

。このように、画素の垂直及び水平方向で間引きを行い、4画素の加算を行うため、図6の加算方法に対して感度を2倍に向上することができる。

【0027】

図10では、3行5列を1つのグループとし、同一グループ内で中間行を間引き駆動し、水平方向の画素を空間的にオーバーラップして加算している。具体的には、グループ1内のG1,1、G1,3、G1,5、G3,1、G3,3、G3,5に接続された共通画素アンプMSF'などによりこれらの画素の画素信号を加算する。その結果、6画素が加算される。同様にして、グループ2内のB1,4、B1,6、B1,8、B3,4、B3,6、B3,8に接続された共通画素アンプMSF'などによりこれらの6画素の画素信号を加算する。他のグループについても、同様にして6画素の画素信号を加算する。本実施形態では、水平方向の間引き駆動を行っていないため、感度を更に向上出来る。また、水平方向の読み出し画素数を加算により少なくしているため、駆動時間を更に低減することができる。

【0028】

図11では、5行5列の25画素を1つのグループとし、同一グループ内で同一色の9画素の画素信号を共通画素アンプMSF'により加算している。具体的には、グループ1内のR1,1、R1,3、R1,5、R3,1、R3,3、R3,5、R5,1、R5,3、R5,5に接続された共通画素アンプMSF'によりこれらの画素の画素信号を加算する。その結果、9画素が加算される。同様にして、グループ2内のG6,1、G6,3、G6,5、G8,1、G8,3、G8,5、G10,1、G10,3、G10,5に接続された共通画素アンプMSF'によりこれらの画素の画素信号を加算する。その結果、9画素が加算される。他のグループについても、同様にして9画素の画素信号を加算する。本実施形態では、画素行を5画素あたり2画素(行)間引き駆動し、9画素の画素信号を加算するため、5画素の共通画素アンプMSF'では、画素行の駆動時間を約1/5に短縮することができる。

【0029】

図12では、図11に示すように5行5列の25画素を1つのグループとし、同一グループ内で同一色の2画素(行)の画素信号だけを共通画素アンプMSF'により加算している。これにより、図11に示す方法に対し、更に駆動期間を短縮することができる。

【0030】

以上の実施形態における画素部は、共通画素アンプに奇数のフォトダイオードを設けていたが、次に偶数のフォトダイオードを設けた実施形態を説明する。図13の画素部は、図4の実施形態が一つの共通画素アンプに3個のフォトダイオードを設けているのに対して、一つの共通画素アンプに4個のフォトダイオードPD1~PD4を設けている。4個目のフォトダイオードがPD4であり、共通画素アンプMSF'のゲート部へ転送制御する転送スイッチがMTX4である。

【0031】

画素部の基本的動作は図4の実施形態と同じであるので省略する。1つの共通画素アンプに対し4個のフォトダイオードを配置させると、図4に比べて1つのフォトダイオードに対する画素アンプの面積が小さくなり、結果的にフォトダイオードの開口率が向上する。フォトダイオードの個数は撮像装置のシステム要求(感度、画素数、信号読み出し速度など)により適宜設定する。

【0032】

図14では、4行5列を1つのグループとし、同一グループ内で共通画素アンプに接続された同色の2行の垂直方向の画素を駆動して画素加算を行い、次にそれらの加算信号を水平方向に空間的にオーバーラップして加算している。図14のグループ4で加算処理を説明すると、一つの共通画素アンプに接続された4個のフォトダイオードの中の2個の同色信号を共通画素アンプのゲート部上で加算し、その加算信号を同色3列間で加算回路30でさらに加算している。その結果、垂直方向2画素、水平方向3列の画素、合計6画素の信号が加算されたことになる。他のグループについても、同様にして6画素の画素信号を加算する。本実施形態では、水平方向の間引き駆動を行っていないため、水平方向の無駄

な画素はない。画素アンプから読み出す垂直方向の信号読み出し時間は共通画素アンプ内での画素加算により、約 $1/4$ に短縮され、水平方向の読み出し時間も信号加算により約 $1/3$ に駆動時間を短縮できる。

【0033】

水平方向3列の画素加算では、加算の比率を変えても良い。例えば、3列の中で、中心画素と端画素の加算比率を2:1とすると、グループ間でオーバーラップする画素の感度比率が低下し、結果的に解像度を向上させることが出来る。

【0034】

次に加算方法が異なる他の実施形態を図15、図16、図17に示す。この場合、図において水平方向の加算は省略している。

【0035】

図15では隣接する垂直方向のグループ間で加算駆動を行う。この結果、垂直方向の信号読み出し時間は全画素読み出しに対して、約 $1/4$ に短縮され、また、同色信号の加算が増えているので感度が向上する。

【0036】

図16では垂直方向でグループの間引き駆動を行った実施形態である。図15の実施形態に対し垂直方向の信号読み出し時間を $1/2$ に短縮できる。

【0037】

図17では一つの共通画素アンプで2色の信号に対して、同色の画素加算を行う実施形態である。この例ではまずR信号を共通画素アンプで加算して読み出し、その後にG信号を共通画素アンプで加算して読み出す。共通画素アンプでの加算により、垂直方向の信号読み出し時間を $1/2$ に短縮出来る。

【0038】

このように共通画素アンプに4個のフォトダイオードを設けると共通画素アンプで2色の加算信号を処理することが出来る。3個のフォトダイオードタイプでは、加算回路30で行方向の加算処理を行う必要があるが、画素アンプ内での加算処理のためにノイズが増加しない効果がある。

【0039】

ただ、上記実施形態の4個のフォトダイオードタイプでは、行方向の加算信号の空間的な重心が等ピッチでなくなる。本来、図13の実施形態では、加算信号の空間的ピッチは4画素毎が望ましいが、奇数のフォトダイオードグループに対し偶数のフォトダイオードグループの加算信号は1画素分空間的な重心がずれる。この空間的なズレは後述の信号処理回路で、偶数グループの信号を行方向で重み付けを変えて信号処理することで補正し、モアレを軽減できる。

【0040】

なお、本発明の主旨は、画素信号の読み出し駆動周波数や感度を向上させるために、共通画素アンプ内で複数の画素信号を加算あるいは間引きを行い、画素部のグループ内あるいはグループ間でさらに画素信号を加算することにある。また、少なくとも一方を $2n+1$ のグループとして、グループ内又はグループ間で画素行及び画素列の少なくとも一方の間引き又は加算を行う。そして、各色画素の空間的ピッチ（空間的な重心）が行方向もしくは列方向の少なくとも一方向で等ピッチになればよい。従って、これを実現するものであれば、本発明は上記の方法に限定されず、他の方法であってもよい。また、本実施形態におけるグループの加算順序やグループの個数は例示的なものであり、本発明はこれのみに限定されない。

【0041】

なお、本発明の主旨は、画素信号の読み出し駆動周波数や感度を向上させるために、画素行及び画素列の少なくとも一方を $2n+1$ のグループとして、グループ内又はグループ間で画素行及び画素列の少なくとも一方の間引き又は加算を行う。そして、各色画素の空間的ピッチ（空間的な重心）が行方向の列方向の少なくとも一方向で等ピッチになればよい。従って、これを実現するものであれば、本発明は上記の方法に限定されず、他の方法であっ

10

20

30

40

50

てもよい。また、本実施形態におけるグループの加算順序やグループの個数は例示的なものであり、本発明はこれのみに限定されない。

【0042】

次に、図18に図1の実施形態の単位画素アンプの撮像領域からの画素信号読み出し信号処理回路の一部の回路図を示す。これらの図を利用して画素部からの信号読み出しと信号加算を説明する。

【0043】

図18の読み出し信号処理回路では、3行3列の中での同一色の4画素の画素信号を加算する例について説明する。図18において、垂直信号線L1、L3、L5に接続された容量C1、C3、C5とクランプスイッチMC1基準電圧源VR、増幅器Ampで構成される回路が画素部のノイズを除去するCDS回路である(CDS動作の説明は省略する)。画素からCDSされた信号R1,1とR1,3は、メモリ容量Ct1とCt3に蓄積される。これらの信号は加算回路のメモリ容量Ca1で加算され、同様に画素からCDSされた信号R3,1とR3,3がメモリ容量Ct1とメモリ容量Ct3に蓄積され、メモリ容量Ca2で加算される。Ca1とCa2にある加算信号は水平走査回路からの走査パルス(hn(a1)、hn(a2)、...)によって水平信号線Sou tに出力され、結果的に4画素(R1,1、R1,3、R3,1、R3,3)が加算される。同様に、各グループ間で画素の間引きと加算が順次行なわれる。

【0044】

図18の実施形態では、単位画素アンプの画素で説明したが、共通画素アンプMSF'の場合は、画素内で垂直2画素が加算されるのため、メモリ容量Ca1とメモリ容量Ca2は不要である。

【0045】

図19は、メカニカルシャッタを利用した場合を示す図である。この場合、撮像領域の全画素を全面一括リセットし、メカニカルシャッタで露光終了後、任意の加算単位で画素信号を加算した後、メモリ2から1水平走査期間に信号を外部に出力する。メカニカルシャッタを使うことによって全画素が同一露光時刻で露光された画像を得ることができる。

【0046】

次に、図20のタイミングを使って説明する。任意の露光期間が過ぎると、まず各画素回路部のゲートにある残留電荷が各パルスの制御でリセットされる。時刻t1では、画素アンプMSFのゲート部がパルスRESにより、メモリCtがパルスC1、TS1により、メモリ容量Ca1、Ca2がパルスAD1からAD3、C2によりそれぞれリセットされる。時刻t2では、パルスC1のOFF時に画素アンプノイズがクランプ容量Cにクランプされ、パルスTXによりフォトダイオードの電荷が画素アンプを経てクランプ容量C1~C3に入力される。

【0047】

その結果、画素ノイズはCDS除去され、増幅器Ampを経てメモリに一時蓄積される。

【0048】

時刻t3では、パルスSEL、TS1のOFFにより画素の光電変換信号の転送が終了する。時刻t4では、パルスTS2、AD1によりメモリの信号がメモリCa1で加算される。

【0049】

同様な走査と動作により、時刻t5では、次の加算行の画素信号がメモリCa2に、時刻t6では、メモリ容量Caからの信号が出力信号線Sou tで加算され出力される。

【0050】

上述の4画素の加算読み出しモードでは、SNが2倍(対光ショットノイズ)改善されるため、システムとしては露光量制御を行い、入射光量を約1/4に設定する。これは各フォトダイオードでの光電変換信号が1/4になることを意味する。撮像素子がCCDの場合には、入射光量が1/4でも4画素電荷加算により加算後の信号電荷量は1倍になる

10

20

30

40

50

。従って、このままでは信号の飽和が問題になり、感度と飽和特性がトレードオフになるという欠点がある。

【 0 0 5 1 】

本実施形態の C M O S センサーでは信号電圧の平均値を加算するため、容量分割による信号レベルの低下を無視すると、4 画素信号の加算後も信号レベルは約 $1/4$ となる。これは信号の飽和が 4 倍強化されたことを意味する。しかしながら、信号レベルが小さいと言うことは水平出力線に接続される (図 1 では不図示) 出力アンプのノイズが、クローズアップされることになる。そこで、本発明では、加算読み出しモード時、C D S 後の増幅回路 A m p のアンプゲインを全画素読み出しモード時の約 4 倍に設定した。この結果、出力アンプのノイズを軽減することができ、画素信号の加算による感度アップと読み出し画素数を低減したことによる高速読み出し、高ダイナミックレンジの維持及び低電力化を達成した。

10

【 0 0 5 2 】

図 2 1 に全画素信号の読み出しタイミング図を示す。まず、時刻 t_1 で画素アンプ、加算部、メモリをリセットし、時刻 t_2 で画素アンプのノイズ電位のクランプを行う。そして、時刻 t_3 で光電変換信号の転送を終了し、信号をメモリ C a に蓄積する。時刻 t_4 以降では、メモリ C a から直接に水平出力線 S o u t に信号を出力する。

【 0 0 5 3 】

図 2 2 は、上記撮像装置を用いた撮像システムの概略図を示す図である。本撮像システムは、センサー 7 2、信号処理回路 7 3 及びタイミング制御回路 7 5 で構成される撮像装置 7 0 0 を備える。同図のように光学系 7 1 を通って入射した被写体光はセンサー 7 2 上に結像する。センサーに配置されている画素により光情報は電気信号に変換される。その電気信号は信号処理回路 7 3 によって予め決められた方法によって信号変換処理される。信号処理された信号は記録系、通信系 7 4 により情報記録装置により記録又は情報伝達される。記録又は転送された信号は再生系、表示系で再生や表示が行なわれる。センサー 7 2、信号処理回路 7 3 はタイミング制御回路 7 5 により制御され、タイミング制御回路 7 5、記録系、通信系 7 4、再生系、表示系 7 7 は撮像システム全体を制御するシステムコントロール回路 7 6 により制御される。タイミング制御回路 7 5 により全画素読み出しモードか加算読み出しモードかを選択する。

20

【 0 0 5 4 】

前述した全画素読み出しモードと加算読み出しモードでは水平と垂直駆動パルスが異なる。従って、読み出しモード毎にセンサーの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路で各読み出しモードに応じて行なわれる。また、読み出しモードで加算により感度が異なる。これはシステムコントロール回路で絞り (不図示) 制御を行い、また、タイミング制御回路からの制御パルス (不図示) 本システムにより高精細撮影では全画素読み出しを行う。そして、低解像度撮影では画素のグループ内又はグループ間で、画素の間引き駆動と画素信号の加算により高速読み出し、高感度また低モアレの高画質が可能となる。

30

【 図面の簡単な説明 】

【 0 0 5 5 】

40

【 図 1 】 本発明の好適な実施の形態に係る撮像装置のブロック図である。

【 図 2 】 図 1 の撮像領域の各画素部の色の配置を示す図である。

【 図 3 】 本発明の好適な実施の形態に係る撮像領域の画素部の構成例を示す図である。

【 図 4 】 本発明の好適な実施の形態に係る撮像領域の画素部の構成例を示す図である。

【 図 5 】 本発明の好適な実施の形態に係る撮像領域の画素部の他の構成例を示す図である。

【 図 6 】 本発明の好適な実施の形態に係る加算方式を示す図である。

【 図 7 】 本発明の好適な実施の形態に係る加算方式を示す図である。

【 図 8 】 本発明の好適な実施の形態に係る加算方式を示す図である。

【 図 9 】 本発明の好適な実施の形態に係る加算方式を示す図である。

50

【図 10】本発明の好適な実施の形態に係る加算方式を示す図である。

【図 1 1】本発明の好適な実施の形態に係る加算方式を示す図である。

【図 1 2】本発明の好適な実施の形態に係る加算方式を示す図である。

【図 13】本発明の好適な実施の形態に係る撮像領域の画素部の構成例を示す図である。

【図 1 4】本発明の好適な実施の形態に係る加算方式を示す図である。

【図 15】本発明の好適な実施の形態に係る加算方式を示す図である。

【図 16】本発明の好適な実施の形態に係る加算方式を示す図である。

【図 17】本発明の好適な実施の形態に係る加算方式を示す図である。

【図 18】図 1 の実施形態の単位画素アンプの撮像領域からの画素信号読み出し信号処理回路の一部の回路図を示す図である。

【図 19】メカニカルシャッタを利用した場合の説明図である。

【図 20】画素信号の加算タイミング図である。

【図 2 1】全画素信号の読み出しタイミング図を示す。

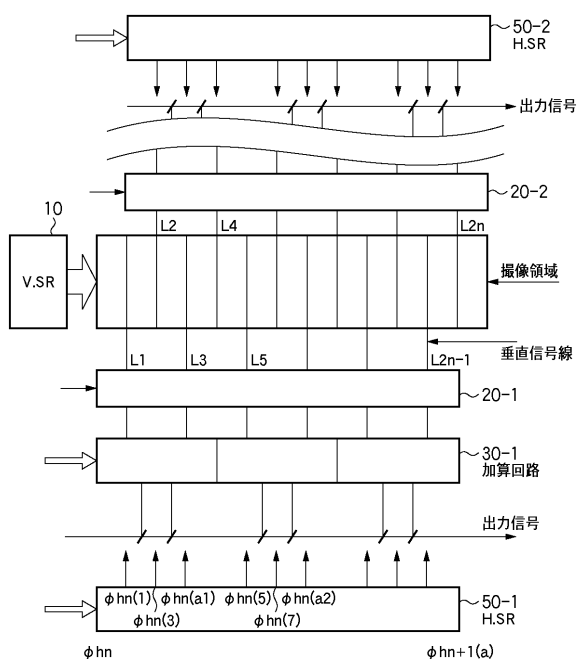
【図 2 2】本発明の好適な実施の形態に係る撮像装置を用いた撮像システムの概略図を示す図である。

【符号の説明】

【 0 0 5 6 】

M S F ' 共通画素アンプ

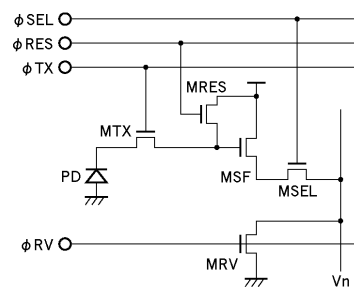
【 図 1 】



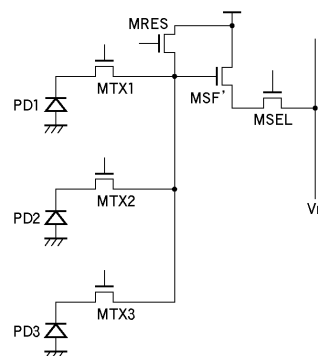
【圖 2】

G	R	G	R	1画素
R	G	R	G	
G	R	G	R	
R	G	R	G	

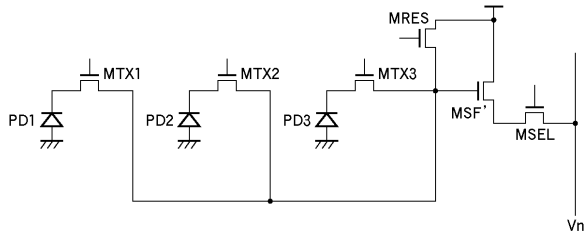
【 図 3 】



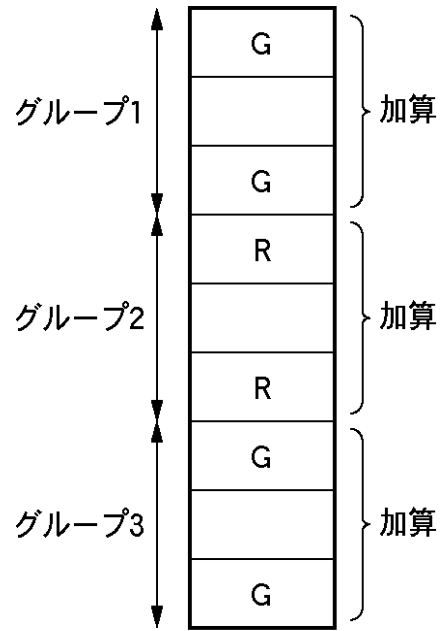
【 図 4 】



【図 5】

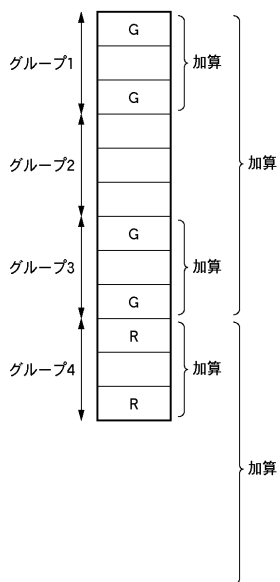


【図 6】

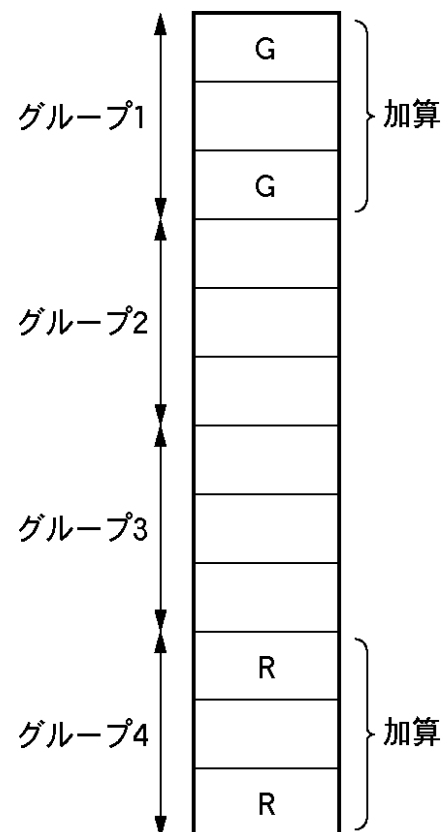


空白マスは間引き

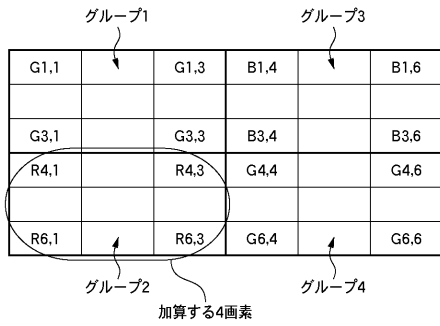
【図 7】



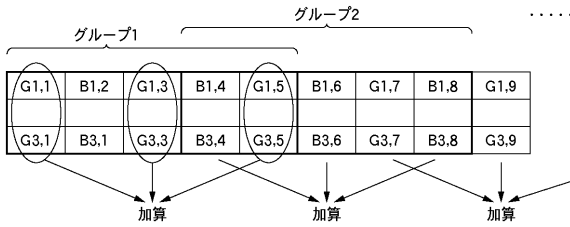
【図 8】



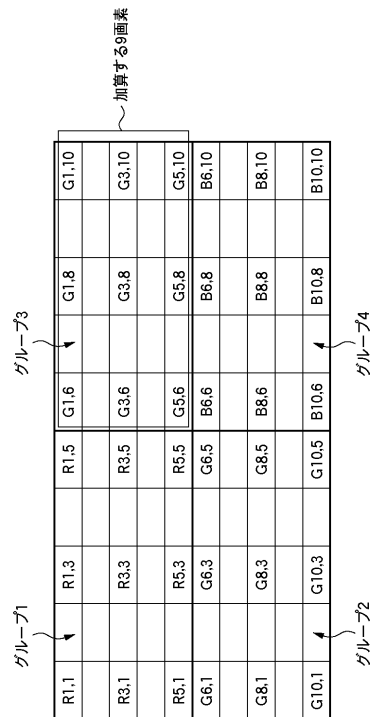
【図 9】



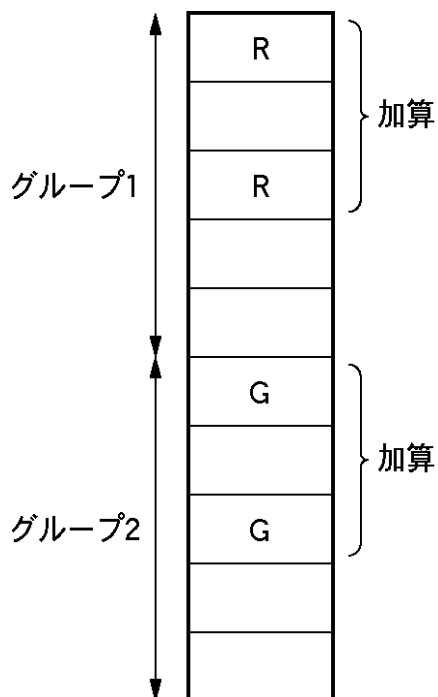
【図 10】



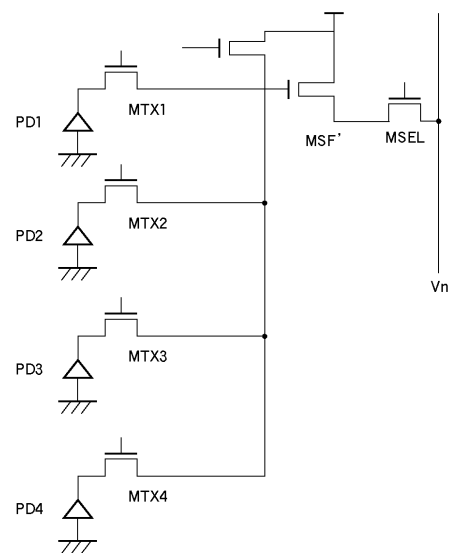
【図 11】



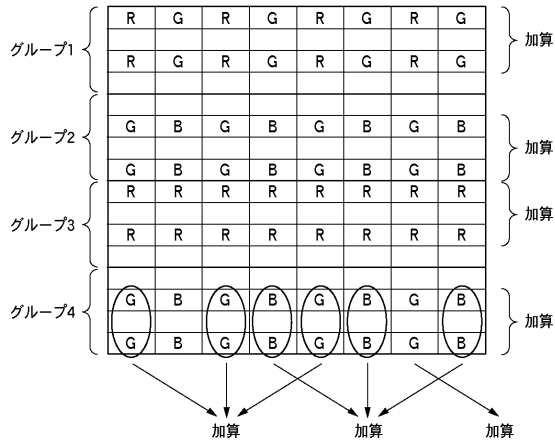
【図 12】



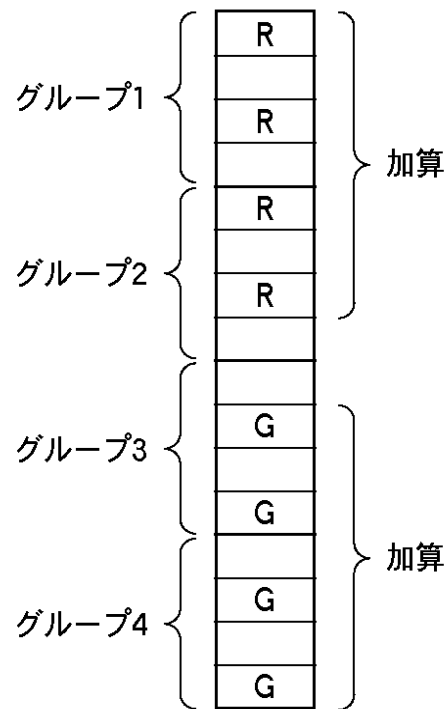
【図 13】



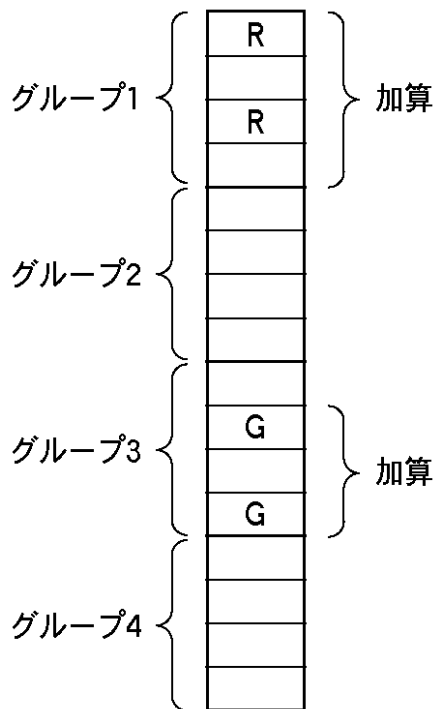
【図 14】



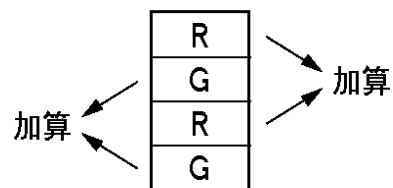
【図 15】



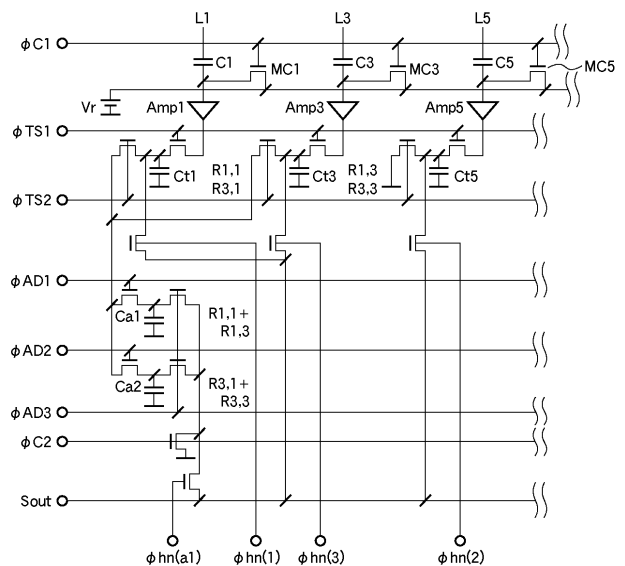
【図 16】



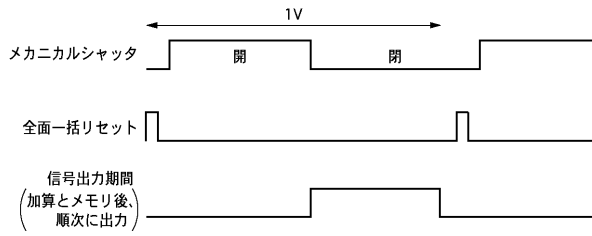
【図 17】



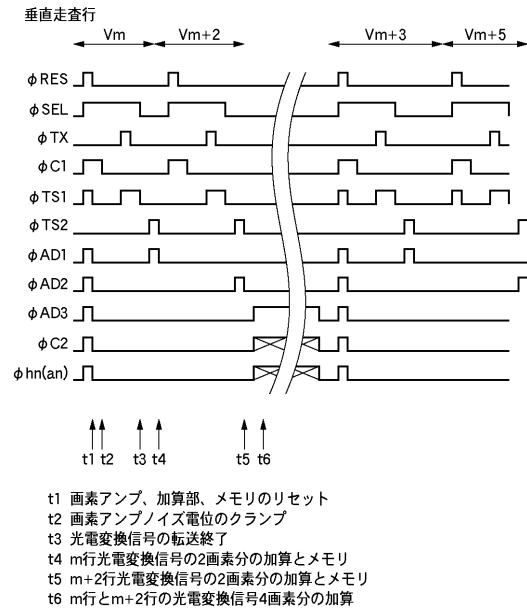
【図 18】



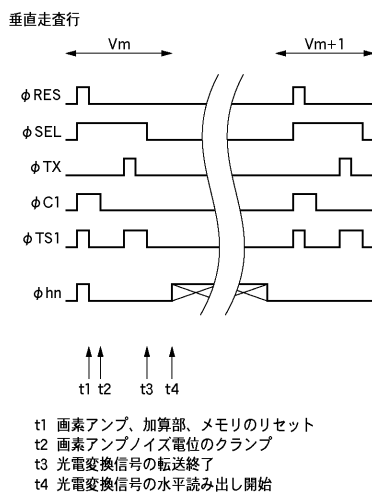
【図 19】



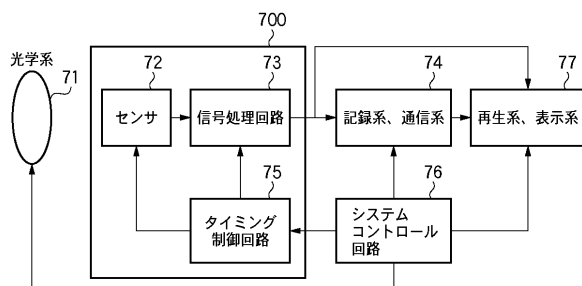
【図 20】



【図 21】



【図 22】



フロントページの続き

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5C065 AA03 CC01 CC08 CC09 DD15 DD17 EE05 EE06 EE10 EE12
GG21 GG49