(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 12 月 8 日(08.12.2011)

PCT

(10) 国際公開番号
WO 2011/152253 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 27/04* (2006.01)
H01L 21/336 (2006.01) *H01L 27/088* (2006.01)
H01L 21/822 (2006.01) *H01L 29/06* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/JP2011/061912

(22) 国際出願日: 2011 年 5 月 24 日(24.05.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-128499 2010 年 6 月 4 日(04.06.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山路 将晴 (YAMAJI, Masaharu) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関３丁目２番５号 霞が関ビルディング２０階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

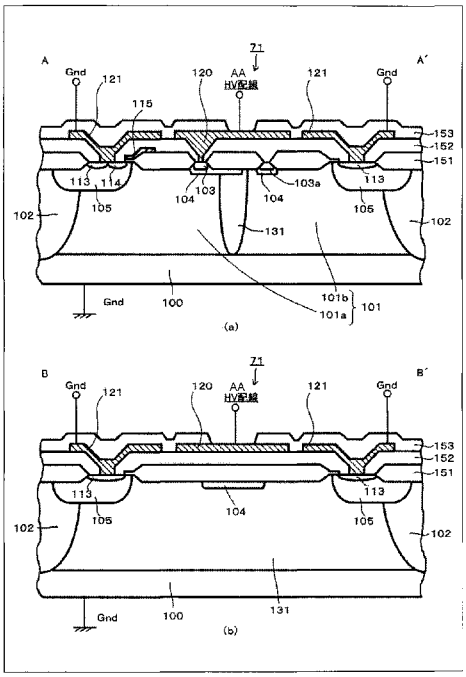
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND DRIVING CIRCUIT

(54) 発明の名称 : 半導体装置および駆動回路

[図1]



AA... HV WIRING

(57) **Abstract**: A highly pressure-resistant semiconductor device comprising, on a p^--type silicon substrate (100), an n^--type region (101) which is surrounded by p^- well regions (102), a drain n^+ region (103) which is connected to a drain electrode (120), a p base region(105) which is so formed as to surround the drain n^+ region (103), a source n^+ region (114) which is formed in the p base region(105), an a p^- region (131) which separates the n^--type region (101) into an n^--type region (101a) that contains the drain n^+ region (103) and an n^--type region (101b) which does not contains the drain n^+ region (103). The n^--type region (101b) is connected to the drain electrode (120) or the drain n^+ region (103) through an n offset region (104) (which is a high-resistant element) or a polysilicon (304).

(57) 要約: 高耐圧半導体装置は、ｐ⁻型シリコン基板（１００）上にｐ⁻ウエル領域（１０２）により囲まれたｎ⁻型領域（１０１）と、ドレイン電極（１２０）と接続されるドレインｎ⁺領域（１０３）と、ドレインｎ⁺領域（１０３）を囲むように形成されたｐベース領域（１０５）と、ｐベース領域（１０５）内に形成されたソースｎ⁺領域（１１４）と、ｎ⁻型領域（１０１）をドレインｎ⁺領域（１０３）を備えるｎ⁻型領域（１０１ａ）およびドレインｎ⁺領域（１０３）を備えないｎ⁻型領域（１０１ｂ）に分離するｐ⁻領域（１３１）と、を備えたものとする。ｎ⁻型領域（１０１ｂ）は、高抵抗素子であるｎオフセット領域（１０４）またはポリシリコン（３０４）を介して、ドレイン電極（１２０）またはドレインｎ⁺領域（１０３）と接続される。

WO 2011/152253 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置および駆動回路

技術分野

[0001] この発明は、半導体装置および駆動回路に関する。

背景技術

[0002] パワーデバイスは、モータ制御用のインバータのほか、大容量のＰＤＰ（プラズマディスプレイパネル）、液晶パネルなどの電源用途、エアコンや照明といった家電用インバータなど多くの分野で広く利用されている。従来、このようなパワーデバイスの駆動および制御は、フォトカプラなどの半導体素子やトランスなどの電子部品を組み合わせて構成した電子回路によって行っていた。

[0003] しかし、近年のＬＳＩ（大規模集積回路）技術の進歩により、１２００Ｖまでの高耐圧ＩＣが実用化されている。この結果、高耐圧ＩＣとして、パワー半導体デバイスのハイサイドゲートドライバとローサイドゲートドライバとを内蔵したものや、さらには制御回路やパワー半導体デバイスを同一の半導体基板に集積したものなどが系列化され、インバータシステム全体としての高効率化や、部品点数および実装面積の削減に貢献している。

[0004] 図１６は、一般的なレベルシフト回路を内蔵した高耐圧ＩＣの回路図である。図１６は、下記特許文献１の図７に示す高耐圧ＩＣにダイオード４１，４２を追加した高耐圧ＩＣの回路図である。図１６に示す高耐圧ＩＣおいて、符号１７，１８は、例えば４００Ｖの高電圧の主直流電源の正極側Ｖｄｃと、この主直流電源の負極側である共通電位ＣＯＭ（図１６においてはグランド電位）との間に、直列に接続されてＰＷＭインバータの電力逆変換用ブリッジ回路の例えば一相分を形成するＩＧＢＴ（出力パワーデバイス）である。

[0005] 符号ＯＵＴは、ブリッジ回路の上側アームのＩＧＢＴ１７のエミッタと、ブリッジ回路の下側アームのＩＧＢＴ１８のコレクタとの接続点であり、Ｉ

ＧＢＴ１７とＩＧＢＴ１８とが相補にオン・オフすることによって生成される交流電力の交流出力端子である。符号Ｅ２は、負極が共通電位ＣＯＭに接続され、正極が正極ラインＶｃｃ２に接続された例えば１５Ｖの低電圧の補助直流電源（ドライバ電源ともいう）である。符号２０は、下側アームのＩＧＢＴ１８をオン・オフ駆動するためのドライバである。ドライバ２０は、補助直流電源Ｅ２のもとで動作する。

[0006] 図１６に示す高耐圧ＩＣにおいて、ダイオード４１，４２、ＩＧＢＴ１７，１８、補助直流電源Ｅ２およびドライバ２０を除くその他の回路部分は、ブリッジ回路の上側アームのＩＧＢＴ１７を駆動するためのレベルシフト回路である。符号１は、制御回路６１（低電位側低耐圧回路）により作られたパルスのオン信号２５が入力されて導通する高耐圧ＭＯＳＦＥＴである。高耐圧ＭＯＳＦＥＴ１の導通による負荷抵抗３の電圧降下を信号としてＩＧＢＴ１７がオンされる。

[0007] 符号２は、制御回路６１で作られたパルスのオフ信号２６が入力されて導通する高耐圧ＭＯＳＦＥＴである。高耐圧ＭＯＳＦＥＴ２の導通による負荷抵抗４の電圧降下を信号としてＩＧＢＴ１７がオフされる。制御回路６１は、主直流電源の負極側（共通電位ＣＯＭ）を基準とした低電圧電源から電流を供給される。

[0008] ここで、高耐圧ＭＯＳＦＥＴ１と高耐圧ＭＯＳＦＥＴ２、および負荷抵抗３と負荷抵抗４とは通常、それぞれ互いに等しく構成されている。なお、負荷抵抗３，４にそれぞれ並列接続された定電圧ダイオード５，６は、負荷抵抗３，４の過大な電圧降下を制限し、以下で述べるＮＯＴ回路８，９等を保護する役割を持つ。レベルシフト回路のうち、２つの高耐圧ＭＯＳＦＥＴ１，２は、電位が固定された共通電位ＣＯＭの電位を基準とした信号を入力する回路部分となる。

[0009] 一方、図１６の破線で囲まれた回路部分は、出力用のＩＧＢＴ１７，１８のオン・オフにより共通電位ＣＯＭと、高電圧の主直流電源の正極側Ｖｄｃに交互に追従する交流出力端子ＯＵＴの電位を基準として動作する、電位

変動する高電位側低耐圧回路部分（浮遊電位領域）となる。図１６の破線で囲まれた回路内の符号Ｅ１は、正極が正極ラインＶｃｃ１に接続され、負極が交流出力端子ＯＵＴに接続された例えば１５Ｖの補助直流電源（ドライバ電源ともいう）である。

[0010] 補助直流電源Ｅ１は、交流出力端子ＯＵＴを基準とする電源である。また、補助直流電源Ｅ１は、ＩＧＢＴ１７がｐチャネル型の場合には、主直流電源の正極側Ｖｄｃを基準とする電源とすればよい。ＮＯＴ回路８，９およびその後段のローパスフィルタ回路（以下、ＬＰＦとする）３０，３１、ＲＳフリップフロップ（以下、ＲＳラッチとする）１５、ドライバ１６等からなる回路は、補助直流電源Ｅ１を電源として動作する。

[0011] しかし、負荷抵抗３，４の上端が正極ラインＶｃｃ１に接続されている高耐圧ＭＯＳＦＥＴ１と負荷抵抗３とからなる負荷抵抗回路または高耐圧ＭＯＳＦＥＴ２と負荷抵抗４とからなる負荷抵抗回路の電源電圧は、交流出力端子ＯＵＴの電位が共通電位ＣＯＭの電位と主直流電源の正極側Ｖｄｃの電位との間で変化することから、正極ラインＶｃｃ１に接続された補助直流電源Ｅ１および主直流電源の正極側Ｖｄｃの電位の総和と、補助直流電源Ｅ１の電位との間で変化する。

[0012] 但し、実際は、ＩＧＢＴ１７，１８にそれぞれ並列に、還流ダイオード(図示を省略)がカソードをコレクタ側として接続されている。また、ＰＣＢ（Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ　Ｂｏａｒｄ）などに付随した浮遊インダクタンスの誘導起電力と、ＩＧＢＴに流れるｄｉ／ｄｔの積により発生する負電圧ノイズにより、交流出力端子ＯＵＴの電位が共通電位ＣＯＭの電位に対し数十Ｖ程度の負の値となる場合がある。

[0013] 次に、図１６に示す高耐圧ＩＣのレベルシフト回路の動作を述べる。高耐圧ＭＯＳＦＥＴ１のゲートに入力されたオン信号２５により高耐圧ＭＯＳＦＥＴ１に電流が流れ、負荷抵抗３に電圧降下が発生する。負荷抵抗３の電圧降下により負荷抵抗３の下端の電位がＮＯＴ回路８のしきい値以下になると、ＮＯＴ回路８の出力はＨｉとなる。

[0014] ＮＯＴ回路８から出力されるＨｉレベル信号は、ＬＰＦ３０を介してＲＳラッチ１５のセット端子Ｓに入力され、ＲＳラッチ１５の出力ＱはＨｉとなる。これにより、ＩＧＢＴ１７はドライバ１６を介してオンされる。同時に（厳密にはアーム間短絡防止のため、このオン時点の僅か前の時点に）ＩＧＢＴ１８は制御回路６１からの信号によりドライバ２０を介してオフされる。

[0015] 次に、高耐圧ＭＯＳＦＥＴ２のゲートに入力されたオフ信号２６により高耐圧ＭＯＳＦＥＴ２に電流が流れ、負荷抵抗４に電圧降下が発生する。負荷抵抗４の電圧降下により負荷抵抗４の下端の電位がＮＯＴ回路９のしきい値以下になると、ＮＯＴ回路９の出力はＨｉとなる。

[0016] ＮＯＴ回路９から出力されるＨｉレベル信号は、ＬＰＦ３１を介してＲＳラッチ１５のリセット端子Ｒ２１に入力され、ＲＳラッチ１５の出力ＱはＬｏとなる。これにより、ＩＧＢＴ１７はドライバ１６を介してオフされる。同時に（厳密にはアーム間短絡防止のため、このオフ時点の僅か後の時点に）ＩＧＢＴ１８は制御回路６１からの信号によりドライバ２０を介してオンされる。

[0017] ところで、ＩＧＢＴ１８をオフしＩＧＢＴ１７をオンする際には、ＩＧＢＴ１７，１８のスイッチングに起因して、交流出力端子ＯＵＴに生ずる急峻な電位の上昇ｄＶ／ｄｔにより、高耐圧ＭＯＳＦＥＴ１，２のソース・ドレイン間容量Ｃｄｓが充電される。このときの充電電流により、負荷抵抗３，４に、レベルシフト回路の正常時のオン信号２５やオフ信号２６による電圧降下と異なる異常な電圧降下が発生する。負荷抵抗３，４の異常な電圧降下により、ＲＳラッチ１５を誤動作させ、ＩＧＢＴ１７を誤ってオンし、ブリッジ回路のアーム間短絡を惹起したり、あるいはＩＧＢＴ１７を不必要にオフしたりするおそれがある。

[0018] 負荷抵抗３，４の異常な電圧降下は、ＩＧＢＴ１７，１８のスイッチングによって発生する以外に外来ノイズによっても発生する可能性がある。ＬＰＦ３０，３１は、このようなＲＳラッチ１５の誤動作を防止するために挿入

されており、ＩＧＢＴ１７，１８のスイッチングや外来ノイズに基づくパルス幅の小さい（高い周波数の）入力信号を異常信号として取り除く役割を持っている。

[0019] なお、図１６の回路のように、パルス信号であるオン信号２５およびオフ信号２６を用いてＩＧＢＴ１７，１８をオン・オフ駆動する理由は以下の通りである。ＰＷＭインバータ等の交流出力信号を高速スイッチングするためには、出力用スイッチング素子をオン・オフするキャリア周波数を高めること、したがってレベルシフト回路を高速で動かすことが望ましいからである。また、スイッチング素子をオン・オフするキャリア周波数を高くすることは高周波化につながり、インバータシステムなどの電源ボードにおけるコイルを小さくすることができ、ＰＣＢ面積を縮小することができるというメリットがあるからである。

[0020] レベルシフト回路を高速で動かすためには、レベルシフト回路用の高耐圧ＭＯＳＦＥＴ１，２に比較的大きな電流を流す必要がある。しかし、特に図１６の破線で囲まれた回路部分のような基準電位が変動する高電位側低耐圧回路部分の基準電位が高い電位にある場合、高耐圧ＭＯＳＦＥＴ１，２に流す電流による損失が増大する。

[0021] 例えば、高耐圧ＭＯＳＦＥＴ１，２のオン電流を１０ｍＡとし、主直流電源の正極側Ｖｄｃの電圧を４００Ｖとし、仮に高耐圧ＭＯＳＦＥＴ１，２のゲートをオンする信号をパルスジェネレータで駆動する場合、高耐圧ＭＯＳＦＥＴ１，２のオン・オフのデューティサイクルが平均１０％であるとしたときの、高耐圧ＭＯＳＦＥＴ１，２の平均損失は約０．４Ｗ程度の値になる。

[0022] また、例えば、下記特許文献２には、パワーデバイスのハイサイドゲートドライバとレベルシフト回路を内蔵した高耐圧ＩＣについて記載されている。下記特許文献２の高耐圧ＩＣは、レベルシフト用の高耐圧ＭＯＳＦＥＴと分離島領域（浮遊電位領域）との間の接続を半導体基板上に絶縁膜を介して形成される配線により接続するために、高耐圧ＭＯＳＦＥＴと分離島領域と

の間に基板が露出する領域を設け、高耐圧ＭＯＳＦＥＴと分離島領域を接続する配線に高電位が印加された際に、高耐圧ＭＯＳＦＥＴから広がる空乏層と分離島領域から広がる空乏層をつなげて、前記の配線の下の前記の基板が露出した領域の電位を上昇させるものである。

先行技術文献

特許文献

[0023] 特許文献1：特許第３６３５９７５号公報

特許文献2：特許第３９１７２１１号公報

発明の概要

発明が解決しようとする課題

[0024] しかしながら、上述したように、図１６に示す高耐圧ＩＣにおいて、ＩＧＢＴ１８をオフしＩＧＢＴ１７をオンする際には、ＩＧＢＴ１７，１８のスイッチングを起因として、交流出力端子ＯＵＴに急峻な電位の上昇、所謂ｄＶ／ｄｔサージが生じ、交流出力端子ＯＵＴの電位は大きく変動する。また、交流出力端子ＯＵＴの電位が変動することにより、補助直流電源Ｅ１の正極に接続された正極ラインＶｃｃ１の電位も、交流出力端子ＯＵＴの電位の変動と同様に変動する。

[0025] 以下に、上述した交流出力端子ＯＵＴの電圧および補助直流電源Ｅ１の電圧の変動により生じる誤動作について説明する。高耐圧ＭＯＳＦＥＴ１，２は、ドレイン電位が上昇したときに構成される寄生容量のうち、大きな割合を占める出力容量として、ソース・ドレイン間容量Ｃｄｓと基板・ドレイン間容量Ｃｄｓｕｂとからなる寄生の出力容量５１，５２を有している。交流出力端子ＯＵＴにｄＶ／ｄｔサージが生じると、寄生の出力容量５１，５２を介して、補助直流電源Ｅ１の正極側から高耐圧ＭＯＳＦＥＴ１，２のソースが接続された共通電位ＣＯＭにｄＶ／ｄｔサージに応じた過渡電流が流れ、高耐圧ＭＯＳＦＥＴ１，２が見かけ上オンしたのと同じ状態となる。

[0026] 高耐圧ＭＯＳＦＥＴ１，２が見かけ上オンしたのと同じ状態となった場合

、オン信号側の高耐圧ＭＯＳＦＥＴ１、およびオフ信号側の高耐圧ＭＯＳＦＥＴ２のドレインと接続されるノードに変位電流による誤信号が生じる。このとき、オン信号側の高耐圧ＭＯＳＦＥＴ１またはオフ信号側の高耐圧ＭＯＳＦＥＴ２に正常動作による信号が入力されたとしても、高耐圧ＭＯＳＦＥＴ１，２のゲートに入力された正常動作による信号は、変位電流が高耐圧ＭＯＳＦＥＴ１，２の寄生の出力容量５１，５２を充電する期間は後段のノードへの伝達信号とはならない。このため、遅延時間が発生する。

[0027] また、仮に製造ばらつきでオフ信号側の高耐圧ＭＯＳＦＥＴ２の寄生の出力容量５２が１０%程度高めにばらついた場合を考える。この場合、寄生の出力容量５２の容量と、ｄＶ／ｄｔサージによる変位電流と、負荷抵抗４の抵抗との積による電位差の電圧降下により、負荷抵抗４の下端の電位がＮＯＴ回路９のしきい値以下になると、高耐圧ＭＯＳＦＥＴ２のドレインに接続されるノードからＨｉレベル信号が出力される。

[0028] 高耐圧ＭＯＳＦＥＴ２のドレインに接続されるノードから出力されたＨｉレベル信号はＬＰＦ３１を介してＲＳラッチ１５のリセット端子Ｒに入力される。これにより、ＲＳラッチ１５のリセット端子Ｒが優先され、ＲＳラッチ１５の出力ＱはＬｏとなる。この結果、ＩＧＢＴ１７はドライバ１６を介してオフされ、高耐圧ＩＣは誤動作してしまう。

[0029] このような高耐圧ＩＣの誤動作について説明する。ｄＶ／ｄｔサージによる交流出力端子ＯＵＴの電位および補助直流電源Ｅ１の電位の変動により、オン信号側の高耐圧ＭＯＳＦＥＴ１に変位電流Ｉ１が過渡的に流れ、オフ信号側の高耐圧ＭＯＳＦＥＴ２に変位電流Ｉ２が過渡的に流れる。図１６に示す高耐圧ＩＣでは、サージ電流を共通電位ＣＯＭに流すために、ダイオード４１，４２がオン信号側の高耐圧ＭＯＳＦＥＴ１のドレインと交流出力端子ＯＵＴとの間、およびオフ信号側の高耐圧ＭＯＳＦＥＴ２のドレインと交流出力端子ＯＵＴとの間に接続されている。

[0030] ここで、ｄＶ／ｄｔサージによる電位変動時にダイオード４１，４２を経由して流れる変位電流成分は、それぞれ図１６のｉ１，ｉ２にあたり、負荷

抵抗３，４を経由して流れる変位電流成分は、それぞれ図１６のｉ１’とｉ２’にあたる。変位電流Ｉ１，Ｉ２は、それぞれ、Ｉ１＝ｉ１＋ｉ１’、Ｉ２＝ｉ２＋ｉ２’であらわされる。

[0031] このように変位電流Ｉ１，Ｉ２が流れる高耐圧ＩＣにおいて、まず、交流出力端子ＯＵＴに生じたｄＶ／ｄｔサージにより、交流出力端子ＯＵＴの電位だけでなく、補助直流電源Ｅ１の正極が接続された正極ラインＶｃｃ１の電位も交流出力端子ＯＵＴの電位の上昇に伴って上昇する。このため、ｄＶ／ｄｔサージによる電位の変動直後は、微小な変位電流成分ｉ１’，ｉ２’がそれぞれ負荷抵抗３，４と高耐圧ＭＯＳＦＥＴ１，２とを介して共通電位ＣＯＭに流れる。

[0032] そして、微小な変位電流成分ｉ１’と負荷抵抗３とによる電圧降下および微小な変位電流成分ｉ２’と負荷抵抗４とによる電圧降下が、正極ラインＶｃｃ１と交流出力端子ＯＵＴとの間の電位差（ここでは１５Ｖとする）以上になり、交流出力端子ＯＵＴの電位よりも０．６Ｖ以上低くなると、ダイオード４１，４２の順方向に電流が流れ始める。すなわち、数十ｋＶ／μｓ程度の急峻なｄＶ／ｄｔサージでの変位電流Ｉ１，Ｉ２のほとんどは、ダイオード４１，４２を伝って流れる変位電流成分ｉ１，ｉ２が支配的となり、変位電流Ｉ１，Ｉ２によって高耐圧ＭＯＳＦＥＴ１，２の寄生の出力容量５１，５２が充電される。

[0033] 数十ｋＶ／μｓ程度の急峻なｄＶ／ｄｔサージでの変位電流成分ｉ１，ｉ２がダイオード４１，４２を伝って、高耐圧ＭＯＳＦＥＴ１，２の寄生の出力容量５１，５２を充電するときには、負荷抵抗３，４の両端での電圧降下は１５．６Ｖ以上になっている。このため、ＮＯＴ回路８，９の出力はともにＨｉレベル信号となり、ＲＳラッチ（ＲＳフリップフロップ）１５はセット信号とリセット信号を区別することができない。したがって、ＲＳラッチ１５はＮＯＴ回路８，９からのＨｉレベル信号を信号として受け付けず、高耐圧ＩＣは誤動作とはならない。

[0034] しかしながら、数ｋＶ／μｓの緩いｄＶ／ｄｔサージが交流出力端子ＯＵ

Ｔに入力されたときには、変位電流Ｉ１，Ｉ２のほとんどは、負荷抵抗３，４を経由して流れる微小な変位電流成分ｉ１’，ｉ２’が支配的となる。このため、微小な変位電流成分ｉ１’、ｉ２’と負荷抵抗３，４とによる電圧降下が、ちょうどＮＯＴ回路８，９のＶｔｈ（しきい値）電圧付近になった場合に、ＮＯＴ回路８，９は、緩いｄＶ／ｄｔサージにより発生した誤信号を後段のノードに伝達してしまうおそれがある。

[0035] 例えば、ＮＯＴ回路８，９のＶｔｈ電圧は、ＮＭＯＳ，ＰＭＯＳから構成されるＣＭＯＳインバータ回路のＮＭＯＳ，ＰＭＯＳそれぞれの電流駆動能力に起因する。仮に、ＮＭＯＳとＰＭＯＳの電流駆動能力を等しいと仮定すると、ＮＯＴ回路８，９のＶｔｈ電圧は、補助直流電源Ｅ１の正極が接続された正極ラインＶｃｃ１と交流出力端子ＯＵＴとの間の電位差÷２＝７．５（Ｖ）となる。

[0036] ここで、前述したようにオン信号側の高耐圧ＭＯＳＦＥＴ１と、オフ信号側の高耐圧ＭＯＳＦＥＴ２との寄生の容量成分が異なる場合を例に、変位電流成分ｉ１’，ｉ２’をトリガとして発生する誤信号について説明する。上述したように、数ｋＶ／μｓの緩いｄＶ／ｄｔサージが交流出力端子ＯＵＴに入力されたときに、補助直流電源Ｅ１の正極が接続された正極ラインＶｃｃ１と交流出力端子ＯＵＴとの間に微小な変位電流成分ｉ１’、ｉ２’が流れる。

[0037] 微小な変位電流成分ｉ１’，ｉ２’のうちのいずれか一方の電流値が１．５ｍＡ（ＮＯＴ回路８，９のＶｔｈ電圧７．５Ｖ÷負荷抵抗５．０ｋΩ）を超えた場合、微小な変位電流成分ｉ１’が流れるＮＯＴ回路８および微小な変位電流成分ｉ２’が流れるＮＯＴ回路９のうち、１．５ｍＡ以上の微小な変位電流成分が流れた側のＮＯＴ回路から誤信号が出力される。ＮＯＴ回路から出力された誤信号は、Ｈｉレベル信号としてＲＳラッチ１５に入力されてしまうので、ＲＳラッチ１５の出力Ｑに誤信号が伝達される。

[0038] 具体的には、緩いｄＶ／ｄｔサージによる誤信号のオン信号側およびオフ信号側の電圧降下の見積もりとしては、例えば、次のとおりである。

高耐圧ＭＯＳＦＥＴ１の寄生の出力容量５１（Ｃｄｓ＋Ｃｄｓｕｂ）の合成容量Ｃｎ１：

Ｃｎ１＝２（ｐＦ）

高耐圧ＭＯＳＦＥＴ２の寄生の出力容量５２（Ｃｄｓ＋Ｃｄｓｕｂ）の合成容量Ｃｎ２：

Ｃｎ２＝２．２（ｐＦ）（製造ばらつきにより１０%増と仮定）

となる。

[0039] また、負荷抵抗３，４の抵抗値をそれぞれ５．０ｋΩとしたとき、０．７ｋＶ／μｓのｄＶ／ｄｔサージが交流出力端子ＯＵＴに入力された場合、

オン信号側（変位電流成分ｉ１’が流れる側）の負荷抵抗３に接続されたノードの電圧降下Ｖｓ１：

$Vs1=2\times10^{-12}\times0.7\times10^{3}/1\times10^{-6}\times5\times10^{3}=7.0$（Ｖ）

オフ信号側（変位電流成分ｉ２’が流れる側）の負荷抵抗４に接続されたノードの電圧降下Ｖｒ１：

$Vr1=2.2\times10^{-12}\times0.7\times10^{3}/1\times10^{-6}\times5\times10^{3}=7.7$（Ｖ）

となる。

[0040] このように、オフ信号側の負荷抵抗４に接続されたノードの電圧降下Ｖｒ１がＮＯＴ回路９のＶｔｈ電圧＝７．５Ｖを超えるため、ＮＯＴ回路９のみがＨｉレベル信号を誤って出力する。

[0041] このような誤信号の出力を軽減するため、例えば、レベルシフト用の負荷抵抗３，４の抵抗値を５ｋΩから１ｋΩなどに小さくすることが考えられるが、次のような問題がある。高耐圧ＭＯＳＦＥＴ１，２のオン電流を、負荷抵抗３，４の抵抗値が５ｋΩである場合を仮に１０ｍＡの飽和電流に設定していたとき、負荷抵抗３，４の抵抗値が１ｋΩである場合では、高耐圧ＭＯＳＦＥＴ１，２に５０ｍＡの飽和電流を流す必要がある。

[0042] 高耐圧ＭＯＳＦＥＴ１，２の飽和電流を５０ｍＡとし、主直流電源の正極

側Ｖｄｃの電圧を４００Ｖとし、仮に高耐圧ＭＯＳＦＥＴ１，２のゲートをオンする信号をパルスジェネレータで駆動する場合、高耐圧ＭＯＳＦＥＴ１，２のオン・オフのデューティサイクルが平均１０％であるとしたときの、ＩＧＢＴ１７のコレクタ電位が高い状態での高耐圧ＭＯＳＦＥＴ１，２の平均損失は約２．０Ｗ程度にもなる。このため、高耐圧ＭＯＳＦＥＴ１，２の平均損失は、高耐圧ＩＣを樹脂封止するためのパッケージの許容損失を大幅に超えてしまう。

[0043] 通常、放熱性を高くしたＳＯＰ（Ｓｍａｌｌ Ｏｕｔｌｉｎｅ Ｐａｃｋａｇｅ）の熱許容損失のみでも０．８Ｗ程度である。パッケージの熱許容損失を０．８Ｗ以下にするためには、高耐圧ＭＯＳＦＥＴ１，２のオン・オフデューティを４％以下まで短くする必要がある。しかしながら、高耐圧ＭＯＳＦＥＴ１，２のオンデューティを短くした場合、特に中小容量の電源機器に用いる数百ｋＨｚから数ＭＨｚの高スイッチング周波数で高耐圧ＩＣを使用する場合に、レベルシフト回路の入力容量や出力容量、その後段のバッファ回路（ＮＯＴ回路８，９、ＬＰＦ３０，３１など）およびドライバ１６の入力容量による遅延時間との関係が問題となり得る。

[0044] 図１６に示すような一般的なレベルシフト回路と浮遊電位領域とを内蔵した高耐圧ＩＣの場合、高耐圧ＭＯＳＦＥＴ１と負荷抵抗３とからなる負荷抵抗回路または高耐圧ＭＯＳＦＥＴ２と負荷抵抗４とからなる負荷抵抗回路からドライバ１６までのターンオン・オフの伝達遅延時間は、前述の寄生の出力容量５１，５２の影響で１００ｎｓ程度となる。

[0045] すなわち、高耐圧ＩＣの発振周波数を１ＭＨｚとした場合、１０％デューティは１００ｎｓのオン期間になるため、１０％デューティ以下のオンデューティおよび９０％以上のオフデューティには設定できないという制約が発生する。そのため、高耐圧ＭＯＳＦＥＴ１，２の平均損失を減らすために高耐圧ＭＯＳＦＥＴ１，２のオン・オフデューティを４％以下で駆動しても、伝達遅延時間によってはオン信号が伝わらないおそれがある。

[0046] ｄＶ／ｄｔサージによる変位電流によって生じる誤信号の信号レベルは、

図１６に記載してある高耐圧ＭＯＳＦＥＴ１，２の寄生の出力容量５１，５２の容量値に大きく依存する。一方、ＮＯＴ回路８，９やＬＰＦ３０，３１、その他のメタル配線下の浮遊容量等は、高耐圧ＭＯＳＦＥＴ１，２の寄生の出力容量５１，５２の容量値に比べて、ｄＶ／ｄｔサージによる変位電流によって生じる誤信号の信号レベルへの影響度が低い。

[0047] したがって、高耐圧ＩＣの許容損失を抑えながら、ｄＶ／ｄｔサージに基づく誤動作を引き起こす変位電流Ｉ１，Ｉ２を低減するには、高耐圧ＭＯＳＦＥＴ１，２の出力容量を低減することが非常に効果的である。

[0048] 図１７は、従来の高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要部を示す平面図である。また、図１８は、従来の高耐圧ＭＯＳＦＥＴの要部を示す断面図である。図１８は従来のレベルシフト回路に用いる高耐圧ＭＯＳＦＥＴの要部を示す断面図であり、図１８（ａ）および図１８（ｂ）はともに、図１７の切断線Ｘ－Ｘ’における要部断面図である。

[0049] 図１７，１８に示すように、従来のレベルシフト回路では、レベルシフト素子である高耐圧ＭＯＳＦＥＴ１１，１１ｂの平面形状を円形状にレイアウトし、高耐圧ＭＯＳＦＥＴ１１，１１ｂの中心に形成したドレインn^+領域１０３に接続したドレイン電極１２０のドレインパッドから浮遊電位領域３００へワイヤボンディングによりボンディングワイヤ２０１を接続している。

[0050] 従来の高耐圧ＭＯＳＦＥＴ１１，１１ｂは、前述した図１６の高耐圧ＭＯＳＦＥＴ１，２に相当するものであり、ゲートドライバＩＣと称せられる高耐圧ＩＣの高電圧と低電圧とのインターフェースとして機能するレベルシフト素子として使用される。図１８（ａ）に示すように、高耐圧ＭＯＳＦＥＴ１１は、次の各領域を備えている。p^-型シリコン基板１００の表面層には、n^-型領域１０１が形成されている。n^-型領域１０１のリン不純物の表面濃度は、1×10^{15}／cm^3以上1×10^{16}／cm^3以下であってもよい。n^-型領域１０１の深さＸｊは、７μｍ以上１０μｍ以下であってもよい。

[0051] n^-型領域１０１の表面層に選択的に、ドレインn^+領域１０３およびｎオフ

セット領域１０４が形成されている。ｎオフセット領域１０４は、ドレインｎ$^+$領域１０３を取り囲む。ｎオフセット領域１０４のリン不純物の表面濃度は、１×１０^{17}／ｃｍ^{3}以上１×１０^{18}／ｃｍ^{3}以下であってもよい。ｎオフセット領域１０４の深さＸｊは、１μｍ以上２μｍ以下であってもよい。

[0052] また、ｎ$^-$型領域１０１の表面層には、ｐ$^-$ウエル領域１０２が形成されている。ｐ$^-$ウエル領域１０２は、ｎ$^-$型領域１０１の外周部を取り囲むグランドＧｎｄ（共通電位ＣＯＭ）に接続された領域である。ｐ$^-$ウエル領域１０２のボロン不純物の表面濃度は、１×１０^{15}／ｃｍ^{3}以上１×１０^{18}／ｃｍ^{3}以下であってもよい。ｐ$^-$ウエル領域１０２の深さＸｊは、１０μｍ以上１３μｍ以下であってもよい。ｐ$^-$ウエル領域１０２は、ｐ$^-$型シリコン基板１００に達する深さで形成されている。

[0053] また、ｐ$^-$ウエル領域１０２とｎ$^-$型領域１０１との間には、ｐベース領域１０５が形成されている。ｐベース領域１０５は、チャネル領域としても機能する。ｐベース領域１０５のボロン不純物の表面濃度は、１×１０^{16}／ｃｍ^{3}以上１×１０^{19}／ｃｍ^{3}以下であってもよい。ｐベース領域１０５の深さＸｊは、４．０μｍ以上５．５μｍ以下であってもよい。ｐベース領域１０５の表面層に選択的に、ベースピックアップｐ$^+$領域１１３および高耐圧ＭＯＳＦＥＴ１１のソースｎ$^+$領域１１４が形成されている。

[0054] ｐベース領域１０５の上に、ゲート酸化膜を介して高耐圧ＭＯＳＦＥＴ１１のゲート電極１１５が形成されている。ゲート電極１１５は、例えばポリシリコンからなる。ｎ$^-$型領域１０１の上には、ドレインｎ$^+$領域１０３と接続される高耐圧ＭＯＳＦＥＴ１１のドレイン電極１２０、およびソースｎ$^+$領域１１４と接続される高耐圧ＭＯＳＦＥＴ１１のソース電極１２１が形成されている。

[0055] また、ｎ$^-$型領域１０１の上には、フィールド酸化膜のＬＯＣＯＳ（Ｌｏｃａｌ Ｏｘｉｄａｔｉｏｎ ｏｆ Ｓｉｌｉｃｏｎ）１５１、ＴＥＯＳ（Ｔｅｔｒａ Ｅｔｈｙｌ Ｏｒｔｈｏ Ｓｉｌｉｃａｔｅ）やＢＰＳＧ（Ｂｏｒｏ－Ｐｈｏｓｐｈｏ Ｓｉｌｉｃａｔｅ Ｇｌａｓｓ）などによる層間絶

縁膜１５２、およびプラズマＣＶＤによるシリコン酸化膜とシリコン窒化膜からなるパッシベーション膜１５３が形成されている。

[0056] ＬＯＣＯＳ１５１は、ｐベース領域１０５とｎオフセット領域１０４との間に露出するｎ⁻型領域１０１を覆う。層間絶縁膜１５２は、ゲート電極１１５、ドレイン電極１２０およびソース電極１２１を互いに絶縁する。パッシベーション膜１５３は、高耐圧ＭＯＳＦＥＴ１１の、ドレインｎ⁺領域１０３、ソースｎ⁺領域１１４、ゲート電極１１５、ドレイン電極１２０およびソース電極１２１などのＭＯＳゲート構造を保護する。

[0057] 図１８（ａ）に示す高耐圧ＭＯＳＦＥＴ１１では、ｄＶ／ｄｔサージによる交流出力端子ＯＵＴの電位の跳ね上がりで、過渡的に高耐圧ＭＯＳＦＥＴ１１のドレイン電位が上昇したときに構成される寄生容量のうち、大きな割合を占める出力容量成分（Ｃｄｓ１，Ｃｄｓ２，Ｃｄｓｕｂ）について表記している。高耐圧ＭＯＳＦＥＴ１１の入力容量成分（Ｃｇｄ，Ｃｇｓ）については、高耐圧ＭＯＳＦＥＴ１１の全体の寄生容量の数%程度のため図示を省略してある。

[0058] 図１８（ａ）に示した出力容量成分のうち、ソース・ドレイン間容量Ｃｄｓは、ｐ⁻ウエル領域１０２およびｐベース領域１０５とｎ⁻型領域１０１との接合で構成される出力容量成分Ｃｄｓ１と、負極側のフィールドプレートとしてドレインｎ⁺領域１０３方向に張出してあるソース電極１２１とその直下にあるｎ⁻型領域１０１との間に形成されたＬＯＣＯＳ１５１に寄生する出力容量成分Ｃｄｓ２とからなる。

[0059] すなわち、ソース・ドレイン間容量Ｃｄｓは、出力容量成分Ｃｄｓ１と出力容量成分Ｃｄｓ２との総和（Ｃｄｓ＝Ｃｄｓ１＋Ｃｄｓ２）である。小信号モデルＡＣ周波数１ＭＨｚの条件でＣ－Ｖ特性シミュレーションを行った結果、ドレイン電位が３０Ｖのときのソース・ドレイン間容量Ｃｄｓはおよそ０．４ｐＦ程度の容量値を持つ。

[0060] また、図１８（ａ）に示した出力容量成分のうち、基板・ドレイン間容量Ｃｄｓｕｂは、ｐ⁻型シリコン基板１００とｎ⁻型領域１０１との接合で構成さ

れる。基板・ドレイン間容量Ｃｄｓｕｂは、高耐圧ＭＯＳＦＥＴ１１の寄生容量成分で最も大きな割合を示している。小信号モデルＡＣ周波数１ＭＨｚの条件でＣ－Ｖ特性シミュレーションを行った結果、ドレイン電位が３０Ｖのときの基板・ドレイン間容量Ｃｄｓｕｂはおよそ１．６ｐＦ程度の容量値を持つ。

[0061] また、図１８（ｂ）に、図１７に示す高耐圧ＩＣに用いる高耐圧ＭＯＳＦＥＴの別の一例を示す。図１８（ｂ）は、ｐ$^-$型シリコン基板１００上に数μｍ以上の厚さのシリコン酸化膜２００を介してｎ$^-$型シリコン基板４０１が形成されたＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板に高耐圧ＭＯＳＦＥＴ１１ｂを形成したものである。ｐ$^-$ウエル領域１０２はシリコン酸化膜２００に接するように形成される。

[0062] 高耐圧ＭＯＳＦＥＴ１１ｂのｎ$^-$型シリコン基板４０１に形成されるその他の領域は、図１８（ａ）示す高耐圧ＭＯＳＦＥＴ１１のｎ$^-$型領域１０１に形成された領域と同様に形成される。このような高耐圧ＭＯＳＦＥＴ１１ｂにおいても、図１８（ａ）に示す高耐圧ＭＯＳＦＥＴ１１と同様に、ソース・ドレイン間容量Ｃｄｓ（＝Ｃｄｓ１＋Ｃｄｓ２）を有している。

[0063] 円形状の平面形状をなす高耐圧ＭＯＳＦＥＴ１１の出力容量成分を低減するには、グランドＧｎｄ（共通電位ＣＯＭ）に接続するｐベース領域１０５、ｐ$^-$ウエル領域１０２およびｐ$^-$型シリコン基板１００と、ドリフト領域（耐圧領域）であるｎ$^-$型領域１０１とによるＰＮ接合面積を小さくすることが考えられる。ＰＮ接合面積を小さくすることで、ドレイン・ソース間容量Ｃｄｓと、基板・ドレイン間容量Ｃｄｓｕｂとを小さくすることができる。

[0064] しかしながら、一般に、円形状の平面形状をなす領域からなるＰＮ接合面積を小さくすることは、円形状の平面形状をなす領域の径を小さくすることになる。すなわち、高耐圧ＭＯＳＦＥＴ１１において円形状の平面形状をなす領域の径を小さくすることは、ドリフト領域（耐圧領域）のドリフト長Ｌｄを短くすることになり、ドリフト長Ｌｄを短くすることは、高耐圧ＭＯＳＦＥＴ１１の耐圧が低くなることにつながる。

[0065] このため、高耐圧ＭＯＳＦＥＴ１１の円形状の径を維持したまま、出力容量のみ低減することが求められる。高耐圧ＭＯＳＦＥＴ１１ｂにおいても、ＰＮ接合面積を小さくすることで耐圧が低くなるという高耐圧ＭＯＳＦＥＴ１１と同様の問題が生じる。このため、高耐圧ＭＯＳＦＥＴ１１ｂにおいても、円形状の径を維持したまま出力容量のみ低減するという高耐圧ＭＯＳＦＥＴ１１と同様の課題がある。

[0066] また、上述した特許文献２においては、レベルシフト用の高耐圧ＭＯＳＦＥＴの耐圧構造と分離島領域の耐圧構造とを共有化するものについて記載されている。しかしながら、高耐圧ＭＯＳＦＥＴの耐圧構造と分離島領域の耐圧構造とをそれぞれ構成するものについては何ら記載されていない。また、高耐圧ＭＯＳＦＥＴの出力容量についても記載されていない。

[0067] この発明は、上述した従来技術による問題点を解消するため、スイッチング応答速度が速い半導体装置を提供することを目的とする。また、この発明は、上述した従来技術による問題点を解消するため、電力損失および誤動作を抑制した駆動回路を提供することを目的とする。

課題を解決するための手段

[0068] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、第１導電型の半導体基板上に位置する第２導電型の耐圧領域と、前記耐圧領域の一部の表面層に形成された第２導電型のドレイン拡散領域と、前記ドレイン拡散領域と離れて前記ドレイン拡散領域を囲むように前記耐圧領域に接して形成された第１導電型のベース領域と、前記ベース領域の表面層に形成された第１導電型のピックアップ領域と、前記ピックアップ領域に接続された第１主電極と、前記ドレイン拡散領域に接続された、前記第１主電極に印加される電圧よりも高い電圧が印加される第２主電極と、前記半導体基板と接し、前記耐圧領域を囲む分離領域と、を備え、前記耐圧領域は、前記ドレイン拡散領域を有するドリフト領域と、前記ドレイン拡散領域を有しておらず前記ドレイン拡散領域または第２主電極と高抵抗素子を介して電気的に接続される他の領域と、を備え、前記ドリフト領域と前記他の

領域との間に、前記分離領域および前記半導体基板と接し、前記ドリフト領域と前記他の領域を離間する第１導電型半導体領域と、前記ドリフト領域内の前記ベース領域の表面層に位置し、前記第１主電極と接続される第２導電型のソース拡散領域と、前記ドリフト領域と前記ソース拡散領域の間の前記ベース領域の表面上に絶縁膜を介して形成されたゲート電極と、を備え、前記高抵抗素子の抵抗値Ｒ（Ω）が次の式（１）を満たすことを特徴とする。

[0069] [数1]

$$R \geqq 1/(2\pi \cdot C \cdot fc) \quad \cdots (1)$$

ここで、
R:高抵抗素子の抵抗値(Ω)
C:高耐圧半導体装置の出力容量(F)
fc:高耐圧半導体装置のスイッチング動作周波数(Hz)

[0070] また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、第１導電型の半導体基板上に位置する第２導電型の耐圧領域と、前記耐圧領域の一部の表面層に形成された第１導電型のコレクタ拡散領域と、前記コレクタ拡散領域と離れて前記コレクタ拡散領域を囲むように前記耐圧領域に接して形成された第１導電型のベース領域と、前記ベース領域の表面層に形成された第１導電型のピックアップ領域と、前記ピックアップ領域に接続された第１主電極と、前記コレクタ拡散領域に接続された、前記第１主電極に印加される電圧よりも高い電圧が印加される第２主電極と、前記半導体基板と接し、前記耐圧領域を囲む分離領域と、を備え、前記耐圧領域は、前記コレクタ拡散領域を有するドリフト領域と、前記コレクタ拡散領域を有しておらず前記コレクタ拡散領域または第２主電極と高抵抗素子を介して電気的に接続される他の領域と、を備え、前記ドリフト領域と前記他の領域との間に、前記分離領域および前記半導体基板と接し、前記ドリフト領域と前記他の領域を離間する第１導電型半導体領域と、前記ドリフト領域内の前記ベース領域の表面層に位置し、前記第１主電極と接続される第２導電型のエミッタ拡散領域と、前記ドリフト領域と前記エミッタ拡散領域

の間の前記ベース領域の表面上に絶縁膜を介して形成されたゲート電極と、を備え、前記高抵抗素子の抵抗値Ｒ（Ω）が上記式（１）を満たすことを特徴とする。

[0071] また、この発明にかかる半導体装置は、上述した発明において、前記耐圧領域は、前記半導体基板の表面層に選択的に形成された拡散領域であることを特徴とする。

[0072] また、この発明にかかる半導体装置は、上述した発明において、前記分離領域は、前記半導体基板の表面層に選択的に形成された前記半導体基板より不純物濃度の高い拡散領域であることを特徴とする。

[0073] また、この発明にかかる半導体装置は、上述した発明において、前記分離領域は、前記半導体基板の表面から形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁体とからなることを特徴とする。

[0074] また、この発明にかかる半導体装置は、上述した発明において、前記第１導電型半導体領域は、前記半導体基板の表面層に選択的に形成された拡散領域であることを特徴とする。

[0075] また、この発明にかかる半導体装置は、上述した発明において、前記第１導電型半導体領域は、前記半導体基板が表面に露出した領域であることを特徴とする。

[0076] また、この発明にかかる半導体装置は、上述した発明において、前記耐圧領域は、前記半導体基板の上に形成された第２導電型のエピタキシャル成長層であることを特徴とする。

[0077] また、この発明にかかる半導体装置は、上述した発明において、前記分離領域は、前記エピタキシャル成長層の表面から前記半導体基板に達する前記半導体基板より不純物濃度の高い拡散領域であることを特徴とする。

[0078] また、この発明にかかる半導体装置は、上述した発明において、前記分離領域は、前記エピタキシャル成長層の表面から前記半導体基板に達するトレンチとこのトレンチ内に埋め込まれた絶縁体からなることを特徴とする。

[0079] また、この発明にかかる半導体装置は、上述した発明において、前記第１

導電型半導体領域は、前記エピタキシャル成長層の表面から前記半導体基板に達する拡散領域からなることを特徴とする。

[0080] また、この発明にかかる半導体装置は、上述した発明において、前記耐圧領域は、前記半導体基板の上に絶縁膜を介して形成されたＳＯＩ層に形成された領域であることを特徴とする。

[0081] また、この発明にかかる半導体装置は、上述した発明において、前記分離領域は、前記ＳＯＩ層の表面から前記絶縁膜に達する前記半導体基板より不純物濃度の高い拡散領域であることを特徴とする。

[0082] また、この発明にかかる半導体装置は、上述した発明において、前記分離領域は、前記ＳＯＩ層の表面から前記絶縁膜に達するトレンチとこのトレンチ内に埋め込まれた絶縁体からなることを特徴とする。

[0083] また、この発明にかかる半導体装置は、上述した発明において、前記第１導電型半導体領域は、前記ＳＯＩ層の表面から前記絶縁膜に達する拡散領域であることを特徴とする。

[0084] また、この発明にかかる半導体装置は、上述した発明において、前記第２主電極または前記第２主電極と接続されるフィールドプレートが前記他の領域上に絶縁膜を介して配置されることを特徴とする。

[0085] また、この発明にかかる半導体装置は、上述した発明において、前記他の領域が複数の領域からなり、当該複数の領域のそれぞれの間に前記第１導電型半導体領域を備えたことを特徴とする。

[0086] また、この発明にかかる半導体装置は、上述した発明において、前記ドリフト領域が複数の領域からなり、当該複数の領域のそれぞれの間に前記第１導電型半導体領域を備えたことを特徴とする。

[0087] また、この発明にかかる半導体装置は、上述した発明において、前記第１主電極に印加される電圧よりも高い電圧が前記第２主電極に印加された際に、前記第１導電型半導体領域と前記ドリフト領域または前記他の領域とのＰＮ接合でアバランシェブレークダウンする前に、前記ＰＮ接合から前記第１導電型半導体領域に広がる空乏層同士が接続することを特徴とする。

[0088] また、この発明にかかる駆動回路は、主直流電源の正極に主端子の一方が接続され、交流出力端子に主端子の他方が接続された１つ以上の出力パワーデバイスのゲートを駆動するための駆動回路であって、前記出力パワーデバイスの主端子のうちのいずれか一方を基準とした前記主直流電源よりも低電圧の第１の補助直流電源により電流が供給される高電位側低耐圧回路と、前記主直流電源の負極を基準とした前記主直流電源よりも低電圧の第２の補助直流電源により電流を供給される低電位側低耐圧回路からの信号をレベルシフトして前記高電位側低耐圧回路に伝送する高耐圧トランジスタと、を備え、前記高耐圧トランジスタが、上述した発明における半導体装置であることを特徴とする。

[0089] 上述した発明によれば、高耐圧ＭＯＳＦＥＴ（半導体装置）は、ドリフト領域であるｎ⁻型領域からなる耐圧領域を２つまたは複数に離間して形成し、それぞれのｎ⁻型領域の間にｐ⁻領域（第１導電型半導体領域）を設けた構成とする。また、高耐圧ＭＯＳＦＥＴは、耐圧領域を分離して形成された複数のｎ⁻型領域のうち、１つのｎ⁻型領域内にｎ⁻型領域よりも高不純物濃度のドレイン拡散領域を形成し、他の１つ以上のｎ⁻型領域とドレイン拡散領域またはドレイン電極（第２主電極）とを高抵抗素子を介して接続する構成とする。ドレイン拡散領域は、高電位配線と接続されるものである。

[0090] このような構造を用いることで、高耐圧ＭＯＳＦＥＴは、高耐圧を保証するために、例えば円形状の平面形状をなす耐圧領域がＭＯＳＦＥＴに要求される電流駆動能力以上の面積となる場合に、その必要な電流能力以外の耐圧領域における寄生容量成分などを実使用条件のスイッチング周波数に応じて無効化することができる。これにより、安価に高耐圧ＭＯＳＦＥＴの出力容量を低減することができる。このため、レベルシフト回路に高耐圧ＭＯＳＦＥＴを用いた場合、ｄＶ／ｄｔサージ発生時の変位電流を小さくすることができる。

[0091] また、上述した発明によれば、高耐圧ＭＯＳＦＥＴの出力容量を低減することで、高耐圧ＭＯＳＦＥＴのゲートにオン信号を入力したときに、出力容

量の放電を早くすることができる。さらに、高耐圧ＭＯＳＦＥＴをレベルシフト回路に用いた場合、ハイサイド駆動回路部のターンオン・ターンオフ伝達遅延時間を短くすることができる。伝達遅延時間が短くなることで、高耐圧ＭＯＳＦＥＴを駆動するオンデューティも小さく設定することが可能となる。

[0092] また、上述した発明によれば、高耐圧ＭＯＳＦＥＴを駆動するオンデューティを小さく設定することができるので、高耐圧ＩＣを樹脂封止するためのパッケージの許容損失を維持したまま、高耐圧ＩＣのレベルシフト用の負荷抵抗部分を小さくすることができる。その結果、高耐圧ＩＣのレベルシフト回路での電力損失を抑えつつ、ｄＶ／ｄｔサージ発生時の変位電流の電流値と負荷抵抗部分の抵抗値との両方が小さくなる。これにより、負荷抵抗部分での電圧降下が小さくなり、ｄＶ／ｄｔサージによって誤動作しにくい駆動回路を実現することができる。

発明の効果

[0093] 本発明にかかる半導体装置および駆動回路によれば、スイッチング応答速度が速い半導体装置を提供することができるという効果を奏する。また、本発明にかかる半導体装置および駆動回路によれば、電力損失および誤動作を抑制された駆動回路を提供することができるという効果を奏する。

図面の簡単な説明

[0094] [図1]図１は、本発明の実施の形態１にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。

[図2]図２は、本発明にかかる高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要部を示す平面図である。

[図3]図３は、図２で示す高耐圧ＭＯＳＦＥＴの要部における平面レイアウトを示す平面図である。

[図4]図４は、図２の切断線Ａ－Ａ’の断面構造の別の一例を示す断面図である。

[図5]図５は、図２の切断線Ａ－Ａ’の断面構造の別の一例を示す断面図である。

[図6]図６は、本発明の実施の形態２にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。

[図7]図７は、図６で示す高耐圧ＭＯＳＦＥＴの要部における平面レイアウトを示す平面図である。

[図8]図８は、本発明の実施の形態３にかかる高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要部を示す平面図である。

[図9]図９は、本発明の実施の形態４にかかる高耐圧ＭＯＳＦＥＴの要部を示す平面図である。

[図10]図１０は、本発明の実施の形態５にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。

[図11]図１１は、本発明の実施の形態６にかかる高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要部を示す説明図である。

[図12]図１２は、本発明の実施の形態７にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。

[図13]図１３は、本発明の実施の形態８にかかる高耐圧ＭＯＳＦＥＴの要部を示す説明図である。

[図14]図１４は、本発明の実施の形態８にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。

[図15]図１５は、図２の切断線Ａ－Ａ’の断面構造の別の一例を示す断面図である。

[図16]図１６は、一般的なレベルシフト回路を内蔵した高耐圧ＩＣの回路図である。

[図17]図１７は、従来の高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要

部を示す平面図である。

[図18]図１８は、従来の高耐圧ＭＯＳＦＥＴの要部を示す断面図である。

発明を実施するための形態

[0095] 以下図面を参照して、この発明にかかる半導体装置および駆動回路の好適な実施の形態を詳細に説明する。図面の記載において、図面は模式的なものであり、半導体装置を構成する各層の厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なる。したがって、各層の具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

[0096] 本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0097] また、以下の実施の形態では、半導体基板としてシリコン（Ｓｉ）基板を用いて説明しているが、炭化珪素（ＳｉＣ）や窒化ガリウム（ＧａＮ）などシリコン以外の半導体基板を用いた場合でも同様に効果を得ることができる。

[0098] （実施の形態１）

図１～図３および図１６を用いて実施の形態１について説明する。図１は、本発明の実施の形態１にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。また、図２は、本発明にかかる高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要部を示す平面図である。図２の切断線Ａ－Ａ’の断面構造が図１（ａ）に示す断面図に対応する。図２の切断線Ｂ－Ｂ’線の断面構造が図１（ｂ）に示す断面図に対応する。

[0099] また、図３は、図２で示す高耐圧ＭＯＳＦＥＴの要部における平面レイア

ウトを示す平面図である。図３には、高耐圧ＭＯＳＦＥＴ７１を構成する各領域のうち、ｎ⁻型領域１０１の表面に露出する領域の平面レイアウトのみを示す。なお、図２において、高耐圧ＭＯＳＦＥＴ７１を構成する半導体領域のうちｎオフセット領域１０４およびｐ⁻領域１３１のみを破線で示した。

[0100] 図１の高耐圧ＭＯＳＦＥＴ７１は、前述した図１６の高耐圧ＭＯＳＦＥＴ１，２に相当する。図２の浮遊電位領域３００は、図１６の破線で囲まれた回路部分の補助直流電源Ｅ１以外を備える領域に相当し、上側アームの出力スイッチング素子（ＩＧＢＴ１７）のゲートドライバなどを備えている。図２の浮遊電位領域３００では、図１６の破線で囲まれた回路部分の負荷抵抗３，４のみを示している。

[0101] 浮遊電位領域３００において、Ｖｃｃ１パッドは、図１６の補助直流電源Ｅ１の正極側に浮遊電位領域３００を配線接続するためのパッドである。ＩＧＢＴ－ＧＡＴＥパッドは、図１６の主直流電源の正極側Ｖｄｃと交流出力端子ＯＵＴの間に接続されたＩＧＢＴ１７のゲートと浮遊電位領域３００とを配線接続するためのパッドである。ＯＵＴパッドは、図１６の交流出力端子ＯＵＴおよび補助直流電源Ｅ１の負極側と浮遊電位領域３００とを配線接続するためのパッドである。また、浮遊電位領域３００を囲むように高電圧接合終端構造が形成されている。図２の高耐圧ＩＣは、図１６のＩＧＢＴ１７を駆動するための駆動回路である。

[0102] 高耐圧ＭＯＳＦＥＴ７１は、次の各領域を備えている。ｐ⁻型シリコン基板１００の表面層に選択的に、ｎ⁻型領域１０１（耐圧領域）が形成されている。ｎ⁻型領域１０１は、不純物拡散により形成されている。ｎ⁻型領域１０１のリン不純物の表面濃度は、1×10^{15}／ｃｍ^{3}以上1×10^{16}／ｃｍ^{3}以下であってもよい。ｎ⁻型領域１０１の深さＸｊは、７μｍ以上１０μｍ以下であってもよい。

[0103] また、ｐ⁻型シリコン基板１００の表面層に選択的に、ｐ⁻ウエル領域１０２（分離領域）が形成されている。ｐ⁻ウエル領域１０２は、ｎ⁻型領域１０１の外周部を取り囲む。ｐ⁻ウエル領域１０２は、ｐ⁻ウエル領域１０２の外側に形

成される例えば素子との分離領域である。ｐ⁻ウエル領域１０２は、グランドＧｎｄ（共通電位ＣＯＭ）に接続される。ｐ⁻ウエル領域１０２は、ｐ⁻型シリコン基板１００よりも高い不純物濃度を有する。

[0104] ｐ⁻ウエル領域１０２のボロン不純物の表面濃度は、１×１０^{15}／ｃｍ^{3}以上１×１０^{18}／ｃｍ^{3}以下であってもよい。ｐ⁻ウエル領域１０２の深さＸｊは、１０μｍ以上１３μｍ以下であってもよい。ｐ⁻ウエル領域１０２は、ｐ⁻型シリコン基板１００に達する深さで形成されている。

[0105] ｎ⁻型領域１０１を貫通しｐ⁻型シリコン基板１００に達するｐ⁻領域１３１（第１導電型半導体領域）が形成されている。ｐ⁻領域１３１は、ｎ⁻型領域１０１を２つのｎ⁻型領域１０１ａ（ドリフト領域）およびｎ⁻型領域１０１ｂ（他の領域）に分離する。ｐ⁻領域１３１のボロン不純物の表面濃度は、１×１０^{15}／ｃｍ^{3}以上１×１０^{17}／ｃｍ^{3}以下であってもよい。ｐ⁻領域１３１の深さＸｊが１０μｍ以上１３μｍ以下であってもよい。

[0106] ｐ⁻ウエル領域１０２とｎ⁻型領域１０１との間には、ｐベース領域１０５が形成されている。ｐベース領域１０５は、ｐ⁻ウエル領域１０２およびｎ⁻型領域１０１に接する。ｐベース領域１０５は、チャネル領域としても機能する。ｐベース領域１０５のボロン不純物の表面濃度は、１×１０^{16}／ｃｍ^{3}以上１×１０^{19}／ｃｍ^{3}以下であってもよい。ｐベース領域１０５の深さＸｊは、４．０μｍ以上５．５μｍ以下であってもよい。

[0107] ｐ⁻領域１３１によって分離されたｎ⁻型領域１０１の一方のｎ⁻型領域１０１ａにおいて、ｐベース領域１０５の表面層に選択的に、ベースピックアップｐ⁺領域１１３および高耐圧ＭＯＳＦＥＴ７１のソースｎ⁺領域１１４が形成されている。ソースｎ⁺領域１１４は、ソースｎ⁺領域１１４は、ベースピックアップｐ⁺領域１１３よりもｐ⁻領域１３１側に形成されている。また、ソースｎ⁺領域１１４は、ｐ⁻領域１３１に接しないように形成されている。

[0108] また、ｐベース領域１０５とｐ⁻領域１３１との間に露出するｎ⁻型領域１０１ａの表面層に選択的に、高耐圧ＭＯＳＦＥＴ７１のドレインｎ⁺領域１０３が形成されている。ドレインｎ⁺領域１０３は、ｐ⁻領域１３１およびｐベース

領域１０５に接しないように形成されている。ドレインｎ$^+$領域１０３は、ｎ$^-$型領域１０１よりも高い不純物濃度を有する。

[0109] ｐ$^-$領域１３１によって分離されたｎ$^-$型領域１０１のうちの他方のｎ$^-$型領域１０１ｂの表面層には、ｎ$^+$領域１０３ａが形成されている。ｎ$^+$領域１０３ａは、ｐ$^-$領域１３１を挟んでドレインｎ$^+$領域１０３と対称に形成されている。ｎ$^+$領域１０３ａは、ｎ$^-$型領域１０１ｂに設けられたｐベース領域１０５と離れて形成されている。

[0110] ｎオフセット領域１０４は、ドレインｎ$^+$領域１０３およびｎ$^+$領域１０３ａを取り囲み、かつｎ$^-$型領域１０１ａからｎ$^-$型領域１０１ｂに渡って形成されている。すなわち、ｎオフセット領域１０４は、ドレインｎ$^+$領域１０３およびｎ$^+$領域１０３ａに接し、ドレインｎ$^+$領域１０３およびｎ$^+$領域１０３ａの下の領域を覆う。ｎオフセット領域１０４の平面形状については後述する。ｎオフセット領域１０４のリン不純物の表面濃度は、１×１０^{17}／ｃｍ^{3}以上１×１０^{18}／ｃｍ^{3}以下であってもよい。ｎオフセット領域１０４の深さＸｊは、１μｍ以上２μｍ以下であってもよい。

[0111] ソースｎ$^+$領域１１４とｎ$^-$型領域１０１ａとの間に露出するｐベース領域１０５の上には、ゲート酸化膜を介して高耐圧ＭＯＳＦＥＴ７１のゲート電極１１５が形成されている。ゲート電極１１５は、例えばポリシリコンからなる。また、ゲート電極１１５は、ｐ$^-$領域１３１上に張出さないように形成されている。

[0112] 高耐圧ＭＯＳＦＥＴ７１のドレイン電極１２０（第２主電極）は、ドレインｎ$^+$領域１０３と接続されている。また、ドレイン電極１２０は、ボンディングワイヤ２０１を介して浮遊電位領域３００のＶｃｃ１パッドに接続されている。高耐圧ＭＯＳＦＥＴ７１のソース電極１２１（第１主電極）は、ｎ$^-$型領域１０１ａにおいてベースピックアップｐ$^+$領域１１３およびソースｎ$^+$領域１１４と接続され、ｎ$^-$型領域１０１ｂにおいてベースピックアップｐ$^+$領域１１３と接続されている。また、ソース電極１２１は、グランドＧｎｄ（共通電位ＣＯＭ）に接続されている。

[0113] ｎ⁻型領域１０１の上には、フィールド酸化膜のＬＯＣＯＳ１５１、ＴＥＯＳやＢＰＳＧなどによる層間絶縁膜１５２、およびプラズマＣＶＤによるシリコン酸化膜とシリコン窒化膜からなるパッシベーション膜１５３が形成されている。ＬＯＣＯＳ１５１は、ｐベース領域１０５とｎオフセット領域１０４との間に露出するｎ⁻型領域１０１、およびｎオフセット領域１０４のｐ⁻領域１３１に形成された部分を覆う。また、ＬＯＣＯＳ１５１は、ベースピックアップｐ⁺領域１１３の基板外周部側の端部からｐ⁻ウエル領域１０２にわたって、ｐベース領域１０５およびｐ⁻ウエル領域１０２を覆う。

[0114] 層間絶縁膜１５２は、ｎ⁺領域１０３ａを覆う。また、層間絶縁膜１５２は、ゲート電極１１５、ドレイン電極１２０およびソース電極１２１を互いに絶縁する。パッシベーション膜１５３は、高耐圧ＭＯＳＦＥＴ１１の、ドレインｎ⁺領域１０３、ソースｎ⁺領域１１４、ゲート電極１１５、ドレイン電極１２０およびソース電極１２１などのＭＯＳゲート構造を保護する。

[0115] ｐ⁻領域１３１は、円形状の平面形状をなすｎ⁻型領域１０１の中心を通るように直線状の平面形状で形成され、ｎ⁻型領域１０１の中心を挟んで対抗するｐ⁻ウエル領域１０２の一部からｐ⁻ウエル領域１０２の一部にまで伸びている。かつ、ｐ⁻領域１３１は、深さ方向において、ｐ⁻型シリコン基板１００とも接して形成され、ｎ⁻型領域１０１を２つのｎ⁻型領域１０１ａ，１０１ｂに分離する。

[0116] ｐ⁻ウエル領域１０２が接続された共通電位ＣＯＭの電位は、図１６に示すように、出力スイッチング素子であるＩＧＢＴ１７，１８の両端にかかる主直流電源の負極側、補助直流電源Ｅ２の負極側、ドライバ２０の負極側および高耐圧ＭＯＳＦＥＴ１，２の負極側に共通する共通電位である。

[0117] また、ｎ⁻型領域１０１を２つに分離するｐ⁻領域１３１は製造工程削減のため、ｐ⁻ウエル領域１０２と同時に形成することもできる。ｐ⁻領域１３１により分離された２つの領域うちの一方のｎ⁻型領域１０１ａに、ソースｎ⁺領域１１４、ドレインｎ⁺領域１０３およびゲート電極１１５が形成されている。ソースｎ⁺領域１１４にはソース電極１２１が接続され、ドレインｎ⁺領域１０３

にはドレイン電極１２０が接続される。

[0118] また、ｐ⁻領域１３１により分離された２つの領域うちの他方のｎ⁻型領域１０１ｂの上方には、ＬＯＣＯＳ１５１や層間絶縁膜１５２などの絶縁膜を介してフィールドプレートとしてドレイン電極１２０が延在して形成されている。フィールドプレートは、ドレイン電極１２０と異なる層として形成し、ドレイン電極１２０と接続する構成としてもよい。フィールドプレートは、ｎ⁻型領域１０１ａ上およびｎ⁻型領域１０１ｂ上に同様の構成で形成される。

[0119] フィールドプレートのｎ⁻型領域１０１ａ側の端部の、ｎ⁻型領域１０１ａ上に形成されたソース電極１２１のｎ⁻型領域１０１ｂ側の端部からの距離と、フィールドプレートのｎ⁻型領域１０１ｂ側の端部の、ｎ⁻型領域１０１ｂ上に形成されたソース電極１２１のｎ⁻型領域１０１ａ側の端部からの距離とが等しくなるように形成することで、高耐圧ＭＯＳＦＥＴ７１に局所に電界が集中することを抑制する。

[0120] さらに、図３に示すように、ｎ⁻型領域１０１ｂには、ｎ⁻型領域１０１ａにあるｎオフセット領域１０４がｐ⁻領域１３１を経由してｎ⁻型領域１０１ｂまで引き回して形成されている（以下、ｎオフセット領域１０４の引き回し領域とする）。具体的には、ｎオフセット領域１０４の、ｎ⁻型領域１０１ａおよびｎ⁻型領域１０１ｂに形成された部分は、例えば、それぞれ円弧形状の平面形状をなす。また、ｎオフセット領域１０４の、ｐ⁻領域１３１に形成された部分は、例えば、直線状の平面形状をなす。

[0121] ｎオフセット領域１０４の、ｎ⁻型領域１０１ａに形成された円弧形状の平面形状をなす部分の一端は、ｐ⁻領域１３１に形成された直線状の平面形状をなす部分の一端とつながっている。ｎオフセット領域１０４の、ｎ⁻型領域１０１ｂに形成された円弧形状の平面形状をなす部分の一端は、ｐ⁻領域１３１に形成された直線状の平面形状をなす部分の他端とつながっている。すなわち、ｎオフセット領域１０４は、ｎ⁻型領域１０１ａおよびｎ⁻型領域１０１ｂにそれぞれ形成された円弧形状の平面形状をなす部分の一端どうしを、ｐ⁻領域１３１に形成された直線状の平面形状をなす部分でつないだ略Ｓ字形の平

面形状を有する。

[0122] ｎオフセット領域１０４の、ｎ⁻型領域１０１ａおよびｎ⁻型領域１０１ｂに形成された円弧形状の平面形状をなす部分には、それぞれｎオフセット領域１０４の平面形状に沿った円弧形状の平面形状をなすドレインｎ⁺領域１０３が形成されている。このようにｎオフセット領域１０４を設けることで、ｎ⁻型領域１０１ｂとｎ⁻型領域１０１ａのドレインｎ⁺領域１０３とはおよそ数ｋΩ～数十ｋΩの高抵抗で接続されることとなる。すなわち、ｎオフセット領域１０４の引き回し領域は、高抵抗素子となる。

[0123] 高耐圧ＭＯＳＦＥＴ７１の耐圧特性に影響を与えないようにするために、ｎオフセット領域１０４の引き回し領域（高抵抗素子）は、ドレイン電極１２０によって構成されるメタルフィールドプレートよりも外側（すなわち、ソースｎ⁺領域１１４側）には配置しない方が好ましい。また、ｎ⁺領域１０３ａは形成しなくてもよい。ｎ⁺領域１０３ａを形成しない場合、ｎ⁻型領域１０１ｂ内のｎオフセット領域１０４の表面はＬＯＣＯＳ１５１で覆われる。さらに、ｎ⁺領域１０３ａを形成しない場合、ｎオフセット領域１０４はｎ⁻型領域１０１ｂに接していればよい。

[0124] また、図３に示すように、ｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとでの耐圧のバランスを考慮して、ｎ⁻型領域１０１ａに形成するｎオフセット領域１０４とｎ⁻型領域１０１ｂに形成するｎオフセット領域１０４とがｐ⁻領域１３１を挟んで対称となるように形成されている。

[0125] また、平面形状が円形状の高耐圧ＭＯＳＦＥＴ７１の最外周のｐベース領域１０５およびｐ⁻ウエル領域１０２は連続してつながっているのが望ましい。ｐベース領域１０５およびｐ⁻ウエル領域１０２は、共通電位ＣＯＭであるグランドＧｎｄに接続される。ｐベース領域１０５を形成せずに、ｐ⁻ウエル領域１０２をｐベース領域１０５として利用してもよい。さらに、ｐ⁻型シリコン基板１００は、ｐ⁻ウエル領域１０２と接続することによりグランドＧｎｄ（共通電位ＣＯＭ）に接続されている。

[0126] ｐ⁻型シリコン基板１００の裏面に電極（図示を省略）を形成して、ｐ⁻型シ

リコン基板１００の裏面に形成した電極をグランドＧｎｄに接続してもよい。本実施の形態１では、ｎ⁻型領域１０１をｐ⁻型シリコン基板１００の表面層に選択的に不純物拡散によって形成し、ｎ⁻型領域１０１を囲むようにｐ⁻ウエル領域１０２を不純物拡散によって形成した場合を例に説明している。

[0127] 次に、高耐圧ＭＯＳＦＥＴ７１における、ドレインｎ⁺領域１０３とｎ⁻型領域１０１ｂとを接続する高抵抗のｎオフセット領域１０４とカットオフ周波数との関係について下記に示す。高耐圧ＭＯＳＦＥＴ７１は、例えば、図２で示す高耐圧ＩＣ（ＨＶＩＣ：Ｈｉｇｈ Ｖｏｌｔａｇｅ Ｇａｔｅ Ｄｒｉｖｅｒ ＩＣ）のハイサイド駆動回路と低電圧回路領域との信号のやり取りを行うレベルシフト素子として使用される。

[0128] また、レベルシフト素子以外の別の応用分野として、液晶パネルのドライバＩＣなどの電源分野の場合においては、高耐圧ＭＯＳＦＥＴ７１は、スイッチング周波数が１００ｋＨｚから５００ｋＨｚ程度の発振周波数の高耐圧ＩＣで使用される。

[0129] 一方、高耐圧ＭＯＳＦＥＴ７１のドレイン端子に電圧を印加したときのｎ⁻型領域１０１の寄生の出力容量（＝Ｃｄｓ＋Ｃｄｓｕｂ）を２ｐＦ程度とすると、ｎ⁻型領域１０１ｂの寄生の出力容量はｎ⁻型領域１０１の約半分の１ｐＦ程度となる。

[0130] この場合、ｎ⁻型領域１０１ｂの寄生容量Ｃと、ドレインｎ⁺領域１０３とｎ⁻型領域１０１ｂとの間のｎオフセット領域１０４の抵抗値ＲにおけるＣＲカットオフ周波数、すなわち高耐圧半導体装置（高耐圧ＭＯＳＦＥＴ）のスイッチング動作周波数ｆｃは、次の式（２）であらわされる。

[0131] [数2]

$$fc = 1/(2\pi \cdot C \cdot R) \quad \cdots (2)$$

ここで、
R:高抵抗素子の抵抗値(Ω)
C:高耐圧半導体装置の出力容量(F)
fc:高耐圧半導体装置のスイッチング動作周波数(Hz)

[0132] 例えば、スイッチング周波数１００ｋＨｚにおいて、高耐圧ＭＯＳＦＥＴの寄生容量による信号伝達遅延を低減するには、高耐圧ＭＯＳＦＥＴをスイッチングする際のスイッチング期間である立上り時間（ライズタイム）または立下り時間（フォールタイム）のそれぞれの期間でｎ$^{-}$型領域１０１ｂの寄生容量を無効化することができればよい。

[0133] 高耐圧ＭＯＳＦＥＴのライズタイムおよびフォールタイムをそれぞれ１０ｎｓ程度としてスイッチング周波数に換算した場合、高耐圧ＭＯＳＦＥＴのスイッチング動作周波数ｆｃは１００ＭＨｚとなる。これにより、上記式（２）から、ｎオフセット領域１０４のドレインｎ$^{+}$領域１０３とｎ$^{-}$型領域１０１ｂとの間の抵抗値Ｒは、

Ｒ＝１／（２π×１０$^{-12}$×１００×１０^{6}）＝１．６ｋΩ

となる。

[0134] したがって、スイッチング周波数１００ｋＨｚにおいて、高耐圧ＭＯＳＦＥＴの寄生容量による信号伝達遅延を低減するには、抵抗値Ｒを１．６ｋΩ以上にすればよい。この場合、例えば、幅を４μｍとしたｎオフセット領域１０４の引き回し領域のシート抵抗値を０．８ｋΩ／□（ｋｉｌｏｏｈｍ／ｓｑｕａｒｅ）とすれば、ｐ$^{-}$領域１３１の表面層に形成されるｎオフセット領域１０４の引き回し領域の長さは８μｍ程度確保することができればよい。このため、上記（２）式によって算出されたｎオフセット領域１０４の抵抗値Ｒは、レイアウト寸法上問題なく現実的な値となっていることがわかる。

[0135] 以上、説明したように、実施の形態１によれば、高耐圧ＭＯＳＦＥＴ７１のドレインｎ$^{+}$領域１０３とｎ$^{-}$型領域１０１ｂとの間に高抵抗のｎオフセット領域１０４を配置することで、従来の高耐圧ＭＯＳＦＥＴの出力容量よりも約４０%から５０%程度、寄生容量を低減することができる。この理由は、次のとおりである。

[0136] 高耐圧ＭＯＳＦＥＴ７１において、ｐ$^{-}$領域１３１によりｎ$^{-}$型領域１０１はｎ$^{-}$型領域１０１ａとｎ$^{-}$型領域１０１ｂとに分離され、ｎ$^{-}$型領域１０１ｂはｎ

$^-$型領域１０１ａに対し拡散抵抗からなるｎオフセット領域１０４の引き回し領域でドレインｎ$^+$領域１０３に接続される。これにより、ｎ$^-$型領域１０１ｂ部分は、ローパスフィルタとして機能し、ドレイン端子からソース端子に対しての出力容量成分とならない。このため、ｎ$^-$型領域１０１ｂの、ｐベース領域１０５、ｐ$^-$ウエル領域１０２およびｐ$^-$型シリコン基板１００とのＰＮ接合面積に応じて、ソース・ドレイン間容量Ｃｄｓおよび基板・ドレイン間容量Ｃｄｓｕｂを低減することができる。

[0137] ここで、本発明の高耐圧ＭＯＳＦＥＴ７１においては、ｐ$^-$領域１３１によりｎ$^-$型領域１０１を分離することで、ＭＯＳＦＥＴとして機能する実効のチャネル幅が減ってしまう。したがって、従来の高耐圧ＭＯＳＦＥＴに対してオン電流が低下することが懸念される。高耐圧ＭＯＳＦＥＴ７１のオン電流が低下することについては、例えば、次のような構成とすることで回避することができる。

[0138] チャネル領域であるｐベース領域１０５の不純物の表面濃度またはチャネル長（ソースｎ$^+$領域１１４とｎ$^-$型領域１０１ａとの距離）を種々変更することにより、電流駆動能力を容易に調整することが可能である。このため、高耐圧ＭＯＳＦＥＴ７１において、実効のチャネル幅が減った分、ｐベース領域１０５の不純物の表面濃度を低くして、Ｖｔｈ（しきい値）電圧を低く設定することで、所望のドレイン飽和電流を得ることができる。

[0139] 以上の説明では、ｎ$^-$型領域１０１を不純物の拡散により形成した場合について説明したが、ｐ$^-$型シリコン基板１００上にエピタキシャル成長によりｎ$^-$型領域１０１を形成してもよい。この場合、ｎ$^-$型領域１０１の不純物濃度は１×１０^{14}／ｃｍ^{3}以上１×１０^{16}／ｃｍ^{3}とすればよい。以下の各実施の形態においても同様に拡散領域からなるｎ$^-$型領域１０１をエピタキシャル成長により形成したエピタキシャル領域に置き換えた場合も同様の効果を得ることができる。

[0140] また、実施の形態１にかかる高耐圧ＭＯＳＦＥＴ７１の変形例を図４，５に示す。図４，５は、図２の切断線Ａ－Ａ’の断面構造の別の一例を示す断

面図である。図４に示す高耐圧ＭＯＳＦＥＴ７１１のように、ソース電極１２１とグランドＧｎｄ（共通電位ＣＯＭ）との間に負荷抵抗素子１６１を設けてもよい。図４に示す高耐圧ＭＯＳＦＥＴ７１１の場合、ｐベース領域１０５とｐ⁻ウエル領域１０２とを離して設け、ｐ⁻ウエル領域１０２が接するｐ⁻型シリコン基板１００をグランド電位としている。

[0141] また、図５に示す高耐圧ＭＯＳＦＥＴ７１２のように、図１の高耐圧ＭＯＳＦＥＴ７１で示したｐ⁻ウエル領域１０２の代わりに、分離領域をｐ⁻型シリコン基板１００の表面から形成されたトレンチ１７１とそのトレンチ１７１を埋め込むシリコン酸化膜１７２からなる構成としてもよい。図４，５に示す高耐圧ＭＯＳＦＥＴ７１１，７１２においても、図１に示す高耐圧ＭＯＳＦＥＴ７１と同様の効果を得ることができる。

[0142] また、ここでは、高耐圧ＭＯＳＦＥＴ７１，７１１，７１２がＮｃｈＭＯＳＦＥＴの場合を述べたが、ＰｃｎＭＯＳＦＥＴに対しても、上述のｎ型とｐ型の極性を置き換えるだけで実現することができるものであり、ＮｃｈＭＯＳＦＥＴに限定されるものではない。以下の各実施の形態においても実施の形態１と同様に、ｎ型ＭＯＳＦＥＴおよびｐ型ＭＯＳＦＥＴのいずれにおいても適用可能である。

[0143] （実施の形態２）

図６および図７を用いて実施の形態２にかかる高耐圧ＭＯＳＦＥＴについて説明する。図６は、本発明の実施の形態２にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。図７は、図６で示す高耐圧ＭＯＳＦＥＴの要部における平面レイアウトを示す平面図である。図７には、高耐圧ＭＯＳＦＥＴ７２を構成する各領域のうち、ｎ⁻型領域１０１の表面に露出する領域の平面レイアウトのみを示す。図６の高耐圧ＭＯＳＦＥＴ７２は、前述した図１６の高耐圧ＭＯＳＦＥＴ１，２に相当する。

[0144] 高耐圧ＭＯＳＦＥＴ７２は、次の各領域を備えている。ｐ⁻型シリコン基板１００の表面層に選択的に、ｎ⁻型領域１０１が形成されている。ｎ⁻型領域１０１は、不純物拡散により形成されている。ｎ⁻型領域１０１のリン不純物の

表面濃度は、１×１０^{15}／ｃｍ^{3}以上１×１０^{16}／ｃｍ^{3}以下であってもよい。ｎ$^{-}$型領域１０１の深さＸｊは、７μｍ以上１０μｍ以下であってもよい。

[0145] また、ｐ$^{-}$型シリコン基板１００の表面層に選択的に、ｐ$^{-}$ウエル領域１０２が形成されている。ｐ$^{-}$ウエル領域１０２は、ｎ$^{-}$型領域１０１の外周部を取り囲む。ｐ$^{-}$ウエル領域１０２は、ｐ$^{-}$ウエル領域１０２の外側に形成される例えば素子との分離領域である。ｐ$^{-}$ウエル領域１０２は、グランドＧｎｄ（共通電位ＣＯＭ）に接続される。ｐ$^{-}$ウエル領域１０２は、ｐ$^{-}$型シリコン基板１００よりも高い不純物濃度を有する。

[0146] ｐ$^{-}$ウエル領域１０２のボロン不純物の表面濃度は、１×１０^{15}／ｃｍ^{3}以上１×１０^{18}／ｃｍ^{3}以下であってもよい。ｐ$^{-}$ウエル領域１０２の深さＸｊは、１０μｍ以上１３μｍ以下であってもよい。ｐ$^{-}$ウエル領域１０２は、ｐ$^{-}$型シリコン基板１００に達する深さで形成されている。

[0147] ｎ$^{-}$型領域１０１を貫通しｐ$^{-}$型シリコン基板１００に達するｐ$^{-}$領域１３１が形成されている。ｐ$^{-}$領域１３１は、ｎ$^{-}$型領域１０１を２つのｎ$^{-}$型領域１０１ａ，１０１ｂに分離する。ｐ$^{-}$領域１３１のボロン不純物の表面濃度は、１×１０^{15}／ｃｍ^{3}以上１×１０^{17}／ｃｍ^{3}以下であってもよい。ｐ$^{-}$領域１３１の深さＸｊは、１０μｍ以上１３μｍ以下であってもよい。ｎ$^{-}$型領域１０１の上には、ポリシリコン３０４が形成されている。ポリシリコン３０４は、ｎ$^{-}$型領域１０１ａとｎ$^{-}$型領域１０１ｂとを電気的に接続する。また、ポリシリコン３０４は、ｎ$^{-}$型領域１０１ａよりも低い不純物濃度を有する。

[0148] ｐ$^{-}$ウエル領域１０２とｎ$^{-}$型領域１０１との間には、ｐベース領域１０５が形成されている。ｐベース領域１０５は、ｐ$^{-}$ウエル領域１０２およびｎ$^{-}$型領域１０１に接する。ｐベース領域１０５は、チャネル領域としても機能する。ｐベース領域１０５のボロン不純物の表面濃度は、１×１０^{16}／ｃｍ^{3}以上１×１０^{19}／ｃｍ^{3}以下であってもよい。ｐベース領域１０５の深さＸｊは、４．０μｍ以上５．５μｍ以下であってもよい。

[0149] ｐ$^{-}$領域１３１によって分離されたｎ$^{-}$型領域１０１の一方のｎ$^{-}$型領域１０１ａにおいて、ｐベース領域１０５の表面層に選択的に、ベースピックアップ

p^+領域１１３および高耐圧ＭＯＳＦＥＴ７２のソースn^+領域１１４が形成されている。ソースn^+領域１１４は、ソースn^+領域１１４は、ベースピックアップp^+領域１１３よりもp^-領域１３１側に形成されている。また、ソースn^+領域１１４は、p^-領域１３１に接しないように形成されている。

[0150] また、ｐベース領域１０５とp^-領域１３１との間に露出するn^-型領域１０１ａの表面層に選択的に、高耐圧ＭＯＳＦＥＴ７２のドレインn^+領域１０３が形成されている。ドレインn^+領域１０３は、p^-領域１３１およびｐベース領域１０５に接しないように形成されている。ドレインn^+領域１０３は、n^-型領域１０１よりも高い不純物濃度を有する。

[0151] p^-領域１３１によって分離されたn^-型領域１０１のうちの他方のn^-型領域１０１ｂの表面層には、n^+領域１０３ｂが形成されている。n^+領域１０３ｂは、p^-領域１３１を挟んでドレインn^+領域１０３と対称に形成されている。n^+領域１０３ｂは、n^-型領域１０１ｂに設けられたｐベース領域１０５と離れて形成されている。

[0152] ｎオフセット領域１０４は、n^-型領域１０１ａの表面層に選択的に形成され、ドレインn^+領域１０３を取り囲む。すなわち、ｎオフセット領域１０４は、ドレインn^+領域１０３に接し、ドレインn^+領域１０３の下の領域を覆う。ｎオフセット領域１０４は、p^-領域１３１と離れて形成されている。

[0153] また、ｎオフセット領域１０４は、例えば、円形状の平面形状をなすn^-型領域１０１の中心を基準とする円弧形状の平面形状を有する。ｎオフセット領域１０４のリン不純物の表面濃度は、1×10^{17}／cm^3以上1×10^{18}／cm^3以下であってもよい。ｎオフセット領域１０４の深さＸｊは、１μｍ以上２μｍ以下であってもよい。

[0154] ｎオフセット領域１０４ａは、n^-型領域１０１ｂの表面層に選択的に形成され、n^+領域１０３ｂを取り囲む。すなわち、ｎオフセット領域１０４ａは、ドレインn^+領域１０３ｂに接し、ドレインn^+領域１０３ｂの下の領域を覆う。ｎオフセット領域１０４ａは、p^-領域１３１と離れて形成されている。

[0155] また、ｎオフセット領域１０４ａは、例えば、円形状の平面形状をなすn^-

型領域１０１の中心を基準とする円弧形状の平面形状を有する。ｎオフセット領域１０４ａは、例えば、ｐ⁻領域１３１を挟んでｎオフセット領域１０４と対称的に形成されている。ｎオフセット領域１０４ａのリン不純物の表面濃度は、１×１０^{17}／ｃｍ^{3}以上１×１０^{18}／ｃｍ^{3}以下であってもよい。ｎオフセット領域１０４ａの深さＸｊは、１μｍ以上２μｍ以下であってもよい。

[0156] ソースｎ⁺領域１１４とｎ⁻型領域１０１ａとの間で露出するｐベース領域１０５の上には、ゲート酸化膜を介して高耐圧ＭＯＳＦＥＴ７２のゲート電極１１５が形成されている。ゲート電極１１５は、例えばポリシリコンからなる。ゲート電極１１５は、ｐ⁻領域１３１上に張出さないように形成されている。

[0157] 高耐圧ＭＯＳＦＥＴ７２のドレイン電極１２０は、ドレインｎ⁺領域１０３と接続される。また、ドレイン電極１２０は、ボンディングワイヤを介して浮遊電位領域のＶｃｃ１パッドに接続されている（図示省略）。ポリシリコン３０４は、ドレイン電極１２０と接続されている。ポリシリコン３０４は、ドレインｎ⁺領域１０３とｎ⁻型領域１０１ｂとを電気的に接続する高抵抗素子である。接続電極１２５は、ポリシリコン３０４とｎ⁺領域１０３ｂとを接続する。すなわち、ポリシリコン３０４は、接続電極１２５、ｎ⁺領域１０３ｂおよびｎオフセット領域１０４ａを介してｎ⁻型領域１０１ｂと接続されている。

[0158] 高耐圧ＭＯＳＦＥＴ７２のソース電極１２１は、ｎ⁻型領域１０１ａにおいてベースピックアップｐ⁺領域１１３およびソースｎ⁺領域１１４と接続され、ｎ⁻型領域１０１ｂにおいてベースピックアップｐ⁺領域１１３と接続されている。また、ソース電極１２１は、グランドＧｎｄ（共通電位ＣＯＭ）に接続されている。

[0159] ｎ⁻型領域１０１の上には、フィールド酸化膜のＬＯＣＯＳ１５１、ＴＥＯＳやＢＰＳＧなどによる層間絶縁膜（シリコン酸化膜）１５２、およびプラズマＣＶＤによるシリコン酸化膜とシリコン窒化膜からなるパッシベーション膜１５３が形成されている。ＬＯＣＯＳ１５１は、ｐベース領域１０５と

ｎオフセット領域１０４との間に露出するｎ⁻型領域１０１ａ、およびｐベース領域１０５とｎオフセット領域１０４ａとの間に露出するｎ⁻型領域１０１ｂを覆う。また、ＬＯＣＯＳ１５１は、ベースピックアップｐ⁺領域１１３の基板外周部側の端部からｐ⁻ウエル領域１０２にわたって、ｐベース領域１０５およびｐ⁻ウエル領域１０２を覆う。

[0160] 層間絶縁膜１５２は、ゲート電極１１５、ドレイン電極１２０およびソース電極１２１を互いに絶縁する。パッシベーション膜１５３は、高耐圧ＭＯＳＦＥＴ１１の、ドレインｎ⁺領域１０３、ソースｎ⁺領域１１４、ゲート電極１１５、ドレイン電極１２０およびソース電極１２１などのＭＯＳゲート構造を保護する。

[0161] ｐ⁻領域１３１は、円形状の平面形状をなすｎ⁻型領域１０１の中心を通るように直線状の平面形状で形成され、ｎ⁻型領域１０１の中心を挟んで対抗するｐ⁻ウエル領域１０２の一部からｐ⁻ウエル領域１０２の一部まで伸びている。かつ、ｐ⁻領域１３１は、深さ方向において、ｐ⁻型シリコン基板１００とも接して形成され、ｎ⁻型領域１０１を２つのｎ⁻型領域１０１ａ，１０１ｂに分離する。

[0162] ｐ⁻ウエル領域１０２が接続された共通電位ＣＯＭの電位は、図１６に示すように、出力スイッチング素子であるＩＧＢＴ１７，１８の両端にかかる主直流電源の負極側、補助直流電源Ｅ２の負極側、ドライバ２０の負極側および高耐圧ＭＯＳＦＥＴ１，２の負極側に共通する共通電位である。

[0163] また、ｎ⁻型領域１０１を２つに分離するｐ⁻領域１３１は製造工程削減のため、ｐ⁻ウエル領域１０２と同時に形成することもできる。ｐ⁻領域１３１により分離された２つの領域うちの一方のｎ⁻型領域１０１ａに、ソースｎ⁺領域１１４、ドレインｎ⁺領域１０３およびゲート電極１１５が形成されている。ソースｎ⁺領域１１４にはソース電極１２１が接続され、ドレインｎ⁺領域１０３にはドレイン電極１２０が接続される。

[0164] また、ｐ⁻領域１３１により分離された２つの領域のうちの他方のｎ⁻型領域１０１ｂの上方には、ＬＯＣＯＳ１５１や層間絶縁膜１５２などの絶縁膜を

介してフィールドプレートとしてドレイン電極１２０が延在して形成されている。フィールドプレートは、ドレイン電極１２０と異なる層として形成しドレイン電極１２０と接続する構成としてもよい。フィールドプレートは、ｎ⁻型領域１０１ａ上およびｎ⁻型領域１０１ｂ上に同様の構成で形成される。

[0165] フィールドプレートのｎ⁻型領域１０１ａ側の端部の、ｎ⁻型領域１０１ａ上に形成されたソース電極１２１のｎ⁻型領域１０１ｂ側の端部からの距離と、フィールドプレートのｎ⁻型領域１０１ｂ側の端部の、ｎ⁻型領域１０１ｂ上に形成されたソース電極１２１のｎ⁻型領域１０１ａ側の端部からの距離とが等しくなるように形成することで、高耐圧ＭＯＳＦＥＴ７２に局所に電界が集中することを抑制する。

[0166] さらに、ｎ⁻型領域１０１ｂには、ｎ⁻型領域１０１ａに形成されたｎ⁺領域１０３およびｎオフセット領域１０４と同様に、ｎ⁺領域１０３ｂおよびｎオフセット領域１０４ａが配置されている。ｎ⁺領域１０３ｂおよびｎオフセット領域１０４ａは、ドレイン電極１２０と直接接続されておらず、ドレイン電極１２０とｎ⁺領域１０３ｂとの間に高抵抗素子であるポリシリコン３０４（およそ数ｋ～数十ｋΩ）が配置される。

[0167] 高耐圧ＭＯＳＦＥＴ７２の耐圧特性に影響を与えないために、高抵抗素子であるポリシリコン３０４およびｎオフセット領域１０４ａは、ドレイン電極１２０によって構成されるメタルフィールドプレートよりも外側（すなわち、ソースｎ⁺領域１１４側）には配置しない方が好ましい。また、高耐圧ＭＯＳＦＥＴ７２のポリシリコン３０４は、ゲート電極１１５に使用するポリシリコンとは別工程で堆積する高抵抗素子用のポリシリコンを用いる。ポリシリコン３０４の平面形状は、ポリシリコン３０４がドレイン電極１２０下の領域内に形成されていれば、短冊状であってもよいし螺旋状であってもよく、特に既定されるものではない。

[0168] また、接続電極１２５は、ｎ⁺領域１０３ｂおよびポリシリコン３０４とオーミック接触している。ｎオフセット領域１０４ａは、ｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとでの耐圧のバランスを考慮して、ｎ⁻型領域１０１ａに形

成するｎオフセット領域１０４とｎ⁻型領域１０１ｂに形成するｎオフセット領域１０４ａとがｐ⁻領域１３１を挟んで対称となるように形成されている。

[0169] また、ｎ⁺領域１０３ｂおよびｎオフセット領域１０４ａのいずれか一方またはその両方を形成しなくてもよい。この場合、接続電極１２５とｎ⁻型領域１０１ｂとの接触がショットキー接合を形成するため、ショットキー接合による影響を考慮して形成する必要がある。

[0170] また、平面形状が円形状の高耐圧ＭＯＳＦＥＴ７２の最外周のｐベース領域１０５およびｐ⁻ウエル領域１０２は連続してつながっているのが望ましい。ｐベース領域１０５およびｐ⁻ウエル領域１０２は共通電位ＣＯＭであるグランドＧｎｄに接続される。ｐ⁻ウエル領域１０２とｐベース領域１０５は一つの領域として形成されてもよい。さらに、ｐ⁻型シリコン基板１００は、ｐ⁻ウエル領域１０２と接することによりグランドＧｎｄ（共通電位ＣＯＭ）に接続されている。

[0171] ｐ⁻型シリコン基板１００の裏面に電極（図示を省略）を形成して、ｐ⁻型シリコン基板１００の裏面に形成した電極をグランドＧｎｄに接続してもよい。本実施の形態２では、ｎ⁻型領域１０１をｐ⁻型シリコン基板１００の表面層に選択的に不純物拡散によって形成し、ｎ⁻型領域１０１を囲むようにｐ⁻ウエル領域１０２を不純物拡散によって形成した場合を例に説明している。ここで、ｐ⁻ウエル領域１０２を形成しない場合も考えられ、ｐ⁻ウエル領域１０２を形成しない場合には、ｐ⁻型シリコン基板１００が分離領域となる。

[0172] 高耐圧ＭＯＳＦＥＴ７２は、上述したような構造にすることで、ドレイン電極１２０に高電圧（例えば６００Ｖ）が印加された際には、ソース電極１２１で構成されるメタルフィールドプレートとドレイン電極１２０で構成されるメタルフィールドプレートとに挟まれた耐圧領域であるｎ⁻型領域１０１ａ、ｎ⁻型領域１０１ｂおよびｐ⁻領域１３１の全てが完全に空乏化する。このため、高耐圧ＭＯＳＦＥＴ７２の耐圧特性に影響はない。

[0173] また、例えば、スイッチング周波数１００ｋＨｚにおいて、高耐圧ＭＯＳＦＥＴの寄生容量による信号伝達遅延を低減するには、高耐圧ＭＯＳＦＥＴ

の立上り時間（ライズタイム）および立下り時間（フォールタイム）のそれぞれの期間でｎ⁻型領域１０１ｂの寄生容量を無効化することができればよい。

[0174] 高耐圧ＭＯＳＦＥＴのライズタイムおよびフォールタイムをそれぞれ１０ｎｓ程度としてスイッチング周波数に換算した場合、高耐圧ＭＯＳＦＥＴのスイッチング動作周波数ｆｃは１００ＭＨｚとなる。これにより、上記式（２）から、ドレイン電極１２０とｎ⁻型領域１０１ｂとを接続する高抵抗のポリシリコン３０４の抵抗値Ｒは、

$R = 1/(2\pi \times 10^{-12} \times 100 \times 10^{6}) = 1.6\,k\Omega$

となる。

[0175] したがって、スイッチング周波数１００ｋＨｚにおいて、高耐圧ＭＯＳＦＥＴの寄生容量による信号伝達遅延を低減するには、抵抗値Ｒを１．６ｋΩ以上にすればよい。この場合、例えば、幅を４μｍとした高抵抗のポリシリコン３０４のシート抵抗値を０．８ｋΩ／□とすれば、ｐ⁻領域１３１上またはｎ⁻型領域１０１上に絶縁膜を介して設けられたポリシリコン３０４の長さは８μｍ程度確保することができればよい。このため、上記（２）式によって算出されたポリシリコン３０４の抵抗値Ｒは、レイアウト寸法上問題なく現実的な値となっていることがわかる。

[0176] 以上、説明したように、実施の形態２によれば、高耐圧ＭＯＳＦＥＴ７２のｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとの間に高抵抗のポリシリコン３０４を配置することで、従来の高耐圧ＭＯＳＦＥＴの出力容量よりも約４０％から５０％程度、寄生容量を低減することができる。すなわち、実施の形態２にかかる高耐圧ＭＯＳＦＥＴ７２は、実施の形態１にかかる高耐圧ＭＯＳＦＥＴと同様の効果を得ることができる。この理由は、次のとおりである。

[0177] 高耐圧ＭＯＳＦＥＴ７２において、ｐ⁻領域１３１によりｎ⁻型領域１０１はｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとに分離され、ｎ⁻型領域１０１ｂはｎ⁻型領域１０１ａに対し高抵抗の拡散抵抗からなるポリシリコン３０４でドレインｎ⁺領域１０３に接続される。これにより、ｎ⁻型領域１０１ｂ部分は、ロ

ーパスフィルタとして機能し、ドレイン端子からソース端子に対しての出力容量成分とならない。このため、ｎ⁻型領域１０１ｂの、ｐベース領域１０５、ｐ⁻ウエル領域１０２およびｐ⁻型シリコン基板１００とのＰＮ接合面積に応じて、ソース・ドレイン間容量Ｃｄｓおよび基板・ドレイン間容量Ｃｄｓｕｂを低減することができる。

[0178] （実施の形態３）

図８は、本発明の実施の形態３にかかる高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要部を示す平面図である。図８の切断線Ａ－Ａ’の断面構造は、実施の形態１の図１（ａ）に示す高耐圧ＭＯＳＦＥＴの断面構造と同様である。なお、図８において、高耐圧ＭＯＳＦＥＴ７３を構成する半導体領域のうちｎオフセット領域１０４およびｐ⁻領域１３１のみを破線で示した。

[0179] 図８の高耐圧ＭＯＳＦＥＴ７３において、図２の高耐圧ＭＯＳＦＥＴ７１と異なる点は、ｐ⁻領域１３１の平面形状がＶ字形に形成されている点である。ｎ⁻型領域１０１は、Ｖ字形の平面形状をなすｐ⁻領域１３１により、例えば、劣弧からなる扇形の平面形状をなすｎ⁻型領域１０１ａと、優弧からなる扇形の平面形状をなすｎ⁻型領域１０１ｂとに分離されている。

[0180] ｎオフセット領域１０４の、ｎ⁻型領域１０１ａおよびｎ⁻型領域１０１ｂに形成されている部分は、例えば、それぞれ円弧形状の平面形状をなす。ｎオフセット領域１０４の円弧形状の平面形状をなす部分の円周は、例えば、ｎ⁻型領域１０１ａおよびｎ⁻型領域１０１ｂの平面形状である扇形の円周に対応した長さで形成されている。

[0181] すなわち、ｎ⁻型領域１０１ａおよびｎ⁻型領域１０１ｂにそれぞれ形成されたｎオフセット領域１０４の円弧形状の平面形状をなす部分の円周は、ｎ⁻型領域１０１ａにおいて実施の形態１のｎオフセット領域１０４よりも短く、ｎ⁻型領域１０１ｂにおいて実施の形態１のｎオフセット領域１０４よりも長い。

[0182] ｎオフセット領域１０４のｐ⁻領域１３１に形成されている部分は、Ｖ字形

の平面形状をなす。ｎオフセット領域１０４の、ｎ⁻型領域１０１ａに形成された円弧形状の平面形状をなす部分の一端は、ｐ⁻領域１３１に形成されたＶ字形の平面形状をなす部分の一端とつながっている。ｎオフセット領域１０４の、ｎ⁻型領域１０１ｂに形成された円弧形状の平面形状をなす部分の一端は、ｐ⁻領域１３１に形成されたＶ字形の平面形状をなす部分の他端とつながっている。

[0183] このように、Ｖ字形の平面形状をなすｐ⁻領域１３１によりｎ⁻型領域１０１を分離することで、ｎ⁻型領域１０１のＭＯＳＦＥＴとして機能する部分の面積が従来の約４分の１になる。このため、高耐圧ＭＯＳＦＥＴ７３は、従来の高耐圧ＭＯＳＦＥＴに対して寄生の出力容量を６０％から最大で７５％程度小さくすることが可能である。高耐圧ＭＯＳＦＥＴ７３の、ｐ⁻領域１３１およびｎオフセット領域１０４の平面形状以外の構成は、実施の形態１にかかる高耐圧ＭＯＳＦＥＴと同様である。

[0184] また、高耐圧ＭＯＳＦＥＴ７３において、実施の形態２にかかる高耐圧ＭＯＳＦＥＴと同様に、ｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとを接続する高抵抗素子をポリシリコン３０４により形成してもよい。高抵抗素子をポリシリコン３０４により形成する場合においても同様に、ｐ⁻領域１３１をＶ字形とすることができる。

[0185] 以上、説明したように、実施の形態３によれば、実施の形態１，２にかかる高耐圧ＭＯＳＦＥＴと同様の効果を得ることができる。

[0186] （実施の形態４）

図９は、本発明の実施の形態４にかかる高耐圧ＭＯＳＦＥＴの要部を示す平面図である。なお、図９において、高耐圧ＭＯＳＦＥＴ７４を構成する半導体領域のうちｎオフセット領域１０４およびｐ⁻領域１３１のみを破線で示した。

[0187] 図９の高耐圧ＭＯＳＦＥＴ７４において、図８の高耐圧ＭＯＳＦＥＴ７３との異なる点は、ｎ⁻型領域１０１ｂ（他の領域）が複数からなることである。このように、ｐ⁻領域１３１によるｎ⁻型領域１０１の分離領域は１本の領域

とは限らず、複数の領域を形成しても良い。高耐圧ＭＯＳＦＥＴ７４の、ｎ⁻型領域１０１を複数の領域に分離する構成以外の構成は、実施の形態１にかかる高耐圧ＭＯＳＦＥＴと同様である。

[0188] また、高耐圧ＭＯＳＦＥＴ７４において、実施の形態２にかかる高耐圧ＭＯＳＦＥＴと同様に、ｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとを接続する高抵抗素子をポリシリコン３０４により形成してもよい。高抵抗素子をポリシリコン３０４により形成する場合においても同様に、ｎ⁻型領域１０１ｂ（他の領域）を複数の領域とすることができる。

[0189] 以上、説明したように、実施の形態４によれば、実施の形態１，２にかかる高耐圧ＭＯＳＦＥＴと同様の効果を得ることができる。

[0190] （実施の形態５）

図１０は、本発明の実施の形態５にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。図１０（ａ）で示す高耐圧ＭＯＳＦＥＴ７５においては、ｐ⁻領域１３１が、ｐ⁻型シリコン基板１００が表面に露出した構成となっている。高耐圧ＭＯＳＦＥＴ７５の、ｐ⁻領域１３１の以外の構成は、実施の形態１にかかる高耐圧ＭＯＳＦＥＴと同様である。

[0191] 実施の形態５に限らず、本発明の高耐圧ＭＯＳＦＥＴにおいて、ｎ⁻型領域１０１をｐ⁻型シリコン基板１００の表面層に選択的に不純物拡散により形成する場合、ｎ⁻型領域１０１を分離するｐ⁻領域１３１は拡散層に限らず、ｐ⁻型シリコン基板１００が表面に露出した構造であってもよい。その場合は、ｐ⁻型シリコン基板１００の表面を露出した部分の幅は、ｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとが横方向拡散などにより接しないような幅で形成される。

[0192] また、図１０（ｂ）に示す高耐圧ＭＯＳＦＥＴ７６のように、ｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとの間にｐ⁻型シリコン基板１００が存在する箇所と、拡散領域であるｐ⁻領域２３１との組み合わせにより分離領域を構成してもよい。

[0193] また、高耐圧ＭＯＳＦＥＴ７５，７６において、実施の形態２にかかる高耐圧ＭＯＳＦＥＴと同様に、ｎ⁻型領域１０１ａとｎ⁻型領域１０１ｂとを接続

する高抵抗素子をポリシリコン３０４により形成してもよい。高抵抗素子をポリシリコン３０４により形成する場合においても、図１０（ａ）のようにｐ⁻領域１３１をｐ⁻型シリコン基板１００が表面に露出した構造としたり、図１０（ｂ）のようにｐ⁻型シリコン基板１００と拡散領域であるｐ⁻領域２３１との組み合わせにより分離領域を構成してもよい。

[0194] 以上、説明したように、実施の形態５によれば、実施の形態１，２にかかる高耐圧ＭＯＳＦＥＴと同様の効果を得ることができる。

[0195] （実施の形態６）

図１１は、本発明の実施の形態６にかかる高耐圧ＭＯＳＦＥＴを含むレベルシフト回路と浮遊電位領域を備えた駆動回路とを同一の半導体基板に形成した高耐圧ＩＣの要部を示す説明図である。図１１（ａ）は、高耐圧ＩＣの要部の平面レイアウトを示す平面図である。図１１（ｂ）は、図１１（ａ）の切断線Ｃ－Ｃ’の断面構造を示す断面図である。

[0196] 図１１では、高耐圧ＭＯＳＦＥＴ７７のｎ⁻型領域１０１の平面形状がレーストラックのような楕円形状となっている。さらに、ｎ⁻型領域１０１の分離領域であるｐ⁻領域１３１が２箇所に形成されており、ｎ⁻型領域１０１を２つのｎ⁻型領域１０１ａと一つのｎ⁻型領域１０１ｂとに分離している。２つのｎ⁻型領域１０１ａは、例えば楕円形状の平面形状をなすｎ⁻型領域１０１の原点を挟んで対称的に、それぞれｎ⁻型領域１０１の端部に形成されている。そして、２つのｎ⁻型領域１０１ａにそれぞれ高耐圧ＭＯＳＦＥＴが形成されている。

[0197] この２つの高耐圧ＭＯＳＦＥＴ７７はそれぞれ、図１６の高耐圧ＭＯＳＦＥＴ１，２に対応している。浮遊電位領域３００は、図２に示す浮遊電位領域と同様である。高耐圧ＭＯＳＦＥＴ７７の、ｐ⁻領域１３１およびｎ⁻型領域１０１以外の構成は、実施の形態１にかかる高耐圧ＭＯＳＦＥＴと同様である。このような構成の高耐圧ＭＯＳＦＥＴ７７においても、ＭＯＳＦＥＴとしての領域を小さくすることができるため、耐圧を維持しつつ出力容量（ＣｄｓおよびＣｄｓｕｂ）を低減することができる。

[0198] また、図１１（ａ）の高耐圧ＭＯＳＦＥＴ７７をレーストラック状の平面形状とすることで、図２の２つの高耐圧ＭＯＳＦＥＴ７１に比べて面積を小さくすることができる。実施の形態６では、p^-領域１３１によって複数の分離領域を形成し、複数の高耐圧ＭＯＳＦＥＴを形成するものについて示したが、レーストラック状の平面形状を有する高耐圧ＩＣにおいて、p^-領域１３１による分離領域を１つとして高耐圧ＭＯＳＦＥＴを１つ形成する構成としてもよい。

[0199] 実施の形態６にかかる高耐圧ＭＯＳＦＥＴ７７では、高抵抗素子をｎオフセット領域１０４により形成した場合を示したが、実施の形態２にかかる高耐圧ＭＯＳＦＥＴと同様に、高抵抗素子をポリシリコン３０４により形成してもよい。

[0200] 以上、説明したように、実施の形態６によれば、実施の形態１，２にかかる高耐圧ＭＯＳＦＥＴと同様の効果を得ることができる。

[0201] （実施の形態７）

図１２は、本発明の実施の形態７にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。図１２の高耐圧ＭＯＳＦＥＴ７８，７９において、図１の高耐圧ＭＯＳＦＥＴ７１と異なる点は、ＳＯＩ（Ｓｉｌｉｃｏｎ－ｏｎ－Ｉｎｓｕｌａｔｏｒ）基板を用いた点である。

[0202] 図１２（ａ）の高耐圧ＭＯＳＦＥＴ７８は、p^-型シリコン基板１００とシリコン酸化膜２００を介してn^-型領域１０１としてシリコン基板（ＳＯＩ層）を貼り合わせた構成である。この場合、n^-型領域１０１のリン不純物濃度は1×10^{14}／cm^3以上1×10^{15}／cm^3以下であればよい。高耐圧ＭＯＳＦＥＴ７８のその他の構成は、図１の高耐圧ＭＯＳＦＥＴ７１と同様に形成すればよい。

[0203] 図１２（ｂ）の高耐圧ＭＯＳＦＥＴ７９は、図１２（ａ）の高耐圧ＭＯＳＦＥＴ７８と同様にp^-型シリコン基板１００とシリコン酸化膜２００を介してn^-型領域１０１としてシリコン基板を貼り合わせた構成である。高耐圧ＭＯＳＦＥＴ７９において、図１２（ａ）の高耐圧ＭＯＳＦＥＴ７８と異なる

点は、分離領域としてｐ⁻ウエル領域１０２の代わりに、トレンチ２０２とトレンチ２０２の内面に形成されたシリコン酸化膜などからなる絶縁膜２０３から構成される誘電体分離領域が形成されている点である。

[0204] 高耐圧ＭＯＳＦＥＴ７８，７９のような構成においても耐圧を維持しつつ、ソース・ドレイン間容量Ｃｄｓを低減することができる。また、前述した実施の形態２～６にかかる高耐圧ＭＯＳＦＥＴにおいても同様に、高耐圧ＭＯＳＦＥＴ７８，７９の構成を適用することができる。

[0205] 以上、説明したように、実施の形態７によれば、実施の形態１～６にかかる高耐圧ＭＯＳＦＥＴと同様の効果を得ることができる。

[0206] 以上の各実施の形態では、レベルシフト用の高耐圧ＭＯＳＦＥＴと浮遊電位領域とを備えた駆動回路とを同一の半導体基板上に集積した高耐圧ＩＣについて説明したが、レベルシフト用の高耐圧ＭＯＳＦＥＴと浮遊電位領域を別々の半導体基板上に形成した駆動回路においても上述した各実施の形態の高耐圧ＩＣと同様の効果を奏する。

[0207] （実施の形態８）

本発明の高耐圧ＭＯＳＦＥＴの応用分野は高耐圧ＩＣのレベルシフト素子に限定されるものではない。ＭＯＳＦＥＴやＩＧＢＴにも適用することができる技術で、高耐圧を保証するための耐圧領域が、要求される電流駆動能力以上の面積となる仕様などに向いている。ＭＯＳＦＥＴやＩＧＢＴに本発明のｐ⁻領域と高抵抗素子によりドレイン領域と接続された領域を組み合わせることで、耐圧特性を維持しつつ、出力容量の低減を図ることができる。

[0208] 図１３は、本発明の実施の形態８にかかる高耐圧ＭＯＳＦＥＴの要部を示す説明図である。また、図１４は、本発明の実施の形態８にかかる高耐圧ＭＯＳＦＥＴの要部を示す断面図である。図１３（ａ）は、高耐圧ＭＯＳＦＥＴの要部を示す平面図である。図１３（ｂ）は、図１３（ａ）の切断線Ｄ－Ｄ’線の断面構造を示す断面図である。図１４（ａ）は、図１３（ａ）の切断線Ｅ－Ｅ’線の断面構造を示す断面図である。図１４（ｂ）は、図１３（ａ）の切断線Ｆ－Ｆ’線の断面構造を示す断面図である。

[0209] 高耐圧ＭＯＳＦＥＴ８１は、櫛歯状のソース電極１２１とドレイン電極１２０とが互いに対向するように形成されている。また、櫛歯状のドレイン電極１２０の直線部の下には、ドレインｎ$^+$領域１０３およびｎオフセット領域１０４が形成されている。また、櫛歯状のソース電極１２１の直線部の下には、ドレインｎ$^+$領域１０３に対向してソースｎ$^+$領域１１４が形成されている。ゲート電極１１５は、ソースｎ$^+$領域１１４とドレインｎ$^+$領域１０３の間に形成されていればよい。

[0210] 本実施の形態８では、ゲート電極１１５は、ｎ$^-$型領域１０１ｂの上に形成されていてもよい（図示を省略）。ｎ$^-$型領域１０１ｂの上にゲート電極１１５を形成する場合、ｎ$^-$型領域１０１ｂの上に形成されるゲート電極１１５は、ｎ$^-$型領域１０１ａの上に形成されるゲート電極１１５と分離する。このとき、ｎ$^-$型領域１０１ｂの上に形成されるゲート電極１１５の電位は、共通電位ＣＯＭに接続されるか、フローティング電位とする。

[0211] 本実施の形態８にかかる高耐圧ＭＯＳＦＥＴ８１においても、ｐ$^-$領域１３１からなる分離領域を形成することにより、ｎ$^-$型領域１０１をｎ$^-$型領域１０１ａとｎ$^-$型領域１０１ｂとに分離し、ｎ$^-$型領域１０１ｂとドレイン領域１０３とを高抵抗素子を介して接続することで、素子耐圧を維持しつつ出力容量を低減することができる。

[0212] また、実施の形態８にかかる高耐圧ＭＯＳＦＥＴ８１において、実施の形態４にかかる高耐圧ＭＯＳＦＥＴと同様に、分離領域であるｐ$^-$領域１３１を複数形成してもよい。また、実施の形態５にかかる高耐圧ＭＯＳＦＥＴと同様に、分離領域であるｐ$^-$領域１３１を、拡散領域として形成する代わりにｐ$^-$型シリコン基板１００が露出する構成としてもよいし、ｐ$^-$型シリコン基板１００と拡散領域からなるｐ$^-$領域との組み合せにより構成してもよい。

[0213] また、実施の形態８にかかる高耐圧ＭＯＳＦＥＴ８１のシリコン基板を、実施の形態７にかかる高耐圧ＭＯＳＦＥＴと同様に、ＳＯＩ基板としてもよい。また、実施の形態８では、高抵抗素子をｎオフセット領域１０４により形成した場合を示したが、実施の形態２にかかる高耐圧ＭＯＳＦＥＴと同様

に、高抵抗素子をポリシリコン３０４により形成してもよい。

[0214] 以上において本発明では、高耐圧ＭＯＳＦＥＴについて説明しているが、上述した実施の形態に限らず、ＩＧＢＴにも適用することができる。具体的には、図１５を用いて説明する。図１５は、図２の切断線Ａ－Ａ’の断面構造の別の一例を示す断面図である。図１５（ａ）に示す高耐圧ＩＧＢＴ７１３のように、図１（ａ）に示した高耐圧ＭＯＳＦＥＴのドレインｎ$^+$領域１０３の代わりにｐ$^+$型コレクタ領域１８１を形成し、ソースｎ$^+$領域１１４をそのままエミッタｎ$^+$領域１８２とすればよい。ｎ$^+$領域１０３ａは形成しなくてもよい。また、図１５（ｂ）に示す高耐圧ＩＧＢＴ７２１のように、図６に示した高耐圧ＭＯＳＦＥＴのドレインｎ$^+$領域１０３の代わりにｐ$^+$型コレクタ領域１８１を形成し、ソースｎ$^+$領域１１４をそのままエミッタｎ$^+$領域１８２とすればよい。

産業上の利用可能性

[0215] 以上のように、本発明にかかる半導体装置および駆動回路は、例えばＰＷＭインバータ、スイッチング電源等における、電力逆変換用ブリッジ回路の上側アームの半導体スイッチング素子に使用されるレベルシフト回路に有用である。具体的には、本発明にかかる半導体装置および駆動回路は、入力する制御駆動信号の電位基準となる電極（エミッタ、ソース等）の電位がグランドなどの共通電位に対して変動する可制御半導体素子の制御電極へ、共通電位に接続された回路から、電位絶縁を行わずにオン・オフ信号を伝達する場合などに使用されるレベルシフト回路に有用である。さらに望ましくは、本発明にかかる半導体装置および駆動回路は、ＨＶＩＣ（高耐圧ＩＣ）の形で利用することができるレベルシフト回路に有用である。

符号の説明

[0216] １，２，１１　高耐圧ＭＯＳＦＥＴ

３，４　負荷抵抗

５，６　定電圧ダイオード

８，９　ＮＯＴ回路

７１，７２，７３，７４，７５，７６，７７，７８，７９，８１　高耐圧ＭＯＳＦＥＴ

１５　ＲＳフリップフロップ（ＲＳ－ＦＦ，ＲＳラッチ）

１６　ドライバ

１７，１８　ＩＧＢＴ

２０　ドライバ

２１　リセット端子Ｒ

２５　オン信号

２６　オフ信号

３０，３１　ローパスフィルタ回路

４１，４２　ダイオード

５１，５２　出力容量

６１　制御回路

１００　p^-型シリコン基板

１０１，１０１ａ，１０１ｂ　n^-型領域

１０２　p^-ウエル領域

１０３　ドレインn^+領域

１０４　ｎオフセット領域

１０５　ｐベース領域

１１３　ベースピックアップp^+領域

１１４　ソースn^+領域

１１５　ゲート電極

１２０　ドレイン電極

１２１　ソース電極

１３１，２３１　p^-領域

１５１　ＬＯＣＯＳ

１５２　層間絶縁膜（シリコン酸化膜）

１５３　パッシベーション膜

２００　シリコン酸化膜

２０１　ボンディングワイヤ

２０２　トレンチ

２０３　絶縁膜

３００　浮遊電位領域

ＣＯＭ　共通電位

Ｖｄｃ　主直流電源（正極側）

ＯＵＴ　交流出力端子

Ｅ１，Ｅ２　補助直流電源

Ｖｃｃ１　正極ライン

Ｖｃｃ２　正極ライン

請求の範囲

[請求項1] 第１導電型の半導体基板上に位置する第２導電型の耐圧領域と、

前記耐圧領域の一部の表面層に形成された第２導電型のドレイン拡散領域と、

前記ドレイン拡散領域と離れて前記ドレイン拡散領域を囲むように前記耐圧領域に接して形成された第１導電型のベース領域と、

前記ベース領域の表面層に形成された第１導電型のピックアップ領域と、

前記ピックアップ領域に接続された第１主電極と、

前記ドレイン拡散領域に接続された、前記第１主電極に印加される電圧よりも高い電圧が印加される第２主電極と、

前記半導体基板と接し、前記耐圧領域を囲む分離領域と、を備え、

前記耐圧領域は、前記ドレイン拡散領域を有するドリフト領域と、前記ドレイン拡散領域を有しておらず前記ドレイン拡散領域または第２主電極と高抵抗素子を介して電気的に接続される他の領域と、を備え、

前記ドリフト領域と前記他の領域との間に、前記分離領域および前記半導体基板と接し、前記ドリフト領域と前記他の領域を離間する第１導電型半導体領域と、

前記ドリフト領域内の前記ベース領域の表面層に位置し、前記第１主電極と接続される第２導電型のソース拡散領域と、

前記ドリフト領域と前記ソース拡散領域の間の前記ベース領域の表面上に絶縁膜を介して形成されたゲート電極と、を備え、

前記高抵抗素子の抵抗値Ｒ（Ω）が次の式（１）を満たすことを特徴とする半導体装置。

[数1]

$$R \geqq 1/(2\pi \cdot C \cdot fc) \quad \cdots (1)$$

ここで、
R:高抵抗素子の抵抗値(Ω)
C:高耐圧半導体装置の出力容量(F)
fc:高耐圧半導体装置のスイッチング動作周波数(Hz)

[請求項2] 第１導電型の半導体基板上に位置する第２導電型の耐圧領域と、

前記耐圧領域の一部の表面層に形成された第１導電型のコレクタ拡散領域と、

前記コレクタ拡散領域と離れて前記コレクタ拡散領域を囲むように前記耐圧領域に接して形成された第１導電型のベース領域と、

前記ベース領域の表面層に形成された第１導電型のピックアップ領域と、

前記ピックアップ領域に接続された第１主電極と、

前記コレクタ拡散領域に接続された、前記第１主電極に印加される電圧よりも高い電圧が印加される第２主電極と、

前記半導体基板と接し、前記耐圧領域を囲む分離領域と、を備え、

前記耐圧領域は、前記コレクタ拡散領域を有するドリフト領域と、前記コレクタ拡散領域を有しておらず前記コレクタ拡散領域または第２主電極と高抵抗素子を介して電気的に接続される他の領域と、を備え、

前記ドリフト領域と前記他の領域との間に、前記分離領域および前記半導体基板と接し、前記ドリフト領域と前記他の領域を離間する第１導電型半導体領域と、

前記ドリフト領域内の前記ベース領域の表面層に位置し、前記第１主電極と接続される第２導電型のエミッタ拡散領域と、

前記ドリフト領域と前記エミッタ拡散領域の間の前記ベース領域の表面上に絶縁膜を介して形成されたゲート電極と、を備え、

前記高抵抗素子の抵抗値Ｒ（Ω）が次式（２）を満たすことを特徴とする半導体装置。

[数2]

$$R \geqq 1/(2\pi \cdot C \cdot fc) \quad \cdots (2)$$

ここで、
R:高抵抗素子の抵抗値(Ω)
C:高耐圧半導体装置の出力容量(F)
fc:高耐圧半導体装置のスイッチング動作周波数(Hz)

[請求項3] 前記耐圧領域は、前記半導体基板の表面層に選択的に形成された拡散領域であることを特徴とする請求項１に記載の半導体装置。

[請求項4] 前記分離領域は、前記半導体基板の表面層に選択的に形成された前記半導体基板より不純物濃度の高い拡散領域であることを特徴とする請求項３に記載の半導体装置。

[請求項5] 前記分離領域は、前記半導体基板の表面から形成されたトレンチと、前記トレンチ内に埋め込まれた絶縁体とからなることを特徴とする請求項３に記載の半導体装置。

[請求項6] 前記第１導電型半導体領域は、前記半導体基板の表面層に選択的に形成された拡散領域であることを特徴とする請求項３に記載の半導体装置。

[請求項7] 前記第１導電型半導体領域は、前記半導体基板が表面に露出した領域であることを特徴とする請求項３に記載の半導体装置。

[請求項8] 前記耐圧領域は、前記半導体基板の上に形成された第２導電型のエピタキシャル成長層であることを特徴とする請求項１に記載の半導体装置。

[請求項9] 前記分離領域は、前記エピタキシャル成長層の表面から前記半導体基板に達する前記半導体基板より不純物濃度の高い拡散領域であることを特徴とする請求項８に記載の半導体装置。

[請求項10] 前記分離領域は、前記エピタキシャル成長層の表面から前記半導体

基板に達するトレンチと当該トレンチ内に埋め込まれた絶縁体からなることを特徴とする請求項８に記載の半導体装置。

[請求項11] 前記第１導電型半導体領域は、前記エピタキシャル成長層の表面から前記半導体基板に達する拡散領域からなることを特徴とする請求項８に記載の半導体装置。

[請求項12] 前記耐圧領域は、前記半導体基板の上に絶縁膜を介して形成されたＳＯＩ層に形成された領域であることを特徴とする請求項１に記載の半導体装置。

[請求項13] 前記分離領域は、前記ＳＯＩ層の表面から前記絶縁膜に達する前記半導体基板より不純物濃度の高い拡散領域であることを特徴とする請求項１２に記載の半導体装置。

[請求項14] 前記分離領域は、前記ＳＯＩ層の表面から前記絶縁膜に達するトレンチと当該トレンチ内に埋め込まれた絶縁体からなることを特徴とする請求項１２に記載の半導体装置。

[請求項15] 前記第１導電型半導体領域は、前記ＳＯＩ層の表面から前記絶縁膜に達する拡散領域であることを特徴とする請求項１２に記載の半導体装置。

[請求項16] 前記第２主電極または前記第２主電極と接続されるフィールドプレートが前記他の領域上に絶縁膜を介して配置されることを特徴とする請求項１に記載の半導体装置。

[請求項17] 前記他の領域が複数の領域からなり、当該複数の領域のそれぞれの間に前記第１導電型半導体領域を備えたことを特徴とする請求項１に記載の半導体装置。

[請求項18] 前記ドリフト領域が複数の領域からなり、当該複数の領域のそれぞれの間に前記第１導電型半導体領域を備えたことを特徴とする請求項１に記載の半導体装置。

[請求項19] 前記第１主電極に印加される電圧よりも高い電圧が前記第２主電極に印加された際に、前記第１導電型半導体領域と前記ドリフト領域ま

たは前記他の領域とのＰＮ接合でアバランシェブレークダウンする前に、前記ＰＮ接合から前記第１導電型半導体領域に広がる空乏層同士が接続することを特徴とする請求項１～１８のいずれか１つに記載の半導体装置。

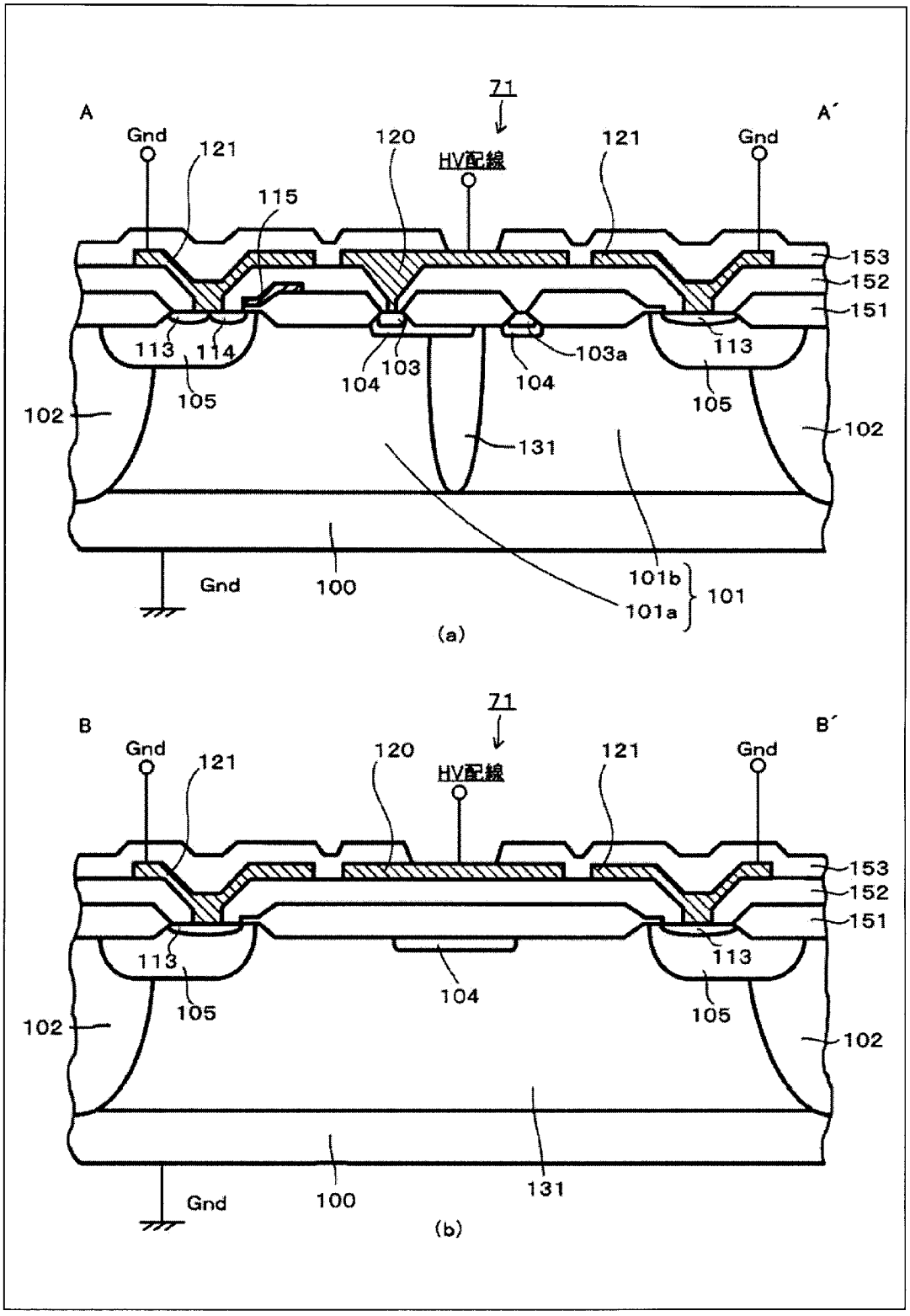
[請求項20] 主直流電源の正極に主端子の一方が接続され、交流出力端子に主端子の他方が接続された１つ以上の出力パワーデバイスのゲートを駆動するための駆動回路であって、

前記出力パワーデバイスの主端子のうちのいずれか一方を基準とした前記主直流電源よりも低電圧の第１の補助直流電源により電流が供給される高電位側低耐圧回路と、

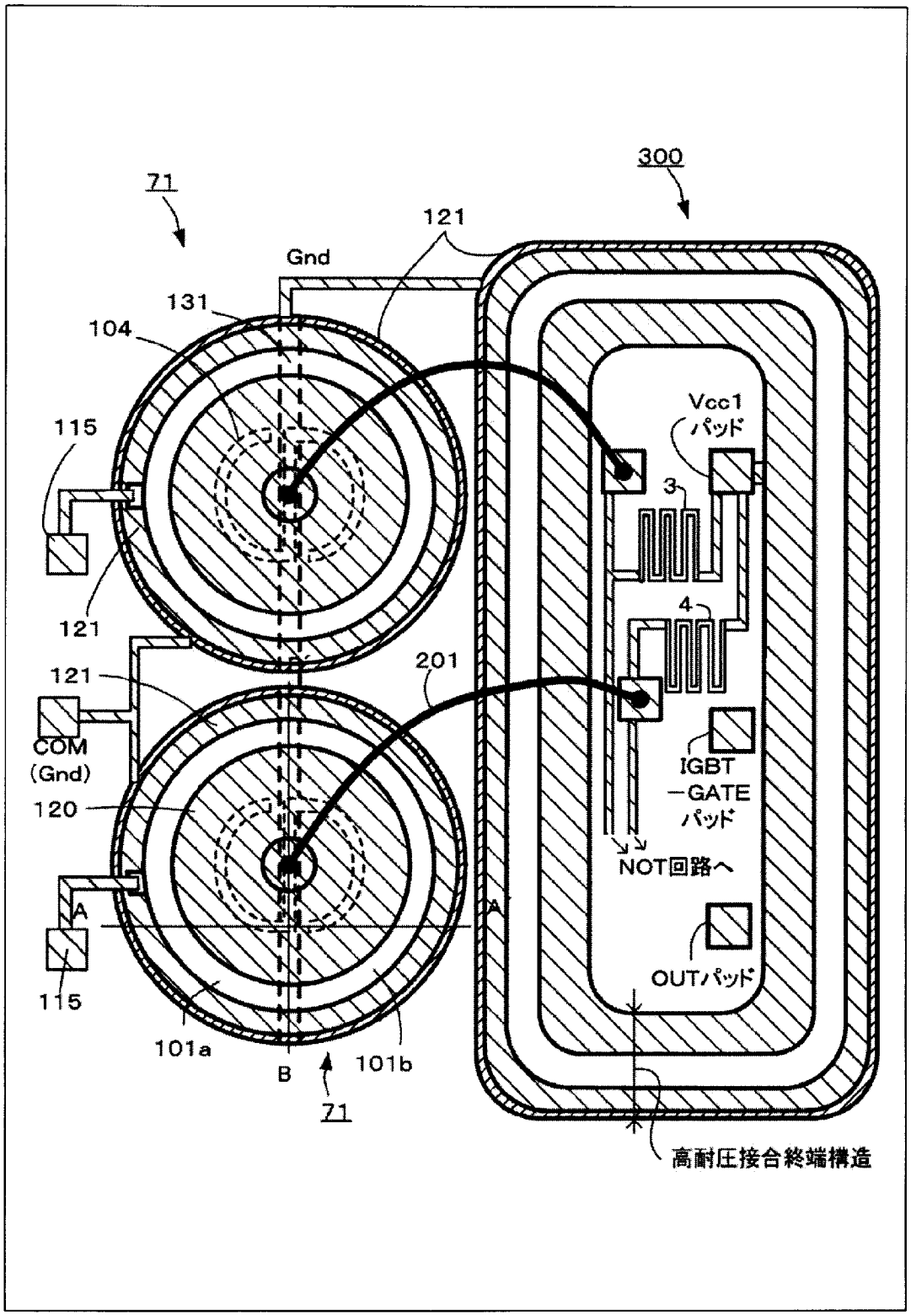
前記主直流電源の負極を基準とした前記主直流電源よりも低電圧の第２の補助直流電源により電流を供給される低電位側低耐圧回路からの信号をレベルシフトして前記高電位側低耐圧回路に伝送する高耐圧トランジスタと、を備え、

前記高耐圧トランジスタが、請求項１に記載の半導体装置であることを特徴とする駆動回路。

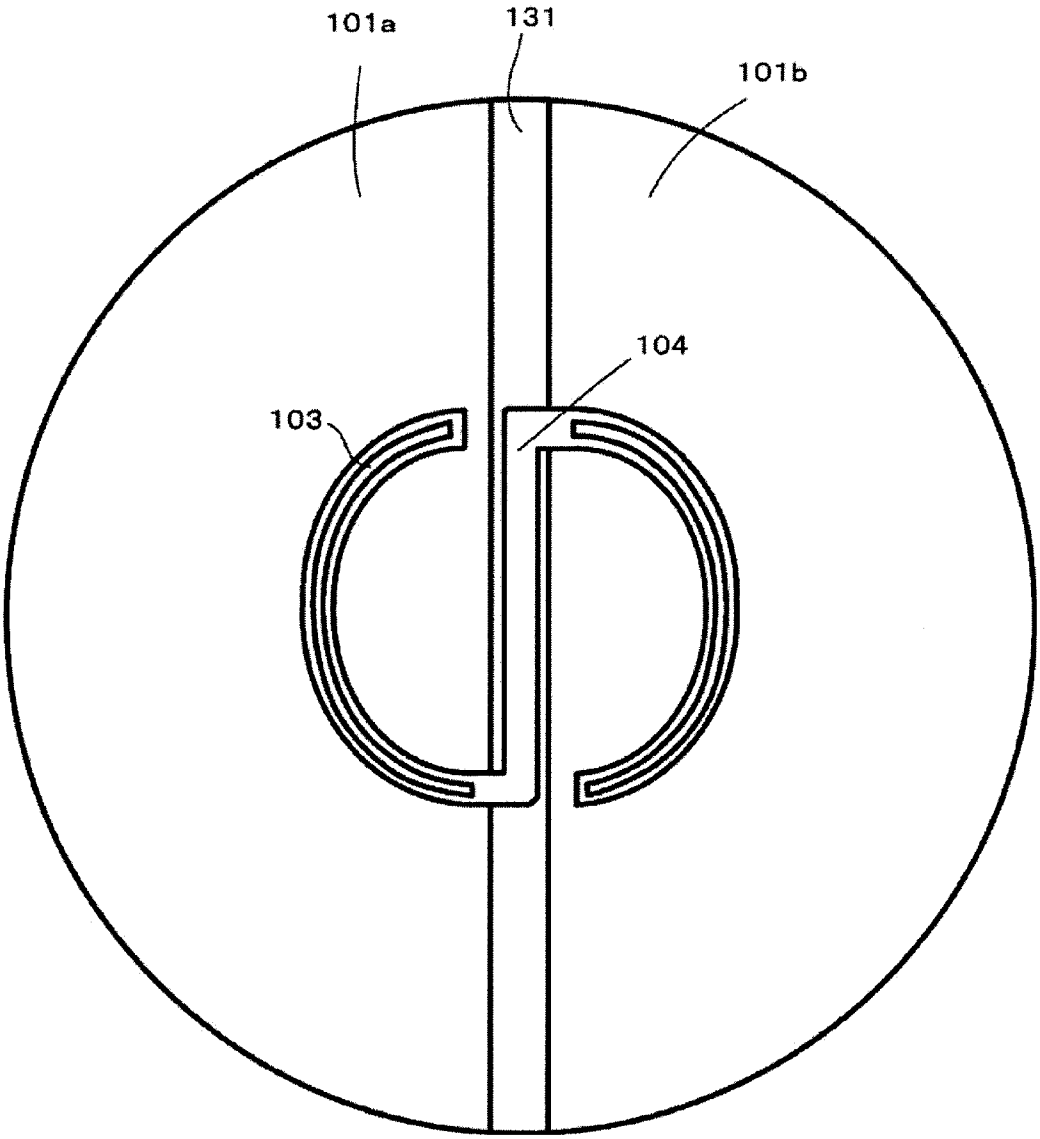
[図1]


A
A´
Gnd
121
120
71
HV配線
121
Gnd
115
153
152
151
113
114
103
104
104
103a
113
105
105
102
102
131
Gnd
100
101b
101a
101
(a)
B
B´
Gnd
121
120
71
HV配線
121
Gnd
153
152
151
113
113
104
105
105
102
102
Gnd
100
131
(b)

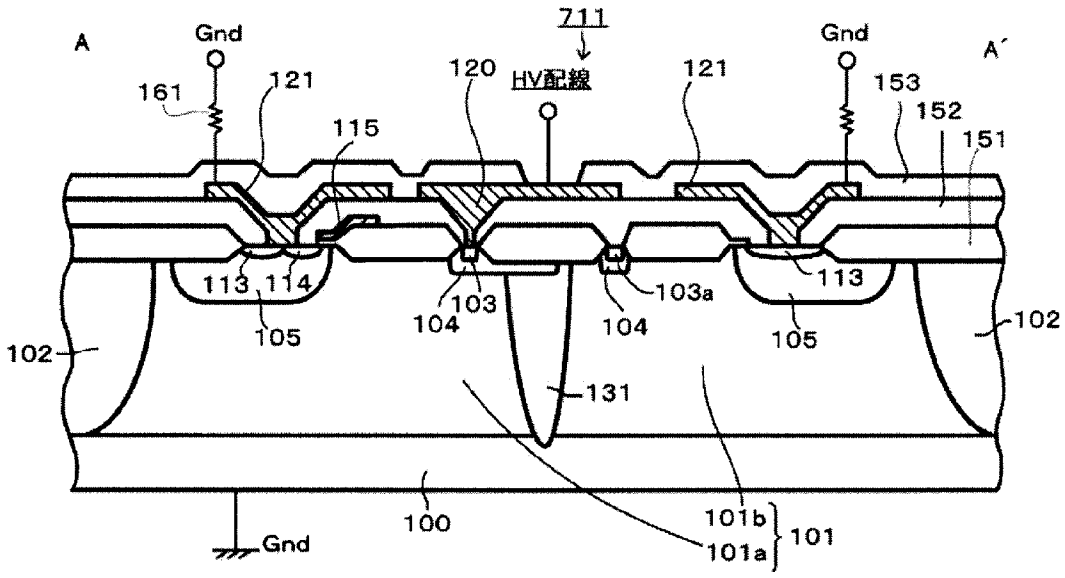
[図2]


71
300
121
Gnd
131
104
115
121
121
201
COM
(Gnd)
120
A
115
101a
B
101b
Z1
Vcc1
パッド
3
4
IGBT
−GATE
パッド
NOT回路へ
A'
OUTパッド
高耐圧接合終端構造

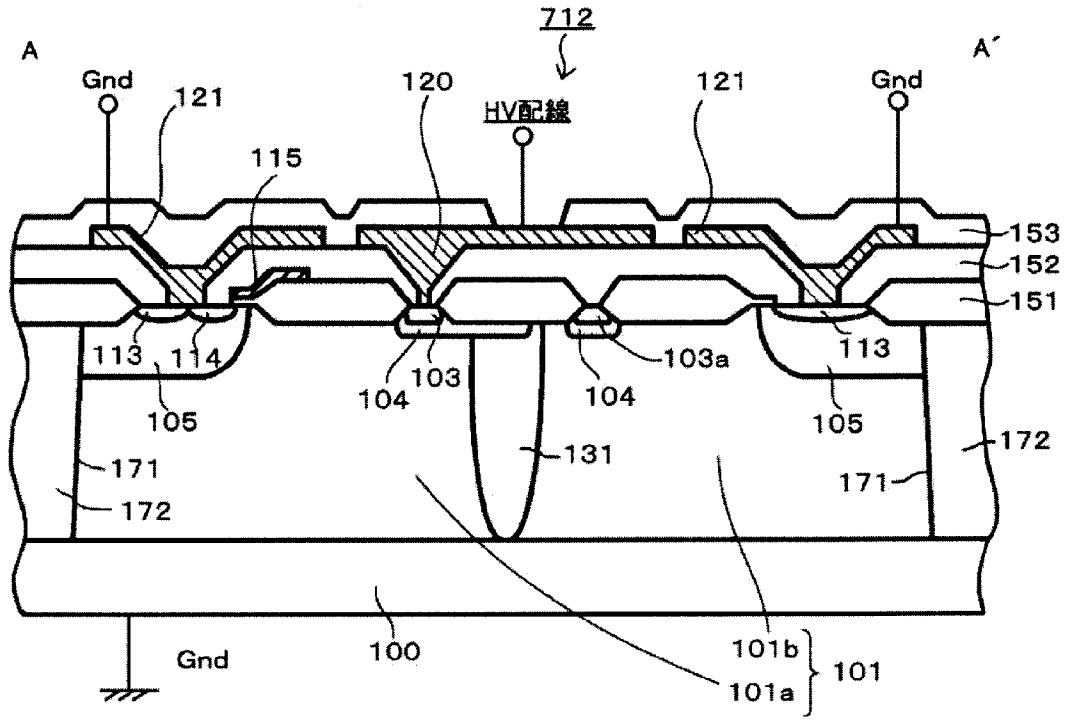
[図3]



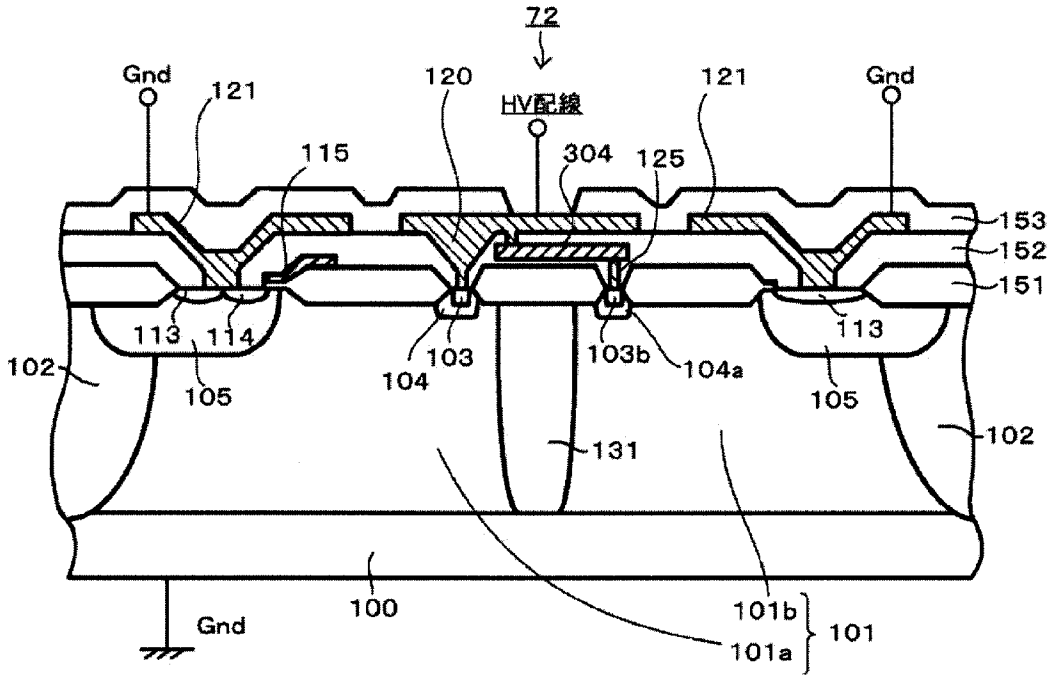
[図4]


A
Gnd
711
HV配線
Gnd
A´
161
121
120
121
153
152
151
115
113
114
103
104
103a
104
113
105
105
102
102
131
100
101b
101a
101
Gnd

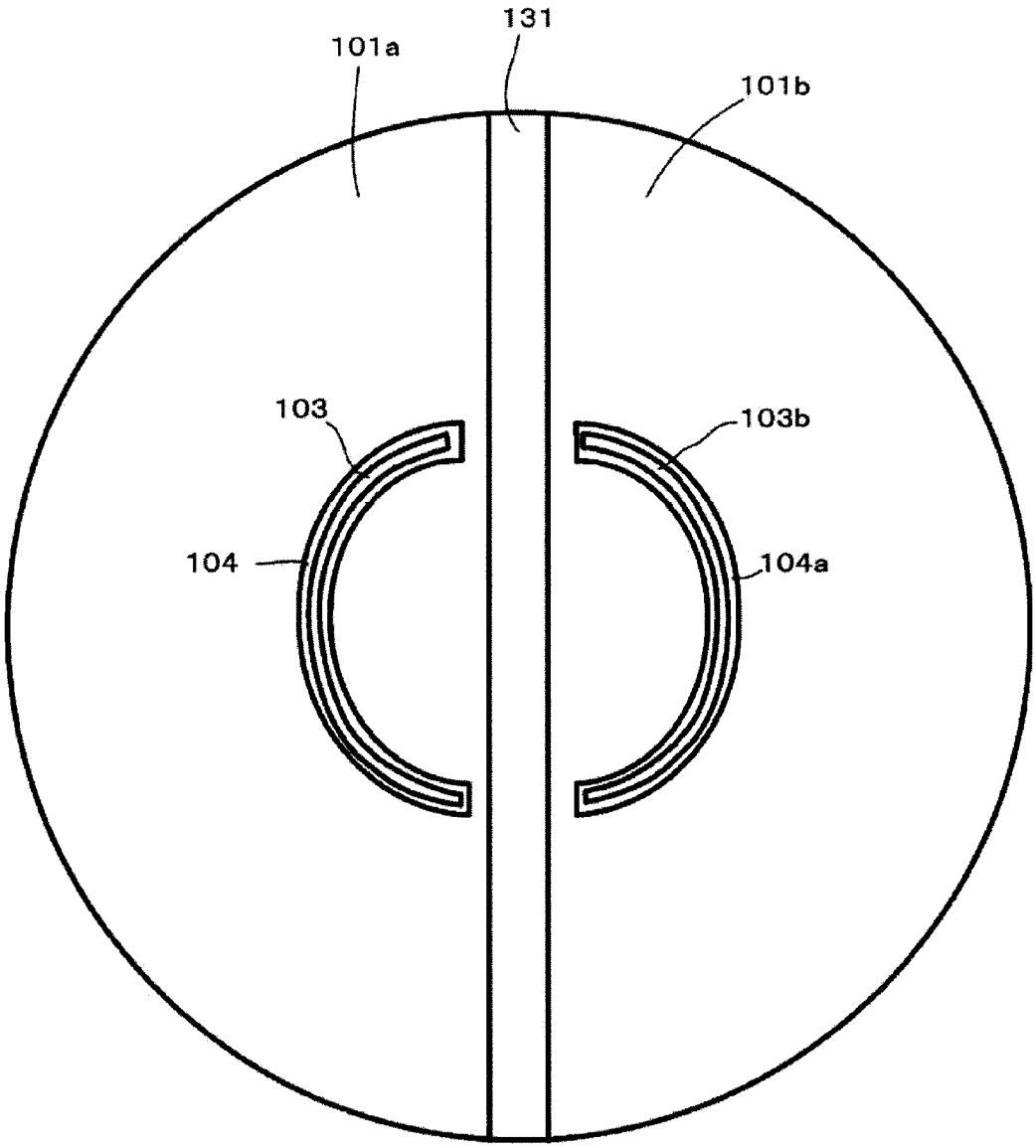
[図5]


A
712
A´
Gnd
121
120
HV配線
121
Gnd
115
153
152
151
113
114
103
104
103a
104
113
105
105
172
171
131
171
172
100
Gnd
101b
101a
101

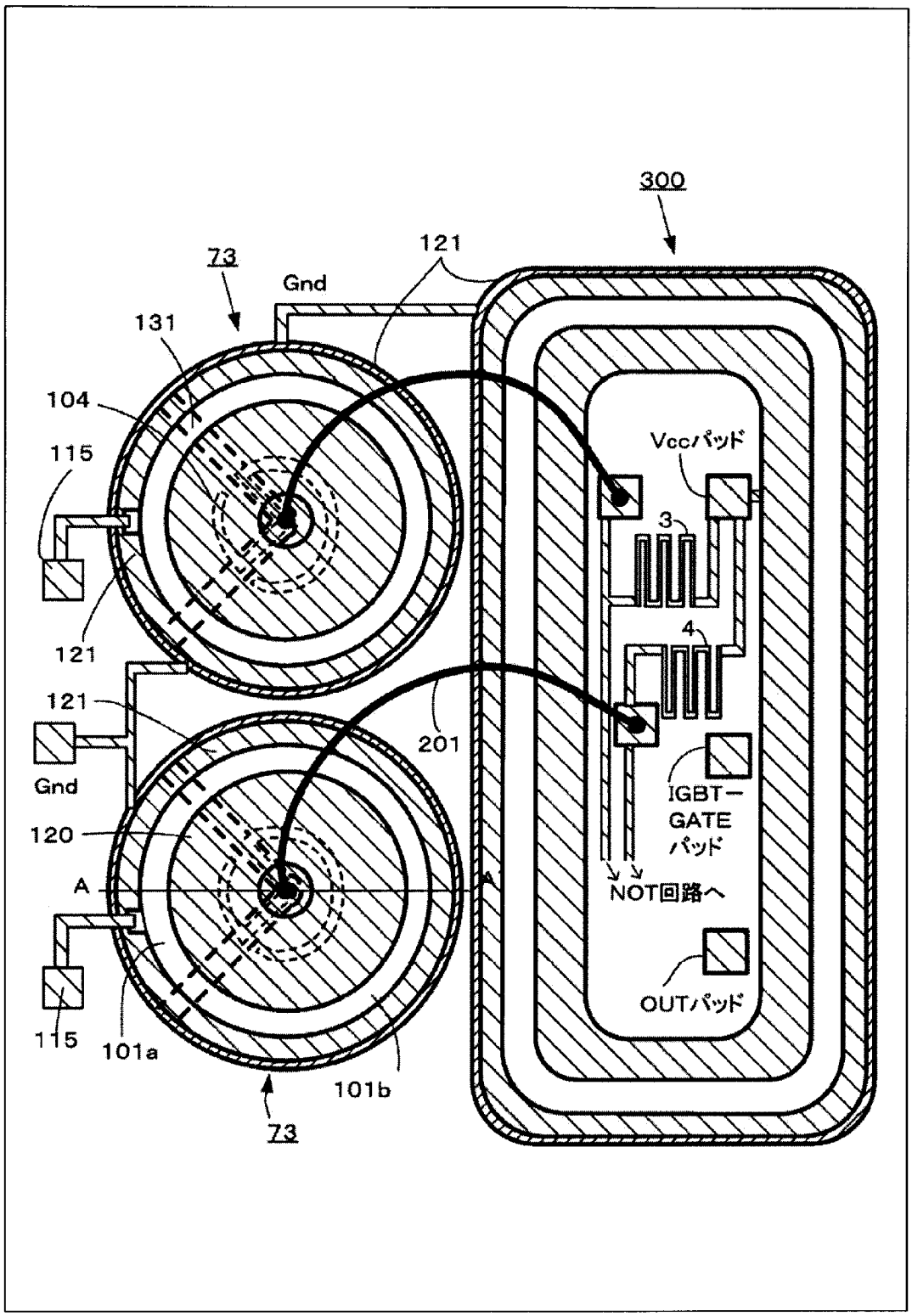
[図6]


Z2
Gnd
121
120
HV配線
121
Gnd
115
304
125
153
152
151
113
114
103
103b
104a
113
102
105
104
105
102
131
100
101b
101
Gnd
101a

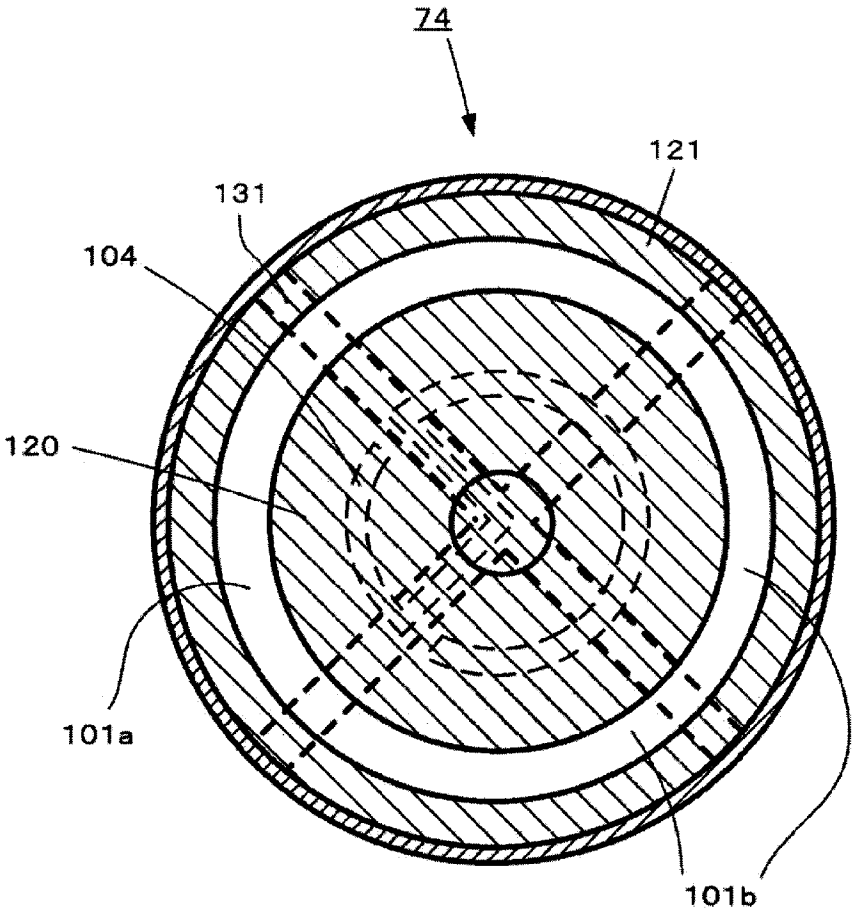
[図7]



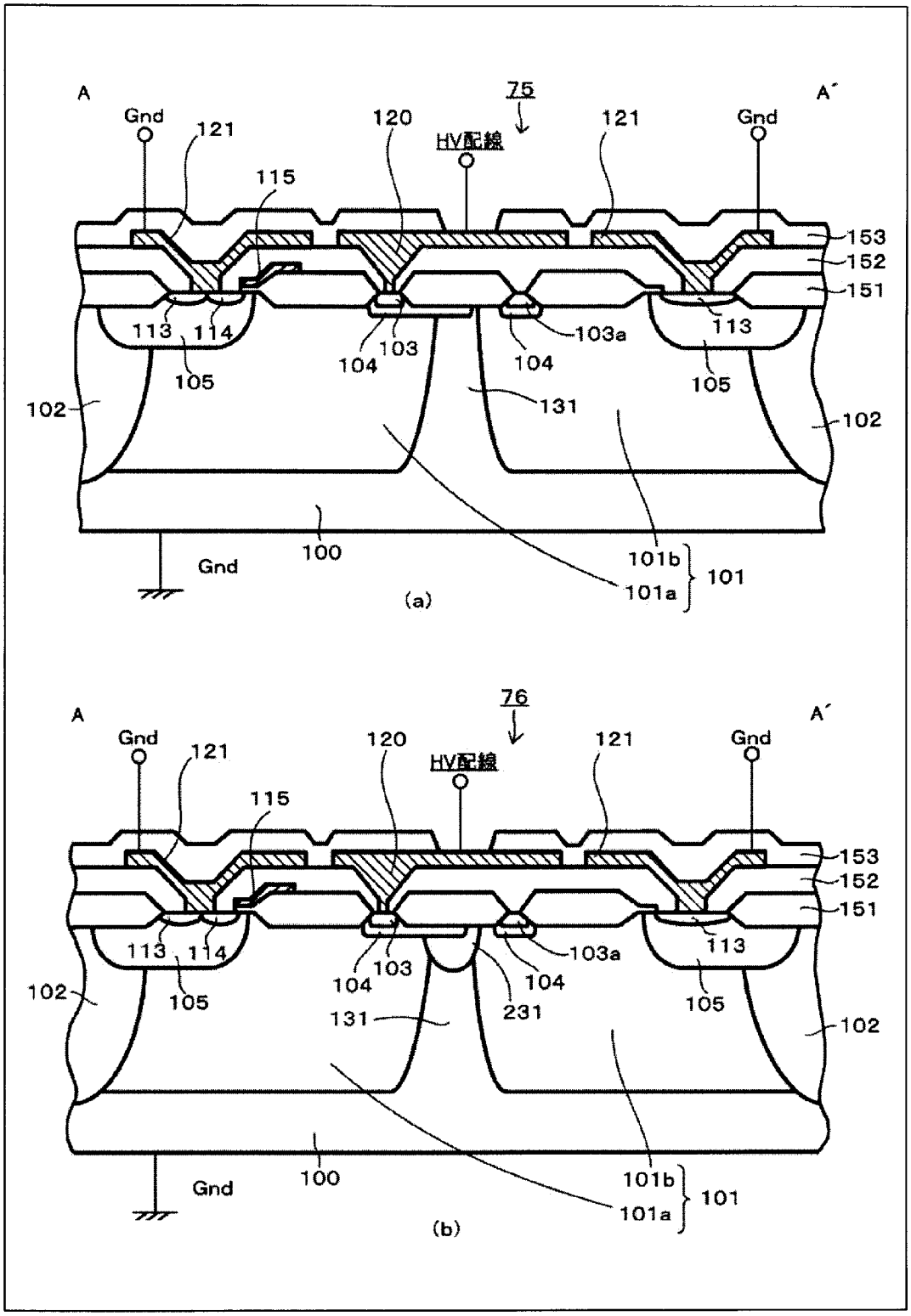
[図8]


300
73
Gnd
121
131
104
115
121
121
Gnd
120
A
115
101a
101b
73
201
Vccパッド
3
4
IGBT－
GATE
パッド
NOT回路へ
OUTパッド

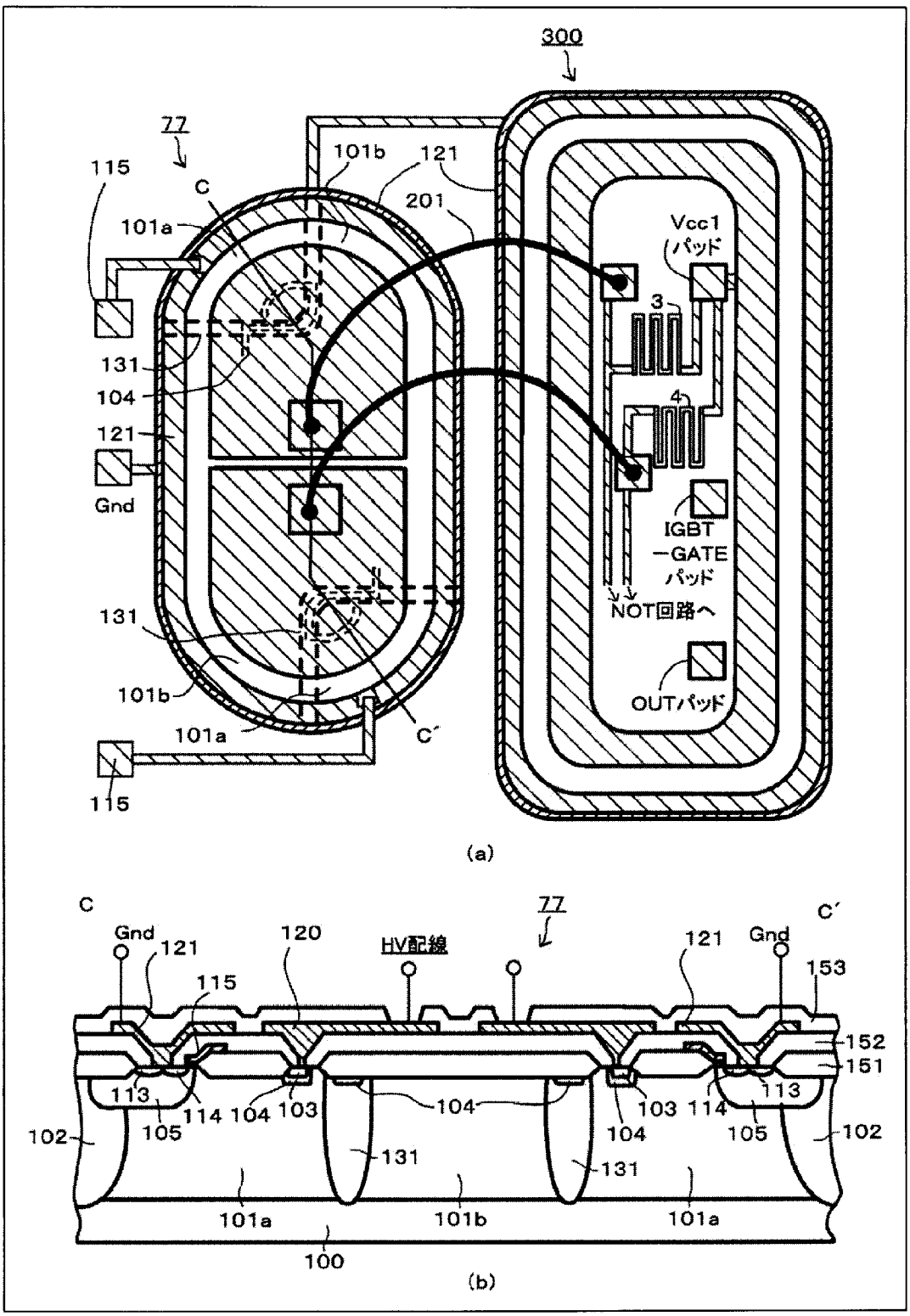
[図9]



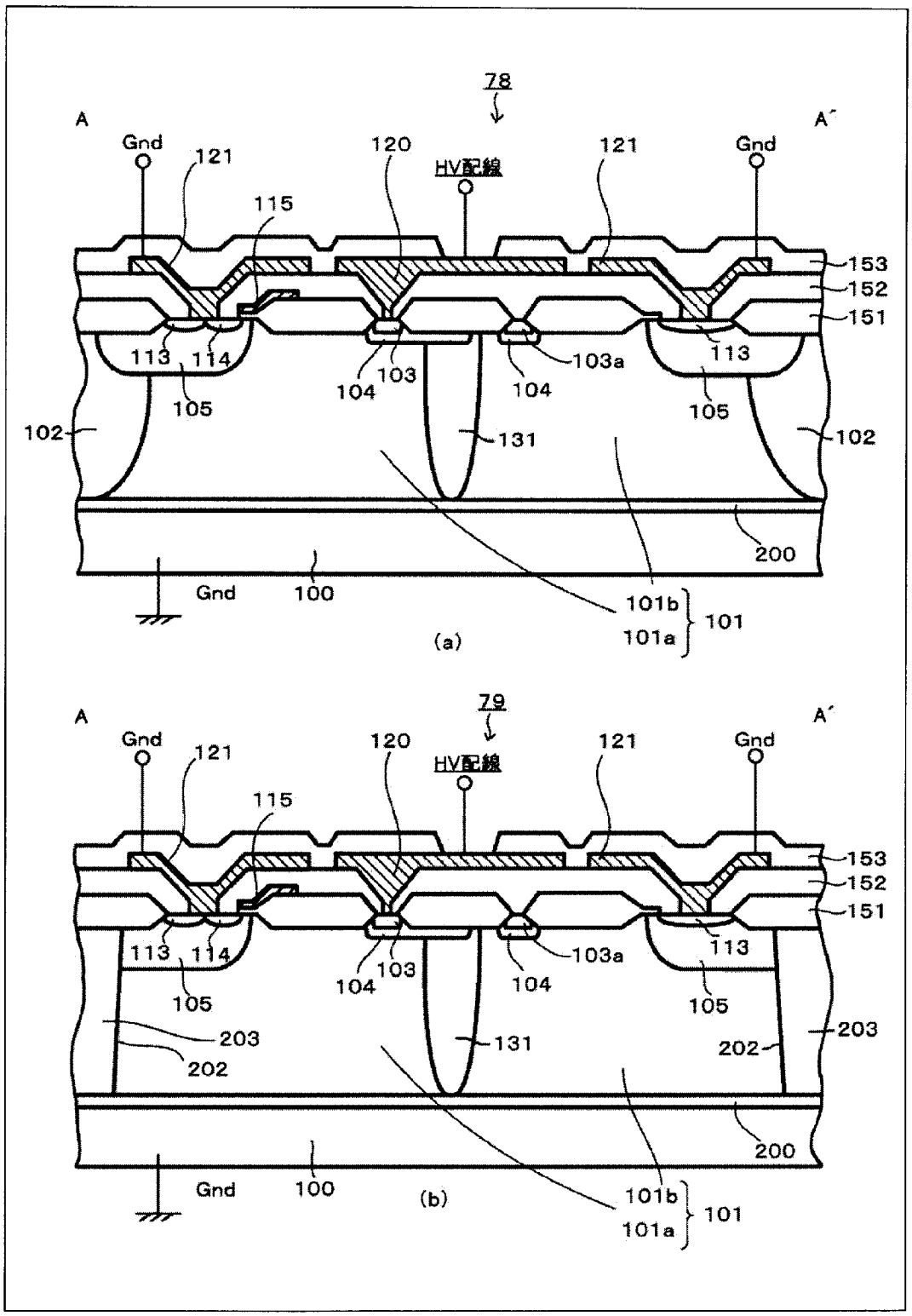
[図10]


A
A´
Gnd
121
120
75
HV配線
121
Gnd
115
153
152
151
113
114
104
103
103a
104
113
105
105
102
131
102
100
Gnd
101b
101a
101
(a)
A
A´
Gnd
121
120
76
HV配線
121
Gnd
115
153
152
151
113
114
104
103
103a
104
113
102
105
131
231
105
102
100
Gnd
101b
101a
101
(b)

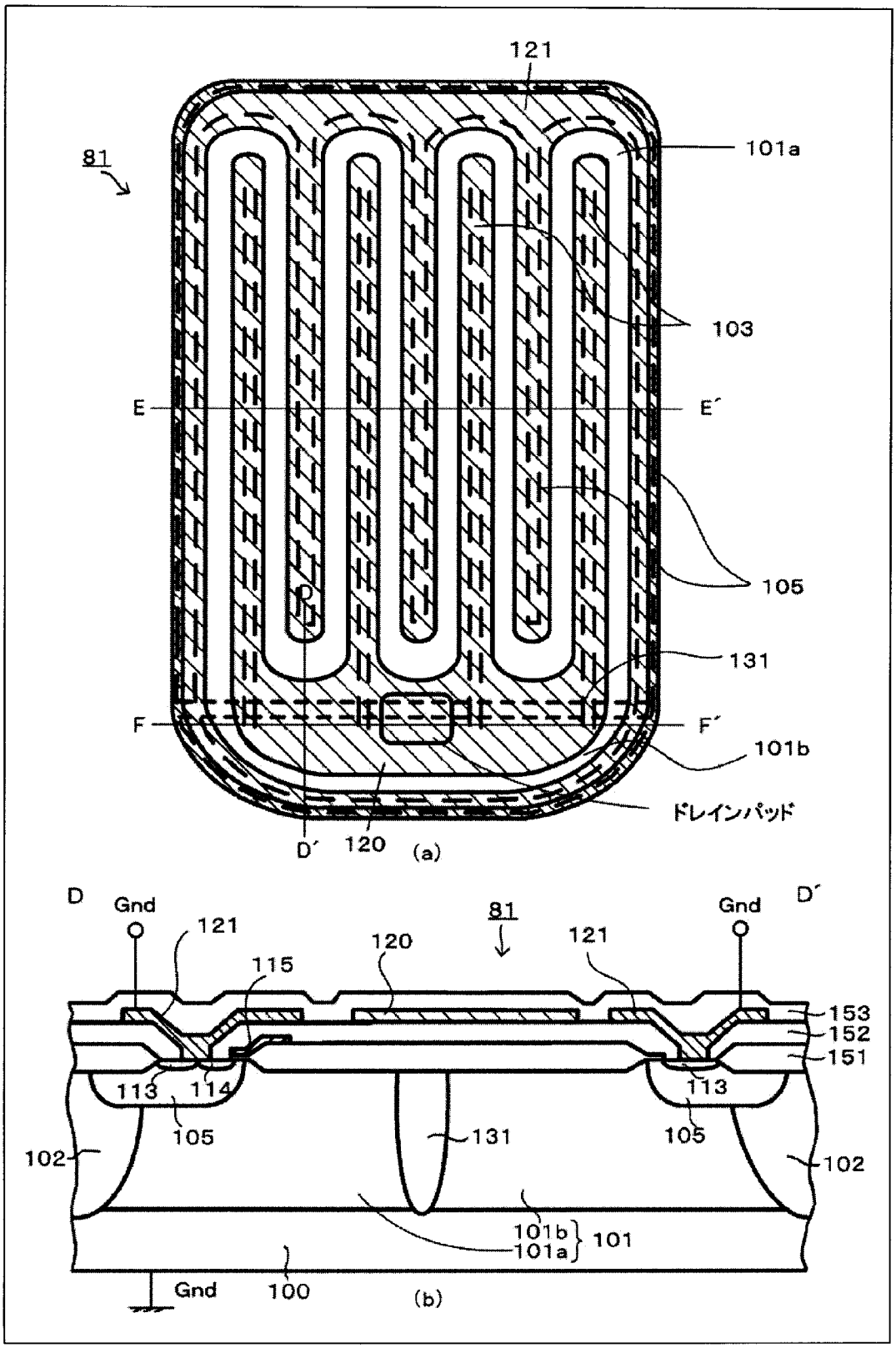
[図11]


300
77
115
C
101a
101b
121
201
Vcc1
パッド
3
4
131
104
121
Gnd
IGBT
−GATE
パッド
NOT回路へ
131
101b
101a
C′
OUTパッド
115
(a)
C
Gnd
121
120
HV配線
77
121
Gnd
C′
153
115
152
151
113
114
104
103
104
103
114
113
102
105
105
102
131
131
104
101a
101b
101a
100
(b)

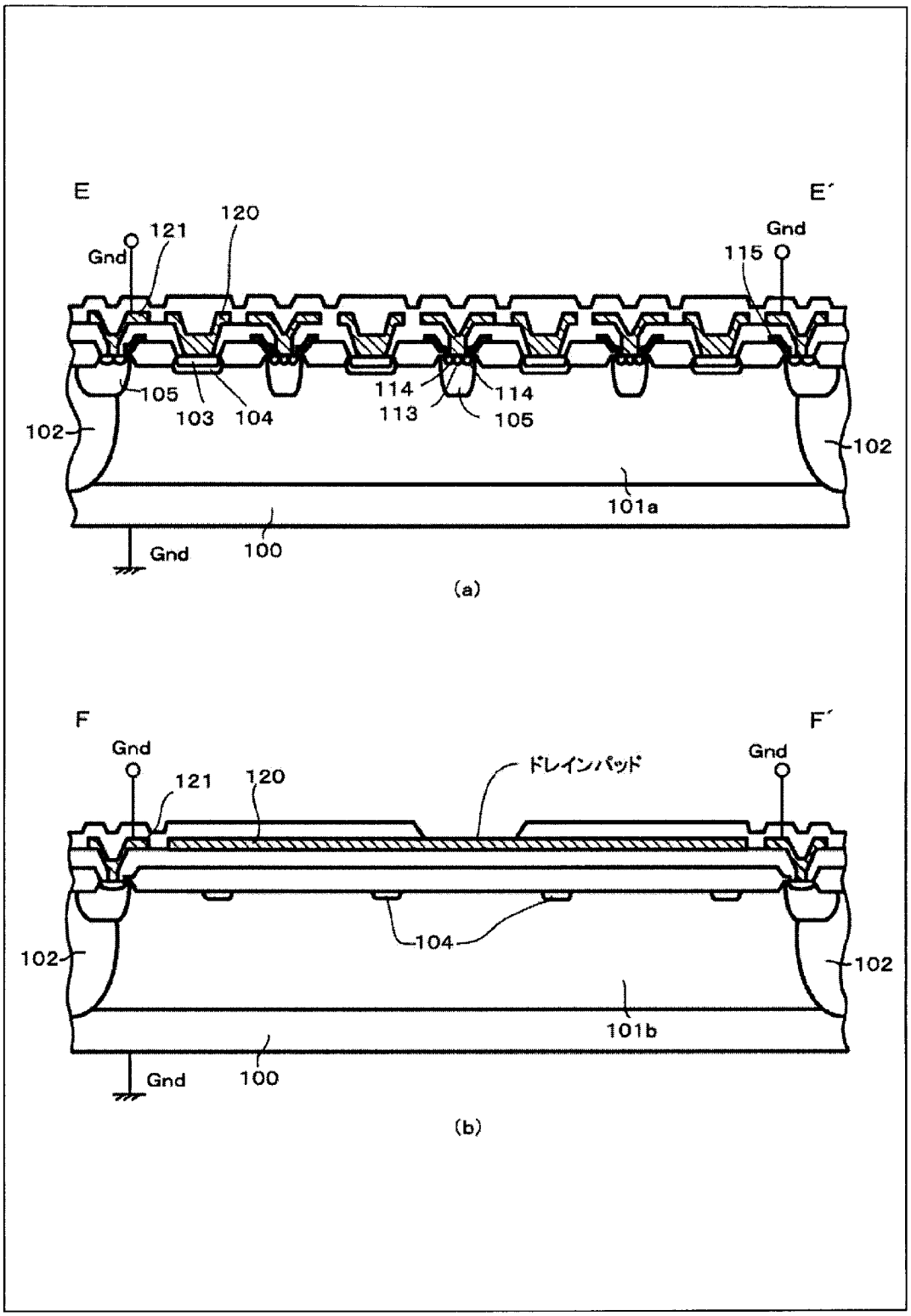
[図12]


78
A
A'
Gnd
121
120
HV配線
121
Gnd
115
153
152
151
113
114
103
104
103a
104
113
105
105
102
131
102
200
Gnd
100
101b
101a
101
(a)
79
A
A'
Gnd
121
120
HV配線
121
Gnd
115
153
152
151
113
114
103
104
103a
104
113
105
105
203
202
131
202
203
200
Gnd
100
(b)
101b
101a
101

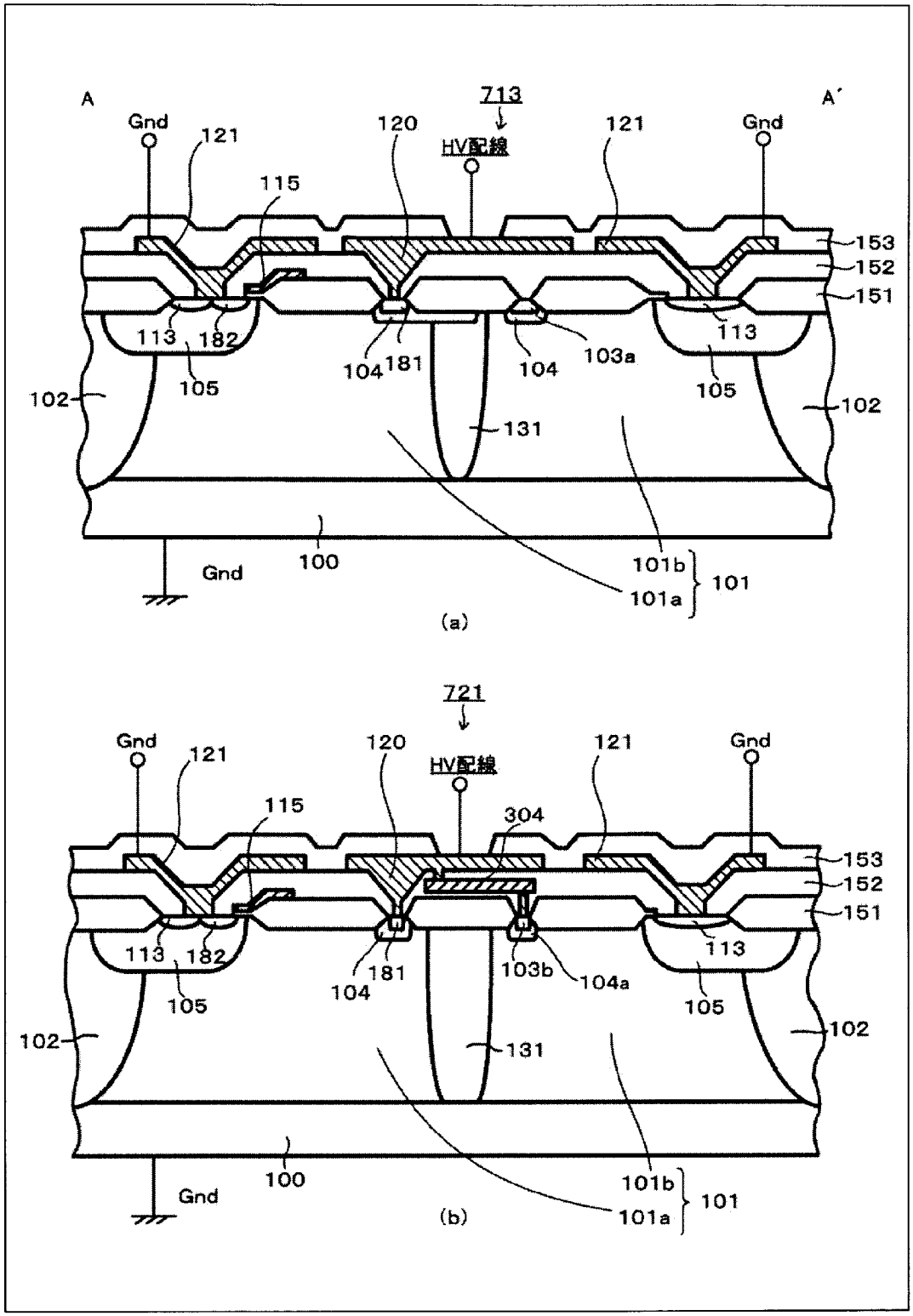
[図13]


121
81
101a
103
E
E´
105
131
F
F´
101b
ドレインパッド
D
D´
120
(a)
D
Gnd
121
115
120
81
121
Gnd
D´
153
152
151
113
114
113
105
131
105
102
102
101b
101a
101
Gnd
100
(b)

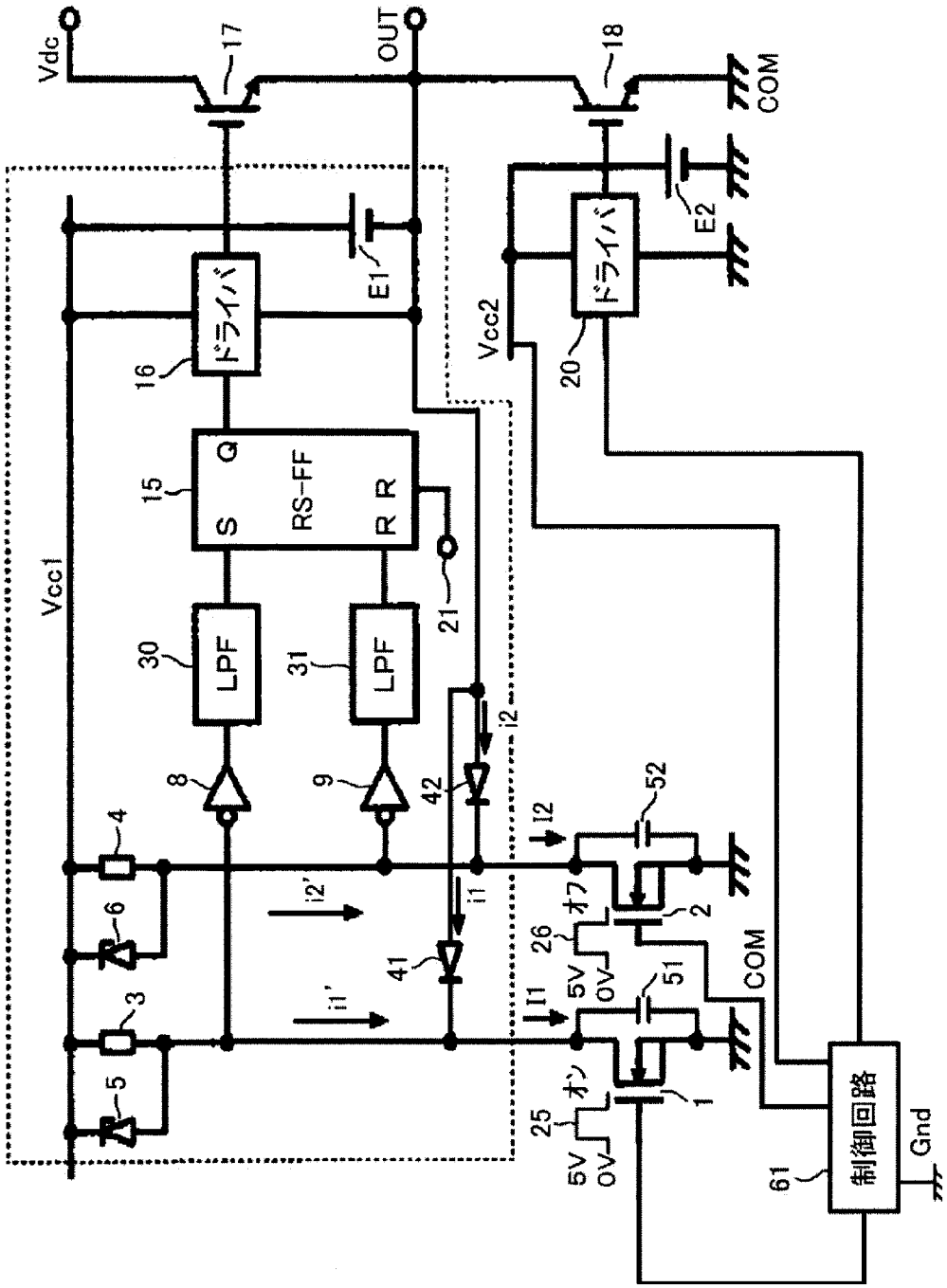
[図14]


E
E'
120
121
Gnd
Gnd
115
105
103
104
114
113
114
105
102
102
101a
Gnd
100
(a)
F
F'
Gnd
121
120
ドレインパッド
Gnd
104
102
102
101b
Gnd
100
(b)

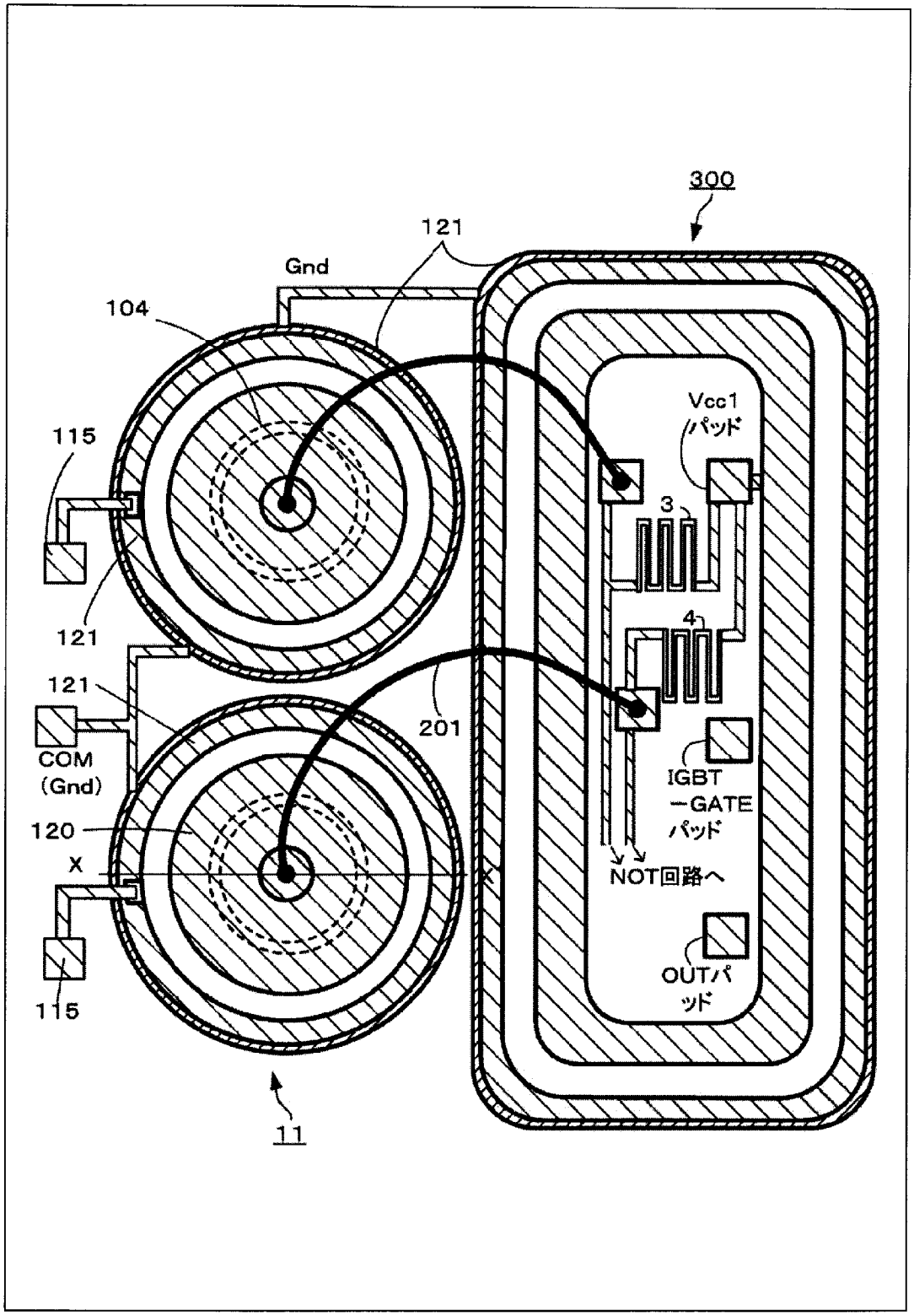
[図15]


A
A'
713
Gnd
121
120
HV配線
121
Gnd
115
153
152
151
113
182
104
181
104
103a
113
105
105
102
102
131
Gnd
100
101b
101a
101
(a)
721
Gnd
121
120
HV配線
121
Gnd
115
304
153
152
151
113
182
104
181
103b
104a
113
105
105
102
102
131
Gnd
100
101b
101a
101
(b)

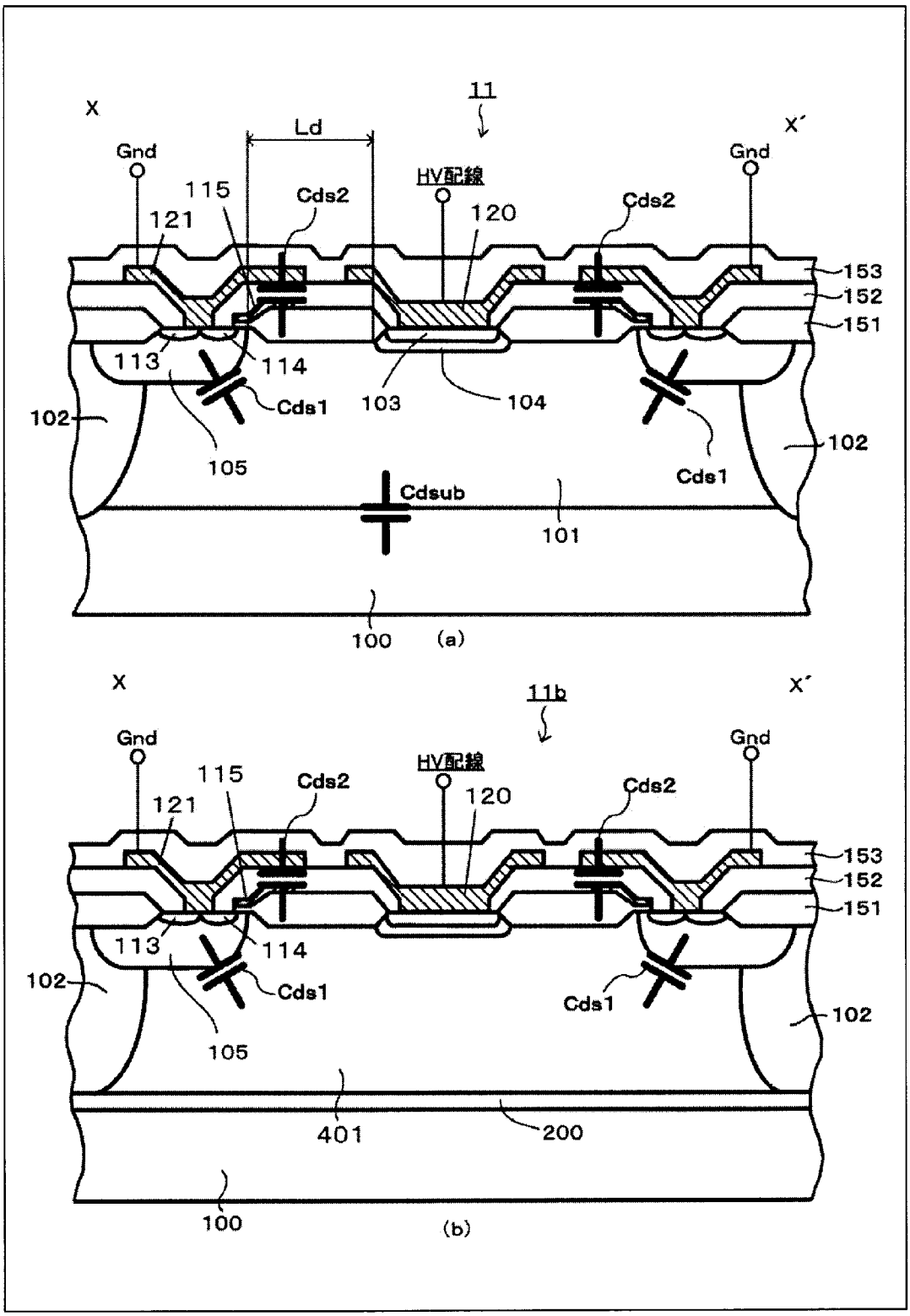
[図16]


Vdc
17
OUT
18
COM
E1
E2
ドライバ
ドライバ
16
20
Vcc2
15
S
Q
RS-FF
R
R
21
Vcc1
30
LPF
31
LPF
8
9
42
i2
4
6
3
5
i2'
i1'
i1
41
I2
52
オフ
26
5V
0V
2
I1
51
COM
オン
25
5V
0V
1
61
制御回路
Gnd

[図17]


300
121
Gnd
104
115
121
121
COM
(Gnd)
120
X
115
11
201
Vcc1
パッド
3
4
IGBT
−GATE
パッド
NOT回路へ
OUTパ
ッド

[図18]


X
11
X'
Ld
Gnd
HV配線
Gnd
115
Cds2
120
Cds2
121
153
152
151
113
114
Cds1
103
104
102
105
Cds1
102
Cdsub
101
100
(a)
X
11b
X'
Gnd
HV配線
Gnd
115
Cds2
120
Cds2
121
153
152
151
113
114
102
Cds1
Cds1
102
105
401
200
100
(b)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/061912

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/336*(2006.01)i, *H01L21/822*(2006.01)i, *H01L21/8234*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/088*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/786*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/336, H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H01L29/06, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-283716 A (Mitsubishi Electric Corp.), 31 October 1997 (31.10.1997), paragraphs [0002] to [0003], [0020] to [0055]; fig. 1 to 12 & US 5894156 A & EP 802568 A1 & DE 69620149 D & KR 10-0210213 B	1-20
Y	JP 2009-206284 A (Fuji Electric Device Technology Co., Ltd.), 10 September 2009 (10.09.2009), paragraphs [0036] to [0046]; fig. 1 to 3 & US 2009/0212373 A1	1-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 August, 2011 (17.08.11)	30 August, 2011 (30.08.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/061912

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-209983 A (Mitsubishi Electric Corp.), 04 August 2005 (04.08.2005), paragraphs [0030] to [0036]; fig. 3 to 5 & US 2005/0161761 A1 & DE 102004059620 A & TW 253177 B & KR 10-2005-0077015 A & CN 1649168 A	1-20
Y	JP 2005-86182 A (Renesas Technology Corp.), 31 March 2005 (31.03.2005), paragraph [0005] (Family: none)	1-20
Y	JP 2000-252809 A (Fuji Electric Co., Ltd.), 14 September 2000 (14.09.2000), fig. 1 & US 6326831 B1 & US 2002/0014905 A1 & EP 1035654 A2 & DE 60041216 D	20
A	JP 11-243152 A (Fuji Electric Co., Ltd.), 07 September 1999 (07.09.1999), fig. 1 to 4 (Family: none)	1-20
A	JP 2007-27358 A (Mitsubishi Electric Corp.), 01 February 2007 (01.02.2007), fig. 1 to 5 & US 2007/0013022 A1 & US 2009/0256234 A1 & DE 102006029499 A & KR 10-2007-0009392 A & CN 1897278 A	1-20
A	JP 2001-237381 A (Fuji Electric Co., Ltd.), 31 August 2001 (31.08.2001), fig. 1 to 3 (Family: none)	1-20
A	JP 2007-88198 A (Mitsubishi Electric Corp.), 05 April 2007 (05.04.2007), fig. 1 to 4 & US 2007/0063293 A1 & DE 102006038860 A & CN 1937251 A	1-20
A	JP 2005-251903 A (Mitsubishi Electric Corp.), 15 September 2005 (15.09.2005), fig. 1 to 7 & US 2005/0194656 A1 & DE 102004063523 A & KR 10-2006-0043235 A & CN 1665028 A & TW 277208 B & TW 283926 B & IT TO20050127 A1	1-20

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０６１９１２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/088(2006.01)i, H01L29/06(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/336, H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H01L29/06, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 9-283716 A (三菱電機株式会社) 1997.10.31, 【0002】-【0003】, 【0020】-【0055】, 図 1-12 & US 5894156 A & EP 802568 A1 & DE 69620149 D & KR 10-0210213 B	1-20
Y	JP 2009-206284 A (富士電機デバイステクノロジー株式会社) 2009.09.10, 【0036】-【0046】, 図 1-3 & US 2009/0212373 A1	1-20

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １７．０８．２０１１	国際調査報告の発送日 ３０．０８．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　９８３６ 松嶋　秀忠 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-209983 A (三菱電機株式会社) 2005.08.04, 【0030】-【0036】, 図 3-5 & US 2005/0161761 A1 & DE 102004059620 A & TW 253177 B & KR 10-2005-0077015 A & CN 1649168 A	1-20
Y	JP 2005-86182 A (株式会社ルネサステクノロジ) 2005.03.31, 【0005】 (ファミリーなし)	1-20
Y	JP 2000-252809 A (富士電機株式会社) 2000.09.14, 図 1 & US 6326831 B1 & US 2002/0014905 A1 & EP 1035654 A2 & DE 60041216 D	20
A	JP 11-243152 A (富士電機株式会社) 1999.09.07, 図 1-4 (ファミリーなし)	1-20
A	JP 2007-27358 A (三菱電機株式会社) 2007.02.01, 図 1-5 & US 2007/0013022 A1 & US 2009/0256234 A1 & DE 102006029499 A & KR 10-2007-0009392 A & CN 1897278 A	1-20
A	JP 2001-237381 A (富士電機株式会社) 2001.08.31, 図 1-3 (ファミリーなし)	1-20
A	JP 2007-88198 A (三菱電機株式会社) 2007.04.05, 図 1-4 & US 2007/0063293 A1 & DE 102006038860 A & CN 1937251 A	1-20
A	JP 2005-251903 A (三菱電機株式会社) 2005.09.15, 図 1-7 & US 2005/0194656 A1 & DE 102004063523 A & KR 10-2006-0043235 A & CN 1665028 A & TW 277208 B & TW 283926 B & IT TO20050127 A1	1-20