



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0092002
(43) 공개일자 2012년08월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
(21) 출원번호 10-2011-0143446
(22) 출원일자 2011년12월27일
심사청구일자 없음
(30) 우선권주장
JP-P-2010-293343 2010년12월28일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
박충범, 장수길, 이중희

전체 청구항 수 : 총 14 항

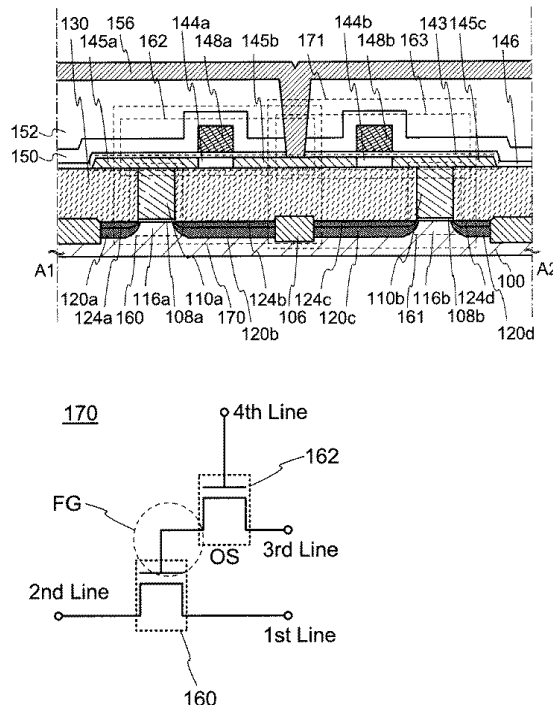
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 반도체 장치의 고집적화를 도모하여 단위 면적당의 기억 용량을 증가한다.

반도체 장치는 반도체 기판에 형성된 제 1 트랜지스터와, 제 1 트랜지스터 위에 형성된 제 2 트랜지스터를 갖는다. 또한, 제 2 트랜지스터의 반도체층은 반도체층 위쪽 측에서 배선과 접촉되고, 아래 쪽 측에서 제 1 트랜지스터의 게이트 전극과 접촉된다. 이러한 구조로 함으로써 배선 및 제 1 트랜지스터의 게이트 전극을 제 2 트랜지스터의 소스 전극 및 드레인 전극으로서 기능할 수 있다. 이로써, 반도체 장치의 점유 면적을 저감할 수 있다.

대표도



특허청구의 범위

청구항 1

제 1 트랜지스터와;

상기 제 1 트랜지스터 위의 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 산화물 반도체 재료를 포함한 반도체층을 포함하고,

상기 제 1 트랜지스터는 산화물 반도체 외의 반도체 재료를 포함한 반도체 기판에 제공된 채널 형성 영역 및 불순물 영역과, 상부 표면이 상기 반도체층과 접촉된 게이트 전극을 포함하는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 게이트 전극은 상기 제 2 트랜지스터의 소스 전극과 드레인 전극 중 하나로서 기능하는, 반도체 장치.

청구항 3

제1항에 있어서,

상기 산화물 반도체 재료는 c축 배향하고, ab면에 수직 방향에서 봤을 때 삼각형 또는 육각형의 원자 배열을 갖고, 상기 ab면에서 a축 또는 b축의 방향이 상이한 결정을 포함하는, 반도체 장치.

청구항 4

반도체 기판에 제공된 제 1 불순물 영역, 제 2 불순물 영역, 및 상기 제 1 불순물 영역과 상기 제 2 불순물 영역 사이의 제 1 채널 형성 영역과;

상기 제 1 채널 형성 영역 위의 제 1 게이트 절연층과;

상기 제 1 게이트 절연층 위의 제 1 게이트 전극을 포함한 제 1 트랜지스터와;

상기 제 1 트랜지스터 위의 절연층과;

제 1 저저항 영역, 제 2 저저항 영역, 및 상기 제 1 저저항 영역과 상기 제 2 저저항 영역 사이의 제 2 채널 형성 영역을 포함한 반도체층과;

상기 반도체층 위의 제 2 게이트 절연층과;

상기 제 2 게이트 절연층 위의 제 2 게이트 전극을 포함한 상기 절연층 위의 제 2 트랜지스터를 포함하고,

상기 제 1 게이트 전극의 상부 표면은 상기 제 1 저저항 영역과 상기 제 2 저저항 영역 중 하나와 접촉되는, 반도체 장치.

청구항 5

제4항에 있어서,

상기 제 1 게이트 전극은 상기 제 2 트랜지스터의 소스 전극과 드레인 전극 중 하나로서 기능하는, 반도체 장치.

청구항 6

제5항에 있어서,

상기 제 1 저저항 영역 및 상기 제 2 저저항 영역 중 다른 하나와 접촉된 도전층을 더 포함하는, 반도체 장치.

청구항 7

제4항에 있어서,

상기 반도체층과 상기 제 2 게이트 절연층을 개재하여 형성된, 상기 제 1 게이트 전극 위의 도전층을 더 포함하는, 반도체 장치.

청구항 8

제7항에 있어서,

상기 제 1 게이트 전극, 상기 반도체층, 상기 제 2 게이트 절연층, 및 상기 도전층의 적층이 용량 소자로서 기능하는, 반도체 장치.

청구항 9

제4항에 있어서,

상기 반도체층과 상기 제 2 게이트 절연층을 개재하여 형성된, 상기 제 1 게이트 전극 위의 제 1 도전층과;

상기 제 1 저저항 영역 및 상기 제 2 저저항 영역 중 다른 하나와 접촉된 제 2 도전층을 더 포함하는, 반도체 장치.

청구항 10

제7항에 있어서,

상기 제 1 게이트 전극, 상기 반도체층, 상기 제 2 게이트 절연층, 및 상기 제 1 도전층의 적층이 용량 소자로서 기능하는, 반도체 장치.

청구항 11

제4항에 있어서,

상기 제 1 트랜지스터는 상기 제 1 불순물 영역 및 상기 제 2 불순물 영역 각각과 접촉되어 제공된 소스 전극 및 드레인 전극을 포함하는, 반도체 장치.

청구항 12

제4항에 있어서,

상기 제 2 게이트 전극은 In-Ga-Zn-O-N계 화합물 도전체를 포함하는, 반도체 장치.

청구항 13

제4항에 있어서,

상기 반도체층은 산화물 반도체 재료를 포함하고,

상기 반도체 기판은 산화물 반도체 외의 반도체 재료를 포함하는, 반도체 장치.

청구항 14

제13항에 있어서,

상기 산화물 반도체 재료는 c축 배향하고, ab면에 수직 방향에서 봤을 때 삼각형 또는 육각형의 원자 배열을 갖고, 상기 ab면에서 a축 또는 b축의 방향이 상이한 결정을 포함하는, 반도체 장치.

명세서

기술 분야

[0001] 개시하는 발명은 반도체 소자를 이용한 반도체 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 기억 장치는 전력이 공급되지 않으면 기억된 내용이 상실되는 휘발성 기억 장치와, 전력

이 공급되지 않아도 기억된 내용이 유지되는 비휘발성 기억 장치로 크게 나눌 수 있다.

- [0003] 휘발성 기억 장치의 대표적인 예로서 DRAM(Dynamic Random Access Memory)이 있다. DRAM은 기억 소자를 구성하는 트랜지스터를 선택하여 커패시터에 전하를 축적함으로써 정보를 기억한다.
- [0004] 상술한 원리에 따라 DRAM에서는 정보를 판독하면 커패시터의 전하가 상실되기 때문에 정보를 판독할 때마다 다시 기록 동작을 행할 필요가 있다. 또한, 기억 소자를 구성하는 트랜지스터에서는 오프 상태의 소스와 드레인 간의 리크 전류(오프 전류) 등에 의하여 트랜지스터가 선택되지 않는 상황에서도 전하가 유출(流出) 또는 유입(流入)되기 때문에 정보의 유지 기간이 짧다. 따라서, 소정의 주기에 다시 기록 동작(리프레시 동작)을 행할 필요가 있고, 소비 전력을 충분히 저감하기 어렵다. 또한, 전력이 공급되지 않으면 기억 내용이 상실되기 때문에 오랜 기간에 걸쳐 기억을 유지하기 위해서는 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요하다.
- [0005] 휘발성 기억 장치의 다른 예로서 SRAM(Static Random Access Memory)이 있다. SRAM은 플립플롭 등의 회로를 사용하여 기억 내용을 유지하기 때문에 리프레시 동작을 행할 필요가 없고, 이 점에서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 사용하기 때문에 기억 용량당의 단가가 비싼 문제가 있다. 또한, 전력이 공급되지 않으면 기억 내용이 상실되는 점은 DRAM과 마찬가지이다.
- [0006] 비휘발성 기억 장치의 대표적인 예로서 플래시 메모리가 있다. 플래시 메모리는 트랜지스터의 게이트 전극과 채널 형성 영역 사이에 부유 게이트를 갖고, 상기 부유 게이트에 전하를 유지시킴으로써 정보를 기억하기 때문에 정보의 유지 기간은 매우 오래 가고(반영구적), 휘발성 기억 장치와 달리 리프레시 동작할 필요가 없는 이점을 갖는다(예를 들어, 특허 문헌 1 참조).
- [0007] 그러나, 기록시에 발생하는 터널 전류로 인하여 기억 소자를 구성하는 게이트 절연층이 열화되므로 소정 횟수 기록됨으로써 기억 소자가 기능하지 않게 되는 문제가 생긴다. 이러한 문제의 영향을 완화하기 위하여, 예를 들어, 각 기억 소자의 기록 횟수를 균일화하는 방법이 채용되지만, 이 방법을 실현하기 위해서는 복잡한 주변 회로가 필요하다. 그리고, 이러한 방법을 채용하여도 근본적인 수명 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는 정보의 재기록 빈도가 높은 용도에는 적합하지 않다.
- [0008] 또한, 부유 게이트에 전하를 주입하거나 또는 그 전하를 제거하기 위해서는 높은 전압이 필요하고, 또한 높은 전압을 생성하기 위한 회로도 필요하다. 게다가 전하를 주입하거나 또는 제거하기 위하여 시간이 비교적 오래 걸리고, 기록 및 소거의 고속화가 용이하지 않은 문제도 있다.
- [0009] 비휘발성 기억 장치의 다른 예로서 자성 재료를 사용한 기억 장치인MRAM(Magnetoresistive Random Access Memory)이 있다. MRAM은 기록 동작에서의 소비 전력이 비교적 높기 때문에 다수의 메모리 셀에 동시에 기록 동작을 행하기 어려운 문제가 있다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 일본국 특개소57-105889호 공보

발명의 내용

해결하려는 과제

- [0011] 상술한 문제를 감안하여 본 발명의 일 형태에서는 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고 또 기록 횟수의 제한도 없는 새로운 구조의 반도체 장치를 제공하는 것을 하나의 목적으로 한다. 또한, 새로운 구조의 반도체 장치의 고집적화를 도모하고, 단위 면적당의 기억 용량을 증가하는 것을 하나의 목적으로 한다.

과제의 해결 수단

- [0012] 본 발명의 일 형태는 반도체 기판에 제공된 제 1 채널 형성 영역, 제 1 채널 형성 영역을 끼우도록 형성된 제 1 불순물 영역 및 제 2 불순물 영역과, 제 1 채널 형성 영역 위의 제 1 게이트 절연층과, 제 1 게이트 절연층 위의 제 1 게이트 전극과, 제 1 불순물 영역 및 제 2 불순물 영역과 접촉되어 형성된 제 1 소스 전극 및 제 1 드

레인 전극을 갖는 제 1 트랜지스터와, 제 1 트랜지스터와 접촉되어 제 1 게이트 전극의 상면이 노출되도록 형성된 제 1 절연층과, 제 1 게이트 전극 및 제 1 절연층 위에 형성되고 제 2 채널 형성 영역과 제 2 채널 형성 영역을 끼우도록 형성된 제 1 저저항 영역 및 제 2 저저항 영역을 포함하는 반도체층과, 반도체층과 접촉되어 형성된 도전층과, 반도체층을 덮도록 형성된 제 2 게이트 절연층과, 제 2 채널 형성 영역 위에 제 2 게이트 절연층을 사이에 두고 형성된 제 2 게이트 전극을 갖는 제 2 트랜지스터를 포함하고, 제 1 게이트 전극은 제 2 트랜지스터의 제 2 소스 전극 및 제 2 드레인 전극 중 하나로서 기능하고, 도전층은 제 2 트랜지스터의 제 2 소스 전극 및 제 2 드레인 전극 중 다른 하나로서 기능하는 반도체 장치다.

[0013] 또한, 본 발명의 일 형태는 반도체 기판에 제공된 제 1 채널 형성 영역, 제 1 채널 형성 영역을 끼우도록 형성된 제 1 불순물 영역 및 제 2 불순물 영역과, 제 1 채널 형성 영역 위의 제 1 게이트 절연층과, 제 1 게이트 절연층 위의 제 1 게이트 전극과, 제 1 불순물 영역 및 제 2 불순물 영역과 접촉되어 형성된 제 1 소스 전극 및 제 1 드레인 전극을 갖는 제 1 트랜지스터와, 제 1 트랜지스터와 접촉되어 제 1 게이트 전극의 상면이 노출되도록 형성된 제 1 절연층과, 제 1 게이트 전극 및 제 1 절연층 위에 형성된 제 2 채널 형성 영역과, 제 2 채널 형성 영역을 끼우도록 형성된 제 1 저저항 영역 및 제 2 저저항 영역을 포함하는 반도체층과, 반도체층과 접촉되어 형성된 제 1 도전층과, 반도체층을 덮도록 형성된 제 2 게이트 절연층과, 제 2 채널 형성 영역 위에 제 2 게이트 절연층을 사이에 두고 형성된 제 2 게이트 전극을 갖는 제 2 트랜지스터와, 제 1 게이트 전극 위에 반도체층 및 제 2 게이트 절연층을 사이에 두고 중첩되도록 형성된 제 2 도전층을 포함하고, 제 1 게이트 전극은 제 2 트랜지스터의 제 2 소스 전극 및 제 2 드레인 전극 중 하나로서 기능하고, 제 1 도전층은 제 2 트랜지스터의 제 2 소스 전극 및 제 2 드레인 전극 중 다른 하나로서 기능하고, 제 1 게이트 전극, 반도체층, 제 2 게이트 절연층, 및 제 2 도전층의 적층은 용량 소자로서 기능하는 반도체 장치다.

[0014] 또한, 상기 구성에서 반도체층은 산화물 반도체 재료를 함유하고, 반도체 기판은 산화물 반도체 외의 반도체 재료를 함유한 반도체 장치다.

[0015] 또한, 상기 구성에서 산화물 반도체 재료는 c축 배향하고 또 ab면에 수직인 방향에서 관찰하여 삼각 형상 또는 육각 형상의 원자 배열을 갖고, ab면에서 a축 또는 b축의 방향이 상이한 결정을 포함하는 반도체 장치다.

[0016] 또한, 상기 구성에서 제 2 게이트 전극은 In-Ga-Zn-O-N계 화합물 도전체를 포함하는 반도체 장치다.

[0017] 또한, 상기 반도체 장치에서 산화물 반도체 재료를 사용하여 트랜지스터를 구성하는 경우가 있지만, 개시하는 발명은 이것에 한정되지 않는다. 산화물 반도체 재료와 동등의 오프 전류 특성을 실현할 수 있는 재료, 예를 들어, 탄화실리콘을 비롯한 와이드 갭 재료(더 구체적으로는, 예를 들어, 에너지 갭(Eg)이 3eV보다 큰 반도체 재료) 등을 적용하여도 좋다.

[0018] 또한, 본 명세서 등에서 “위” 나 “아래” 라는 용어는 구성 요소의 위치 관계가 다른 구성 요소의 “직상” 또는 “직하” 인 것에 한정하는 것이 아니다. 예를 들어, “게이트 절연층 위의 게이트 전극” 이라는 표현은 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 경우를 제외하지 않는다. 또한, “위” 이나 “아래” 라는 용어는 설명의 편의상 사용하는 표면에 불과하다.

[0019] 또한, 본 명세서 등에서 “전극” 이나 “배선” 이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, “전극” 은 “배선” 의 일부분으로서 사용되는 경우가 있고, 그 반대도 마찬가지다. 또한, “전극” 이나 “배선” 이라는 용어는 복수의 “전극” 이나 “배선” 이 일체가 되어 형성된 경우 등도 포함한다.

[0020] 또한, “소스” 나 “드레인” 의 기능은 극성이 상이한 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에 바뀔 수 있다. 따라서, 본 명세서에서는 “소스” 나 “드레인” 의 용어는 바뀌 사용할 수 있는 것으로 한다.

[0021] 또한, 본 명세서 등에서 “전기적으로 접속” 이라는 표현에는 “어떤 전기적 작용을 갖는 것” 을 통하여 접속된 경우가 포함된다. 여기서, “어떤 전기적 작용을 갖는 것” 은 접속 대상간에서 전기 신호를 주고 받고 할 수 있는 것이면 특별히 제한을 받지 않는다.

발명의 효과

[0022] 산화물 반도체를 사용한 트랜지스터는 오프 전류가 매우 작기 때문에, 이것을 기억 장치에 사용함으로써 매우 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프래시 동작이 불필요하거나 또는 리프래시 동작의 빈도를 매우 낮게 할 수 있기 때문에 소비 전력을 충분히 저감할 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되어 있는 것이 바람직함)에도, 오랜 기간에 걸쳐 기억 내용을 유지할 수 있다.

- [0023] 또한, 산화물 반도체 재료를 사용한 트랜지스터를 포함하는 기억 장치는 정보의 기록에 높은 전압이 불필요하므로 기억 소자의 열화 문제도 없다. 예를 들어, 종래의 비휘발성 기억 장치와 같이 부유 게이트에 전자를 주입하거나 부유 게이트로부터 전자를 뽑을 필요가 없기 때문에 게이트 절연층의 열화 문제가 전혀 발생하지 않는다. 즉, 산화물 반도체 재료를 사용한 트랜지스터를 포함하는 기억 장치에서는 종래의 비휘발성 기억 장치에서 문제가 되었던 재기록 가능 횟수에 제한이 없어 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태와 오프 상태를 스위칭함으로써 정보가 기록되기 때문에 고속 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요한 장점도 있다.
- [0024] 또한, 산화물 반도체 외의 반도체 재료를 사용한 트랜지스터는 산화물 반도체 재료를 사용한 트랜지스터보다 충분히 고속 동작할 수 있다. 따라서, 산화물 반도체 외의 반도체 재료를 사용한 트랜지스터를 주변 회로(제어 회로, 구동 회로 등)에 사용함으로써 고속 동작을 충분히 확보한 주변 회로를 바람직하게 실현할 수 있다. 따라서, 상기 주변 회로를 산화물 반도체 재료를 사용한 트랜지스터를 포함한 기억 장치와 조합하여 사용함으로써, 반도체 장치의 동작(예를 들어, 정보의 판독 동작이나 기록 동작 등)의 고속 동작을 충분히 확보할 수 있다.
- [0025] 이와 같이, 산화물 반도체 외의 반도체 재료를 사용한 트랜지스터(바꿔 말하면, 충분히 고속 동작할 수 있는 트랜지스터)를 사용한 주변 회로와, 산화물 반도체 재료를 사용한 트랜지스터(더 넓은 의미로는 오프 전류가 충분히 작은 트랜지스터)를 사용한 기억 장치를 일체로 구비함으로써, 지금까지 없었던 특징을 갖는 반도체 장치를 실현할 수 있다.
- [0026] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는 산화물 반도체 외의 반도체 재료를 사용한 트랜지스터의 게이트 전극을 산화물 반도체를 사용한 트랜지스터의 소스 전극 또는 드레인 전극 중 하나로서 사용하기 때문에, 산화물 반도체를 사용한 트랜지스터의 소스 전극 또는 드레인 전극 중 하나를 개구부를 통하여 배선에 별도 접속할 필요가 없게 된다. 따라서, 메모리 셀의 점유 면적을 저감할 수 있으므로 반도체 장치의 고집적화를 도모하고 단위 면적당의 기억 용량을 증가할 수 있다.

도면의 간단한 설명

- [0027] 도 1a 및 도 1b는 반도체 장치의 단면도 및 회로도.
 도 2a 내지 도 2d는 반도체 장치의 제작 공정에 따른 단면도.
 도 3a 내지 도 3d는 반도체 장치의 제작 공정에 따른 단면도.
 도 4a 내지 도 4c는 반도체 장치의 제작 공정에 따른 단면도.
 도 5a 내지 도 5c는 반도체 장치의 제작 공정에 따른 단면도.
 도 6a 및 도 6b는 반도체 장치의 단면도 및 회로도.
 도 7a 내지 도 7d는 반도체 장치의 제작 공정에 따른 단면도.
 도 8은 반도체 장치의 단면도.
 도 9a 내지 도 9c는 반도체 장치의 제작 공정에 따른 단면도.
 도 10a 및 도 10b는 반도체 장치의 회로도.
 도 11은 반도체 장치의 블록도.
 도 12는 반도체 장치의 블록도.
 도 13은 반도체 장치의 블록도.
 도 14a 내지 도 14f는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명의 실시형태의 일례에 대하여 도면을 사용하여 이하에 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재한 실시형태의 기재 내용에 한정하

여 해석되는 것은 아니다.

- [0029] 또한, 도면 등에서 기재한 각 구성의 위치, 크기, 범위 등은 쉽게 이해할 수 있도록 실제 위치, 실제 크기, 실제 범위 등을 나타낸 것이 아닌 경우가 있다. 따라서, 개시하는 발명은 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.
- [0030] 또한, 본 명세서 등에서 기재된 “제 1” “제 2” “제 3” 등의 서수는 구성 요소의 혼동을 피하기 위하여 붙인 것이고 수적으로 한정하는 것이 아니다.
- [0031] (실시형태 1)
- [0032] 본 발명의 일 형태에 따른 반도체 장치의 구성 및 그 제작 방법에 대하여 도 1a 내지 도 5c를 참조하여 설명한다.
- [0033] <반도체 장치의 구성예>
- [0034] 도 1a 및 도 1b는 반도체 장치의 구성의 일례다. 도 1a는 반도체 장치의 단면을 도시한 것이고, 도 1b는 반도체 장치의 회로도도를 도시한 것이다. 도 1a 및 도 1b에 도시한 반도체 장치는 기억 장치로서 사용할 수 있다. 또한, 도 1a 및 도 1b에 도시한 반도체 장치는 소정의 기능을 갖는 반도체 장치의 일례이고, 본 발명의 일 형태인 반도체 장치를 모두 도시한 것이 아니다. 본 발명의 일 형태에 따른 반도체 장치는 전극의 접속 관계 등을 적절히 변경하여 그 외의 기능을 가질 수 있다.
- [0035] 도 1a에 도시한 반도체 장치는 아래 쪽 부분에 트랜지스터(160) 및 트랜지스터(161)가 형성되고, 위쪽 부분에 트랜지스터(162) 및 트랜지스터(163)가 형성된다. 또한, 트랜지스터(160) 및 트랜지스터(162)로 메모리 셀(170)을 구성할 수 있고, 트랜지스터(161) 및 트랜지스터(163)로 메모리 셀(171)을 구성할 수 있다.
- [0036] 여기서, 트랜지스터(162) 및 트랜지스터(163)의 반도체 재료와 트랜지스터(160) 및 트랜지스터(161)의 반도체 재료는 상이하게 하는 것이 바람직하다. 예를 들어, 트랜지스터(162) 및 트랜지스터(163)의 반도체 재료로서 산화물 반도체를 사용하고, 트랜지스터(160) 및 트랜지스터(161)의 반도체 재료로서 산화물 반도체 외의 반도체 재료(예를 들어, 실리콘 등)로 할 수 있다. 산화물 반도체를 사용한 트랜지스터는 오프 전류가 매우 작은 특징을 갖는다. 따라서, 이 특성 때문에 오랜 기간 동안 전하를 유지할 수 있다. 한편, 산화물 반도체 외의 반도체 재료를 사용한 트랜지스터는 고속 동작이 용이하다.
- [0037] 도 1a의 트랜지스터(160)는 반도체 재료(예를 들어, 실리콘 등)를 함유한 기판(100)에 형성된 채널 형성 영역(116a) 및 채널 형성 영역(116a)를 끼우도록 형성된 불순물 영역(120a) 및 불순물 영역(120b)과, 불순물 영역(120a) 및 불순물 영역(120b)과 접촉된 금속 화합물 영역(124a) 및 금속 화합물 영역(124b)과, 채널 형성 영역(116a) 위에 형성된 게이트 절연층(108a)과, 게이트 절연층(108a) 위에 형성된 게이트 전극(110a)을 갖는다. 여기서, 불순물 영역(120a) 및 불순물 영역(120b)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0038] 마찬가지로 트랜지스터(161)도 반도체 재료를 함유한 기판(100)에 형성된 채널 형성 영역(116b) 및 채널 형성 영역(116b)을 끼우도록 형성된 불순물 영역(120c) 및 불순물 영역(120d)과, 불순물 영역(120c) 및 불순물 영역(120d)과 접촉된 금속 화합물 영역(124c) 및 금속 화합물 영역(124d)과, 채널 형성 영역(116b) 위에 형성된 게이트 절연층(108b)과, 게이트 절연층(108b) 위에 형성된 게이트 전극(110b)을 갖는다. 여기서, 불순물 영역(120c) 및 불순물 영역(120d)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0039] 또한, 소스 전극이나 드레인 전극을 도면에 명시적으로 도시하지 않은 경우가 있지만, 편의상 이 상태를 포함하여 트랜지스터라고 부를 경우가 있다. 또한, 이 경우에는, 트랜지스터의 접속 관계를 설명하기 위하여 소스 영역이나 드레인 영역을 포함하여 소스 전극이나 드레인 전극이라고 표현할 경우가 있다. 즉, 본 명세서에서 소스 전극이라고 기재한 경우에는 소스 영역이 포함될 수 있다.
- [0040] 또한, 기판(100) 위에 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 형성된다. 또한, 트랜지스터(161)도 소자 분리 절연층(106)으로 둘러싸인다. 또한, 고집적화를 실현하기 위하여 도 1a에 도시한 바와 같이, 트랜지스터(160)가 사이드 월 절연층을 갖지 않는 구성으로 할 수도 있다. 한편, 아래 쪽 부분의 트랜지스터의 특성을 중요시하는 경우에는 게이트 전극의 측면에 사이드 월 절연층을 형성함으로써 불순물 농도가 상이한 영역을 포함하는 불순물 영역을 형성하여도 좋다.
- [0041] 또한, 트랜지스터(160) 및 트랜지스터(161)와 접촉되도록 절연층(130)이 형성된다. 또한, 절연층(130)은 트랜지스터(160)의 게이트 전극(110a) 및 트랜지스터(161)의 게이트 전극(110b)의 상면이 노출되도록 형성된다.

- [0042] 도 1a의 트랜지스터(162)는 절연층(130) 및 게이트 전극(110a) 위에 형성되고, 트랜지스터(163)는 절연층(130) 및 게이트 전극(110b) 위에 형성된다.
- [0043] 트랜지스터(162)는 채널 형성 영역(144a)과, 채널 형성 영역(144a)을 끼우도록 형성된 저저항 영역(145a) 및 저저항 영역(145b)을 포함하는 산화물 반도체층(143)과, 산화물 반도체층(143)과 접촉되어 형성된 배선(156)과, 산화물 반도체층(143)을 덮도록 형성된 게이트 절연층(146)과, 채널 형성 영역(144a) 위에 게이트 절연층(146)을 사이에 두고 형성된 게이트 전극(148a)을 갖는다. 또한, 트랜지스터(162)는 저저항 영역(145b) 위쪽 부분에서 배선(156)과 접촉되고, 저저항 영역(145a) 아래 쪽 부분에서 게이트 전극(110a)과 접촉된다. 즉, 배선(156)은 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능하고, 게이트 전극(110a)은 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나로서 기능한다.
- [0044] 또한, 트랜지스터(163)는 채널 형성 영역(144b)과, 채널 형성 영역(144b)을 끼우도록 형성된 저저항 영역(145b) 및 저저항 영역(145c)을 포함하는 산화물 반도체층(143)과, 산화물 반도체층(143)과 접촉되어 형성된 배선(156)과, 산화물 반도체층(143)을 덮도록 형성된 게이트 절연층(146)과, 채널 형성 영역(144b) 위에 게이트 절연층(146)을 사이에 두고 형성된 게이트 전극(148b)을 갖는다. 또한, 트랜지스터(163)는 저저항 영역(145b) 위쪽 부분에서 배선(156)과 접촉되고, 저저항 영역(145c) 아래 쪽 부분에서 게이트 전극(110b)과 접촉된다. 즉, 배선(156)은 트랜지스터(163)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능하고, 게이트 전극(110b)은 트랜지스터(163)의 소스 전극 또는 드레인 전극 중 하나로서 기능한다.
- [0045] 또한, 트랜지스터(162) 및 트랜지스터(163)를 덮도록 층간 절연층(150) 및 층간 절연층(152)이 형성된다.
- [0046] 도시하지 않았지만, 트랜지스터(162) 및 트랜지스터(163)에서 게이트 전극(148a) 및 게이트 전극(148b) 측면에 사이드 월 절연층을 형성함으로써 불순물 농도가 상이한 영역을 포함하는 불순물 영역을 형성하여도 좋다.
- [0047] 도 1a에 도시한 바와 같이, 트랜지스터(160)의 게이트 전극(110a)을 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나로서 사용함으로써 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나를 층간 절연층(152)에 개구부를 형성하여 다른 배선에 별도 접속할 필요가 없게 된다. 또한, 트랜지스터(162) 및 트랜지스터(163)는 하나의 산화물 반도체층(143)으로 형성된다. 또한, 트랜지스터(162) 및 트랜지스터(163)는 소스 전극 및 드레인 전극으로서도 기능하는 배선(156)을 서로 공유하여 접속된다. 또한, 인접된 메모리 셀에서 산화물 반도체층(143)을 사용한 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나와, 트랜지스터(163)의 소스 전극 또는 드레인 전극 중 다른 하나를 서로 전기적으로 접속할 수 있다.
- [0048] 상술한 구성으로 함으로써 메모리 셀(170) 및 메모리 셀(171)의 점유 면적을 저감할 수 있으므로 반도체 장치의 고집적화를 도모하여 단위 면적당의 기억 용량을 증가할 수 있다.
- [0049] 다음에, 도 1b는 도 1a에 도시한 메모리 셀(170)의 회로도다. 본 명세서 등에서 산화물 반도체를 사용한 트랜지스터에 OS라고 부기할 경우가 있다.
- [0050] 도 1b에 도시한 메모리 셀(170)에서 제 1 배선(1st Line: 소스선이라고도 기재함)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line: 비트선이라고도 기재함)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속된다. 또한, 제 3 배선(3rd Line: 제 1 신호선이라고도 기재함)과 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나는 전기적으로 접속되고, 제 4 배선(4th Line: 제 2 신호선이라고 기재함)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속된다. 그리고, 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나는 전기적으로 접속된다.
- [0051] 또한, 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나는 트랜지스터(160)의 게이트 전극과 전기적으로 접속됨으로써, 비휘발성 메모리 소자로서 사용되는 부유 게이트형 트랜지스터의 부유 게이트와 동등의 작용을 갖는다. 따라서, 도면의 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나와 트랜지스터(160)의 게이트 전극이 전기적으로 접속된 부위를 부유 게이트부 FG라고 부르는 경우가 있다. 트랜지스터(162)가 오프 상태인 경우에는, 상기 부유 게이트부 FG는 절연체 중에 매설되었다고 간주할 수 있고 부유 게이트부 FG에 전하가 유지된다. 산화물 반도체를 사용한 트랜지스터(162)의 오프 전류는 실리콘 등으로 형성되는 트랜지스터의 1/100000 이하이기 때문에 트랜지스터(162)의 리크로 인한 부유 게이트부 FG에 축적된 전하의 소실(消失)을 무시할 수 있다. 즉, 전력이 공급되지 않아도 산화물 반도체를 사용한 트랜지스터(162)에 의하여 정보를 유지할 수 있는 비휘발성 기억 장치를 실현할 수 있다.
- [0052] 산화물 반도체 외의 재료를 사용한 트랜지스터(160)는 충분히 고속 동작할 수 있으므로 트랜지스터(160)에 의하

여 기억 내용의 판독 등을 고속으로 행할 수 있다. 또한, 산화물 반도체를 사용한 트랜지스터(162)는 오프 전류가 매우 작은 특징을 갖는다. 따라서, 트랜지스터(162)를 오프 상태로 함으로써 트랜지스터(160)의 게이트 전극의 전위를 매우 오랜 기간에 걸쳐 유지할 수 있다.

- [0053] 트랜지스터(160)의 게이트 전극의 전위를 유지할 수 있는 특징을 이용함으로써 다음과 같이 정보의 기록, 유지, 판독이 가능하다. 메모리 셀(170)의 동작에 대하여 이하에 설명한다.
- [0054] 우선, 정보의 기록 및 유지에 대하여 설명한다. 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극에 공급된다(기록). 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써 트랜지스터(160)의 게이트 전극의 전위가 유지된다(유지).
- [0055] 트랜지스터(162)의 오프 전류는 매우 작으므로 트랜지스터(160)의 게이트 전극의 전위는 오랜 기간에 걸쳐 유지된다. 예를 들어, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)를 온 상태로 하는 전위라면 트랜지스터(160)의 온 상태가 오랜 기간에 걸쳐 유지된다. 또한, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)를 오프 상태로 하는 전위라면 트랜지스터(160)의 오프 상태가 오랜 기간에 걸쳐 유지된다.
- [0056] 다음에, 정보의 판독에 대하여 설명한다. 상술한 바와 같이, 트랜지스터(160)의 온 상태 또는 오프 상태가 유지된 상태에서 제 1 배선에 소정의 전위(정전위)가 공급되면, 트랜지스터(160)가 온 상태인지 오프 상태인지에 따라 제 2 배선의 전위가 달라진다. 예를 들어, 트랜지스터(160)가 온 상태인 경우에는 제 1 배선의 전위보다 제 2 배선의 전위가 저하된다. 반대로 트랜지스터(160)가 오프 상태인 경우에는 제 2 배선의 전위는 변화되지 않는다.
- [0057] 상술한 바와 같이, 정보가 유지된 상태에서 제 2 배선의 전위와 소정의 전위를 비교함으로써 정보를 판독할 수 있다.
- [0058] 다음에, 정보의 재기록에 대하여 설명한다. 정보의 재기록은 상기 정보의 기록 및 유지와 마찬가지로 행해진다. 즉, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위(새로운 정보에 따른 전위)가 트랜지스터(160)의 게이트 전극에 공급된다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써 새로운 정보가 유지된 상태가 된다.
- [0059] 상술한 바와 같이, 본 발명의 일 형태에 따른 반도체 장치는 정보를 다시 기록함으로써 직접적으로 정보를 재기록할 수 있다. 따라서, 플래시 메모리 등과 달리 소거 동작이 불필요하므로 소거 동작에 기인한 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.
- [0060] 또한, 본 실시형태에서는 메모리 셀(170)의 동작에 대하여 설명하였지만, 메모리 셀(171)의 동작도 메모리 셀(170)의 동작과 마찬가지로 한다.
- [0061] 또한, 상기 설명은 전자를 다수 캐리어로 하는 n형 트랜지스터(n채널형 트랜지스터)를 사용하는 경우에 대한 것이지만, n형 트랜지스터 대신에 정공을 다수 캐리어로 하는 p형 트랜지스터를 사용할 수 있는 것은 물론이다.
- [0062] 또한, 본 발명의 일 형태에 따른 반도체 장치의 구성은 도 1a 및 도 1b에 도시된 것에 한정되지 않는다. 개시하는 발명의 기술적 사상은 산화물 반도체와, 산화물 반도체 외의 재료를 사용한 적층 구조를 형성하는 점에 있으므로 전극의 접속 관계 등 상세한 내용은 적절히 변경할 수 있다.
- [0063] <반도체 장치의 제작 방법의 예>
- [0064] 다음에, 상기 반도체 장치의 제작 방법의 일례에 대하여 도 2a 내지 도 5c를 사용하여 설명한다. 우선, 아래 쪽 부분의 트랜지스터(160) 및 트랜지스터(161)의 제작 방법에 대하여 도 2a 내지 도 3d를 참조하여 설명한 후, 위쪽 부분의 트랜지스터(162) 및 트랜지스터(163)의 제작 방법에 대하여 도 4a 내지 도 5c를 참조하여 설명한다.
- [0065] <아래 쪽 부분의 트랜지스터의 제작 방법>
- [0066] 우선, 반도체 재료를 함유한 기판(100)을 준비한다(도 2a 참조). 반도체 재료를 함유한 기판(100)으로서 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기서는, 반도체 재료를 함유한 기판(100)으로서 단결정 실리콘 기판을 사용하는 경우의 일례를 기재하는 것으로 한다. 또한, 일반적으로 “SOI 기판”은 절연 표면 위에 실리콘 반도체층

이 형성된 구성의 기판을 말하지만, 본 명세서 등에서는 절연 표면 위에 실리콘 외의 재료로 이루어진 반도체층이 형성된 구성의 기판도 포함하는 개념으로서 사용한다. 즉, “SOI 기판”이 갖는 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판에는 유리 기판 등의 절연 기판 위에 절연층을 개재(介在)하여 반도체층이 형성된 구성의 기판이 포함되는 것으로 한다.

[0067] 반도체 재료를 함유한 기판(100)으로서 실리콘 등의 단결정 반도체 기판을 사용하는 경우에는, 반도체 장치의 관독 동작을 고속화할 수 있기 때문에 특히 바람직하다.

[0068] 또한, 트랜지스터의 임계 값 전압을 제어하기 위하여 이후 트랜지스터(160)의 채널 형성 영역(116a) 및 트랜지스터(161)의 채널 형성 영역(116b)이 되는 영역에 불순물 원소를 첨가하여도 좋다. 여기서는, 트랜지스터(160) 및 트랜지스터(161)의 임계 값 전압이 양의 값을 갖도록 하는 도전성을 부여하는 불순물 원소를 첨가한다. 반도체 재료가 실리콘인 경우에는, 상기 도전성을 부여하는 불순물 원소로서, 예를 들어, 붕소, 알루미늄, 갈륨 등이 있다. 또한, 불순물 원소를 첨가한 후에 가열 처리함으로써 불순물 원소의 활성화나 불순물 원소를 첨가할 때 생긴 결함의 개선 등을 도모하는 것이 바람직하다.

[0069] 다음에, 기판(100) 위에 소자 분리 절연층을 형성하기 위한 마스크로서 기능하는 보호층(102a) 및 보호층(102b)을 형성한다(도 2a 참조). 보호층(102a) 및 보호층(102b)으로서, 예를 들어, 산화실리콘, 질화실리콘, 산화질화실리콘 등을 재료로 하는 절연층을 사용할 수 있다.

[0070] 다음에, 상기 보호층(102a) 및 보호층(102b)을 마스크로서 사용하여 에칭함으로써, 보호층(102a) 및 보호층(102b)으로 덮이지 않은 영역(노출된 영역)에서의 기판(100)의 일부분을 제거한다. 이로써, 다른 반도체 영역과 분리된 반도체 영역(104a) 및 반도체 영역(104b)이 형성된다(도 2b 참조). 상기 에칭은 드라이 에칭을 사용하는 것이 바람직하지만, 웨트 에칭을 사용하여도 좋다. 에칭 가스나 에칭액은 에칭될 재료에 따라 적절히 선택할 수 있다. 반도체 영역(104a) 및 반도체 영역(104b)을 형성한 후, 상기 보호층(102a) 및 보호층(102b)을 제거한다.

[0071] 다음에, 반도체 영역(104a) 및 반도체 영역(104b)을 덮도록 절연층을 형성하고, 반도체 영역(104a) 및 반도체 영역(104b)에 중첩된 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 2c 참조). 상기 절연층은 산화실리콘, 질화실리콘, 산화질화실리콘 등을 사용하여 형성된다. 절연층을 제거하는 방법으로서 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 처리 등의 연마 처리나 에칭 처리 등이 있지만, 그 중에서 어느 처리법을 사용하여도 좋다.

[0072] 다음에, 반도체 영역(104a) 및 반도체 영역(104b) 표면에 절연층을 형성하고, 상기 절연층 위에 도전 재료를 함유한 층을 형성한다.

[0073] 상기 절연층은 이후 게이트 절연층이 되며, 예를 들어, 반도체 영역(104a) 및 반도체 영역(104b) 표면을 가열 처리(열 산화 처리나 열 질화 처리 등)함으로써 형성할 수 있다. 가열 처리 대신에 고밀도 플라즈마 처리를 적용하여도 좋다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr, Xe 등의 희가스, 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행할 수 있다. 물론, CVD법이나 스퍼터링법 등을 사용하여 절연층을 형성하여도 좋다. 상기 절연층은 산화실리콘, 산질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈, 산화이트륨, 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄알루미늄네이트(HfAl_xO_y ($x>0$, $y>0$)) 등을 함유한 단층 구조 또는 적층 구조로 하는 것이 바람직하다. 또한, 절연층의 두께는, 예를 들어, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.

[0074] 도전 재료를 함유한 층은 알루미늄, 구리, 티타늄, 탄탈, 텅스텐 등의 금속 재료를 사용하여 형성할 수 있다. 또한, 다결정 실리콘 등의 반도체 재료를 사용하여 도전 재료를 함유한 층을 형성하여도 좋다. 형성 방법도 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용할 수 있다. 또한, 본 실시형태에서는 금속 재료를 사용하여 도전 재료를 함유한 층을 형성하는 경우의 일례를 기재한다.

[0075] 그 후, 절연층 및 도전 재료를 함유한 층을 선택적으로 에칭하여 게이트 절연층(108a), 게이트 절연층(108b), 게이트 전극(110a), 및 게이트 전극(110b)을 형성한다(도 2d 참조).

[0076] 다음에, 반도체 영역(104a) 및 반도체 영역(104b)에 인(P)이나 비소(As) 등을 첨가하여 채널 형성 영역(116a), 채널 형성 영역(116b), 불순물 영역(120a), 불순물 영역(120b), 불순물 영역(120c), 및 불순물 영역(120d)을 형성한다(도 3a 참조). 또한, 여기서는, n형 트랜지스터를 형성하기 위하여 인이나 비소를 첨가하지만, p형 트

랜지스터를 형성하는 경우에는, 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하면 좋다.

- [0077] 또한, 게이트 전극(110a) 및 게이트 전극(110b) 측면에 사이드 월 절연층을 형성함으로써 불순물 원소가 상이한 농도로 첨가된 불순물 영역을 형성하여도 좋다.
- [0078] 다음에, 게이트 전극(110a), 게이트 전극(110b), 불순물 영역(120a), 불순물 영역(120b), 불순물 영역(120c), 및 불순물 영역(120d) 등을 덮도록 금속층(122)을 형성한다(도 3b 참조). 상기 금속층(122)은 진공 증착법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용하여 형성할 수 있다. 금속층(122)은 반도체 영역(104a) 및 반도체 영역(104b)을 구성하는 반도체 재료와 반응함으로써 저저항 금속 화합물이 되는 금속 재료를 사용하여 형성하는 것이 바람직하다. 이러한 금속 재료로서, 예를 들어, 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.
- [0079] 다음에, 가열 처리에 의하여 상기 금속층(122)과 반도체 재료를 반응시킨다. 이로써, 불순물 영역(120a), 불순물 영역(120b), 불순물 영역(120c), 및 불순물 영역(120d)과 접촉된 금속 화합물 영역(124a), 금속 화합물 영역(124b), 금속 화합물 영역(124c), 금속 화합물 영역(124d)이 형성된다(도 3b 참조). 또한, 게이트 전극(110a) 및 게이트 전극(110b)으로서 다결정 실리콘 등을 사용하는 경우에는, 게이트 전극(110a) 및 게이트 전극(110b)의 금속층(122)과 접촉된 부분에도 금속 화합물 영역이 형성된다.
- [0080] 상기 가열 처리로서, 예를 들어, 플래시 램프의 조사에 의한 가열 처리를 사용할 수 있다. 물론, 그 외의 가열 처리 방법을 사용하여도 좋지만, 금속 화합물의 형성에 따른 화학 반응의 제어성을 향상시키기 위해서는 매우 짧은 시간으로 가열 처리를 실현할 수 있는 방법을 사용하는 것이 바람직하다. 또한, 상기 금속 화합물 영역은 금속 재료와 반도체 재료가 반응하여 형성되는 것이며, 충분히 도전성이 높아진 영역이다. 상기 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하고 소자 특성을 향상시킬 수 있다. 또한, 금속 화합물 영역(124a), 금속 화합물 영역(124b), 금속 화합물 영역(124c), 및 금속 화합물 영역(124d)을 형성한 후, 금속층(122)을 제거한다.
- [0081] 다음에, 상술한 공정으로 형성된 각 구성을 덮도록 절연층(130)을 형성한다(도 3c 참조). 절연층(130)은 산화실리콘, 산질화실리콘, 질화실리콘, 산화알루미늄 등의 무기 절연 재료를 함유한 재료를 사용하여 형성할 수 있다. 특히, 절연층(130)에 유전율이 낮은(low-k) 재료를 사용함으로써 각종 전극이나 배선이 중첩됨에 기인한 용량을 충분히 저감할 수 있으므로 바람직하다. 또한, 절연층(130)에 이들 재료를 사용한 다공성 절연층을 적용하여도 좋다. 다공성 절연층은 밀도가 높은 절연층과 비교하여 유전율이 낮으므로 전극이나 배선에 기인한 용량을 더 저감할 수 있다. 또한, 절연층(130)은 폴리이미드, 아크릴 등의 유기 절연 재료를 사용하여 형성할 수도 있다. 또한, 여기서는, 절연층(130)으로서 단층 구조를 기재하였지만, 본 발명의 일 형태는 이것에 한정되지 않고, 2층 이상의 적층 구조를 채용하여도 좋다.
- [0082] 상술한 공정을 거쳐 반도체 재료를 함유한 기판(100)을 사용한 트랜지스터(160) 및 트랜지스터(161)가 형성된다(도 3c 참조). 이러한 트랜지스터(160) 및 트랜지스터(161)는 고속 동작이 가능한 특징을 갖는다. 따라서, 상기 트랜지스터를 메모리 셀의 판독용 트랜지스터로서 사용함으로써 정보를 고속으로 판독할 수 있다.
- [0083] 그 후, 트랜지스터(162) 및 트랜지스터(163)를 형성하기 전의 처리로서 절연층(130)에 CMP 처리하여 게이트 전극(110a) 및 게이트 전극(110b) 상면을 노출시킨(도 3d 참조). 게이트 전극(110a) 및 게이트 전극(110b)의 상면을 노출시키는 처리로서는 CMP 처리 외 에칭 처리 등을 적용할 수도 있지만, 트랜지스터(162) 및 트랜지스터(163)의 특성을 향상시키기 위하여 절연층(130) 표면은 가능한 한 평탄하게 해 두는 것이 바람직하다. 예를 들어, 절연층(130)은 그 표면의 자승 평균 평방근(RMS) 거칠기가 1nm 이하가 되도록 평탄화한다. 이로써, 절연층(130) 위에 형성될 산화물 반도체막 표면을 평탄하게 할 수 있다. 상기 산화물 반도체막을 사용함으로써 트랜지스터(162) 및 트랜지스터(163)의 특성을 향상시킬 수 있다.
- [0084] 또한, 상기 각 공정 전후에 전극, 배선, 반도체층, 절연층 등을 형성하는 공정을 더 포함하여도 좋다. 예를 들어, 배선의 구조로서 절연층 및 도전층의 적층 구조로 이루어진 다층 배선 구조를 채용하여 고도로 집적화된 반도체 장치를 실현할 수도 있다.
- [0085] <위쪽 부분의 트랜지스터의 제작 방법>
- [0086] 절연층(130) 표면을 가능한 한 평탄화하여 게이트 전극(110a) 및 게이트 전극(110b)의 상면을 노출시킨 후, 산화물 반도체층(142)을 형성한다(도 4a 참조).
- [0087] 산화물 반도체층(142)은 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법, 또는 펄스 레이저 증착법 등을 적용하

여 형성할 수 있다.

- [0088] 또한, 산화물 반도체층(142)으로서 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 사용할 수 있다. 또한, 본 명세서에서, 예를 들어, In-Sn-Ga-Zn-O계 산화물 반도체란 인듐(In), 주석(Sn), 갈륨(Ga), 아연(Zn)을 함유한 금속 산화물을 의미하고, 그 화학 양론적 조성비는 특별히 한정되지 않는다. 또한, 상기 산화물 반도체는 실리콘을 함유하여도 좋다.
- [0089] 또는, 산화물 반도체는 화학식 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$, m 은 자연수에 한정되지 않음)으로 표기할 수 있는 것을 사용하여도 좋다. 여기서, M은 Ga, Al, Mn 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다.
- [0090] 산화물 반도체층(142)을 형성하기 위한 타깃으로서 $\text{In}:\text{Ga}:\text{Zn}=1:x:y$ (x 는 0 이상, y 는 0.5 이상 5 이하)의 조성식으로 나타내어지는 것을 사용하는 것이 바람직하다. 예를 들어, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [몰수 비율]의 조성비를 갖는 타깃 등을 사용할 수 있다. 또한, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [몰수 비율]의 조성비를 갖는 타깃이나, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [몰수 비율]의 조성비를 갖는 타깃이나, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:0:2$ [몰수 비율]의 조성비를 갖는 타깃을 사용할 수도 있다.
- [0091] 타깃 중의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상이다. 상대 밀도가 높은 타깃을 사용함으로써, 치밀한 구조의 산화물 반도체층(142)을 형성할 수 있다.
- [0092] 산화물 반도체층(142)의 성막 분위기는 불활성 분위기, 산화성 분위기, 또는 불활성 가스와 산화성 가스의 혼합 분위기로 하는 것이 바람직하다. 산화성 분위기관 산소, 오존, 또는 이산화질소 등의 산화성 가스를 주성분으로 하는 분위기이며, 물, 수소 등이 함유되지 않은 것이 바람직하다. 예를 들어, 가열 처리 장치에 도입하는 산소, 오존, 또는 이산화질소의 순도를 8N(99.999999%) 이상, 바람직하게는 9N(99.9999999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는, 0.1ppm 미만)으로 한다. 산화성 분위기로서 산화성 가스를 불활성 가스와 혼합하여 사용하여도 좋다. 이 경우에는, 산화성 가스가 적어도 10ppm 이상 함유되는 것으로 한다. 또한, 불활성 분위기관 질소, 희가스(헬륨, 네온, 아르곤, 크립톤, 크세논) 등의 불활성 가스를 주성분으로 하는 분위기다. 예를 들어, 가열 처리 장치에 도입하는 불활성 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다. 구체적으로는 산화성 가스 등의 반응성 가스가 10ppm 미만으로 한다.
- [0093] 산화물 반도체층(142)을 스퍼터링법을 사용하여 형성할 때, 예를 들어, 감압 상태로 유지된 처리실 내에 피처리물을 유지하고, 피처리물의 온도가 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 이상 400℃ 이하가 되도록 피처리물을 가열한다. 또는, 산화물 반도체층(142)을 형성할 때 피처리물의 온도는 실온으로 하여도 좋다. 그리고, 처리실 내의 수분을 제거하면서 수소나 물 등이 제거된 스퍼터링 가스를 도입하고, 상기 타깃을 사용하여 산화물 반도체층(142)을 형성한다. 피처리물을 가열하면서 산화물 반도체층(142)을 형성함으로써, 산화물 반도체층(142)에 함유된 수소나 물 등의 불순물을 저감할 수 있다. 또한, 스퍼터링으로 인한 손상을 경감할 수 있다. 처리실 내의 수분을 제거하기 위해서는 흡착형 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프(cryopump), 이온 펌프, 티타늄 사브리메이션 펌프 등을 사용할 수 있다. 또한, 터보 분자 펌프에 콜드트랩을 구비한 것을 사용하여도 좋다. 크라이오 펌프 등을 사용하여 배기함으로써, 처리실로부터 수소나 물 등의 불순물을 제거할 수 있기 때문에 산화물 반도체층(142) 내의 불순물 농도를 저감할 수 있다.
- [0094] 산화물 반도체층(142)을 스퍼터링법을 사용하여 형성하는 경우에는, 예를 들어, 피처리물과 타깃 사이의 거리가 170mm, 압력이 0.4Pa, 직류(DC) 전력이 0.5kW, 분위기가 산소(산소 100%) 분위기, 아르곤(아르곤 100%) 분위기, 또는 산소와 아르곤의 혼합 분위기인 조건 등을 적용할 수 있다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지(성막할 때 발생하는 분말 상태의 물질 등)를 저감할 수 있고, 막 두께 분포도 균일화되기 때문에 바람직하다. 산화물 반도체층(142)의 두께는 1nm 이상 50nm 이하, 바람직하게는 1nm 이상 30nm 이하, 더 바람직하게는 1nm 이상 10nm 이하로 한다. 이 두께의 산화물 반도체층(142)을 사용함으로써, 미세화에 따라 발생하는 단채널 효과를 억제할 수 있다. 다만, 적용하는 산화물 반도체 재료나 반도체 장치의 용도 등에 따라 적절한 두께는 달라지기 때문에 그 두께는 사용하는 재료나 용도 등에 따라 선택할 수도 있다.

- [0095] 또한, 산화물 반도체층(142)을 스퍼터링법을 사용하여 형성하기 전에 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여 성막 표면(예를 들어, 절연층(130) 표면)의 부착물을 제거하는 것이 바람직하다. 여기서, 역 스퍼터링이란 스퍼터링 타겟에 이온을 충돌시키는 보통 스퍼터링과 달리 처리 표면에 이온을 충돌시킴으로써 그 표면을 개질하는 방법을 가리킨다. 처리 표면에 이온을 충돌시키는 방법으로서 아르곤 분위기하에서 처리 표면 측에 고주파 전압을 인가하여 피처리물 부근에 플라즈마를 생성하는 방법 등이 있다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등으로 이루어진 분위기를 적용하여도 좋다.
- [0096] 산화물 반도체층(142)은 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태를 갖는다.
- [0097] 또한, 산화물 반도체층(142)은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)층인 것이 바람직하다.
- [0098] CAAC-OS층은 완전한 단결정이 아니고 완전한 비정질도 아니다. CAAC-OS층은 비정질상에 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체층이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)을 사용한 관찰상에서는 CAAC-OS층에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM 관찰에서 CAAC-OS층에 입계(그레인 바운더리(grain boundary)라고도 함)는 확인되지 않는다. 따라서, CAAC-OS층은 입계에 기인한 전자 이동도의 저하가 억제된다.
- [0099] CAAC-OS층에 포함되는 결정부는 c축이 CAAC-OS층의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행 방향으로 일치되고, 또 ab면에 대하여 수직 방향에서 관찰하여 삼각형 또는 육각형 원자 배열을 갖고, c축에 대하여 수직 방향에서 관찰하여 금속 원자가 층 형상으로 배열되거나 또는 금속 원자와 산소 원자가 층 형상으로 배열된다. 또한, 상이한 결정부 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 "수직"이라고 기재하는 경우에는, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 "평행"이라고 기재하는 경우에는, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0100] 또한, CAAC-OS층에서 결정부가 균일하게 분포되지 않아도 좋다. 예를 들어, CAAC-OS층의 형성 과정에서 산화물 반도체층의 표면 측에서 결정 성장시킬 때 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS층에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0101] CAAC-OS층에 포함되는 결정부의 c축은 CAAC-OS층의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행 방향으로 일치되기 때문에 CAAC-OS층의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축 방향은 CAAC-OS층이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행 방향이 된다. 성막 또는 성막 후에 가열 처리 등의 결정화 처리에 의하여 결정부가 형성된다.
- [0102] CAAC-OS층을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동을 저감할 수 있다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0103] 또한, 산화물 반도체층을 구성하는 산소의 일부분은 질소로 치환되어도 좋다.
- [0104] 산화물 반도체층(142)을 CAAC-OS층으로 하는 경우에 대하여 설명한다. 산화물 반도체층(142)을 절연층(130) 위에 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법, 또는 펄스 레이저 증착법을 사용하여 형성할 수 있다. 또한, 성막할 때 피처리물을 가열함으로써 비정질 영역보다 결정부가 차지하는 비율이 많은 산화물 반도체층(142)으로 할 수 있다. 예를 들어, 기판 온도를 150℃ 이상 450℃ 이하로 하면 좋다. 바람직하게는, 기판 온도를 200℃ 이상 350℃ 이하로 한다. 이와 같이 기판 온도를 올림으로써 산화물 반도체층(142)에 포함되는 결정부가 차지하는 비율을 높일 수 있다.
- [0105] 다음에, 산화물 반도체층(142)을 형성한 후에 제 1 가열 처리를 행하여도 좋다. 제 1 가열 처리를 행함으로써 비정질 영역보다 결정부의 비율이 더 많은 산화물 반도체층(142)으로 할 수 있다. 제 1 가열 처리는, 예를 들어, 200℃ 이상 기판 변형점 미만으로 행하면 좋다. 바람직하게는, 250℃ 이상 450℃ 이하로 한다. 분위기는 한정되지 않지만, 산화성 분위기, 불활성 분위기, 또는 감압 분위기에서 행한다. 처리 시간은 3분 내지 24시간으로 한다. 처리 시간이 길수록 비정질 영역보다 결정부의 비율이 많은 산화물 반도체층(142)을 형성할 수 있지만, 24시간 넘게 가열 처리하는 것은 생산성의 저하를 초래하기 때문에 바람직하지 않다. 또한, 산화물 반도체층(142)을 형성한 후에 제 1 가열 처리를 행함으로써 산화물 반도체층(142) 내의 과잉 수소(물이나 수산기를

포함함)를 제거하고 산화물 반도체층(142)의 구조를 가지런하게 하므로 에너지 갭 중의 결함 준위를 저감할 수 있다.

[0106] 가열 처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열 전도 또는 열 복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발해지는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치다. GRTA 장치는 고온 가스를 사용하여 가열 처리하는 장치다. 가스로서는 아르곤 등의 회가스, 또는 질소 등 가열 처리되어 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0107] 예를 들어, 제 1 가열 처리로서 가열된 불활성 가스 분위기 중에 피처리물을 투입하고, 수분간 가열한 후 상기 불활성 가스 분위기 중에서 피처리물을 꺼내는 GRTA 처리를 행하여도 좋다. GRTA 처리를 사용하면 짧은 시간에 고온 가열 처리가 가능하다. 또한, 피처리물의 내열 온도를 초과하는 온도 조건이라도 적용할 수 있다. 또한, 처리 도중에 불활성 가스를 산소를 함유한 가스로 바뀌어도 좋다. 산소를 함유한 분위기에서 제 1 가열 처리함으로써 산소 결손에 기인한 에너지 갭 중의 결함 준위를 저감할 수 있기 때문이다.

[0108] 어쨌든, 제 1 가열 처리에 의하여 불순물을 저감하여 i형(진성 반도체) 또는 한없이 i형에 가까운 산화물 반도체층(142)을 형성할 수 있다. 또한, 비정질 영역보다 결정부의 비율이 많은 산화물 반도체층(142)을 형성할 수 있다. 이러한 산화물 반도체층(142)을 형성함으로써 매우 뛰어난 특성의 트랜지스터를 실현할 수 있다.

[0109] 다음에, 산화물 반도체층(142)을 선택적으로 에칭함으로써 섬 형상 산화물 반도체층(143)을 형성한 후, 산화물 반도체층(143)을 덮도록 게이트 절연층(146)을 형성한다(도 4b 참조).

[0110] 산화물 반도체층(142)의 에칭은 웨트 에칭 및 드라이 에칭 중 적어도 한쪽을 사용하여 행할 수 있다.

[0111] 게이트 절연층(146)은 CVD법이나 스퍼터링법 등을 사용하여 형성할 수 있다. 또한, 게이트 절연층(146)은 산화실리콘, 질화실리콘, 산화질화실리콘, 산화알루미늄, 산화탄탈, 산화하프늄, 산화이트륨, 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄알루미늄에이트($\text{HfAl}_x\text{O}_y(x>0, y>0)$) 등을 함유하도록 형성하는 것이 적합하다. 게이트 절연층(146)은 단층 구조와 적층 구조의 어느 쪽이라도 좋다. 또한, 그 두께는 특별히 한정되지 않지만, 반도체 장치를 미세화하는 경우에는, 트랜지스터의 동작을 확보하기 위하여 얇게 하는 것이 바람직하다. 예를 들어, 산화실리콘을 사용하는 경우에는, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.

[0112] 상술한 바와 같이 게이트 절연층을 얇게 하면 터널 효과 등에 기인한 게이트 리크가 문제가 된다. 게이트 리크 문제를 해소하기 위해서는 게이트 절연층(146)에 산화하프늄, 산화탄탈, 산화이트륨, 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄알루미늄에이트($\text{HfAl}_x\text{O}_y(x>0, y>0)$) 등의 고유전율(high-k) 재료를 사용하면 좋다. high-k 재료를 게이트 절연층(146)에 사용함으로써 전기적 특성을 확보하면서 게이트 리크를 억제하기 위하여 막 두께를 크게 할 수 있다. 또한, high-k 재료를 함유한 막과, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄 등 중 어느 것을 함유한 막의 적층 구조를 채용하여도 좋다.

[0113] 게이트 절연층(146)을 형성한 후에 불활성 분위기, 산소 분위기, 또는 불활성 가스와 산화성 가스의 혼합 분위기에서 제 2 가열 처리를 행하여도 좋다. 가열 처리의 온도는 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하이다. 예를 들어, 질소 분위기하에서 250℃, 1시간의 가열 처리를 행하면 좋다. 제 2 가열 처리를 행함으로써 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 함유한 경우에는, 산화물 반도체층(143)에 산소를 공급하여 상기 산화물 반도체층(143)의 산소 결손을 보충함으로써 i형(진성 반도체) 또는 한없이 i형에 가까운 산화물 반도체층을 형성할 수도 있다.

[0114] 또한, 본 실시형태에서는 게이트 절연층(146)을 형성한 후에 제 2 가열 처리를 행하지만, 제 2 가열 처리의 타이밍은 특별히 이것에 한정되지 않는다. 예를 들어, 게이트 전극을 형성한 후에 제 2 가열 처리를 행하여도 좋다. 또한, 제 1 가열 처리에 이어서 제 2 가열 처리를 행하여도 좋고, 제 1 가열 처리가 제 2 가열 처리를 겹쳐도 좋고, 제 2 가열 처리가 제 1 가열 처리를 겹쳐도 좋다.

[0115] 다음에, 게이트 절연층(146) 위에 도전 재료를 함유한 층을 형성한 후, 도전 재료를 함유한 층을 선택적으로 에칭함으로써 게이트 전극(148a) 및 게이트 전극(148b)을 형성한다(도 4c 참조). 상세한 내용에 대해서는 게이트

전극(110a) 및 게이트 전극(110b) 등의 경우와 같은 방법 또는 재료를 사용하여 형성할 수 있다.

- [0116] 또한, 게이트 전극(148a) 및 게이트 전극(148b)으로서 In-Ga-Zn-O-N계 화합물 도전체를 사용할 수 있다. In-Ga-Zn-O-N계 화합물 도전체층은 In-Ga-Zn-O-N계 화합물 도전체를 스퍼터링 타깃으로서 사용하여 스퍼터링함으로써 형성할 수 있다.
- [0117] In-Ga-Zn-O-N계 화합물 도전체의 두께는 10nm 이상 50nm 이하로 하는 것이 바람직하다. In-Ga-Zn-O-N계 화합물 도전체의 스퍼터링 타깃으로서, 예를 들어, 조성비로서 In:Ga:Zn=1:1:1[몰수 비율]로 산소와 질소의 비율이 7:1인 것을 사용할 수 있다. 또한, 스퍼터링 타깃의 조성을 상술한 것에 한정할 필요는 없다. 예를 들어, 조성비가 In:Ga:Zn=1:1:2[몰수 비율]인 스퍼터링 타깃을 사용할 수도 있다.
- [0118] 성막 분위기는 희가스(대표적으로는 아르곤)만 또는 희가스와 질소의 혼합 분위기로 하면 좋고, 성막 레이트를 올리기 위하여 분위기 중에 함유된 아르곤, 크립톤, 크세논의 합계 비율이 80% 이상인 분위기로 하면 좋다. 또한, 분위기 중의 산소의 농도는 5% 이하로 하는 것이 바람직하다.
- [0119] 예를 들어, 성막 조건의 일례로서 기판과 스퍼터링 타깃 사이의 거리를 60mm, 압력을 0.4Pa, 직류(DC) 전원을 0.5kW, 성막 분위기를 아르곤과 질소의 혼합 분위기(질소 유량 비율 12.5%)로 할 수 있다.
- [0120] 또한, In-Ga-Zn-O-N계 화합물 도전체를 게이트 전극(148a) 및 게이트 전극(148b)으로서 사용하는 경우에는, 적층 구조로 하는 것이 바람직하다. 예를 들어, In-Ga-Zn-O-N계 화합물 도전체층 위에 폴리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료, 이들 질화물, 또는 이들을 주성분으로 하는 합금 재료 중 어느 하나 또는 복수를 사용하여 도전층을 형성하면 좋다.
- [0121] In-Ga-Zn-O-N계 화합물 도전체층 위에 상술한 금속 재료 등을 사용하여 도전층을 성막한 후, 원하는 형상으로 에칭함으로써 게이트 전극(148a) 및 게이트 전극(148b)을 형성할 수 있다(도 4c 참조).
- [0122] 다음에, 게이트 전극(148a) 및 게이트 전극(148b)을 마스크로서 사용하여 게이트 절연층(146)을 통하여 산화물 반도체층(143)에 불순물 원소를 첨가함으로써 자기 정합적으로 저저항 영역(145a), 저저항 영역(145b), 및 저저항 영역(145c)이 형성된다(도 5a 참조). 또한, 불순물 원소가 첨가되지 않은 영역은 채널 형성 영역(144a) 및 채널 형성 영역(144b)으로서 기능한다. 불순물 원소가 첨가된 영역은 불순물이 원소가 첨가되지 않은 영역과 비교하여 저항이 낮아지기 때문에 저저항 영역이라고 부르기로 한다. 또한, 불순물 원소가 첨가됨으로써 불순물 원소가 첨가된 영역이 n형을 나타내는 경우에는, n형 영역이라고도 기재한다. 또는, 단순히 불순물 영역이라고도 기재한다. 또한, 불순물 원소가 첨가된 영역을 소스 영역 또는 드레인 영역이라고 기재하는 경우도 있다.
- [0123] 불순물 원소로서 V족(제 15족) 원소인 질소(N), 인(P), 비소(As), 안티몬(Sb), 또는 아르곤(Ar) 등을 사용할 수 있다. 본 실시형태에서는 질소를 주입하는 예를 기재한다.
- [0124] 불순물 원소의 주입 방법으로서 이온 주입법, 이온 도핑법 등을 사용할 수 있다. 이온 주입법은 소스 가스를 플라즈마화하고, 이 플라즈마에 함유된 이온종을 추출하여 질량 분리하고, 소정의 질량을 갖는 이온종을 가속하여 이온 빔으로서 피처리물에 주입하는 방법이다. 또한, 이온 도핑법이란 소스 가스를 플라즈마화하고, 소정의 전계의 작용에 의하여 플라즈마에서 이온종을 추출하고, 추출한 이온종을 질량 분리하지 않고 가속하여 이온 빔으로서 피처리물에 주입하는 방법이다. 질량 분리하는 이온 주입법을 사용하여 질소를 주입함으로써 원하는 불순물 원소(여기서는, 질소) 외의 원소(예를 들어, 금속 원소 등)가 산화물 반도체에 첨가되어 버리는 것을 방지할 수 있다. 또한, 이온 도핑법은 이온 주입법보다 큰 면적에 이온 빔을 조사할 수 있으므로 이온 도핑법을 사용하여 불순물 원소를 첨가함으로써 택트 타임을 단축할 수 있다.
- [0125] 저저항 영역(145a), 저저항 영역(145b), 및 저저항 영역(145c)의 질소 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이상 $5 \times 10^{21} \text{ atoms/cm}^3$ 미만이면 바람직하다. 또한, 저저항 영역(145a), 저저항 영역(145b), 및 저저항 영역(145c)의 질소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정된 것이다.
- [0126] 또한, 상기 저저항 영역(145a), 저저항 영역(145b), 및 저저항 영역(145c)의 질소 농도를 $5 \times 10^{20} \text{ atoms/cm}^3$ 이상 7at.% 미만으로 하고 300℃ 이상 600℃ 이하의 가열 처리를 행함으로써 저저항 영역(145a), 저저항 영역(145b), 및 저저항 영역(145c)의 결정 구조는 섬유아연석형 구조가 되기 쉽다.
- [0127] 산화물 반도체를 사용한 트랜지스터에서 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역을 셀프 얼라인 프로세스로 제작하는 방법 중 하나로서 산화물 반도체층 표면을 노출시켜 아르곤 플라즈마 처리를 행함으로

써 산화물 반도체층의 플라즈마에 노출된 영역의 저항률을 저하시키는 방법이 개시된다(S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Application", IEDM Tech. Dig., p.504-507, 2010).

- [0128] 그러나, 상기 제작 방법에서는 게이트 절연층을 형성한 후 소스 영역 또는 드레인 영역이 될 부분을 노출시키기 위하여 게이트 절연층을 부분적으로 제거할 필요가 있다. 따라서, 게이트 절연층이 제거될 때 하층의 산화물 반도체층도 부분적으로 오버 에칭되어 소스 영역 또는 드레인 영역이 될 부분의 막 두께가 작아진다. 결과적으로, 소스 영역 또는 드레인 영역의 저항이 증가하고, 또한, 오버 에칭으로 인한 트랜지스터의 특성 불량이 일어나기 쉽다.
- [0129] 트랜지스터를 미세화하기 위해서는 가공 정밀도가 높은 드라이 에칭법을 채용할 필요가 있다. 그러나, 상기 오버 에칭은 산화물 반도체층과 게이트 절연층의 선택비를 충분히 확보할 수 없는 드라이 에칭법을 채용하는 경우에 현저히 일어나기 쉽다.
- [0130] 예를 들어, 산화물 반도체층이 충분히 두꺼우면 오버 에칭도 문제가 되지 않지만, 채널 길이를 200nm 이하로 하는 경우에는, 단채널 효과를 방지하기 위하여 채널 형성 영역이 될 부분의 산화물 반도체층의 두께는 20nm 이하, 바람직하게는 10nm 이하일 필요가 있다. 이와 같이 얇은 산화물 반도체층을 다룰 경우에는, 산화물 반도체층의 오버 에칭은 상술한 바와 같이 소스 영역 또는 드레인 영역의 저항이 증가하고 트랜지스터의 특성 불량이 일어나기 때문에 바람직하지 않다.
- [0131] 그러나, 본 발명의 일 형태와 같이, 산화물 반도체층(143)을 노출시키지 않고 게이트 절연층(146)을 남긴 채 산화물 반도체층(143)에 불순물 원소를 첨가함으로써 산화물 반도체층(143)의 오버 에칭을 방지하고, 산화물 반도체층(143)이 받는 과잉의 대미지를 경감할 수 있다. 또한, 산화물 반도체층(143)과 게이트 절연층(146)의 계면도 청정하게 유지된다. 따라서, 트랜지스터의 특성 및 신뢰성을 높일 수 있다.
- [0132] 다음에, 게이트 절연층(146), 게이트 전극(148a), 및 전극(148b) 위에 층간 절연층(150) 및 층간 절연층(152)을 형성한다(도 5b 참조). 층간 절연층(150) 및 층간 절연층(152)은 PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 또한, 산화실리콘, 산화질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를 함유한 재료를 사용하여 형성할 수 있다. 또한, 본 실시형태에서는 층간 절연층(150)과 층간 절연층(152)의 적층 구조를 사용하지만, 본 발명의 일 형태는 이것에 한정되지 않는다. 단층 구조를 사용하여도 좋고, 3층 이상의 적층 구조를 사용하여도 좋다. 또한, 층간 절연층을 형성하지 않는 구성으로 할 수도 있다.
- [0133] 또한, 상기 층간 절연층(152)은 그 표면이 평탄하게 되도록 형성하는 것이 바람직하다. 표면이 평탄하게 되도록 층간 절연층(152)을 형성함으로써, 반도체 장치를 미세화한 경우 등에서도 층간 절연층(152) 위에 전극이나 배선 등을 적합하게 형성할 수 있기 때문이다. 또한, 층간 절연층(152)은 CMP(화학적 기계적 연마) 처리 등의 방법을 사용하여 평탄화할 수 있다.
- [0134] 다음에, 층간 절연층(150), 층간 절연층(152), 및 게이트 절연층(146)을 선택적으로 에칭함으로써 산화물 반도체층(143)에 도달되는 개구를 형성한다. 그 후, 층간 절연층(152) 위에 도전층을 형성하고 선택적으로 에칭함으로써 배선(156)을 형성한다(도 5c 참조). 이로써, 배선(156)과 산화물 반도체층(143)을 접속할 수 있다. 배선(156)은 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능하고, 트랜지스터(163)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능한다.
- [0135] 상술한 공정을 거쳐 트랜지스터(160) 및 트랜지스터(161) 위에 트랜지스터(162) 및 트랜지스터(163)를 형성할 수 있다(도 5c 참조). 이로써, 트랜지스터(160) 및 트랜지스터(162)를 갖는 메모리 셀(170), 트랜지스터(161) 및 트랜지스터(163)를 갖는 메모리 셀(171)을 형성할 수 있다.
- [0136] 또한, 본 실시형태에서는 2개의 트랜지스터를 접속하는 경우에 대하여 설명하지만, 본 발명의 일 형태는 이것에 한정되지 않고, 3개 이상의 트랜지스터를 접속할 수도 있다.
- [0137] 상술한 바와 같이, 본 실시형태에 기재한 구성, 방법 등은 다른 실시형태에 기재한 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0138] (실시형태 2)
- [0139] 본 실시형태에서는 상기 실시형태에 기재한 반도체 장치와 일부분이 상이한 반도체 장치에 대하여 도 6a 내지 도 7d를 참조하여 설명한다. 또한, 본 실시형태에서는 상기 실시형태와 상이한 부분에 대해서만 설명한다.

- [0140] <반도체 장치의 구성예>
- [0141] 도 6a는 반도체 장치의 단면을 도시한 것이고, 도 6b는 반도체 장치의 회로도를 도시한 것이다. 도 6a 및 도 6b에 도시한 반도체 장치도 기억 장치로서 사용할 수 있다.
- [0142] 도 6a에 도시한 반도체 장치는 아래 쪽 부분에 트랜지스터(160) 및 트랜지스터(161)가 형성되고, 위쪽 부분에 트랜지스터(162), 트랜지스터(163), 용량 소자(164), 및 용량 소자(165)가 형성된다. 또한, 트랜지스터(160), 트랜지스터(162), 및 용량 소자(164)로 메모리 셀(172)이 구성되고, 트랜지스터(161), 트랜지스터(163), 및 용량 소자(165)로 메모리 셀(173)이 구성된다.
- [0143] 용량 소자(164)는 게이트 전극(110a), 산화물 반도체층(143), 게이트 절연층(146), 및 전극(148c)으로 구성된다. 여기서, 게이트 전극(110a)이 용량 소자(164)의 전극 중 하나로서 기능하고, 전극(148c)이 용량 소자(164)의 전극 중 다른 하나로서 기능한다. 또한, 용량 소자(165)는 게이트 전극(110b), 산화물 반도체층(143), 게이트 절연층(146), 및 전극(148d)으로 구성된다. 여기서, 게이트 전극(110b)이 용량 소자(165)의 전극 중 하나로서 기능하고, 전극(148d)이 용량 소자(165)의 전극 중 다른 하나로서 기능한다.
- [0144] 도 6a에 도시한 바와 같이, 트랜지스터(160)의 게이트 전극(110a)을 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나로 함으로써 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나를 중간 절연층(152)에 개구부를 형성하여 다른 배선에 별도 접속할 필요가 없다. 또한, 트랜지스터(162) 및 트랜지스터(163)는 하나의 산화물 반도체층(143)으로 형성된다. 또한, 트랜지스터(162) 및 트랜지스터(163)는 소스 전극 및 드레인 전극으로서도 기능하는 배선(156)을 서로 공유하여 접속된다. 또한, 인접된 메모리 셀에서 산화물 반도체층(143)을 사용한 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나와, 트랜지스터(163)의 소스 전극 또는 드레인 전극 중 다른 하나를 서로 전기적으로 접속할 수 있다.
- [0145] 상술한 바와 같이, 메모리 셀(172) 및 메모리 셀(173)의 점유 면적을 저감할 수 있으므로, 반도체 장치의 고집적화를 도모하고 단위 면적당의 기억 용량을 증가할 수 있다.
- [0146] 다음에, 도 6b는 도 6a에 도시한 메모리 셀(172)의 회로도를 도시한 것이다.
- [0147] 도 6b에 도시한 메모리 셀(172)에서 제 1 배선(1st Line)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속된다. 또한, 제 3 배선(3rd Line)과 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나는 전기적으로 접속되고, 제 4 배선(4th Line)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속된다. 그리고, 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나는 용량 소자(164)의 전극 중 하나와 전기적으로 접속되고, 제 5 배선(5th Line: 제 3 신호선이라고도 기재함)과 용량 소자(164)의 전극 중 다른 하나는 전기적으로 접속된다.
- [0148] 트랜지스터(160)의 게이트 전극의 전위를 유지할 수 있는 특징을 이용함으로써 다음과 같이 정보의 기록, 유지, 판독이 가능하다. 메모리 셀(172)의 동작에 대하여 이하에 설명한다.
- [0149] 우선, 정보의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 공급된다. 즉, 트랜지스터(160)의 게이트 전극에 소정의 전하가 공급된다(기록). 여기서는, 상이한 2개의 전위를 공급하는 전하(이하, 저전위를 공급하는 전하를 전하(Q_L), 고전위를 공급하는 전하를 전하(Q_H)라고 함) 중 어느 하나가 공급되는 것으로 한다. 또한, 상이한 3개 또는 그 이상의 전위를 공급하는 전하를 적용하여 기억 용량을 향상시켜도 좋다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극에 공급된 전하가 유지된다(유지).
- [0150] 트랜지스터(162)의 오프 전류는 매우 작으므로 트랜지스터(160)의 게이트 전극의 전하는 오랜 시간에 걸쳐 유지된다.
- [0151] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선에 소정의 전위(정전위)를 공급한 상태에서 제 5 배선에 적절한 전위(판독 전위)를 공급하면, 트랜지스터(160)의 게이트 전극에 유지된 전하량에 따라 제 2 배선의 전위는 달라진다. 일반적으로 트랜지스터(160)를 n채널형으로 하면, $Q_H > Q_L$ 일 때 트랜지스터(160)의 게이트 전극에 Q_H 가 공급된 경우의 외견상 임계값 $V_{th, H}$ 은 트랜지스터(160)의 게이트 전극에 Q_L 이 공급된 경우의 외견상 임계값 $V_{th, L}$

보다 낮아지기 때문이다. 여기서, 외전상 임계값 전압이란 트랜지스터(160)를 온 상태로 하기 위하여 필요한 제 5 배선의 전위를 가리킨다. 따라서, 제 5 배선의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 중간의 전위 V_0 로 설정함으로써 트랜지스터(160)의 게이트 전극에 공급된 전하를 판별할 수 있다. 예를 들어, 기록 동작에서 Q_H 가 공급된 경우에는, 제 5 배선의 전위가 $V_0(>V_{th,H})$ 일 때 트랜지스터(160)는 "온 상태"가 된다. Q_L 이 공급된 경우에는, 제 5 배선의 전위가 $V_0(<V_{th,L})$ 일 때 트랜지스터(160)는 그대로 "오프 상태"다 따라서, 제 2 배선의 전위와 소정 전위를 비교함으로써 유지된 정보를 판독할 수 있다.

[0152] 또한, 메모리 셀을 어레이 상태로 배치하여 사용하는 경우에는, 원하는 메모리 셀의 정보만을 판독할 수 있을 필요가 있다. 이와 같이, 소정의 메모리 셀의 정보를 판독하고 그 외의 메모리 셀의 정보를 판독하지 않는 경우에는, 판독 대상이 아닌 메모리 셀의 제 5 배선에 게이트 전극의 상태에 상관없이 트랜지스터(160)가 "오프 상태"가 되는 전위, 즉 $V_{th,H}$ 보다 작은 전위를 공급하면 좋다. 또는, 게이트 전극의 상태에 상관없이 트랜지스터(160)가 "온 상태"가 되는 전위, 즉 $V_{th,L}$ 보다 큰 전위를 제 5 배선에 공급하면 좋다.

[0153] 다음에, 정보의 재기록에 대하여 설명한다. 정보의 재기록은 상기 정보의 기록 및 유지와 마찬가지로 행해진다. 즉, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이로써, 제 3 배선의 전위(새로운 정보에 따른 전위)가 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 공급된다. 그 후, 제 4 배선의 전위를 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극은 새로운 정보에 따른 전하가 공급된 상태가 된다.

[0154] 이와 같이, 본 발명의 일 형태에 따른 반도체 장치는 정보를 다시 기록함으로써 직접적으로 정보를 재기록할 수 있다. 따라서, 플래시 메모리 등과 달리 고전압을 사용하여 부유 게이트로부터 전하를 뽑을 필요가 없고, 소거 동작에 기인한 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.

[0155] 또한, 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나는 트랜지스터(160)의 게이트 전극과 전기적으로 접속됨으로써, 비휘발성 메모리 소자로서 사용되는 부유 게이트형 트랜지스터의 부유 게이트와 동등의 작용을 갖는다. 따라서, 도면에서 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 하나와 트랜지스터(160)의 게이트 전극이 전기적으로 접속된 부위를 부유 게이트부 FG라고 부를 경우가 있다. 트랜지스터(162)가 오프 상태인 경우에는, 상기 부유 게이트부 FG는 절연체 중에 매설되었다고 간주할 수 있고, 부유 게이트부 FG에는 전하가 유지된다. 산화물 반도체를 사용한 트랜지스터(162)의 오프 전류는 실리콘 등으로 형성되는 트랜지스터의 오프 전류의 1/100000 이하이기 때문에, 트랜지스터(162)의 리크로 인한 부유 게이트부 FG에 축적된 전하의 소실을 무시할 수 있다. 즉, 산화물 반도체를 사용한 트랜지스터(162)에 의하여 전력이 공급되지 않아도 정보를 유지할 수 있는 비휘발성 기억 장치를 실현할 수 있다.

[0156] <반도체 장치의 제작 방법>

[0157] 다음에, 도 6a 및 도 6b에 도시한 반도체 장치의 제작 방법에 대하여 도 7a 내지 도 7d를 참조하여 설명한다. 절연층(130)을 형성하는 공정까지는 실시형태 1과 마찬가지로 상세한 설명은 생략한다.

[0158] 다음에, 절연층(130), 게이트 전극(110a), 및 게이트 전극(110b) 위에 산화물 반도체층(142)을 형성한다. 그 후, 산화물 반도체층(142)을 선택적으로 에칭함으로써 섬 형상 산화물 반도체층(143)을 형성한 후, 산화물 반도체층(143)을 덮도록 게이트 절연층(146)을 형성한다(도 7a 참조). 이 공정까지는 도 4b에 도시한 공정과 마찬가지로 상세한 설명은 생략한다.

[0159] 다음에, 게이트 절연층(146) 위에 마스크(127a) 및 마스크(127b)를 형성한 후, 게이트 절연층(146)을 통하여 산화물 반도체층(143)에 불순물 원소를 첨가함으로써 저저항 영역(145a), 저저항 영역(145b), 및 저저항 영역(145c)을 형성함과 함께 채널 형성 영역(144a) 및 채널 형성 영역(144b)을 형성한다(도 7b 참조). 게이트 절연층(146) 위에 형성하는 마스크로서 레지스트 마스크 등을 사용할 수 있다. 불순물 원소를 첨가하는 방법 등에 대해서는 도 5a의 기재를 참조할 수 있다. 또한, 불순물 원소를 첨가한 후에 마스크(127a) 및 마스크(127b)를 제거한다.

[0160] 다음에, 게이트 절연층(146) 위에 도전 재료를 함유한 층을 형성한 후, 도전 재료를 함유한 층을 선택적으로 에칭하여 게이트 전극(148a), 게이트 전극(148b), 전극(148c), 및 전극(148d)을 형성한다(도 7c 참조). 전극(148c)은 용량 소자(164)의 전극으로서 기능하고, 전극(148d)은 용량 소자(165)의 전극으로서 기능한다.

- [0161] 다음에, 게이트 절연층(146), 게이트 전극(148a), 게이트 전극(148b), 전극(148c), 및 전극(148d)을 덮도록 층간 절연층(152)을 형성한다(도 7d 참조). 또한, 도 7d는 층간 절연층(152)만을 형성하는 경우를 도시한 것이지만, 도 5b에 도시한 바와 같이, 층간 절연층(150) 및 층간 절연층(152)을 적층하여 형성하여도 좋다.
- [0162] 다음에, 층간 절연층(152) 및 게이트 절연층(146)을 선택적으로 에칭함으로써 산화물 반도체층(143)에 도달되는 개구를 형성한다. 그 후, 층간 절연층(152) 위에 도전층을 형성하고, 선택적으로 에칭함으로써 배선(156)을 형성한다(도 7d 참조). 배선(156)은 트랜지스터(162)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능하고, 트랜지스터(163)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능한다.
- [0163] 상술한 공정을 거쳐 트랜지스터(160) 및 트랜지스터(161) 위에 트랜지스터(162), 트랜지스터(163), 용량 소자(164), 및 용량 소자(165)를 형성할 수 있다. 이로써, 트랜지스터(160), 트랜지스터(162), 및 용량 소자(164)를 갖는 메모리 셀(172)과 트랜지스터(161), 트랜지스터(163), 및 용량 소자(165)를 갖는 메모리 셀(173)을 형성할 수 있다.
- [0164] (실시형태 3)
- [0165] 본 실시형태에서는 상기 실시형태에 기재한 반도체 장치와 일부분이 상이한 반도체 장치에 대하여 도 8 내지 도 9c를 참조하여 설명한다. 또한, 본 실시형태에서는 상기 실시형태와 상이한 부분에 대해서만 설명한다.
- [0166] <반도체 장치의 구성예>
- [0167] 도 8에 도시한 반도체 장치는 아래 쪽 부분에 트랜지스터(160) 및 트랜지스터(161)가 형성되고, 위쪽 부분에 트랜지스터(166), 트랜지스터(167), 용량 소자(168), 및 용량 소자(169)가 형성된다. 또한, 트랜지스터(160), 트랜지스터(166), 및 용량 소자(168)로 메모리 셀(174)이 구성되고, 트랜지스터(161), 트랜지스터(167), 및 용량 소자(169)로 메모리 셀(175)이 구성된다. 또한, 아래 쪽 부분에 형성된 트랜지스터(160) 및 트랜지스터(161)의 구성은 도 6a에 도시한 트랜지스터(160), 트랜지스터(161)와 마찬가지로 상세한 설명은 생략한다.
- [0168] 용량 소자(168)는 게이트 전극(110a), 산화물 반도체층(143), 게이트 절연층(146), 및 전극(148c)으로 구성된다. 또한, 용량 소자(168)에서 산화물 반도체층(143)은 불순물 원소가 첨가되지 않은 영역(144c)을 포함한다. 마찬가지로, 용량 소자(169)는 게이트 전극(110b), 산화물 반도체층(143), 게이트 절연층(146), 및 전극(148d)으로 구성된다. 또한, 용량 소자(169)에서 산화물 반도체층(143)은 불순물 원소가 첨가되지 않은 영역(144d)을 포함한다.
- [0169] 도시하지 않았지만, 트랜지스터(166) 및 트랜지스터(167)에서 게이트 전극(148a), 게이트 전극(148b), 전극(148c), 및 전극(148d) 측면에 사이드 월 절연층을 형성함으로써 불순물 농도가 상이한 영역을 포함하는 불순물 영역을 형성하여도 좋다.
- [0170] 도 8에 도시한 바와 같이, 트랜지스터(160)의 게이트 전극(110a)을 트랜지스터(166)의 소스 전극 또는 드레인 전극 중 하나로 함으로써 트랜지스터(166)의 소스 전극 또는 드레인 전극 중 하나를 층간 절연층(152)에 개구부를 형성하여 다른 배선에 별도 접속할 필요가 없다. 또한, 트랜지스터(166) 및 트랜지스터(167)는 하나의 산화물 반도체층(143)으로 형성된다. 또한, 트랜지스터(166) 및 트랜지스터(167)는 소스 전극 및 드레인 전극으로 서로 기능하는 배선(156)을 서로 공유하여 접속된다. 또한, 인접된 메모리 셀에서 산화물 반도체층(143)을 사용한 트랜지스터(166)의 소스 전극 또는 드레인 전극 중 다른 하나와, 트랜지스터(167)의 소스 전극 또는 드레인 전극 중 다른 하나를 서로 전기적으로 접속할 수 있다.
- [0171] 상술한 공정을 거쳐 메모리 셀(174) 및 메모리 셀(175)의 점유 면적을 저감할 수 있으므로 반도체 장치의 고집적화를 도모하고 단위 면적당 기억 용량을 증가할 수 있다.
- [0172] 또한, 도 8에 도시한 메모리 셀의 회로도는 도 6b와 마찬가지로 상세한 설명은 생략한다.
- [0173] <반도체 장치의 제작 방법>
- [0174] 다음에, 도 8에 도시한 반도체 장치의 제작 방법에 대하여 도 9a 내지 도 9c를 참조하여 설명한다. 게이트 절연층(146)을 형성하는 공정까지는 실시형태 1 및 실시형태 2와 마찬가지로 상세한 설명은 생략한다.
- [0175] 다음에, 게이트 절연층(146) 위에 게이트 전극(148a), 게이트 전극(148b), 전극(148c), 및 전극(148d)을 형성한다(도 9a 참조). 게이트 전극(148a), 게이트 전극(148b), 전극(148c), 및 전극(148d)에 대해서는 도 7c의 기재를 참조할 수 있다.

- [0176] 다음에, 게이트 전극(148a), 게이트 전극(148b), 전극(148c), 및 전극(148d)를 마스크로서 사용하여 게이트 절연층(146)을 통하여 산화물 반도체층(143)에 불순물 원소를 첨가함으로써 저저항 영역(145a), 저저항 영역(145b), 저저항 영역(145c), 저저항 영역(145d), 및 저저항 영역(145e)을 형성한다(도 9b 참조). 이로써, 채널 형성 영역(144a), 채널 형성 영역(144b), 불순물 원소가 첨가되지 않은 영역(144c), 및 불순물이 첨가되지 않은 영역(144d)이 형성된다. 또한, 채널 형성 영역(144a), 채널 형성 영역(144b), 불순물 원소가 첨가되지 않은 영역(144c), 및 불순물 영역이 첨가되지 않은 영역(144d)은 저저항 영역(145a) 내지 저저항 영역(145e)과 비교하여 고저항 영역이 된다. 불순물 원소를 첨가하는 방법 등에 대해서는 도 5a의 기재를 참조할 수 있다.
- [0177] 다음에, 게이트 절연층(146), 게이트 전극(148a), 게이트 전극(148b), 전극(148c), 및 전극(148d)을 덮도록 층간 절연층(152)을 형성한 후 층간 절연층(152) 및 게이트 절연층(146)을 선택적으로 에칭함으로써 산화물 반도체층(143)에 도달되는 개구를 형성한다. 그 후, 층간 절연층(152) 위에 도전층을 형성하고 선택적으로 에칭함으로써 배선(156)을 형성한다(도 9c 참조). 배선(156)은 트랜지스터(166)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능하고, 트랜지스터(167)의 소스 전극 또는 드레인 전극 중 다른 하나로서 기능한다.
- [0178] 상술한 공정을 거쳐 트랜지스터(160) 및 트랜지스터(161) 위에 트랜지스터(166), 트랜지스터(167), 용량 소자(168), 및 용량 소자(169)를 형성할 수 있다. 이로써, 트랜지스터(160), 트랜지스터(166), 및 용량 소자(168)을 갖는 메모리 셀(174)과, 트랜지스터(161), 트랜지스터(167), 및 용량 소자(169)를 갖는 메모리 셀(175)을 형성할 수 있다.
- [0179] 본 실시형태의 제작 공정에서는 실시형태 2에 기재한 마스크(127a) 및 마스크(127b)를 형성하는 공정(도 7b 참조)을 생략할 수 있어 반도체 장치의 제작 공정을 간략화할 수 있다.
- [0180] (실시형태 4)
- [0181] 본 발명의 일 형태에 따른 반도체 장치를 휴대 전화, 스마트폰, 전자 서적 등의 휴대 기기에 응용한 경우에 대하여 도 10a 내지 도 13을 참조하여 설명한다.
- [0182] 이러한 휴대 기기에서는 화상 데이터의 임시 기억 등에 SRAM 또는 DRAM이 사용된다. SRAM 또는 DRAM이 사용되는 이유는 플래시 메모리가 응답이 느리고 화상 처리에 적합하지 않기 때문이다.
- [0183] 한편, SRAM 또는 DRAM을 화상 데이터의 임시 기억에 사용한 경우에는, 이하의 결점이 있다. SRAM은 응답 속도가 빠른 이점이 있다. 보통 SRAM은 도 10a에 도시한 바와 같이 하나의 메모리 셀이 트랜지스터(501) 내지 트랜지스터(506)의 6개의 트랜지스터로 구성되고, 이것을 X디코더(507) 및 Y디코더(508)로 구동한다. 트랜지스터(503)와 트랜지스터(505), 트랜지스터(504)와 트랜지스터(506)는 인버터를 구성하고 고속 구동을 가능하게 한다.
- [0184] 그러나, 하나의 메모리 셀이 6개의 트랜지스터로 구성되기 때문에 셀 면적이 큰 결점이 있다. 디자인 룰의 최소 치수를 F로 하였을 때 SRAM의 메모리 셀 면적은 보통 $100F^2$ 내지 $150F^2$ 이다. 따라서, SRAM은 1비트당 단가가 각종 메모리 중 가장 높은 것이 과제다.
- [0185] 한편, DRAM은 메모리 셀이 도 10b에 도시된 바와 같이, 트랜지스터(511) 및 유지 용량(512)으로 구성되고, 그것을 X디코더(513) 및 Y디코더(514)로 구동한다. 하나의 메모리 셀이 하나의 트랜지스터 및 하나의 용량으로 구성되므로 면적이 작다. DRAM의 메모리 셀 면적은 보통 $10F^2$ 이하이다. 그러나, DRAM은 항상 리프레시할 필요가 있고, 재기록하지 않는 경우라도 소비 전력이 발생하는 것이 과제다.
- [0186] 본 발명의 일 형태에 따른 메모리 셀의 면적은 $10F^2$ 전후이고 또 빈번한 리프레시는 불필요하다.
- [0187] 본 발명의 일 형태에 따른 메모리 셀을 사용함으로써 메모리 셀의 면적과 소비 전력의 2개의 과제를 해결할 수 있다.
- [0188] 다음에, 도 11은 휴대 기기의 블록도를 도시한 것이다. 도 11에 도시한 휴대 기기는 RF 회로(201), 아날로그 베이스 밴드 회로(202), 디지털 베이스 밴드 회로(203), 배터리(204), 전원 회로(205), 어플리케이션 프로세서(206), 플래시 메모리(210), 디스플레이 컨트롤러(211), 메모리 회로(212), 디스플레이(213), 터치 센서(219), 음성 회로(217), 및 키보드(218) 등으로 구성된다. 디스플레이(213)는 표시부(214), 소스 드라이버(215), 게이트 드라이버(216)로 구성된다. 어플리케이션 프로세서(206)는 CPU(207), DSP(208), 인터페이스(IF)(209)를 갖는다. 일반적으로 메모리 회로(212)는 SRAM 또는 DRAM로 구성되고, 메모리 회로(212)에 본 발명의 일 형태에

따른 메모리 셀을 채용함으로써 1비트당 메모리 단가와 소비 전력을 저감할 수 있다.

- [0189] 다음에, 도 12는 본 발명의 일 형태에 따른 반도체 장치를 기억 장치로서 메모리 회로에 사용한 예를 도시한 것이다. 도 12에서 메모리 회로(312)는 메모리(302), 메모리(303), 스위치(304), 스위치(305), 및 메모리 컨트롤러(301)로 구성된다. 구체적으로는, 메모리(302), 메모리(303)에 본 발명의 일 형태에 따른 기억 장치가 적용된다.
- [0190] 우선, 어느 화상 데이터가 수신되거나 또는 애플리케이션 프로세서에 의하여 형성된다. 이 화상 데이터는 스위치(304)를 통하여 메모리(302)에 기억된다. 그리고, 스위치(305) 및 디스플레이 컨트롤러를 통하여 디스플레이에 송신되고, 표시된다. 그대로 화상 데이터에 변경이 없으면 보통 30Hz 내지 60Hz 정도의 주기로 메모리(302)로부터 데이터가 판독되고, 스위치(305)를 통하여 디스플레이 컨트롤러에 계속하여 송신된다. 사용자가 화면의 재기록 조작을 하였을 때 애플리케이션 프로세서는 새로운 화상 데이터를 형성하고, 그 화상 데이터는 스위치(304)를 통하여 메모리(303)에 기억된다. 그 사이에도 메모리(302)로부터 스위치(305)를 통하여 화상 데이터가 정기적으로 판독된다. 메모리(303)에 새로운 화상 데이터의 모두 기억되면, 디스플레이의 다음 프레임에서 메모리(303)에 기억된 데이터가 판독되고, 스위치(305) 및 디스플레이 컨트롤러를 통하여 디스플레이에 화상 데이터가 송신되고, 표시된다. 이 판독은 다음 화상 데이터가 메모리(302)에 기억될 때까지 계속된다. 이와 같이, 메모리(302) 및 메모리(303)는 교대로 데이터를 기록 및 판독함으로써 디스플레이에 화상을 표시한다.
- [0191] 메모리(302) 및 메모리(303)로서 각각 다른 메모리 칩을 사용하는 것에 한정되지 않고, 하나의 메모리 칩을 나누어 사용하여도 좋다.
- [0192] 메모리(302) 및 메모리(303)에 본 발명의 일 형태에 따른 기억 장치를 사용함으로써 단가를 낮추고 소비 전력을 삭감할 수 있다.
- [0193] 다음에, 도 13은 전자 서적의 블록도를 도시한 것이다. 도 13은 배터리(401), 전원 회로(402), 마이크로프로세서(403), 플래시 메모리(404), 음성 회로(405), 키보드(406), 메모리 회로(407), 터치 패널(408), 디스플레이(409), 디스플레이 컨트롤러(410)로 구성된다. 본 발명의 일 형태에 따른 기억 장치는 메모리 회로(407)에 사용할 수 있다. 메모리 회로(407)는 서적 내용을 임시적으로 유지하는 기능을 갖는다. 기능의 예로서 사용자가 하이라이트 기능을 사용하는 경우 등이 있다. 사용자가 전자 서적을 읽을 때 특정 개소에 마킹하고자 하는 경우가 있다. 이 마킹 기능을 하이라이트 기능이라고 부르고, 표시 색깔을 바꾸거나, 밑줄을 긋거나, 문자를 굵게 하거나, 문자의 글씨체를 바꾸거나 함으로써 강조 표시하는 기능이다. 사용자가 지정한 개소의 정보를 기억하고 유지하는 기능이다. 이 정보를 오랜 기간 동안 유지하는 경우에는 플래시 메모리(404)에 복사하여도 좋다.
- [0194] 이러한 경우에도 본 발명의 일 형태에 따른 기억 장치를 메모리에 채용함으로써 메모리 단가를 낮추고 소비 전력을 저감할 수 있다.
- [0195] (실시형태 5)
- [0196] 본 실시형태에서는 상술한 실시형태에서 설명한 반도체 장치를 전자 기기에 적용하는 경우에 대하여 도 14a 내지 도 14f를 사용하여 설명한다. 본 실시형태에서는 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대 정보 단말(휴대형 게임기, 음향 재생 장치 등도 포함함), 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 전자 페이퍼, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함) 등의 전자 기기에 상술한 반도체 장치를 기억 장치로서 적용하는 경우에 대하여 설명한다.
- [0197] 도 14a는 노트북형 퍼스널 컴퓨터를 도시한 것이고, 하우징(701), 하우징(702), 표시부(703), 및 키보드(704) 등으로 구성되어 있다. 하우징(701)와 하우징(702) 중 적어도 하나의 내부에는 메모리로서 상기 실시형태에 기재한 기억 장치가 형성되어 있다. 따라서, 상기 실시형태에 기재한 기억 장치는 고집적화되어 있으므로 기억 장치를 소형화할 수 있다. 또한, 정보의 기록 및 판독이 고속으로 행해지고, 오랜 기간 동안 기억을 유지할 수 있고 또 소비 전력이 충분히 저감된 노트북형 퍼스널 컴퓨터가 실현된다.
- [0198] 도 14b는 휴대 정보 단말(PDA)을 도시한 것이고, 본체(711)에는 표시부(713), 외부 인터페이스(715), 조작 버튼(714) 등이 설치되어 있다. 또한, 휴대 정보 단말을 조작하는 스타일러스(712) 등을 구비한다. 본체(711) 내에는 메모리로서 상기 실시형태에 기재한 기억 장치가 형성되어 있다. 따라서, 상기 실시형태에 기재한 기억 장치는 고집적화되어 있으므로 기억 장치를 소형화할 수 있다. 또한, 정보의 기록 및 판독이 고속으로 행해지고 오랜 기간 동안 기억을 유지할 수 있고, 소비 전력이 충분히 저감된 휴대 정보 단말이 실현된다.

- [0199] 도 14c는 전자 페이퍼를 실장한 전자 서적을 도시한 것이고, 하우징(721)와 하우징(723)의 2개의 하우징으로 구성되어 있다. 하우징(721)에는 표시부(725)가 형성되고, 하우징(723)에는 표시부(727)가 형성되어 있다. 하우징(721)와 하우징(723)는 축부(737)에 의하여 접속되어 있고, 상기 축부(737)를 축으로 하여 개폐 동작할 수 있다. 또한, 하우징(721)는 전원(731), 조작 키(733), 스피커(735) 등을 구비한다. 하우징(721)와 하우징(723) 중 적어도 하나에는 메모리로서 상기 실시형태에 기재한 반도체 장치가 형성되어 있다. 따라서, 상기 실시형태에 기재한 기억 장치는 고집적화되어 있으므로 기억 장치를 소형화할 수 있다. 또한, 정보의 기록 및 판독이 고속으로 행해지고 오랜 기간 동안 기억을 유지할 수 있고 또 소비 전력이 충분히 저감된 전자 서적이 실현된다.
- [0200] 도 14d는 휴대 전화기를 도시한 것이고, 하우징(740)와 하우징(741)의 2개의 하우징으로 구성되어 있다. 또한, 하우징(740)와 하우징(741)는 도 14d와 같이 펼쳐진 상태에서 겹쳐진 상태로 슬라이드할 수 있어 휴대에 적합하게 소형화할 수 있다. 또한, 하우징(741)는 표시 패널(742), 스피커(743), 마이크론(744), 조작 키(745), 포인팅 디바이스(746), 카메라용 렌즈(747), 및 외부 접속 단자(748) 등을 구비한다. 또한, 하우징(740)는 휴대 전화기를 충전하는 태양 전지 셀(749), 외부 메모리 슬롯(750) 등을 구비한다. 또한, 안테나는 하우징(741)에 내장되어 있다. 하우징(740)와 하우징(741) 중 적어도 하나에는 메모리로서 상기 실시형태에 기재한 기억 장치가 형성되어 있다. 따라서, 상기 실시형태에 기재한 기억 장치는 고집적화되어 있으므로 기억 장치를 소형화할 수 있다. 또한, 정보의 기록 및 판독이 고속으로 행해지고 오랜 기간 동안 기억을 유지할 수 있고 또 소비 전력이 충분히 저감된 휴대 전화기가 실현된다.
- [0201] 도 14e는 디지털 카메라를 도시한 것이고, 본체(761), 표시부(767), 집안부(763), 조작 스위치(764), 표시부(765), 및 배터리(766) 등으로 구성되어 있다. 본체(761) 내에는 메모리로서 상기 실시형태에 기재한 기억 장치가 형성되어 있다. 따라서, 상기 실시형태에 기재한 기억 장치는 고집적화되어 있으므로 기억 장치를 소형화할 수 있다. 또한, 정보의 기록 및 판독이 고속으로 행해지고 오랜 기간 동안 기억을 유지할 수 있고 또 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.
- [0202] 도 14f는 텔레비전 장치(770)를 도시한 것이고, 하우징(771), 표시부(773), 및 스탠드(775) 등으로 구성되어 있다. 텔레비전 장치(770)는 하우징(771)이 구비한 스위치나 리모트 컨트롤러(780)를 사용하여 조작할 수 있다. 하우징(771) 및 리모트 컨트롤러(780) 내부에는 메모리로서 상기 실시형태에 기재한 기억 장치가 탑재되어 있다. 따라서, 상기 실시형태에 기재한 기억 장치는 고집적화되어 있으므로 기억 장치를 소형화할 수 있다. 또한, 정보의 기록 및 판독이 고속으로 행해지고 오랜 기간 동안 기억을 유지할 수 있고 또 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.
- [0203] 상술한 바와 같이, 본 실시형태에 기재한 전자 기기에는 상기 실시형태에 따른 반도체 장치가 탑재되어 있다. 따라서, 소비 전력이 저감된 전자 기기가 실현된다.

부호의 설명

- [0204] 100: 기판
106: 소자 분리 절연층
108a: 게이트 절연층
108b: 게이트 절연층
110a: 게이트 전극
110b: 게이트 전극
116a: 채널 형성 영역
116b: 채널 형성 영역
120a: 불순물 영역
120b: 불순물 영역
120c: 불순물 영역
120d: 불순물 영역

124a: 금속 화합물 영역

124b: 금속 화합물 영역

124c: 금속 화합물 영역

124d: 금속 화합물 영역

130: 절연층

143: 산화물 반도체층

144a: 채널 형성 영역

144b: 채널 형성 영역

145a: 저저항 영역

145b: 저저항 영역

145c: 저저항 영역

146: 게이트 절연층

148a: 게이트 전극

148b: 게이트 전극

150: 층간 절연층

152: 층간 절연층

156: 배선

160: 트랜지스터

161: 트랜지스터

162: 트랜지스터

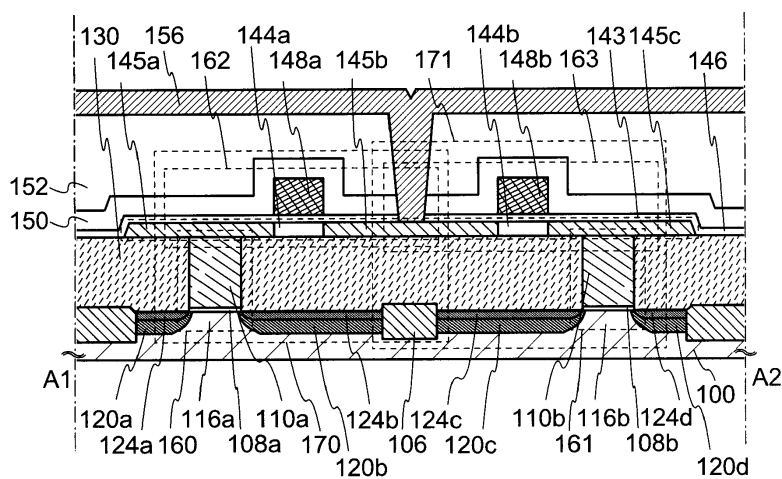
163: 트랜지스터

170: 메모리 셀

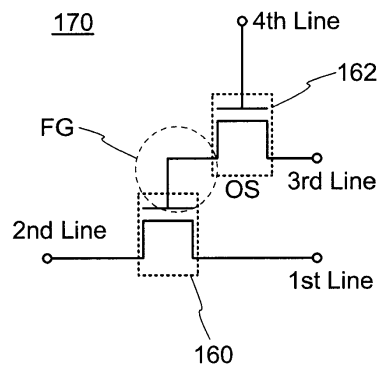
171: 메모리 셀

도면

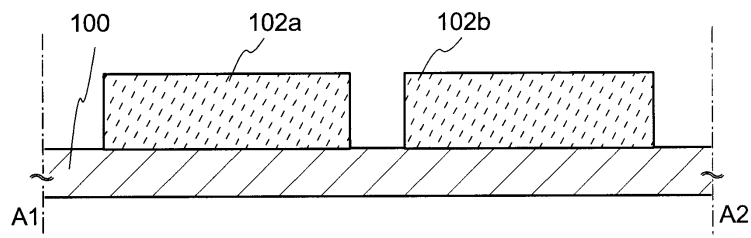
도면1a



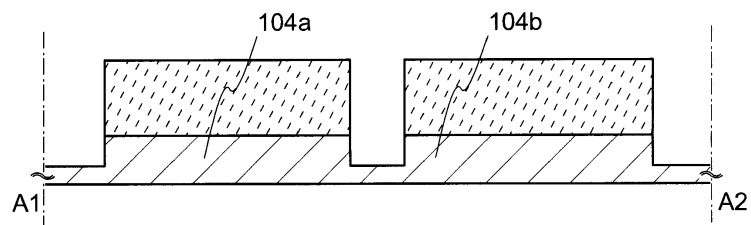
도면1b



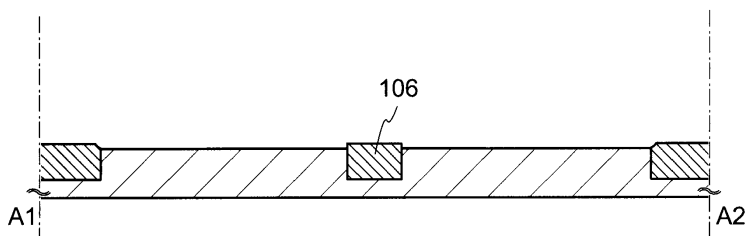
도면2a



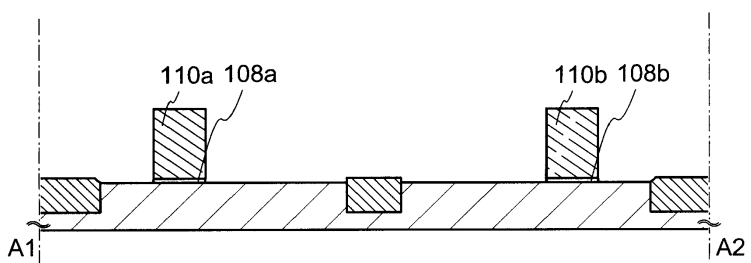
도면2b



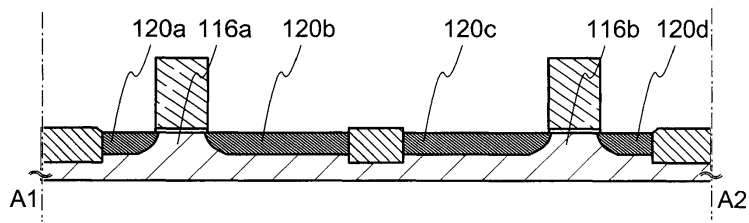
도면2c



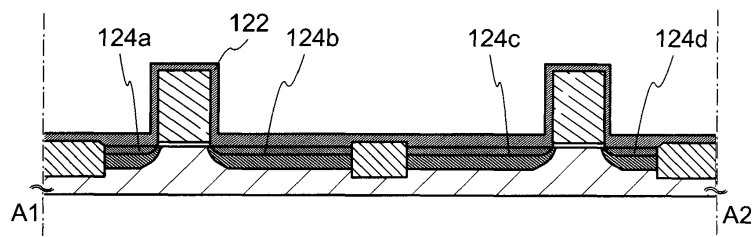
도면2d



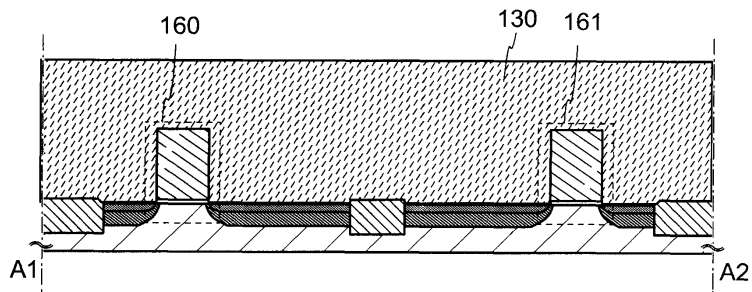
도면3a



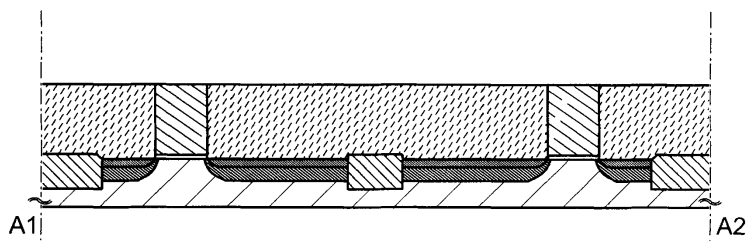
도면3b



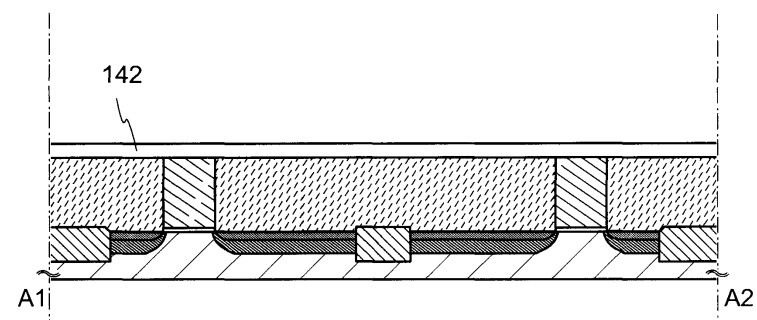
도면3c



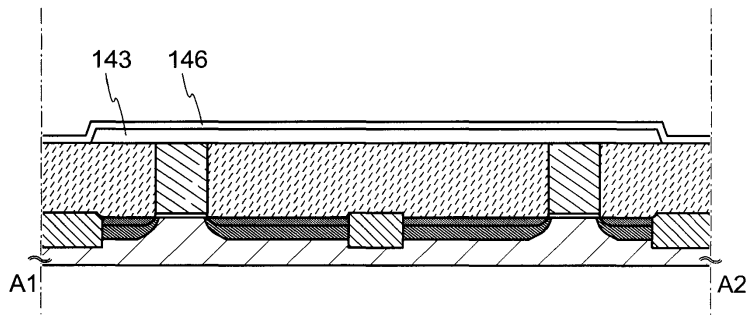
도면3d



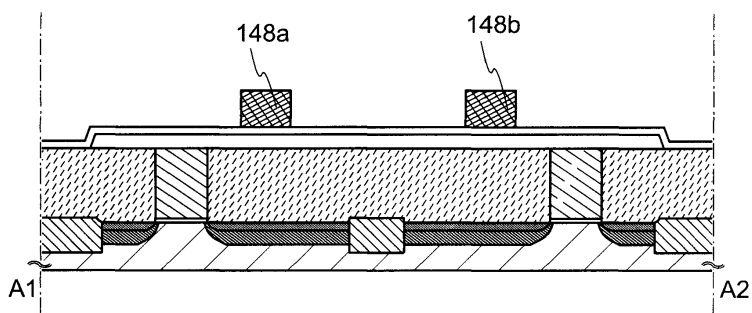
도면4a



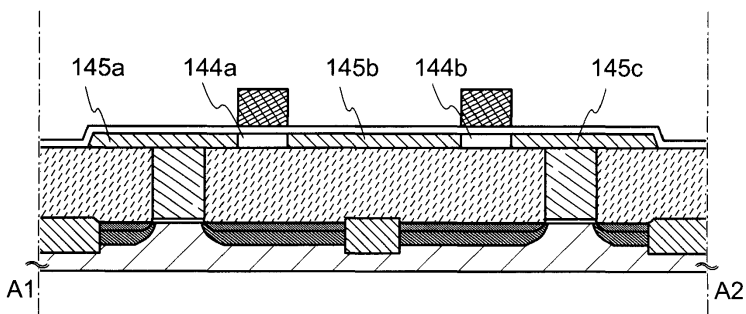
도면4b



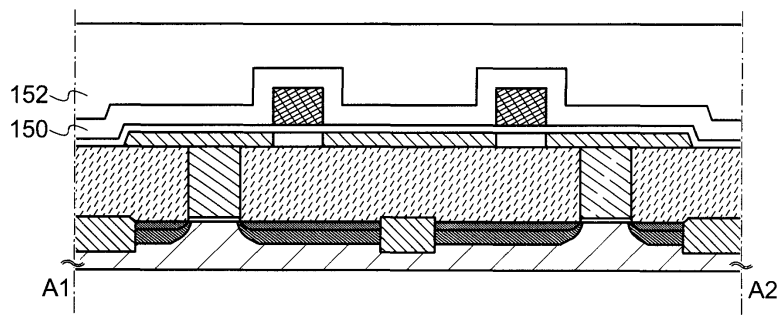
도면4c



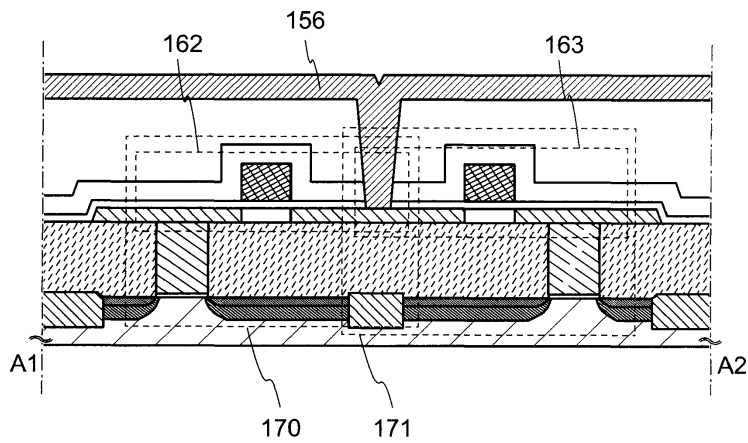
도면5a



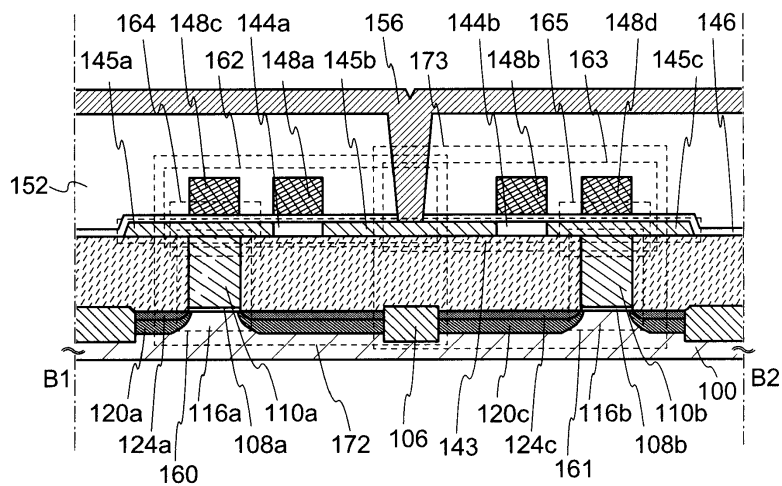
도면5b



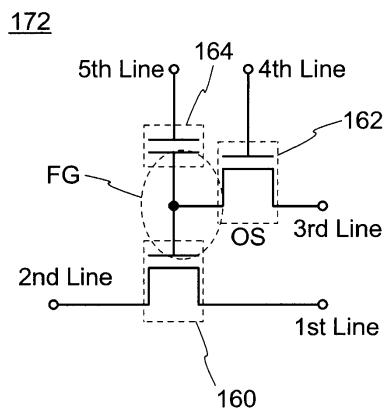
도면5c



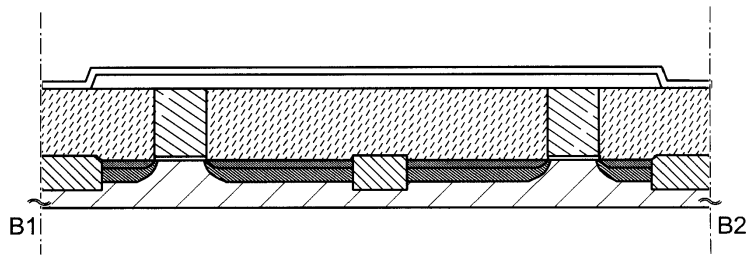
도면6a



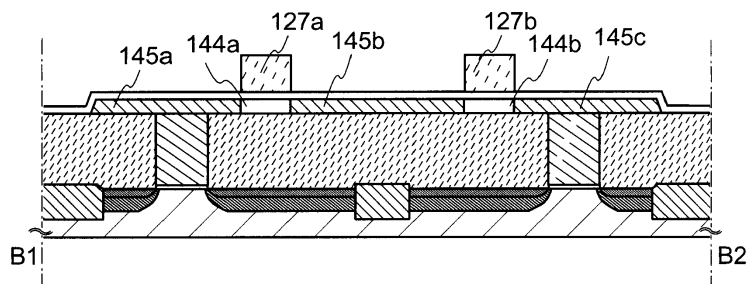
도면6b



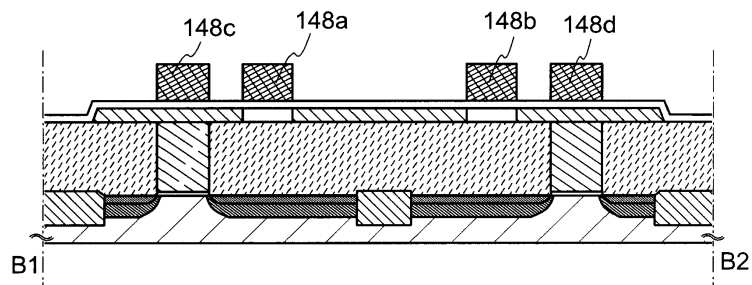
도면7a



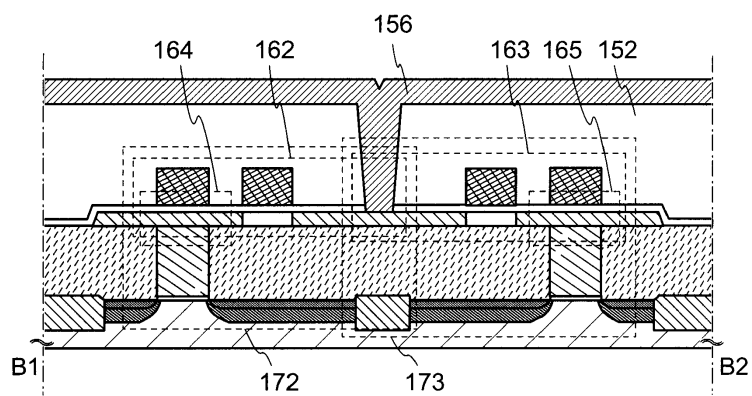
도면7b



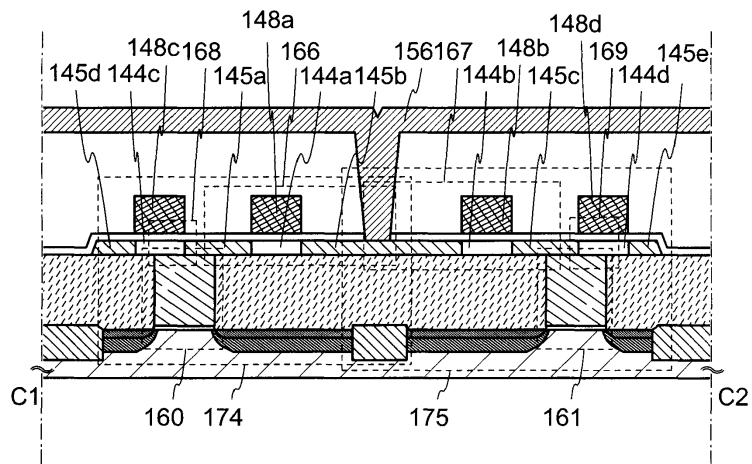
도면7c



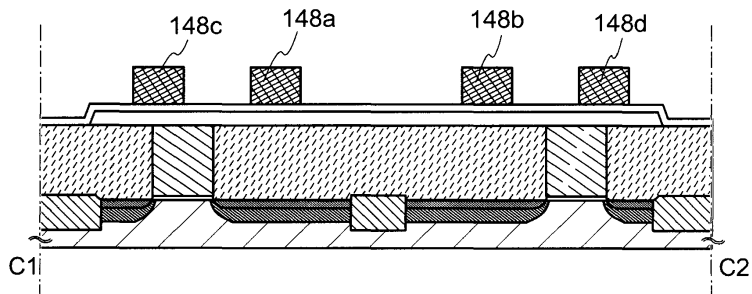
도면7d



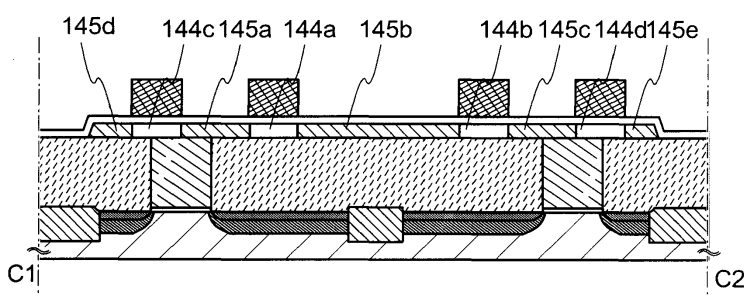
도면8



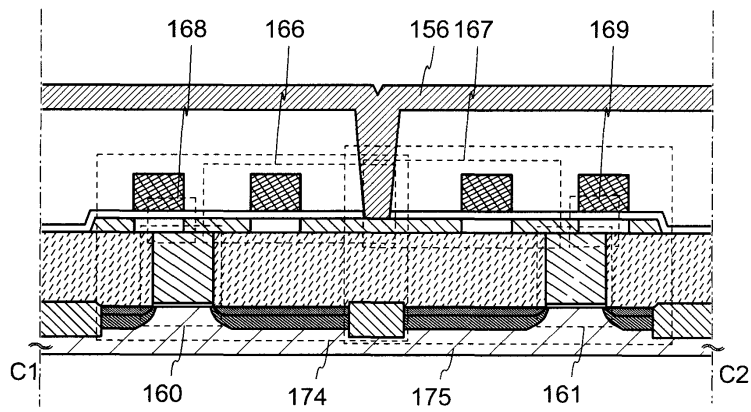
도면9a



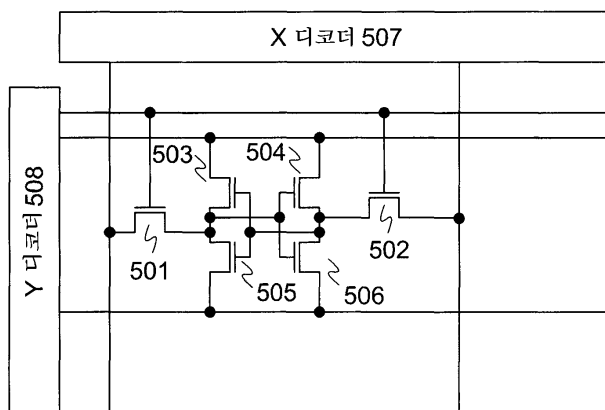
도면9b



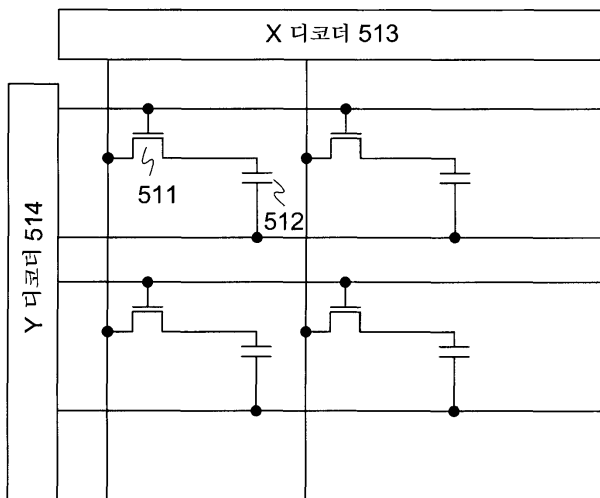
도면9c



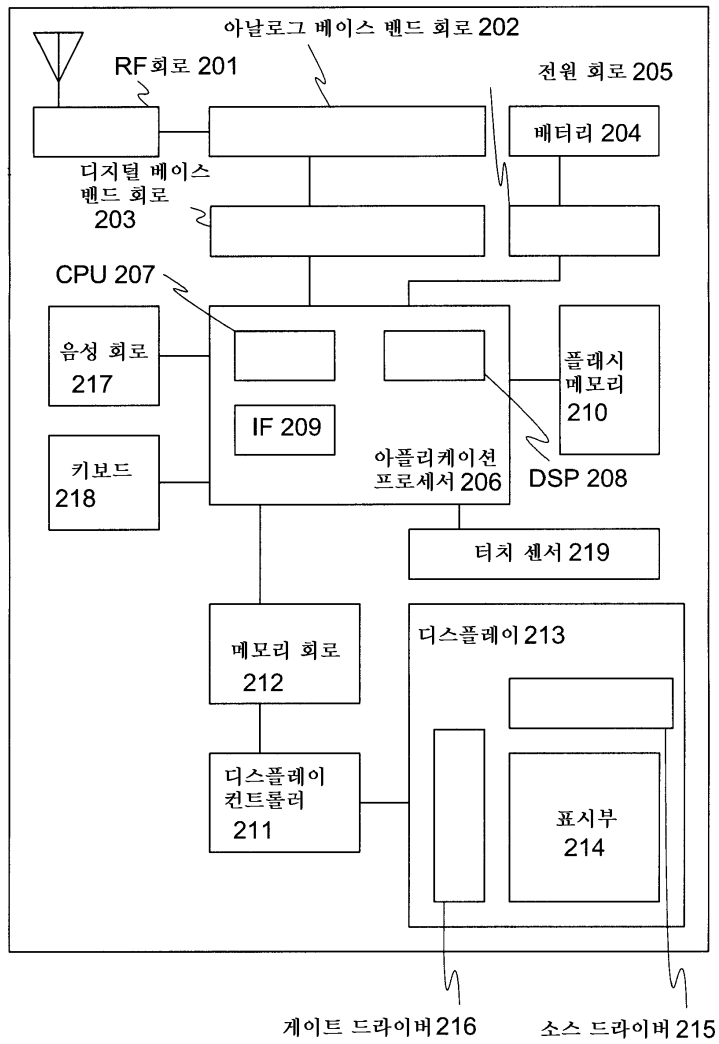
도면10a



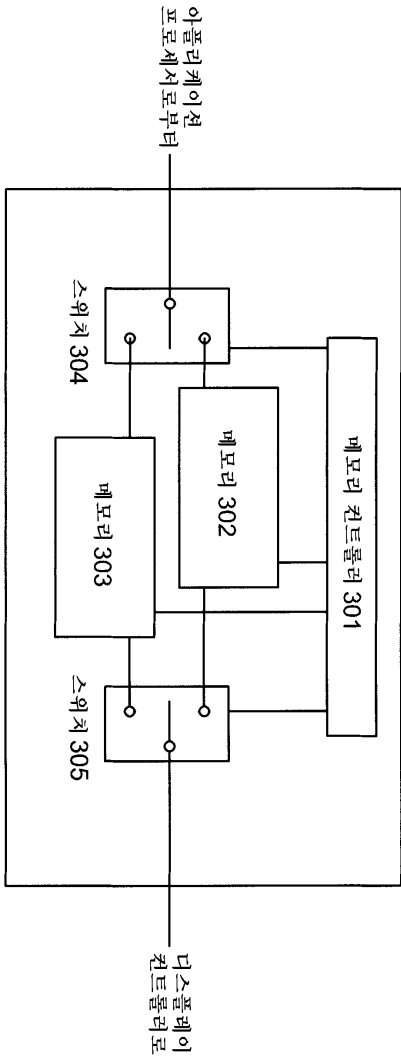
도면10b



도면11

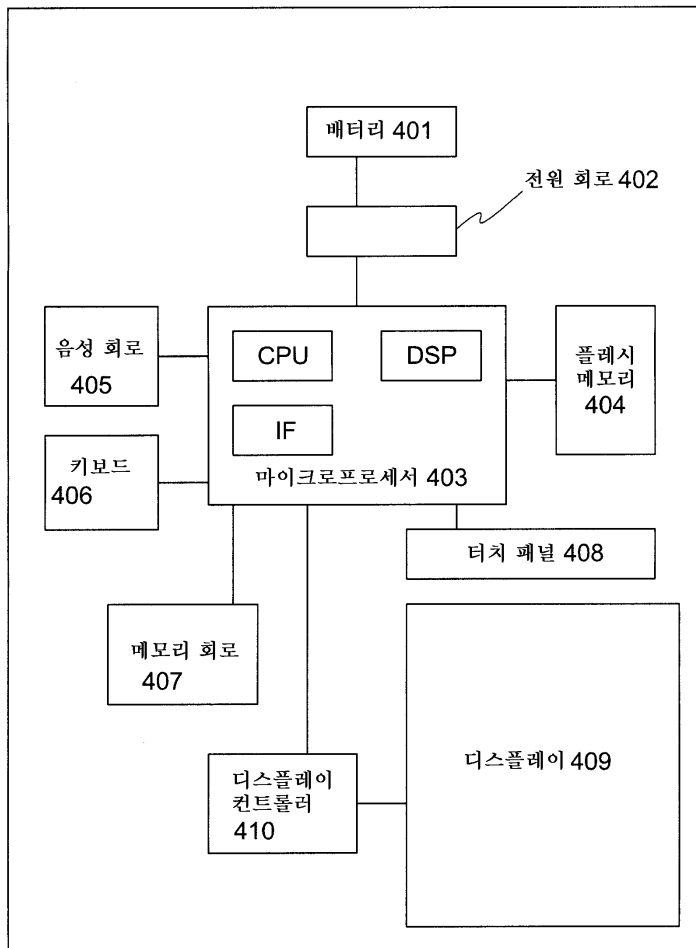


도면12

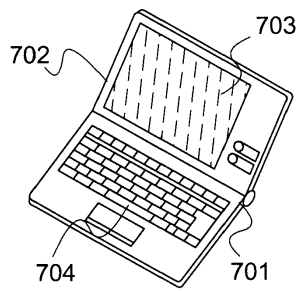


312

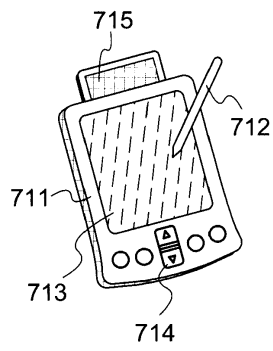
도면13



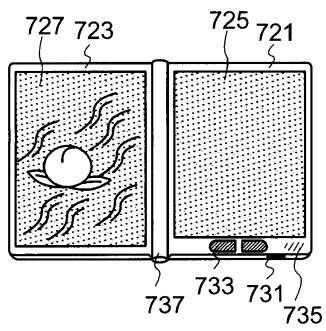
도면14a



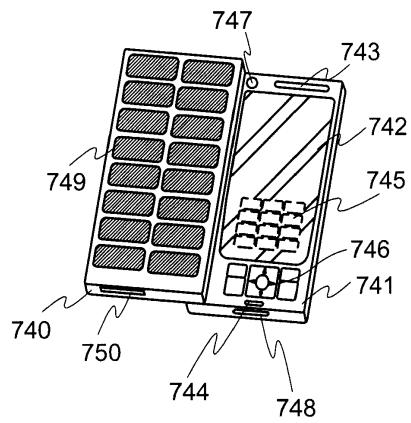
도면14b



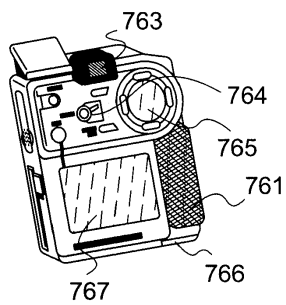
도면14c



도면14d



도면14e



도면14f

